



등록특허 10-2294707



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년08월27일

(11) 등록번호 10-2294707

(24) 등록일자 2021년08월23일

(51) 국제특허분류(Int. Cl.)

H01L 51/05 (2006.01) H01L 21/02 (2006.01)

H01L 29/786 (2006.01) H01L 51/00 (2006.01)

(52) CPC특허분류

H01L 51/0508 (2013.01)

H01L 21/02107 (2013.01)

(21) 출원번호 10-2020-0026177

(22) 출원일자 2020년03월02일

심사청구일자 2020년03월02일

(56) 선행기술조사문헌

KR101628405 B1*

KR1020160095211 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

말로리 마티브웬가

서울특별시 동대문구 이문로42길 7, 102호(이문동)

호앙 티 토 누

서울특별시 동대문구 회기로25가길 4, B03(이문동)

(뒷면에 계속)

(74) 대리인

김연권

전체 청구항 수 : 총 12 항

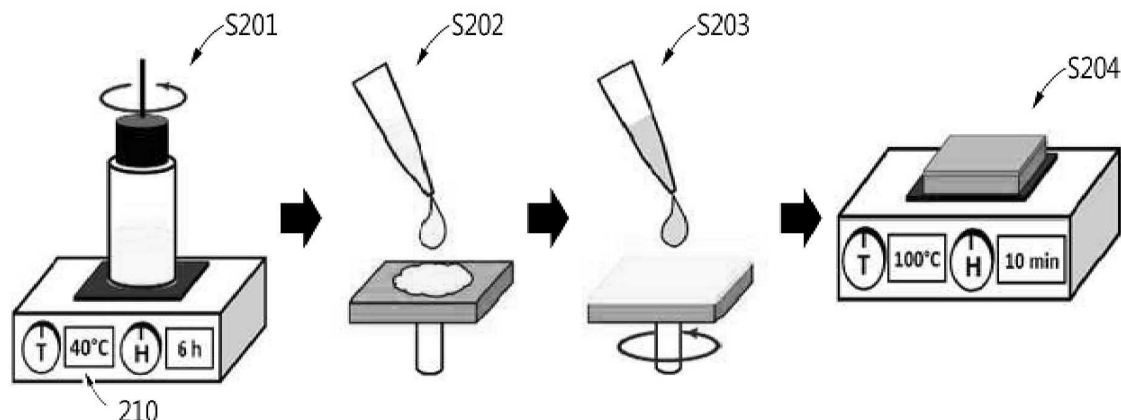
심사관 : 김효욱

(54) 발명의 명칭 대기 안정성을 갖는 하이브리드 페로브스카이트 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 대기 안정성(Ambient Air-Stability)을 갖고, 우수한 전기적 특성을 갖는 하이브리드 페로브스카이트 박막 트랜지스터를 제조하기 위한 기술적 사상에 관한 것으로서, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃의 대기(Ambient Air)에 노출 환경 하에서 디메틸 포름 아마이드(dimethylformamide, DMF), 디메틸 설펝 사이드(dimethyl sulfoxide, DMSO) 또는 감마 부티로락톤(gamma butyrolactone, GBL) 중 적어도 하나를 혼합한 혼합 용매(solvent)를 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 형성하는 기술에 관한 것이다.

대표도 - 도2a



(52) CPC특허분류

H01L 29/786 (2021.01)

H01L 51/0001 (2013.01)

(72) 발명자

하크 파르자나

서울특별시 동대문구 경희대로 26, 세화원(회기동)

지정민

서울특별시 동대문구 경희대로 26, space 21 이과
대 724호(회기동)

이 발명을 지원한 국가연구개발사업

과제고유번호 20191371

부처명 한국연구재단(통합)

과제관리(전문)기관명 한국연구재단(학술진흥)

연구사업명 이공분야기초연구사업/기본연구지원사업

연구과제명 [기본_1/3] 2차원 층상 페로브스카이트 반도체의 초고이동도 박막 트랜지스터

기 여 율 1/1

과제수행기관명 경희대학교 산학협력단

연구기간 2019.06.01 ~ 2022.02.28

명세서

청구범위

청구항 1

기관;

상기 기관의 상부에 패터닝된 게이트 전극;

상기 게이트 전극의 상부에 형성되는 절연막;

상기 절연막의 상부에 형성되는 소스 전극;

상기 절연막의 상부에 형성되고, 상기 소스 전극에 대응되게 배치되는 드레인 전극;

상기 절연막, 상기 소스 전극 및 상기 드레인 전극의 상부에 형성되는 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 포함하고,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

대기(Ambient Air)에 노출되어, 디메틸 포름 아마이드(dimethylformamide, DMF), 디메틸 설펍사이드(dimethyl sulfoxide, DMSO) 또는 감마 부티로락톤(gamma butyrolactone, GBL) 중 적어도 하나를 혼합한 혼합 용매(solvent)를 이용하여 형성되고,

상기 혼합 용매(solvent)는, 상기 디메틸 포름 아마이드(dimethylformamide, DMF)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합되어 70° C의 용액 온도를 갖거나 상기 디메틸 설펍사이드(dimethyl sulfoxide, DMSO)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합되어 90° C의 용액 온도를 갖고,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

상기 혼합 용매(solvent)의 부피비에 기반하여 질소 환경 하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 전송 특성에 대비하여 온 앤 오프 비율(ON/OFF ratio), 스위칭 속도 및 드레인 전류가 높도록 제어됨에 따라 전송 특성이 향상되고, 주변 공기 안정성을 가지는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 하이브리드 페로브스카이트 반도체층은, 상대 습도가 45% 내지 55%이고, 온도가 23℃ 내지 27℃인 대기 공정(ambient air processing)하에서 제작되고, 수분과 산소의 영향으로 박막의 결정질, 결정 입계의 깊이 및 결함 상태가 제어되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 하이브리드 페로브스카이트 반도체층은, 상기 혼합 용매(solvent)를 이용하여, 상기 혼합 용매(solvent) 없이 대기 공정(ambient air processing) 하에서 제작된 하이브리드 페로브스카이트 반도체층의 박막 표면 커버리지에 대비하여 박막 표면 커버리지가 향상되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 혼합 용매(solvent)는, 아이오딘화 수소산(Hydroiodic acid, HI) 또는 톨루엔(toluene) 중 어느 하나 이상의 용매 첨가제가 첨가되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 절연막, 상기 소스 전극 및 상기 드레인 전극의 상부에 형성되는 폴리머층을 더 포함하는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 8

제7항에 있어서,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

상기 소스 전극과 상기 드레인 전극 사이에 배치되고, 상기 폴리머층을 스핀 코팅하고, 패턴화하여 형성된 बैं크(bank)에 형성되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 9

제8항에 있어서,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

상기 혼합 용매(solvent)에 페로브스카이트 전구체(perovskite precursor)를 용해하거나 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)를 추가하여 용해하고, 스핀 코팅 중 톨루엔(toluene) 첨가하여 상기 बैं크(bank)에 형성되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 10

제9항에 있어서,

상기 스핀 코팅은, 2500 rpm 내지 3000rpm의 속도로 수행되고, 80초의 시간 동안 지속되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 11

제10항에 있어서,

상기 톨루엔(toluene)은, 상기 80초 중 30초에 상기 혼합 용매(solvent)에 첨가되는

하이브리드 페로브스카이트 박막 트랜지스터.

청구항 12

제8항에 있어서,

상기 बैं크(bank)는, 1 μm 내지 1.5 μm 깊이로 형성되고,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,
상기 대기(Ambient Air)에 노출되고, 300nm 내외의 두께를 갖는
하이브리드 페로브스카이트 박막 트랜지스터.

청구항 13

제1항에 있어서,
상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,
상기 혼합 용매(solvent)의 부피비에 기반하여 서브스레시홀드 스윙 값(SS, Subthreshold Swing Value)이 제어되는
하이브리드 페로브스카이트 박막 트랜지스터.

청구항 14

제1항에 있어서,
상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,
상기 혼합 용매(solvent)의 부피비에 기반하여 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 결정성(crystallinity)이 제어되는
하이브리드 페로브스카이트 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 대기 안정성(Ambient Air-Stability)을 갖는 하이브리드 페로브스카이트 박막 트랜지스터를 제조하기 위한 기술적 사상에 관한 것으로서, 보다 상세하게는 용매 엔지니어링(solvent engineering)을 이용하여 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 생성함으로써, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기에 노출되는 환경에서 페로브스카이트 박막을 처리하여도 페로브스카이트 박막의 결정성 및 동작 안정성을 확보하는 기술에 관한 것이다.

배경 기술

[0003] 태양 광 발전에서 페로브스카이트(perovskite)의 이용도의 급격한 증가는 많은 분야에서 연구자들의 관심을 끌었다.

[0004] 불과 몇 년 만에 페로브스카이트를 이용한 태양 전지는 20% 이상의 기록적인 전력 변환 효율 (PCE)에 도달했다.

[0005] 유기-무기 하이브리드, 메틸 암모늄 납 트리 요오드($\text{CH}_3\text{NH}_3\text{PbI}_3$ 또는 MAPbI_3)와 같은 페로브스카이트는 무기 및 유기 반도체의 특성의 조합을 제공한다.

[0006] 무기 성분은 강한 공유, 이온 또는 혼합 상호 작용에 의해 결합 된 확장 된 골격을 형성하여, 높은 캐리어(carrier) 이동도를 제공 할 수 있다.

[0007] 유기 성분은 이러한 물질의 자체 조립을 용이하게하여 단순하고 저렴하며 저온 공정으로 하이브리드를 증착 할 수 있다.

[0008] 하이브리드 페로브스카이트는 높은 광 발광 양자 수율, 동조 가능한 밴드 갭 및 높은 흡수 계수와 같은 다른 고유한 특성을 제공할 수 있는데, 이러한 특성은 태양 광 발전에 성공한 이유이다.

[0009] 하이브리드 페로브스카이트는 태양전지 애플리케이션 이외에도 여러 다른 애플리케이션, LED, 레이저, 광 검출기 및 박막 트랜지스터(TFT)와 같은 연구에도 적용될 수 있다.

[0010] 사실상 지금까지 많은 어플리케이션이 개발된 상태이지만, 하이브리드 페로브스카이트의 신뢰성과 안정성이 큰 이슈이다.

- [0011] 가장 잘 알려진 문제는 이온 마이그레이션(Ion migration)인데, 이는 전압 스캔 속도, 방향 및 바이어스 이력에 따라 디바이스 전류-전압(I-V) 특성이 크게 좌우될 수 있다.
- [0012] 많은 연구의 노력에도 불구하고, 이온 마이그레이션에 의한 이력 현상은 여전히 해결되지 않은 상태이다.
- [0013] 태양 전지의 광 에너지 변환 효율(power conversion efficiency, PCE)을 향상시키는 기술에 대한 많은 문헌이 있지만, 페로브스카이트 박막 트랜지스터의 개발은 아직 지연되고 있는데, 이들 기술의 대부분이 박막 트랜지스터에 직접 적용되지 않는 이유이다.
- [0014] 예를 들어, 수평 방향 소자인 페로브스카이트 박막 트랜지스터에서, 페로브스카이트 필름의 측면 컨덕턴스(conductance)는 게이트(gate) 전극에 인가된 전압에 의해 제어될 수 있다.
- [0015] 수직 태양 전지와 달리, 페로브스카이트는 우수한 입자 간 연결성과 쉽게 동조 가능한 페르미 레벨 및 게이트 절연체와의 우수한 계면 품질이 요구된다.
- [0016] 이러한 조건이 충족되지 않을 경우, 하이브리드 페로브스카이트 박막 트랜지스터를 실제 응용 분야에 적용하려면 성능 최적화 및 운영 안정성 개선이 필요하다.
- [0017] 지금까지 보고된 고효율 하이브리드 페로브스카이트 박막 트랜지스터의 대부분은 유기 물질이 대기의 물과 산소에 매우 민감하기 때문에 잘 제어된 불활성 환경에서 제조 및 보관되었다.
- [0018] 따라서, 전구체(precursor) 물질은 무수성이어야하고 제조 공정은 물과 산소 등이 잘 제어된 글러브 박스(glove box)에서 수행되어야 한다. 즉, 지금까지의 연구에서는 대기(ambient air)에 대한 불안정성 및 장치의 전류-전압 특성에서의 히스테리시스 문제는 여전히 해결되지 않았다.
- [0019] 일반적으로, 기존 연구에서는 질소가 충전되어 물과 산소가 제어될 수 있는 글러브 박스가 이용된다.
- [0020] 그러나, 대규모 제조 및 상용화에는 특수한 환경인 글러브 박스의 이용이 제한되므로 대기 안정성이 요구된다.
- [0021] 따라서, 대기에서 안정적으로 작동 할 수 있는 하이브리드 페로브스카이트 박막 트랜지스터가 개발되어야 하는 필요성이 존재한다.

선행기술문헌

특허문헌

- [0022] (특허문헌 0001) 한국등록특허 제10-2008-0087296호 "2차원 페로브스카이트 형성용 재료, 적층체, 소자 및 트랜지스터"

비특허문헌

- [0023] (비특허문헌 0001) Cesare, Soci, et al. "Lead iodide perovskite light-emitting field-effect transistor" Nature Communications Volume 6, Article number: 7383 (2015)
- (비특허문헌 0002) Nima, Taghavinia, et al. "Vapor assisted deposition of alkaline doped perovskites" Electrochimica Acta Volume 259, 1 January 2018, Pages 485-491
- (비특허문헌 0003) Jin Y. Kim, et al "Cesium-doped methylammonium lead iodide perovskite light absorber for hybrid solar cells" Nano Energy Volume 7, July 2014, Pages 80-85

발명의 내용

해결하려는 과제

- [0024] 본 발명은 용매 엔지니어링(solvent engineering)과 수분과 산소의 영향력을 이용하여 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 생성함으로써, 대기에 노출되는 환경에서 페로브스카이

트 박막을 형성하여도 페로브스카이트 박막의 결정성, 대기 안정성(ambient air-stability) 및 동작 안정성을 확보하는 것을 목적으로 한다.

- [0025] 본 발명은 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터의 특성과 질소 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터의 특성을 직접적으로 비교함으로써 수분과 산소의 영향을 받아 하이브리드 페로브스카이트의 결정 사이즈(grain size)와 결정 입계(grain boundary)의 깊이, 결함 상태(defect state)가 달라져 대기 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터가 뛰어난 특성을 가짐을 제공하는 것을 목적으로 한다.
- [0026] 본 발명은 질소가 충전된 글로브 박스와 같은 특수 환경이 아닌, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기에 노출된 상태에서도 저 전압 구동성을 갖고, 입자의 결정성이 우수하며, 낮은 트랩 상태 밀도를 갖는 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공하는 것을 목적으로 한다.
- [0027] 본 발명은 용매 엔지니어링(solvent engineering)을 이용하여 용매제의 종류에 따라 하이브리드 페로브스카이트 박막의 형태학(morphology), 결정 사이즈(grain size), 결정 입계(grain boundary)의 깊이가 달라져 하이브리드 페로브스카이트 박막 트랜지스터의 특성이 달라지는 것을 목적으로 한다.
- [0028] 본 발명은 용매 엔지니어링과 산소와 수분의 영향성을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 형성하여 서브스레시 홀드 스윙 값이 향상된 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공하는 것을 목적으로 한다.
- [0029] 본 발명은 용매 엔지니어링과 산소와 수분의 영향성을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 형성하여 패시베이션 층(passivation layer)의 부재에도 대기 안정성을 갖는 페로브스카이트 박막 트랜지스터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0031] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 박막 트랜지스터는 기판, 상기 기판의 상부에 패터닝된 게이트 전극, 상기 게이트 전극의 상부에 형성되는 절연막, 상기 절연막의 상부에 형성되는 소스 전극, 상기 절연막의 상부에 형성되고, 상기 소스 전극에 대응되게 배치되는 드레인 전극, 상기 절연막, 상기 소스 전극 및 상기 드레인 전극의 상부에 형성되는 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 포함하고, 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 대기(Ambient Air)에 노출되어, 디메틸 포름아미드(dimethylformamide, DMF), 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO) 또는 감마 부티로락톤(gamma butyrolactone, GBL) 중 적어도 하나를 혼합한 혼합 용매(solvent)를 이용하여 형성될 수 있다.
- [0032] 상기 하이브리드 페로브스카이트 반도체층은, 상대 습도가 45% 내지 55%이고, 온도가 23℃ 내지 27℃인 대기 공정(ambient air processing)하에서 제작되고, 수분과 산소의 영향으로 박막의 결정질이 향상되고, 결정 입계의 깊이가 얕아지고, 결함 상태가 감소될 수 있다.
- [0033] 상기 혼합 용매(solvent)는, 상기 디메틸 포름아미드(dimethylformamide, DMF)가 혼합되고, 상기 디메틸 포름아미드(dimethylformamide, DMF)와 상기 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)가 7 : 3의 부피비로 혼합되며, 상기 디메틸 포름아미드(dimethylformamide, DMF)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합되고, 상기 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합될 수 있다.
- [0034] 상기 하이브리드 페로브스카이트 반도체층은, 상기 혼합 용매(solvent)를 이용하여, 박막 표면 커버리지가 향상될 수 있다.
- [0035] 상기 혼합 용매(solvent)는, 아이오딘화 수소산(Hydroiodic acid, HI) 또는 톨루엔(toluene) 중 어느 하나 이상의 용매 첨가제가 첨가될 수 있다.
- [0036] 상기 혼합 용매(solvent)는, 상기 디메틸 포름아미드(dimethylformamide, DMF)가 혼합될 경우 40° C의 용액 온도를 갖고, 상기 디메틸 포름아미드(dimethylformamide, DMF)와 상기 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)가 7 : 3의 부피비로 혼합될 경우 50° C의 용액 온도를 갖을 수 있다.
- [0037] 상기 혼합 용매(solvent)는, 상기 디메틸 포름아미드(dimethylformamide, DMF)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합될 경우 70° C의 용액 온도를 갖고, 상기 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)와 상기 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합될

경우 90° C의 용액 온도를 갖을 수 있다.

- [0038] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 박막 트랜지스터는 상기 절연막, 상기 소스 전극 및 상기 드레인 전극의 상부에 형성되는 폴리머층을 더 포함할 수 있다.
- [0039] 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 상기 소스 전극과 상기 드레인 전극 사이에 배치되고, 상기 폴리머층을 스핀 코팅하고, 패터닝하여 형성된 बैं크(bank)에 형성될 수 있다.
- [0040] 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 상기 혼합 용매(solvent)에 페로브스카이트 전구체(perovskite precursor)를 용해하고, 아이오딘화 수소산(Hydroiodic acid, HI) 또는 톨루엔(toluene) 중 어느 하나의 용매 첨가제를 첨가하여 상기 बैं크(bank)에 스핀 코팅하여 형성될 수 있다.
- [0041] 상기 스핀 코팅은, 2500 rpm 내지 3000rpm의 속도로 수행되고, 약 80초의 시간 동안 지속될 수 있다.
- [0042] 상기 톨루엔(toluene)은 상기 약 80초 중 30초에 상기 혼합 용매(solvent)에 첨가될 수 있다.
- [0043] 상기 बैं크(bank)는, 1 μ m 내지 1.5 μ m 깊이로 형성될 수 있다.
- [0044] 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 상기 대기(Ambient Air)에 노출되고, 300nm 내외의 두께를 갖을 수 있다.
- [0045] 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 상기 혼합 용매(solvent)의 부피비에 기반하여 서브스레시홀드 스윙 값(SS, Subthreshold Swing Value)이 제어될 수 있다.
- [0046] 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은, 상기 혼합 용매(solvent)의 부피비에 기반하여 상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 결정성(crystallinity)이 제어될 수 있다.

발명의 효과

- [0048] 본 발명은 용매 엔지니어링(solvent engineering)과 수분과 산소의 영향력을 이용하여 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 생성함으로써, 대기에 노출되는 환경에서 페로브스카이트 박막을 처리하여도 페로브스카이트 박막의 결정성, 대기 안정성(ambient air-stability) 및 동작 안정성을 확보할 수 있다.
- [0049] 본 발명은 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터의 특성과 질소 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터의 특성을 직접적으로 비교함으로써 수분과 산소의 영향을 받아 하이브리드 페로브스카이트의 결정 사이즈(grain size)와 결정 입계(grain boundary)의 깊이, 결함 상태(defect state)가 달라져 대기 환경 하에서 제작한 하이브리드 페로브스카이트 박막 트랜지스터가 뛰어난 특성을 가짐을 제공할 수 있다.
- [0050] 본 발명은 질소가 충전된 글로브 박스와 같은 특수 환경이 아닌, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기에 노출된 상태에서도 저 전압 구동성을 갖고, 입자의 결정성이 우수하며, 낮은 트랩 상태 밀도를 갖는 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공할 수 있다.
- [0051] 본 발명은 용매 엔지니어링(solvent engineering)을 이용하여 용매제의 종류에 따라 하이브리드 페로브스카이트 박막의 형태학(morphology), 결정 사이즈(grain size), 결정 입계(grain boundary)의 깊이가 달라져 향상된 하이브리드 페로브스카이트 박막 트랜지스터의 특성을 제공할 수 있다.
- [0052] 본 발명은 용매 엔지니어링과 산소와 수분의 영향성을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 형성하여 서브스레시 홀드 스윙 값이 향상된 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공할 수 있다.
- [0053] 본 발명은 용매 엔지니어링과 산소와 수분의 영향성을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 형성하여 패시베이션 층(passivation layer)의 부재에도 대기 안정성을 갖는 페로브스카이트 박막 트랜지스터를 제공할 수 있다.

도면의 간단한 설명

- [0055] 도 1은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 제조 방법을 설명하는 도면이다.

도 2a 및 도 2b는 본 발명의 일실시예에 따른 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 제조하는 방법을 설명하는 도면이다.

도 3a 내지 도 3d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막트랜지스터의 구조를 설명하는 도면이다.

도 4a 내지 도 4d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층과 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 SEM(scanning electron microscope) 이미지를 제작 환경과 용매의 종류에 따라 비교하는 도면이다.

도 5은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼을 설명하는 도면이다.

도 6a 내지 도 6d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 제작 환경과 용매의 종류에 따라 비교하는 도면이다.

도 7a 내지 도 7d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 제작 환경과 용매의 종류에 따라 비교하는 도면이다.

도 8은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전계이동도, 서브스레시 홀드 스윙, 턴온 전압(turn-on voltage)을 설명하는 도면이다.

도 9a 내지 도 9d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성을 설명하는 도면이다.

도 10은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전계이동도, 서브스레시 홀드 스윙, 턴온 전압(turn-on voltage)의 변화를 설명하는 도면이다.

도 11a는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 질소로 충전된 글로브 박스에서 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)을 제외하고 제작될 경우의 SEM(scanning electron microscope) 이미지를 설명하는 도면이다.

도 11b는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 중에서 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)을 제외하고 제작될 경우의 SEM(scanning electron microscope) 이미지를 설명하는 도면이다.

도 12는 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)없이 제작된 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼을 설명하는 도면이다.

도 13은 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)없이 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전계이동도, 서브스레시 홀드 스윙, 턴온 전압(turn-on voltage) 변화를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

.....

.....

.....

..... 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수

[0056]

있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

- [0057] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0058] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0059] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0060] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0061] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0063] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0065] 도 1은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 제조 방법을 설명하는 도면이다.
- [0066] 도 1은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조 방법을 순차적으로 설명한다.
- [0067] 도 1의 첫 번째 단계를 참고하면, 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조 방법은 기판(110) 상에 게이트 전극(120)을 형성한다.
- [0068] 일례로, 기판(110)은 하이브리드 페로브스카이트 박막 트랜지스터(100)에서 통상적으로 사용되는 재질의 기판을 사용할 수 있고, 사파이어(sapphire), 질화갈륨(GaN; gallium nitride), 갈륨 비소(GaAs; gallium arsenide), 스핀넬(spinel), 실리콘(Si; silicon), 인화 인듐(InP; indium phosphide) 및 실리콘 카바이드(SiC; silicon carbide) 중 적어도 어느 하나일 수 있으며, 바람직하게는 실리콘(Si) 기판 또는 유리(glass)일 수 있다.
- [0069] 본 발명의 실시예에 따르면, 게이트 전극(120)은 금속 및 투명 전도성 물질 중 어느 하나의 물질로 이루어질 수 있다.
- [0070] 일례로, 금속은 Au, Ti, Al, Mo 및 Pd 중 어느 하나의 물질일 수 있으나, 이에 한정되지 않고, 본 발명이 속한 기술분야에서 사용 가능한 금속 물질이면 바람직하다.
- [0071] 또한, 투명 전도성 물질은 비정질 산화물, 결정질 산화물, 그래핀(grapheme) 및 고분자 유기물 중 적어도 하나 이상의 물질일 수 있다.
- [0072] 일례로, 게이트 전극(120)은 기판(110)의 상부에 몰리브덴(Mo)으로 형성될 수 있고, 몰리브덴은 40 nm의 두께로 형성될 수 있다.

- [0073] 본 발명의 일실시예에 따르면 게이트 전극(120)은 유기 나노와이어 리소그래피(organic nanowire lithography), 드롭 캐스팅(drop casting), 스핀 코팅(spin coating), 딥 코팅(dip coating), 전자빔 증착(e-beam evaporation), 열증착(thermal evaporation), 프린팅(printing), 소프트리소그래피(soft lithography), 및 스퍼터링(sputtering) 중에서 선택되는 적어도 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0074] 일례로, 게이트 전극(120)은 스퍼터링을 통해서 기판(110) 상에 증착될 수 있다.
- [0075] 본 발명의 일실시예에 따르면 게이트 전극(120)은 기판(110)의 상부에 패터닝되어 형성되고, 형성된 게이트 전극(120)과 기판(110)의 상부에 몰리브덴(Mo)으로 도포될 수 있다.
- [0076] 또한, 게이트 전극(120)은 280° C에서 40nm 두께를 갖도록 기판 상에 스퍼터링 증착하여 패터닝을 통하여 형성될 수 있다.
- [0077] 도 1의 두 번째 단계를 참고하면, 본 발명의 실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조방법은 기판(110) 상에 형성된 게이트 전극(120)의 상부에 절연막(130)을 형성한다.
- [0078] 일례로, 절연막(130)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x), 알루미늄 산화막(Al₂O₃), hafnium 산화막(HfO₂), 마그네슘 산화막(MgO), 티타늄 산화막(TiO₂), 탄탈륨 산화막(Ta₂O₅), 갈륨 산화막(Ga₂O₃) 및 지르코늄 산화막(ZrO₂)으로 이루어진 군에서 적어도 하나 이상이 선택될 수 있다.
- [0079] 본 발명의 일실시예에 따르면 절연막(130)은 유기 나노와이어 리소그래피(organic nanowire lithography), 드롭 캐스팅(drop casting), 스핀 코팅(spin coating), 딥 코팅(dip coating), 전자빔 증착(e-beam evaporation), 열증착(thermal evaporation), 프린팅(printing), 소프트리소그래피(soft lithography), 및 스퍼터링(sputtering) 중에서 선택되는 적어도 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0080] 도 1의 세 번째 단계를 참고하면, 본 발명의 실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조방법은 게이트 절연막(130)의 상부에 소스 전극(140) 및 드레인 전극(150)을 형성한다.
- [0081] 본 발명의 일실시예에 따르면, 소스 전극(140)은 금속 및 투명 전도성 물질 중 어느 하나의 물질로 이루어질 수 있다.
- [0082] 일례로, 소스 전극(140)을 이루는 금속은 Au, Ti, Al, 및 Pd 중 어느 하나의 물질일 수 있으나, 이에 한정되지 않고, 본 발명이 속한 기술분야에서 사용 가능한 금속 물질이면 바람직하다.
- [0083] 본 발명의 일실시예에 따르면 소스 전극(140)을 이루는 투명 전도성 물질은 IZO(indium zinc oxide), ITO(indium thin oxide), 그래핀(graphene)일 수 있으며, 바람직하게는 소스 전극(140)은 IZO(indium zinc oxide)으로 형성될 수 있다.
- [0084] 또한, 소스 전극(140)을 이루는 투명 전도성 물질은 비정질 산화물, 결정질 산화물, 그래핀(grapheme) 및 고분자 유기물 중 적어도 하나 이상의 물질일 수 있다.
- [0085] 본 발명의 일실시예에 따르면, 드레인 전극(150)은 금속 및 투명 전도성 물질 중 어느 하나의 물질로 이루어질 수 있다.
- [0086] 본 발명의 일실시예에 따르면 드레인 전극(150)을 이루는 금속은 Au, Ti, Al, 및 Pd 중 어느 하나의 물질일 수 있으나, 이에 한정되지 않고, 본 발명이 속한 기술분야에서 사용가능한 금속 물질이면 바람직하다.
- [0087] 본 발명의 일실시예에 따르면 드레인 전극(150)은 투명 전도성 물질로 이루어질 수 있고, 투명 전도성 물질은 IZO(indium zinc oxide), ITO(indium thin oxide), 그래핀(graphene)일 수 있으며, 바람직하게는 드레인 전극(150)은 IZO(indium zinc oxide)으로 형성될 수 있다.
- [0088] 도 1의 네 번째 단계를 참고하면, 본 발명의 실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조방법은 절연막(130), 소스 전극(140) 및 드레인 전극(150)의 상부에 형성되는 폴리머층(160)을 형성할 수 있다.
- [0089] 바람직하게는 폴리머층(160)은 포토레지스트(PR, Photoresist)을 포함할 수 있다.
- [0090] 본 발명의 일실시예에 따르면 폴리머층(160)은 스핀 코팅하고, 패터닝하여 형성된 뱅크(bank)가 형성될 수 있다.
- [0091] 일례로, 뱅크는 1 μm 내지 1.5 μm 깊이로 형성될 수 있다.

- [0092] 도 1의 마지막 단계를 참고하면, 본 발명의 실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(100)의 제조방법은 절연막(130), 소스 전극(140) 및 드레인 전극(150)의 상부, 폴리머층(160) 내부 बैं크에 하이브리드 페로브스카이트 반도체층(170)을 형성할 수 있다.
- [0093] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 반도체층(170)은 스핀 코팅(spin coating), 슬릿 다이 코팅(slits dye coating), 잉크젯 프린팅(ink jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating)으로 이루어진 군에서 선택되는 어느 하나의 방법으로 형성될 수 있고, 보다 바람직하게는, 하이브리드 페로브스카이트 반도체층(170)은 스핀 코팅으로 형성될 수 있다.
- [0094] 일례로, 하이브리드 페로브스카이트 반도체층(170)을 형성하는 물질은 페로브스카이트 전구체(perovskite precursor)로 요오드화 메틸아민($\text{CH}_3\text{NH}_3\text{I}$) 및 요오드화 납(PbI_2)과 용액 첨가제로 아이오딘화 수소산(Hydroiodic acid, HI)이 이용될 수 있다.
- [0095] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 반도체층(170)은 $\text{CH}_3\text{NH}_3\text{PbI}_3$ 막을 포함할 수 있다.
- [0096] 일례로, 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층(170)은 상대 습도가 45% 내지 55%이고, 온도가 23℃ 내지 27℃인 대기 공정(ambient air processing)하에서 제작되고, 수분과 산소의 영향으로 박막의 결정질이 향상되고, 결정 입계의 깊이가 얕아지고, 결함 상태가 감소될 수 있다.
- [0097] 또한, 하이브리드 페로브스카이트 반도체층(170)은 혼합 용매(solvent)를 이용하여, 박막 표면 커버리지가 향상될 수 있다.
- [0098] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 반도체층(170)을 형성하는 물질은 대기(Ambient Air)에 노출되어, 디메틸 포름 아미드(dimethylformamide, DMF), 디메틸 설펡 사이드(dimethyl sulfoxide, DMSO) 또는 감마 부티로락톤(gamma butyrolactone, GBL) 중 적어도 하나를 혼합한 혼합 용매(solvent)에 용해될 수 있다.
- [0099] 일례로, 하이브리드 페로브스카이트 반도체층(170)은 혼합 용매(solvent)에 페로브스카이트 전구체(perovskite precursor)를 용해하고, 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)를 이용하여 용액을 만들 수 있고, 스핀 코팅 중, 톨루엔(toluene)를 첨가하여 बैं크(bank)에 반도체층이 형성될 수 있다.
- [0100] 본 발명의 일실시예에 따르면 하이브리드 페로브스카이트 반도체층은, 대기에 노출되고, 300nm 내외의 두께를 갖을 수 있다.
- [0101] 일례로, 하이브리드 페로브스카이트 반도체층(170)은 대기 중에서 혼합 용매 및 용매 첨가제를 이용하여 제조될 수 있는데, 대기 공정(ambient air processing)을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 제조하는 방법은 도 2a 및 도 2b를 이용하여 설명한다.
- [0102] 도 2a 및 도 2b는 본 발명의 일실시예에 따른 대기 공정(ambient air processing)을 이용하여 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 제조하는 방법을 설명하는 도면이다.
- [0103] 도 2a는 대기 공정(ambient air processing)을 이용하여 하이브리드 페로브스카이트 반도체층을 제조하는 방법을 절차에 따라 설명한다.
- [0104] 도 2a를 참고하면, 단계(S201)에서 하이브리드 페로브스카이트 반도체층의 제조 방법은 질소로 충전된 글로브 박스(glove box)에서 전구체를 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)가 첨가된 혼합 용매에 용해한 후, 혼합 용매의 부피비에 따라 서로 다른 온도(210)에서 약 6시간 동안 쉰다.
- [0105] 본 발명의 일실시예에 따르면 혼합 용매는 디메틸 포름 아미드(dimethylformamide, DMF), 디메틸 설펡 사이드(dimethyl sulfoxide, DMSO) 또는 감마 부티로락톤(gamma butyrolactone, GBL) 중 적어도 하나가 혼합될 수 있다.
- [0106] 일례로, 전구체(precursor)는 요오드화 메틸아민($\text{CH}_3\text{NH}_3\text{I}$) 및 요오드화 납(PbI_2)이 이용될 수 있다.
- [0107] 본 발명의 일실시예에 따르면 혼합 용매(solvent)는 디메틸 포름 아미드(dimethylformamide, DMF)가 혼합되고, 디메틸 포름 아미드(dimethylformamide, DMF)와 디메틸 설펡 사이드(dimethyl sulfoxide, DMSO)가 7 : 3의 부피비로 혼합되며, 디메틸 포름 아미드(dimethylformamide, DMF)와 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합되고, 디메틸 설펡 사이드(dimethyl sulfoxide, DMSO)와 감마 부티로락톤(gamma

butyrolactone, GBL)이 7 : 3의 부피비로 혼합될 수 있다.

- [0108] 일례로, 용매(solvent)는 디메틸 포름 아마이드(dimethylformamide, DMF)의 경우 40° C(210)의 용액 온도에서 섞이고, 디메틸 포름 아마이드(dimethylformamide, DMF)와 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)가 7 : 3의 부피비로 혼합될 경우 50° C(210)의 용액 온도에서 섞일 수 있다.
- [0109] 또한, 혼합 용매(solvent)는 디메틸 포름 아마이드(dimethylformamide, DMF)와 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합될 경우 70° C(210)의 용액 온도를 섞이고, 디메틸 설펍 사이드(dimethyl sulfoxide, DMSO)와 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합될 경우 90° C(210)의 용액 온도에서 섞일 수 있다.
- [0110] 본 발명의 일실시예에 따르면 혼합 용매(solvent)에는 용매 첨가제로써 아이오딘화 수소산(Hydroiodic acid, HI)가 첨가될 수 있는데, 아이오딘화 수소산(Hydroiodic acid, HI)는 하이브리드 페로브스카이트 반도체층의 결정 성장을 촉진시키고 균질 한 핵 생성을 촉진시켜 우수한 필름 커버리지를 제공하는 것을 목적으로 이용될 수 있다.
- [0111] 아이오딘화 수소산(Hydroiodic acid, HI)의 효과는 도11 내지 도13를 이용하여 보충 설명될 수 있다.
- [0112] 단계(S202)에서 하이브리드 페로브스카이트 반도체층의 제조 방법은 대기 중에서 전구체가 혼합 용매에 용해된 용액(solution)을 기판 상에 스핀 코팅한다.
- [0113] 예를 들어, 대기 중은 상대 습도(relative humidity, RH)가 45% 내지 55%이고, 온도가 25° C 내지 27° C일 수 있다.
- [0114] 일례로, 스핀 코팅은 2500 rpm 내지 3000rpm의 속도로 수행되고, 약 80초의 시간 동안 지속될 수 있다.
- [0115] 단계(S203)에서 하이브리드 페로브스카이트 반도체층의 제조 방법은 용매 첨가제 중 하나인 톨루엔(toluene)을 주입한다.
- [0116] 일례로, 톨루엔(toluene)의 주입 시간은 도 2b를 이용하여 보충 설명될 수 있는데, 톨루엔(toluene)은 스핀 코팅이 수행되는 중 지점(220)에서 주입될 수 있다.
- [0117] 즉, 톨루엔(toluene)은, 스핀 코팅이 수행되는 약 80초 중 30초에서 스핀 코팅 되고 있는 용액 상에 첨가될 수 있다.
- [0118] 예를 들어, 톨루엔과 같은 반-용매(anti-solvent)의 드롭 캐스팅은 하이브리드 페로브스카이트 반도체층 형성 물질의 용해도를 급격히 감소시켜 결정화 시간을 단축시켜 필름 내 결정의 빠른 핵 형성 및 성장을 촉진할 수 있다. 예를 들어, 톨루엔의 용량은 약 150 μ L일 수 있다.
- [0119] 단계(S204)에서 하이브리드 페로브스카이트 반도체층의 제조 방법은 대기 중에서 하이브리드 페로브스카이트 반도체층의 결정화 공정을 진행하기 위해 100° C에서 약 10분 동안 어닐링(annealing) 공정을 수행한다.
- [0120] 도 3a 내지 도 3d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막트랜지스터의 구조를 설명하는 도면이다.
- [0121] 도 3a는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층을 포함하는 하이브리드 페로브스카이트 박막 트랜지스터의 구조를 설명한다.
- [0122] 도 3a를 참고하면, 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(300)는 기판(301) 상에 게이트 전극(302)이 위치하고, 게이트 전극(302) 상에 절연막(303)이 위치하며, 절연막(303) 상에 소스 전극(304) 및 드레인 전극(305)이 위치하고, 소스 전극(304) 및 드레인 전극(305) 상에 폴리머 층(306)이 위치하며, 폴리머 층(306)에 बैं크가 형성되어 बैं크에 하이브리드 페로브스카이트 반도체층(307)이 증착 형성된다.
- [0123] 일례로, 게이트 전극(302)은 40nm의 두께의 몰리브덴(Mo)이 280° C에서 스퍼터링에 의해 증착 형성될 수 있다.
- [0124] 본 발명의 일실시예에 따르면, 절연막(303)은 대기 중에서 알루미늄 옥사이드(AlO_x)를 절연막 생성을 위한 용액으로 코팅되어, 40nm 두께의 알루미늄 옥사이드 층 스핀 코팅 기법을 이용하여 형성될 수 있다.
- [0125] 일례로, 소스 전극(304) 및 드레인 전극(305)은 스퍼터링 기법을 이용하여 280° C에 증착 된 인듐 아연 산화물(IZO)을 패터닝하여 형성될 수 있다.
- [0126] 본 발명의 일실시예에 따르면, 폴리머층(306)은 포지티브 포토 레지스트(photo resist, PR)를 증착하고, 스핀

코팅 기법을 이용하여 बैं크가 형성될 수 있다.

- [0127] 일례로, 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층(307)은 폴리머층(306)의 बैं크에 전구체, 혼합 용매 및 첨가제가 혼합된 용액이 스핀 코팅되어 형성될 수 있다.
- [0128] 예를 들어, 하이브리드 페로브스카이트 반도체층(307)은 MAPbI₃ 필름(film)으로 지칭될 수 있다.
- [0129] 일례로, 하이브리드 페로브스카이트 반도체층(307)은 상부에 패시베이션 층(passivation layer)이 존재하지 않아, 대기 중에 노출될 수 있다.
- [0130] 도 3b는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(310)의 광학 현미경 이미지를 도시한다.
- [0131] 도 3b를 참고하면, 채널 영역 및 프로브 패드에 위치하는 상부 포토레지스트층 상의 홀은 스핀 코팅 동안의 하이브리드 페로브스카이트 반도체층 형성을 위한 बैं크(311)의 역할을 할 수 있다.
- [0132] 일반적으로, 유기 기반의 페로브스카이트는 습식 공정에 취약하므로, 하이브리드 페로브스카이트에서 직접 포토 리소그래피 공정이 수행되지 않기 위해 बैं크(311)가 요구될 수 있다.
- [0133] 한편, बैं크(311)는 소스전극(312)과 드레인전극(313)상부에 포토레지스트(photoresist)를 스핀 코팅 후, UV(Ultra Violet) 노출 및 현상(exposure and develop) 방법을 이용하여 패터닝 될 수 있다.
- [0134] UV 노출 및 현상 후, 하이브리드 페로브스카이트 반도체 형성 전, 100℃에서 6시간 이상 열처리(annealing)하여 포토레지스트와 소스 전극(312) 및 드레인 전극(313) 사이의 접착력을 향상시킬 수 있다.
- [0135] 예를 들어, बैं크(311)는 소스 전극(312), 드레인 전극(313) 및 게이트 전극(314)의 사이에 위치할 수 있다.
- [0136] 일례로, 프로브 패드 영역 상의 하이브리드 페로브스카이트 반도체층은 측정을 위해 프로브 팁(probe tip)을 반도체층에 접촉시키기 위해서는 프로브 팁(probe tip)에 의해 스크래칭될 수 있다.
- [0137] 도 3c는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(320)에서 하이브리드 페로브스카이트 반도체층을 형성하기 이전에 이온 빔 절단의 단면도를 도시한다.
- [0138] 도 3c를 참고하면, 포토레지스트층(PR) 상의 홀은 스핀 코팅 동안의 하이브리드 페로브스카이트 반도체층 형성을 위한 बैं크(321)의 역할을 할 수 있다.
- [0139] 일례로, बैं크(321)는 1.3 μm의 깊이로 형성될 수 있는데, बैं크(321)의 깊이는 전구체 용액을 수용하기 위한 깊이로 1 μm 내지 1.5 μm일 수 있다.
- [0140] 도 3d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터(330)의 광학 현미경 이미지를 도시한다.
- [0141] 도 3d를 참고하면, 채널 영역 및 프로브 패드에 위치하는 상부 포토 레지스트층 상에 형성된 बैं크(332)에 페로브스카이트 반도체층이 증착 형성될 수 있으며, 이 बैं크(332) 상에 형성된 페로브스카이트 반도체층의 길이(L)는 채널 영역의 길이에 상응할 수 있다.
- [0142] 도 4a 내지 도 4d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층과 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 SEM(scanning electron microscope) 이미지를 제작 환경과 용매의 종류에 따라 비교하는 도면이다.
- [0143] 도 4a 내지 도 4d의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층과 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 SEM 이미지를 비교해보면, 무수(anhydrous) 환경은 페로브카이트 박막 제작 시, 페로브스카이트 결정이 더 높은 핵형성 밀도(nucleation density)를 갖게 하고, 질소 공정 하에서 제작된 박막이 산소와 수분의 반응이 거의 없기 때문에 표면 커버리지(surface coverage)가 대기 공정하에서 제작된 박막보다 개선될 수 있다.
- [0144] 예를 들어, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)은 상대 습도 50%±5%, 온도 25℃±2℃ 의 대기 공정을 나타낼 수 있다.
- [0145] 또한, 디메틸 포름 아미드(dimethylformamide, DMF), 디메틸 설펑 사이드(dimethyl sulfoxide, DMSO)과 감마

부티로락톤(γ -butyrolactone, GBL)은 C=O나 S=O와 같은 전기음성도 그룹(electronegative group)을 가지고 있다. 전기음성도 그룹은 루이스 염기(Lewis base) 성질을 가지고 있고, 하이브리드 페로브스카이트의 전구체인 요오드화납(II) (lead iodide, PbI_2) 이 하이브리드 페로브스카이트 결정이나 하이브리드 페로브스카이트 결정 전 중간 물질로 결합하는 능력을 만든다. 전기 음성도는 S=O그룹이 C=O그룹보다 강하다. 즉, S=O그룹을 가지고 있는 DMSO가 C=O그룹을 가지고 있는 DMF나 GBL보다 강한 루이스 염기 성질을 띄고, 요오드화납(II)이 하이브리드 페로브스카이트 결정이나 하이브리드 페로브스카이트 결정 전 중간 물질로 결합하는 능력이 가장 높다. 루이스 염기의 세기는 DMSO, DMF, GBL 순서로 작아진다.

- [0146] 도 4a는 용매로 디메틸 포름 아마이드(dimethylformamide, DMF)가 이용된 경우의 상대 습도 $50\% \pm 5\%$, 온도 $25^\circ\text{C} \pm 2^\circ\text{C}$ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층(400), (401)과 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층(402), (403)의 SEM 이미지를 도시한다.
- [0147] SEM 이미지(400) 및 SEM 이미지(402)는 $20\ \mu\text{m}$ 비율로 촬영되고, SEM 이미지(401) 및 SEM 이미지(403)는 500nm 비율로 촬영 되었다.
- [0148] 도4a를 살펴보면, DMF의 영향으로 하이브리드 페로브스카이트 반도체층은 여러 개의 구멍이 존재하는 수지상 다발(dendritic bundles)로 성장될 수 있다.
- [0149] 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 표면을 나타내는 SEM 이미지(402) 및 SEM 이미지(403)는 상대 습도 45% 내지 55%, 온도 23°C 내지 27°C 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층 표면을 나타내는 SEM 이미지(400) 및 SEM 이미지(401)보다 표면 커버리지(surface coverage)가 좋을 수 있다.
- [0150] 도 4b는 혼합 용매로 디메틸 포름 아마이드(dimethylformamide, DMF)와 디메틸 설펡 사이드(dimethyl sulfoxide, DMSO)가 7 : 3의 부피비로 혼합된 경우의 상대 습도 45% 내지 55%, 온도 23°C 내지 27°C 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 나타내는 SEM 이미지(410) 및 SEM 이미지(411)와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 나타내는 SEM 이미지(412) 및 SEM 이미지(413) 를 도시한다.
- [0151] SEM 이미지(410) 및 SEM 이미지(412)는 $20\ \mu\text{m}$ 비율로 촬영되고, SEM 이미지(411) 및 SEM 이미지(413)는 500nm 비율로 촬영 되었다.
- [0152] 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 표면을 나타내는 SEM 이미지(412) 및 SEM 이미지(413)는 상대 습도 45% 내지 55%, 온도 23°C 내지 27°C 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층 표면을 나타내는 SEM 이미지(410) 및 SEM 이미지(411)보다 표면 커버리지(surface coverage)가 좋을 수 있다.
- [0153] 도4a와 도4b를 살펴보면, 도 4b는 DMF만 사용한 박막에 해당하는 도4a와 비슷한 수지상 다발(dendritic bundles)이지만, DMF의 C=O그룹보다 더 강한 전기음성도 그룹인 S=O를 가진 DMSO의 존재로 인해 패킹이 더 조밀해지고, 표면 커버리지가 좋아질 수 있다.
- [0154] 도 4c는 디메틸 포름 아마이드(dimethylformamide, DMF)와 감마 부티로락톤(γ -butyrolactone, GBL)이 7 : 3의 부피비로 혼합된 경우의 상대 습도 45% 내지 55%, 온도 23°C 내지 27°C 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 나타내는 SEM 이미지(420) 및 SEM 이미지(421)와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 나타내는 SEM 이미지(422) 및 SEM 이미지(423)를 도시한다.
- [0155] SEM 이미지(420) 및 SEM 이미지(422)는 $20\ \mu\text{m}$ 비율로 촬영되고, SEM 이미지(421) 및 SEM 이미지(423)는 500nm 비율로 촬영 되었다.
- [0156] 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층의 표면을 나타내는 SEM 이미지(422) 및 SEM 이미지(423)는 상대 습도 45% 내지 55%, 온도 23°C 내지 27°C 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층 표면을 나타내는 SEM 이미지(420) 및 SEM 이미지(421)보다 표면 커버리지(surface coverage)가 좋을 수 있다.
- [0157] 도4a와 도4c를 살펴보면, 도 4c는 DMF만 사용한 박막에 해당하는 도4a와 비슷한 수지상 다발(dendritic

bundles)이지만, DMF의 C=O그룹보다 더 약한 전기음성도 그룹인 C=O을 가진 GBL의 존재로 인해 패키징이 가장 조밀하지 않고, 표면 커버리지가 가장 좋지 않을 수 있다.

- [0158] 도 4d는 디메틸 설펝 사이드(dimethyl sulfoxide, DMSO)와 감마 부티로락톤(gamma butyrolactone, GBL)이 7 : 3의 부피비로 혼합된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 나타내는 SEM 이미지(430) 및 SEM 이미지(431)를 도시한다.
- [0159] SEM 이미지(430)는 20 μm 비율로 촬영되고, SEM 이미지(431)는 500nm 비율로 촬영 되었다.
- [0160] 도 4c와 도 4d를 살펴보면, 도 4d는 도 4c와 동일하게 GBL를 사용하되 DMF(420)대신 더 강한 루이스 염기 성질을 가진 DMSO(430)를 사용하여 박막의 패키징이 더 조밀해진 것을 확인할 수 있다.
- [0161] 즉, 본 발명의 일실시예에 따르면 혼합 용매(solvent)의 부피비에 기반하여 하이브리드 페로브스카이트 반도체층의 결정성이 제어될 수 있다.
- [0162] 결과적으로, 도 4a 내지 도 4d를 살펴보면 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드 페로브스카이트 반도체층이 제조 되었으나, 주변 공기에 노출되지 않은 상태에서 제작된 페로브스카이트 반도체층에 대비하여도 충분히 결정성이 확보된 것을 확인할 수 있다.
- [0163] 도 5는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼(X-Ray Diffraction, XRD) 을 설명하는 도면이다.
- [0164] 도 5은 본 발명의 일실시예에 따라 형성된 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼과 질소로 충전된 글로브 박스에서 형성된 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼을 비교한다.
- [0165] 도 5를 참고하면, 그래프(500)에서 명확하고 뚜렷한 회절 피크는 모든 샘플에서 2θ 값에서 13.9 ° , 28.2 ° 및 31.7 ° 로 나타난다.
- [0166] 각 피크는 페로브스카이트 메틸암모늄 레드 아이오다이드 ($\text{CH}_3\text{NH}_3\text{PbI}_3$) 의 사각형 결정면을 나타낸다.
- [0167] 또한, 12.67 ° 의 2θ 값에서 피크가 없다는 것은 필름에 요오드화 납(PbI_2) 잔류 물이 없기 때문에 결정 품질이 우수하다는 것을 나타낼 수 있다.
- [0168] 또한, 질소 환경하에서 제작된 하이브리드 페로브스카이트의 표면 커버리지가 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트의 표면 커버리지가 보다 좋기 때문에 질소 환경에서 제작된 박막의 XRD 피크가 대기 공정하에서 제작된 박막의 XRD 피크보다 더 뚜렷할 수 있다.
- [0169] 도 6a 내지 도 6d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 제작 환경과 용매의 종류에 따라 비교하는 도면이다.
- [0170] 도 6a는 용매로 DMF가 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 예시한다.
- [0171] 도 6b는 혼합 용매로 DMF와 DMSO가 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 예시한다.
- [0172] 도 6c는 혼합 용매로 DMF와 GBL가 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 예시한다.
- [0173] 도 6d는 혼합 용매로 DMSO와 GBL이 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정

(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 전송 특성을 예시한다.

- [0174] 도 6a 내지 도 6d를 참고하면, 그래프(601), 그래프(602), 그래프(603), 그래프(611), 그래프(612), 그래프(613), 그래프(621), 그래프(622), 그래프(623), 그래프(631), 그래프(632) 및 그래프(633)는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 경우이고, 그래프(604), 그래프(605), 그래프(606), 그래프(614), 그래프(615), 그래프(616), 그래프(624), 그래프(625), 및 그래프(626)는 질소 환경 하에서 제작된 경우이고, 그래프(601), 그래프(604), 그래프(611), 그래프(614), 그래프(621), 그래프(624) 및 그래프(631)는 채널 길이가 20 μm 일 경우이고, 그래프(602), 그래프(605), 그래프(612), 그래프(615), 그래프(622), 그래프(625) 및 그래프(632)는 채널 길이가 50 μm 일 경우이며, 그래프(603), 그래프(606), 그래프(613), 그래프(616), 그래프(623), 그래프(626) 및 그래프(633)는 채널 길이가 100 μm 일 경우를 나타내고, 드레인 전압(V_{DS})은 5V 또는 7V가 이용될 수 있다.
- [0175] 도 4a 내지 도 4d에서 언급한 설명을 다시 살펴보면, 질소 환경 하에서 제작된 박막의 표면 커버리지가 대기 환경 하에서 제작된 박막의 표면 커버리지보다 좋을 수 있다.
- [0176] 그러나, 결정의 사이즈(grain size)와 결정 입계 (grain boundary), 결함 상태의 측면에서 보면, 대기 환경 하에서 제작된 박막이 질소 환경 하에서 제작된 박막보다 좋을 수 있다. 수분과 산소의 영향으로 대기 환경 하에서 제작된 박막의 결정의 사이즈가 더 크고, 결정 입계의 깊이가 더 얇고, 결함 상태수가 더 적을 수 있다.
- [0177] 수분의 영향의 경우, 하이브리드 페로브스카이트 박막을 스핀 코팅 후, 열처리 (annealing) 과정에서 수분에 의해 박막의 일부가 녹았다가 재결정화되어 결정의 사이즈가 커지고, 결정 입계의 깊이가 얕아질 수 있다.
- [0178] 산소의 영향의 경우, 하이브리드 페로브스카이트 박막이 스핀 코팅되면서 혹은 열처리 과정에서 결함 상태에 있는 전자가 산소 (O_2) 와 결합하여 슈퍼 옥시전 (O_2^-)을 형성하여 결함 상태를 감소시킬 수 있다.
- [0179] 박막 트랜지스터의 전기적 특성은 반도체의 결정이 클 수록, 결정 입계가 얕아질 수록, 결함상태가 감소할 수록 향상된다. 즉, 수분과 산소의 영향으로 대기 환경 하에서 제작된 박막 트랜지스터의 전기적 특성이 질소 환경 하에서 제작된 박막 트랜지스터보다 좋아질 수 있다.
- [0180] 즉, 본 발명은 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 페로브스카이트 박막을 제조함으로써, 대기 안정성(Ambient Air-Stability)을 갖고, 우수한 전기적 특성을 갖는 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공할 수 있다.
- [0181] 도 6a 내지 도 6d를 살펴보면, 어떤 용매를 사용했는지 상관없이 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성이 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성보다 좋다는 것을 확인할 수 있다.
- [0182] 일례로, 어떤 용매를 사용했는지 상관없이 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성이 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성보다 온 앤 오프 비율(ON/OFF ratio)이 더 높고, 스위칭 속도가 더 빠르고, 드레인 전류가 더 높을 수 있다.
- [0183] 일례로, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터는 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터와는 달리 채널 길이가 감소할 수록 전달 특성이 나타남을 확인할 수 있다.
- [0184] 또한, 구동 전압(V_{DS})을 비교하면 5V에 대비하여 7V가 드레인 전류가 낮게 측정될 수 있는데, 일부 음이온은 양의 게이트 전압(V_{GS})이 적용되어 게이트 절연막 및 하이브리드 페로브스카이트 반도체층으로 이동되기 때문일 수 있다.
- [0185] 이때, 이온은 수직 전계를 차단하여 게이트 전압(V_{GS})에 가해지는 영향을 감소시키고, 이에 따라 양의 변화 또는 게이트 제어 부족현상이 발생될 수 도 있다.
- [0186] 또한, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드

페로브스카이트 박막 트랜지스터를 제작함으로써 결정립계 결함이 감소될 수 있다.

- [0187] 도 7a 내지 도 7d는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 제작 환경과 용매의 종류에 따라 비교하는 도면이다.
- [0188] 도 7a는 용매로 DMF가 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 예시한다.
- [0189] 도 7b는 혼합 용매로 DMF와 DMSO가 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 예시한다.
- [0190] 도 7c는 혼합 용매로 DMF와 GBL이 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 예시한다.
- [0191] 도 7d는 혼합 용매로 DMSO와 GBL이 이용된 경우의 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터와 질소 환경인 글로브 박스 안에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 출력 특성을 예시한다.
- [0192] 도 7a 내지 도 7d를 참고하면, 그래프(701), 그래프(702), 그래프(703), 그래프(711), 그래프(712), 그래프(713), 그래프(721), 그래프(722), 그래프(723), 그래프(731), 그래프(732) 및 그래프(733)는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 경우이고, 그래프(704), 그래프(705), 그래프(706), 그래프(714), 그래프(715), 그래프(716), 그래프(724), 그래프(725), 및 그래프(726)는 질소 환경 하에서 제작된 경우이고, 그래프(701), 그래프(704), 그래프(711), 그래프(714), 그래프(721), 그래프(724) 및 그래프(731)는 채널 길이가 20 μm 일 경우이고, 그래프(702), 그래프(705), 그래프(712), 그래프(715), 그래프(722), 그래프(725) 및 그래프(732)는 채널 길이가 50 μm 일 경우이며, 그래프(703), 그래프(706), 그래프(713), 그래프(716), 그래프(723), 그래프(726) 및 그래프(733)는 채널 길이가 100 μm 일 경우를 나타내고, 게이트 전압(V_{DS})은 5V, 6V, 8V 또는 10V가 이용될 수 있다.
- [0193] 도 6a 내지 도 6d의 설명을 다시 살펴보면, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터는 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터보다 수분과 산소의 영향으로 전기적 특성이 좋을 수 있다.
- [0194] 일례로, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터는 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터보다 동일한 전압 조건에서 드레인 전류가 더 높게 흐른다.
- [0195] 일례로, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터는 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터보다 전류 밀집 현상이 적게 발생된다.
- [0196] 일반적으로 낮은 게이트 전압(V_{DS})에서 전류 밀집 현상은 소스/드레인 전극에서 큰 접촉 저항이 나타남을 의미한다.
- [0197] 큰 접촉 저항은 하이브리드 페로브스카이트 반도체층과 소스/드레인 전극 사이의 접합부에서 쇼트 키 접촉 또는 접촉 영역이 커짐으로부터 발생될 수 있다.
- [0198] 즉, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 제작된 하이

브리드 페로브스카이트(hybrid perovskite) 박막 트랜지스터의 접촉 저항은 질소 환경 하에서 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 접촉 저항보다 작아졌음을 의미할 수 있다.

- [0199] 도 8은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전계이동도, 서브스레시 홀드 스윙, 턴온 전압(turn-on voltage)을 설명하는 도면이다.
- [0200] 도 8을 참고하면, 그래프(801)는 전계 효과 이동도를 나타내고, 그래프(802)는 서브스레시홀드 스윙을 나타내며, 그래프(803)는 턴 전압을 나타낸다.
- [0201] 그래프(801)를 참고하면, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 DMF와 DMSO가 7 : 3의 부피비로 혼합된 혼합 용매를 이용하여 제작된 하이브리드 페로브스카이트 반도체층은 약 $0.10 \mu_{FE}(cm_2/V-s)$ 내지 약 $0.25 \mu_{FE}(cm_2/V-s)$ 으로 가장 높은 전계 효과 이동도를 나타낸다.
- [0202] 그래프(802)를 참고하면, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 혼합 용매를 이용하여 제작된 하이브리드 페로브스카이트 박막 트랜지스터는 질소로 충전된 글로브 박스에서 혼합 용매를 이용하여 제작된 하이브리드 페로브스카이트 박막 트랜지스터보다 더 빠른 스위칭 속도를 나타내고, 경계 결함의 감소에 따라 낮은 트랩 밀도를 나타낸다.
- [0203] 즉, 본 발명은 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드 페로브스카이트 박막 트랜지스터를 제작함으로써, 질소가 충전된 글로브 박스와 같은 특수 환경이 아닌, 대기에 노출된 상태에서도 전계 이동도가 비교적 높고, 저 전압 구동성을 갖고, 입자의 결정성이 우수하며, 낮은 트랩 상태 밀도를 갖는 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공할 수 있다.
- [0204] 또한, 본 발명은 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드 페로브스카이트 박막 트랜지스터를 제작함으로써, 서브스레시 홀드 스윙 값이 향상된 페로브스카이트 박막 트랜지스터(hybrid perovskite thin film transistor)를 제공할 수 있다.
- [0205] 그래프(803)를 참고하면, 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 혼합 용매를 이용하여 제작된 하이브리드 페로브스카이트 박막 트랜지스터는 질소로 충전된 글로브 박스에서 혼합 용매를 이용하여 형성된 하이브리드 페로브스카이트 박막 트랜지스터와 유사한 턴온 전압 시프트가 형성된다.
- [0206] 즉, 본 발명은 수분과 산소의 영향으로 인해 대기에 노출되는 환경에서 페로브스카이트 박막을 제작하여도 페로브스카이트 박막의 결정성 및 페로브스카이트 박막 트랜지스터의 동작 안정성을 확보할 수 있다.
- [0207] 도 9a 내지 도 9d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성을 설명하는 도면이다.
- [0208] 도 9a는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 DMF의 용매제를 이용하여 형성될 경우에서 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성을 예시한다.
- [0209] 도 9b는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 DMF와 DMSO가 혼합된 혼합 용매제를 이용하여 형성될 경우에서 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성을 예시한다.
- [0210] 도 9c는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 DMF와 GBL이 혼합된 혼합 용매제를 이용하여 형성될 경우에서 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전송 특성을 예시한다.
- [0211] 도 9d는 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 DMSO와 GBL이 혼합된 혼합 용매제를 이용하여 형성될 경우에서 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터층의 전송 특성을 예시한다.
- [0212] 도 9a 내지 도 9d를 참고하면, 그래프(901), 그래프(911), 그래프(921) 및 그래프(931)는 채널 길이가 $20 \mu m$ 일 경우이고, 그래프(902), 그래프(912), 그래프(922) 및 그래프(932)는 채널 길이가 $50 \mu m$ 일 경우이며, 그래프(903), 그래프(913), 그래프(923) 및 그래프(933)는 채널 길이가 $100 \mu m$ 일 경우를 나타내고, 시간 경과에 따른 하이브리드 페로브스카이트 반도체층이 생성된지 1일과 52일로 구분될 수 있다.

- [0213] 그래프들을 참고하면, 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층을 포함하는 하이브리드 페로브스카이트 박막 트랜지스터는 대기에서 52일 노출되어도 1일과 유사한 전송 특성을 나타낸다.
- [0214] 즉, 그래프들은 본 발명의 일실시예에 따른 페로브스카이트 박막 트랜지스터가 주변 공기 안정성을 가진다.
- [0215] 도 10은 본 발명의 일실시예에 따른 하이브리드 페로브스카이트 반도체층이 대기에 노출되는 시간에 따른 하이브리드 페로브스카이트 박막 트랜지스터의 전계 이동도, 서브스레시홀드 스윙, 턴온 전압의 변화를 설명하는 도면이다.
- [0216] 도 10을 참고하면, 그래프(1001)는 전계 효과 이동도를 나타내고, 그래프(1002)는 서브스레시홀드 스윙을 나타내며, 그래프(1003)는 턴온 전압을 나타낸다.
- [0217] 그래프(1001), 그래프(1002) 및 그래프(1003)에 따르면, 시간의 경과에도 전계 효과 이동도, 서브스레시홀드 스윙, 턴온 전압에서 유사한 값을 나타낸다.
- [0218] 즉, 본 발명은 용매 엔지니어링과 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드 페로브스카이트(hybrid perovskite) 반도체층을 제작하여, 패시베이션 층(passivation layer)의 부재에도 대기 안정성을 갖는 페로브스카이트 박막 트랜지스터를 제공할 수 있다.
- [0219] 도 11a는 하이브리드 페로브스카이트 반도체층이 질소로 충전된 글로브 박스에서 본 발명의 일실시예를 따르되 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)를 제외하고 제조될 경우의 SEM(scanning electron microscope) 이미지를 설명하는 도면이다.
- [0220] 도 11a를 참고하면, SEM 이미지(1101)는 HI 없이 용매로 DMF를 이용한 하이브리드 페로브스카이트 반도체층을 나타내고, SEM 이미지(1102)는 HI 없이 혼합 용매로 DMF와 DMSO의 조합을 이용한 하이브리드 페로브스카이트 반도체층을 나타내며, SEM이미지(1103)는 HI 없이 혼합 용매로 DMF와 GBL의 조합을 이용한 하이브리드 페로브스카이트 반도체층을 나타낸다.
- [0221] 도 11b는 상대 습도 45% 내지 55%, 온도 23℃ 내지 27℃ 의 대기 공정(ambient air processing)하에서 하이브리드 페로브스카이트 반도체층이 대기 중에서 본 발명의 일실시예를 따르되 용매 첨가제인 HI를 제외하고 제조될 경우의 SEM(scanning electron microscope) 이미지를 설명하는 도면이다.
- [0222] 도 11b를 참고하면, SEM 이미지(1111)는 HI 없이 용매로 DMF를 이용한 하이브리드 페로브스카이트 반도체층을 나타내고, SEM 이미지(1112)는 HI 없이 혼합 용매로 DMF와 DMSO의 조합을 이용한 하이브리드 페로브스카이트 반도체층을 나타내며, SEM이미지(1113)는 HI 없이 혼합 용매로 DMF와 GBL의 조합을 이용한 하이브리드 페로브스카이트 반도체층을 나타낸다.
- [0223] SEM 이미지(1111), SEM 이미지(1112) 및 SEM 이미지(1113)를 참고하면, 대기 중에서 형성된 하이브리드 페로브스카이트 반도체층의 결정은 막대형이고, HI가 없으면 표면 커버리지(surface coverage)가 상당히 악화되었다. 모든 경우에, HI없이 필름을 처리 할 때 입자 크기가 감소하고 입자의 불균일성이 증가 하였다.
- [0224] 도 12은 본 발명의 일실시예에 따라 형성된 용매 첨가제 중 하나인 HI를 이용하지 않고 형성된 하이브리드 페로브스카이트 반도체층의 X-선 회절 스펙트럼을 예시한다.
- [0225] 도 12을 참고하면, 그래프(1300)의 12.67 ° 의 2θ 값에서 요오드화 납(PbI₂) 잔류가 존재한다.
- [0226] 도 5의 그래프(500)와 도 12의 그래프(1200)을 비교하면, 용매 첨가제 중 하나인 HI를 이용하지 않고 형성된 하이브리드 페로브스카이트 반도체층은 결정성이 떨어짐을 나타낸다.
- [0227] 도 13는 용매 첨가제인 HI 없이 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 전계 이동도, 서브스레시홀드 스윙, 턴온 전압을 설명하는 도면이다.
- [0228] 도 13를 참고하면, 그래프(1301)는 전계 효과 이동도를 나타내고, 그래프(1302)는 서브스레시홀드 스윙을 나타내며, 그래프(1303)는 턴 전압을 나타낸다.
- [0229] 도 8와 도 13를 비교하면, 용매 첨가제 중 하나인 HI를 이용하지 않고 제작된 하이브리드 페로브스카이트 박막 트랜지스터는 전계 효과 이동도, 서브스레시홀드 스위칭 속도, 턴온 전압 특성이 용매 첨가제인 HI를 이용하여 제작된 하이브리드 페로브스카이트 박막 트랜지스터의 특성보다 떨어짐을 나타낸다.
- [0231] 본 발명의 청구항 또는 명세서에 기재된 실시예들에 따른 방법들은 하드웨어, 소프트웨어, 또는 하드웨어와 소

소프트웨어의 조합의 형태로 구현될(implemented) 수 있다.

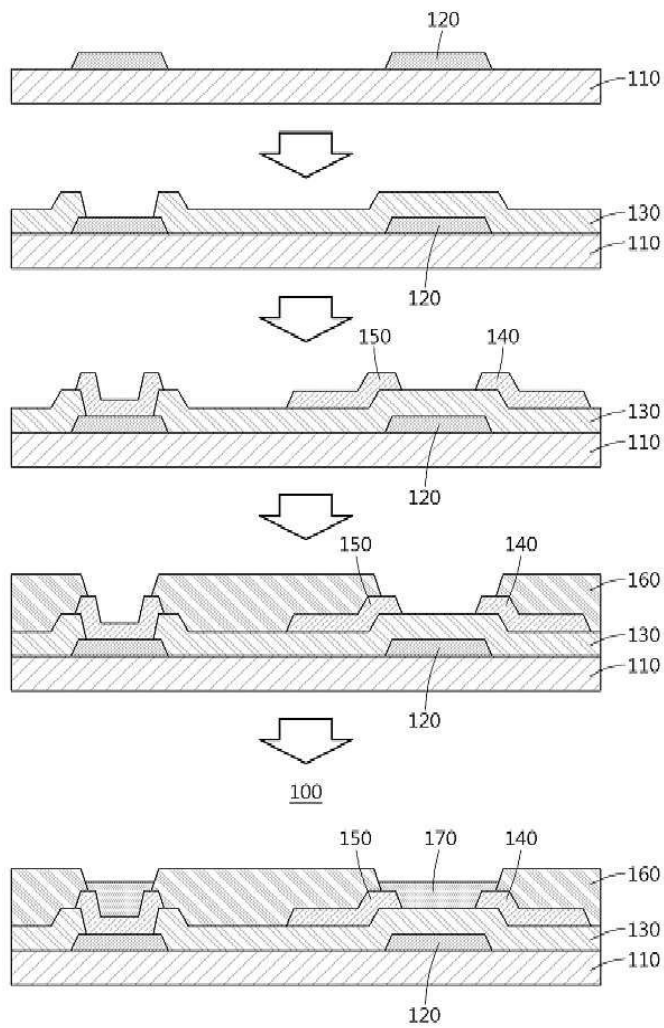
- [0232] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시예에 따라 단수 또는 복수로 표현되었다.
- [0233] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0234] 한편 발명의 설명에서는 구체적인 실시예에 관해 설명하였으나, 다양한 실시예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [0235] 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 할 수 있다.

부호의 설명

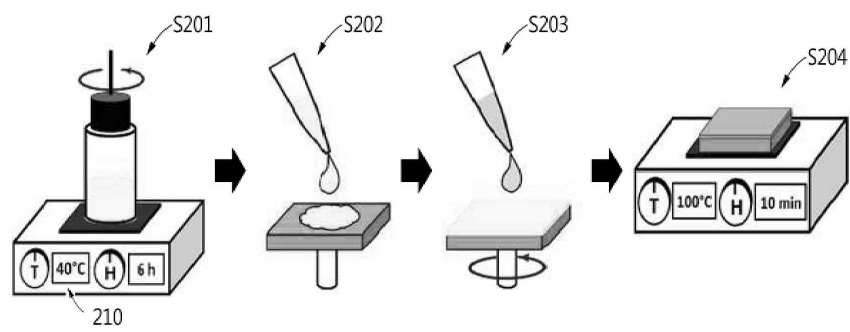
- [0237] 100: 하이브리드 페로브스카이트 박막 트랜지스터
- 110: 기판 120: 게이트 전극
- 130: 절연막 140: 소스 전극
- 150: 드레인 전극 160: 폴리머층
- 170: 하이브리드 페로브스카이트 반도체층

도면

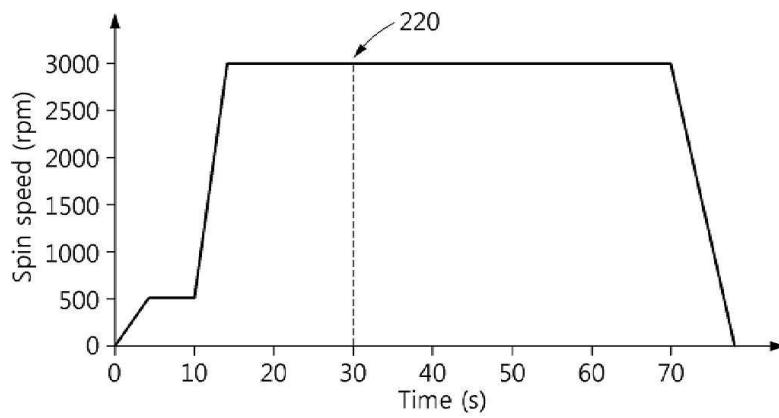
도면1



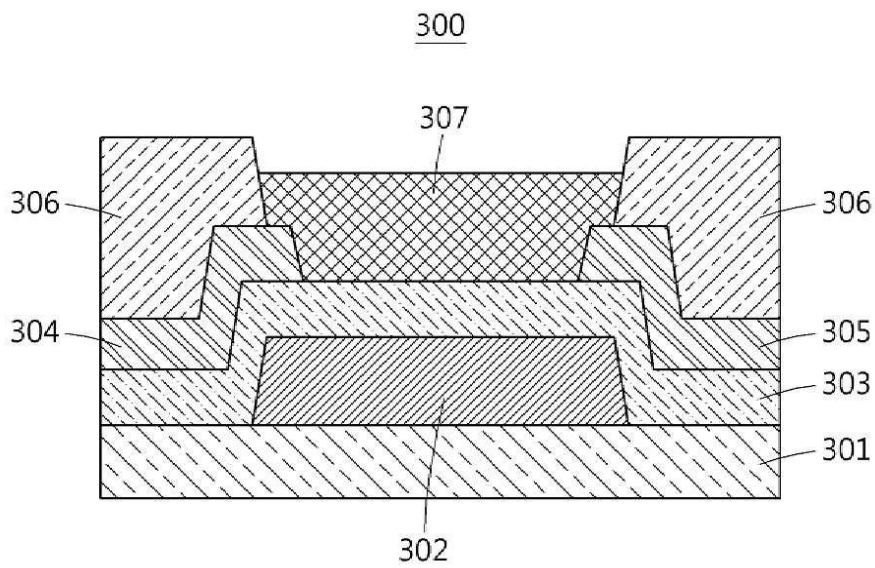
도면2a



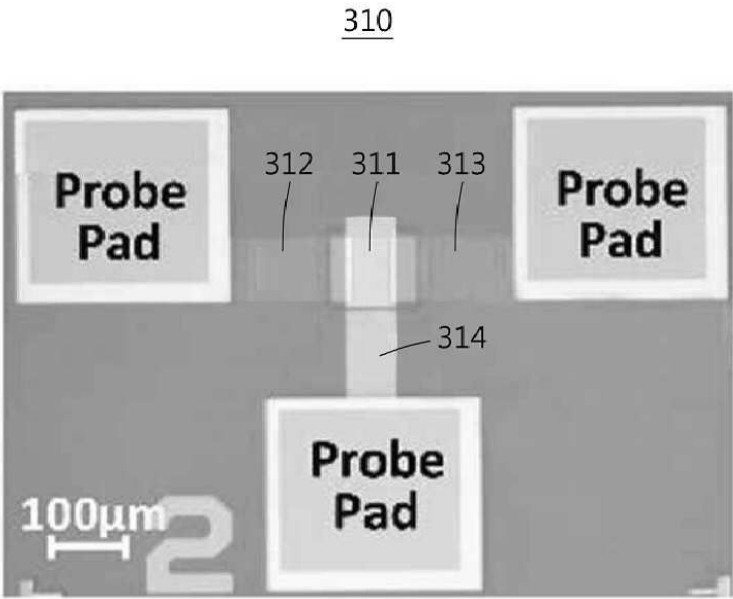
도면2b



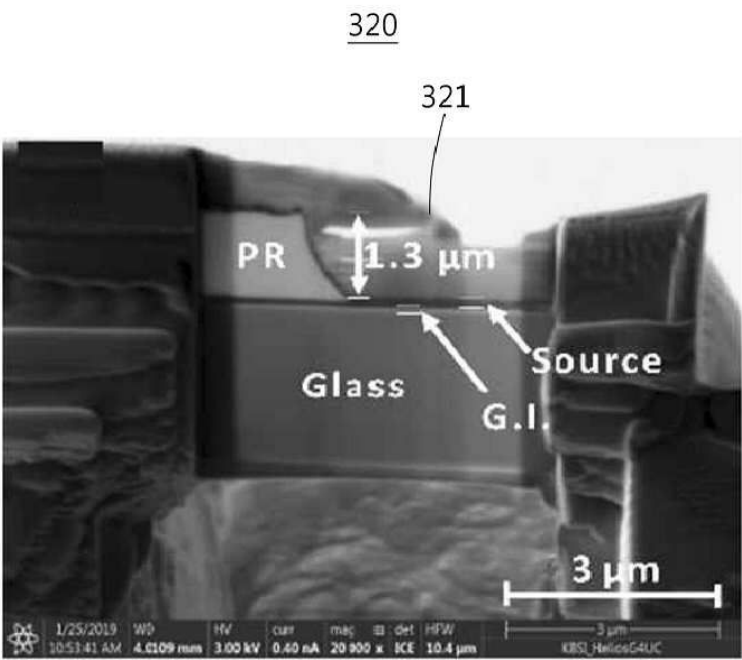
도면3a



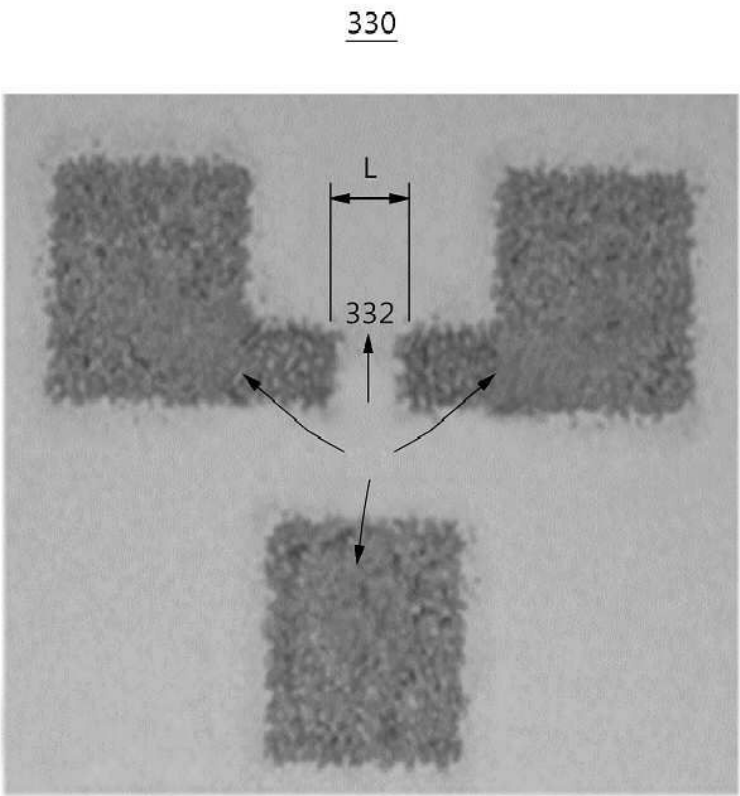
도면3b



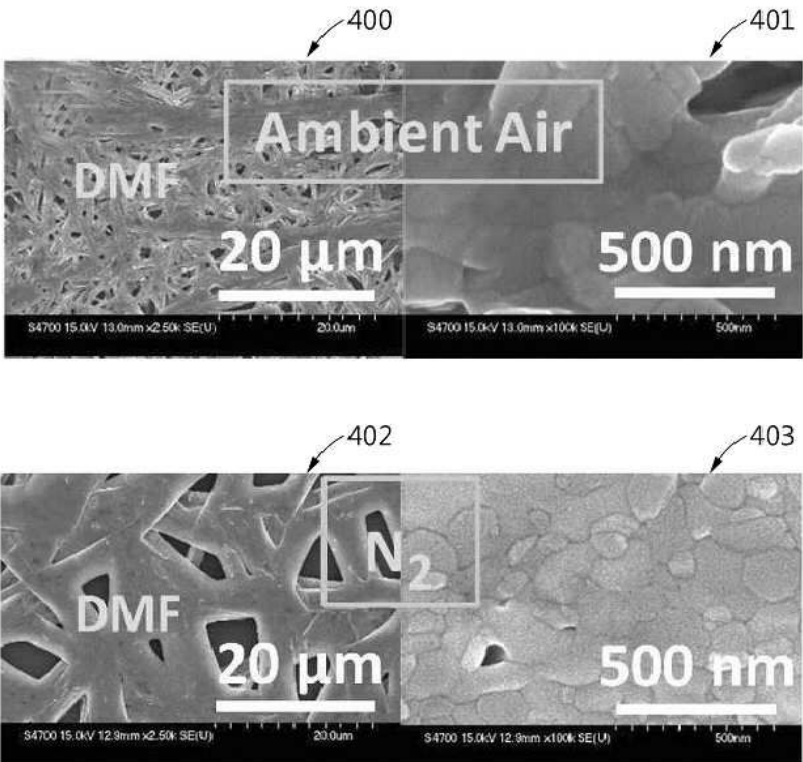
도면3c



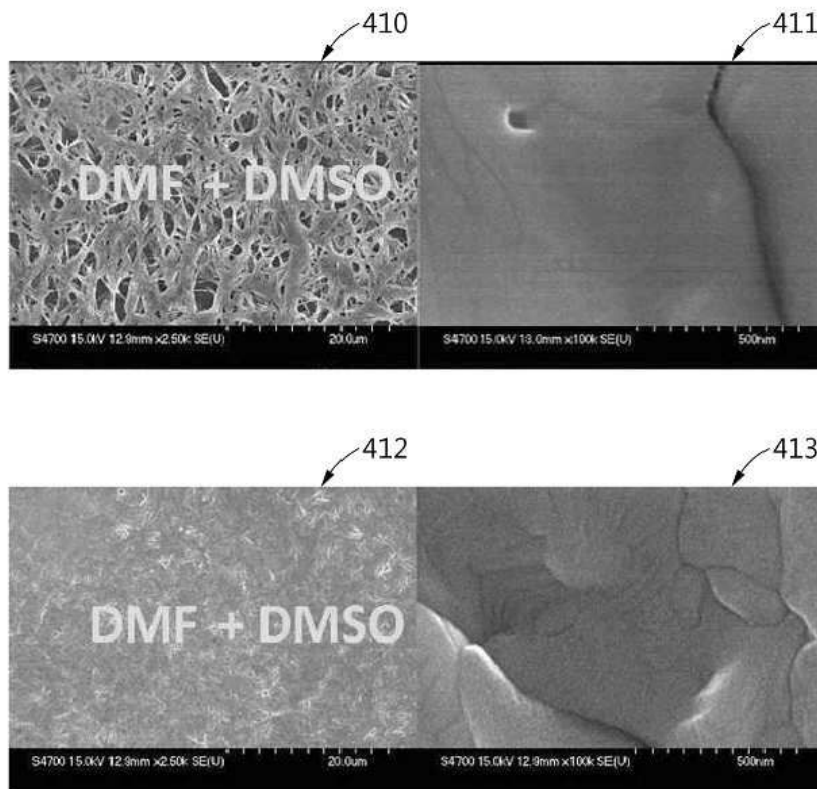
도면3d



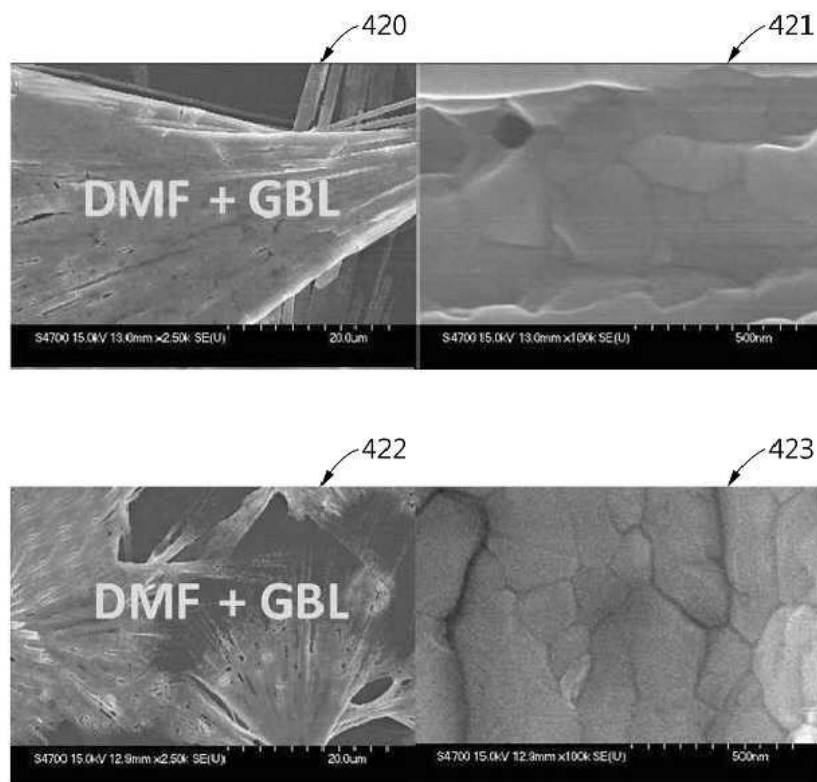
도면4a



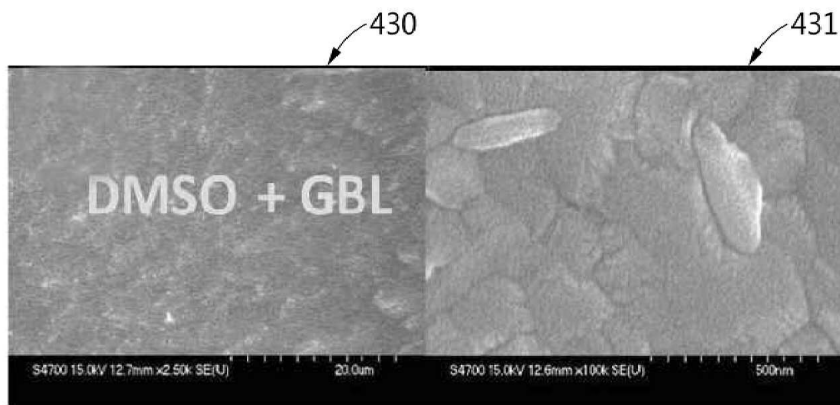
도면4b



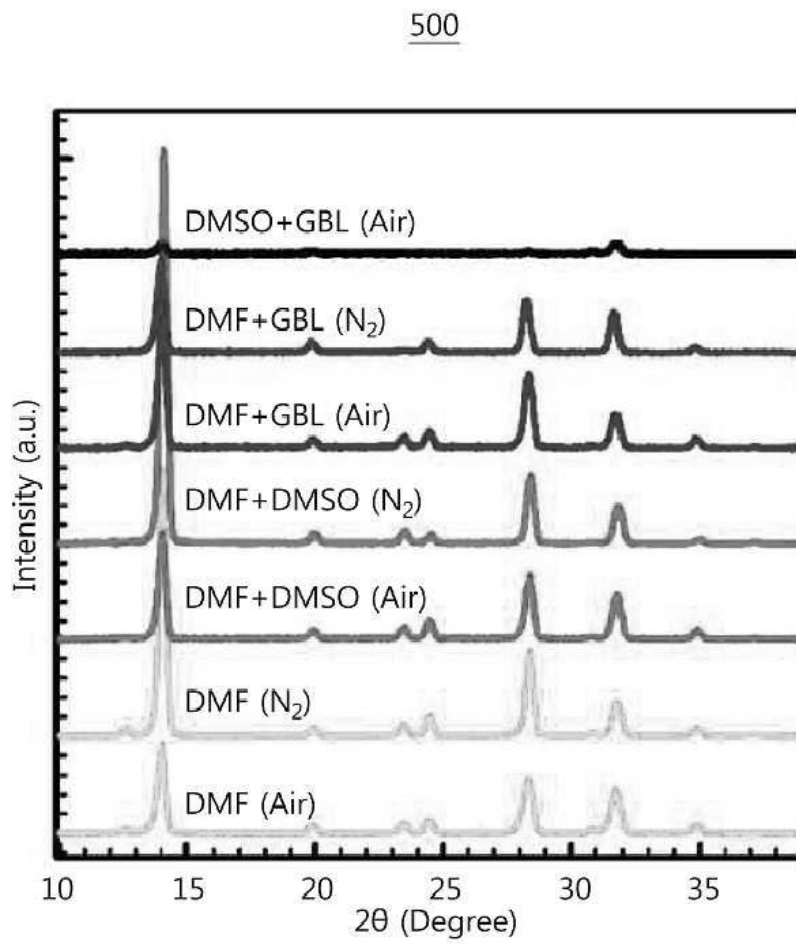
도면4c



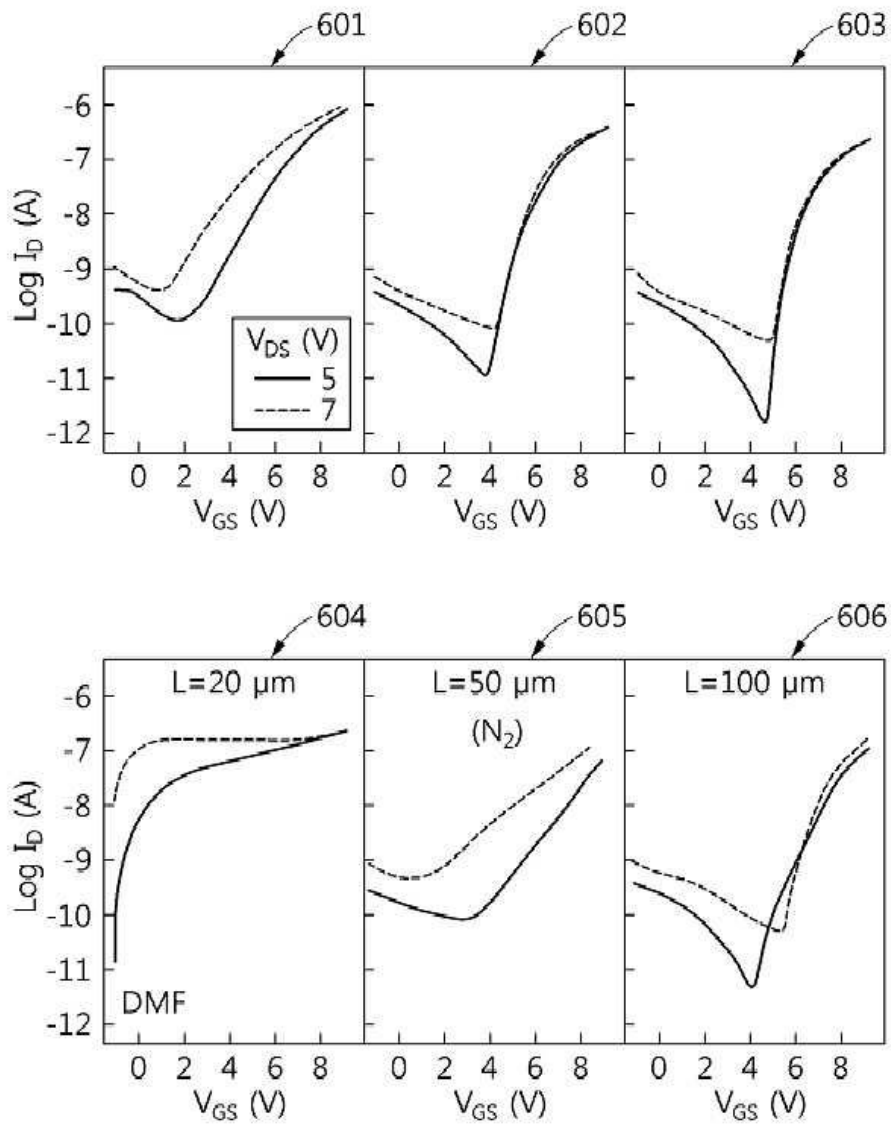
도면4d



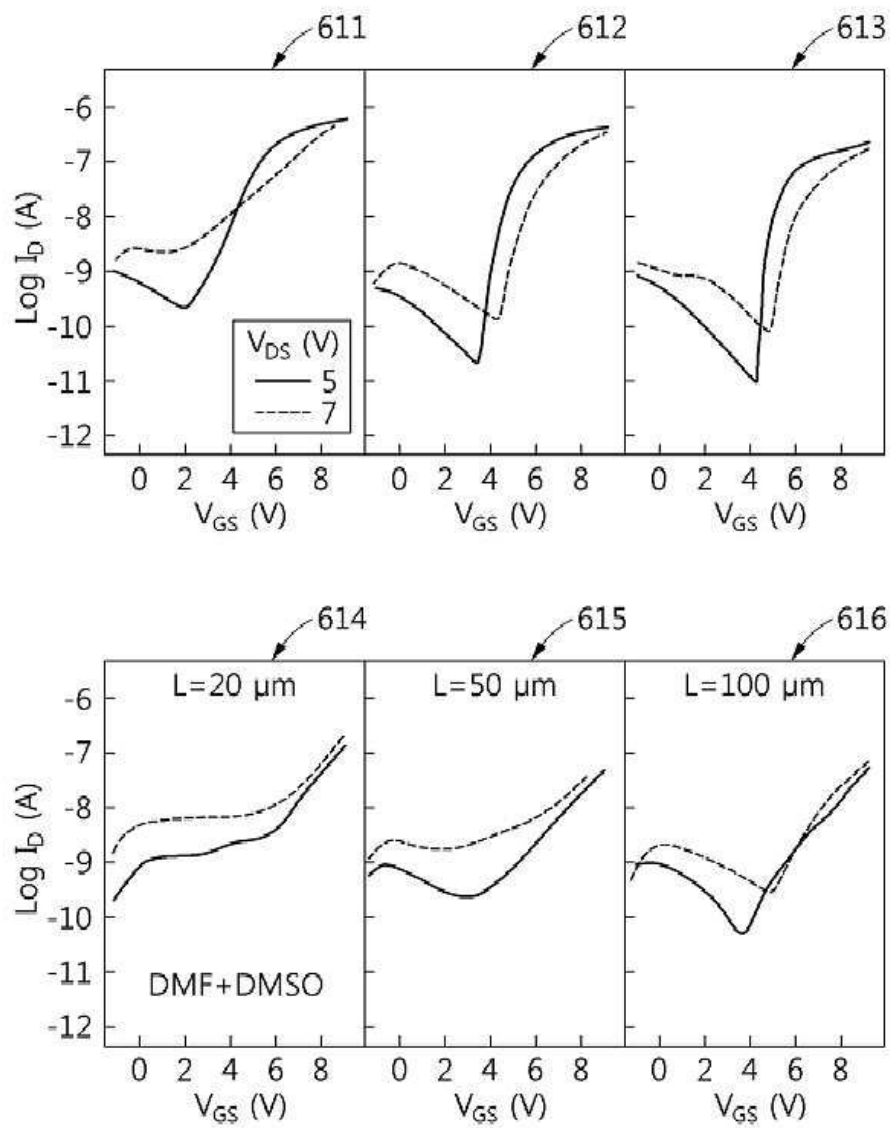
도면5



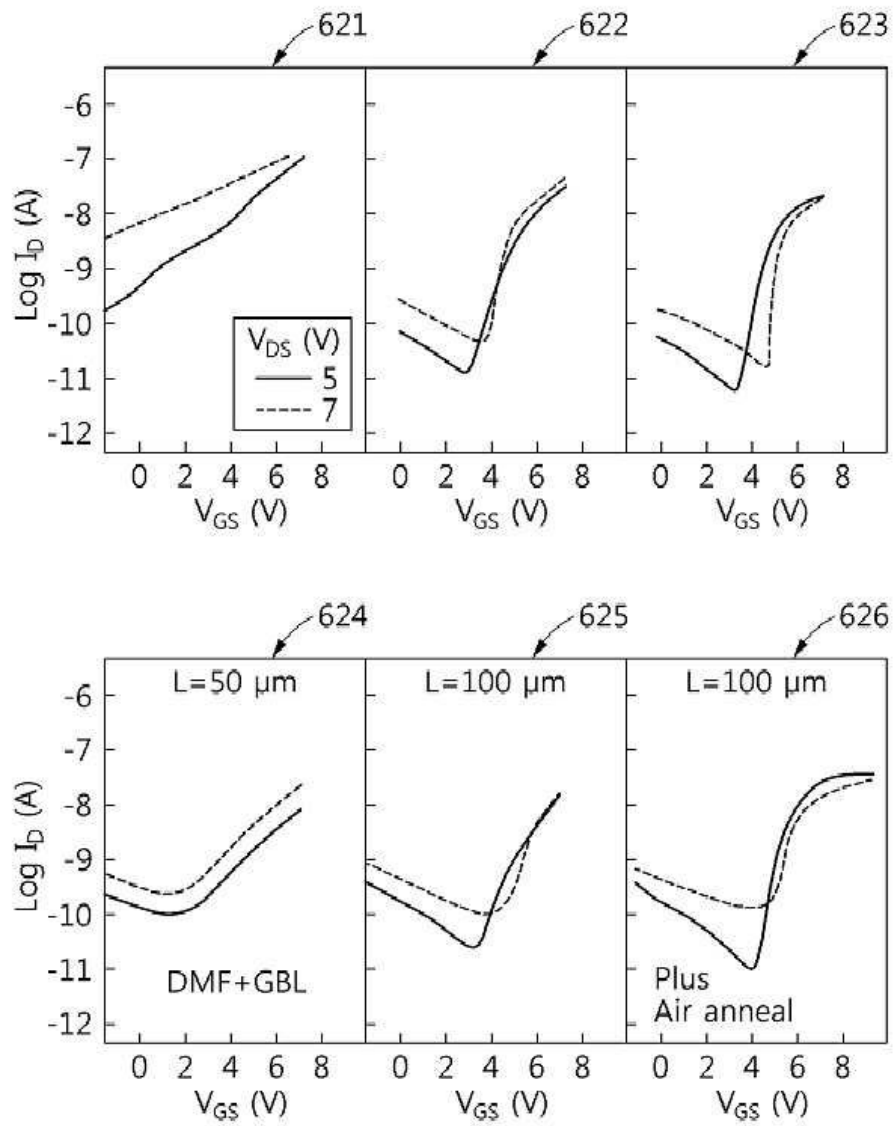
도면6a



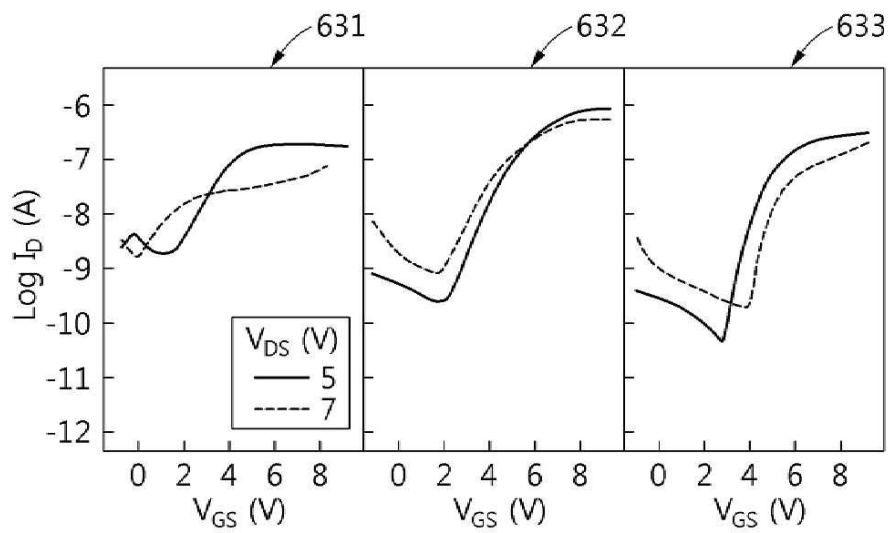
도면6b



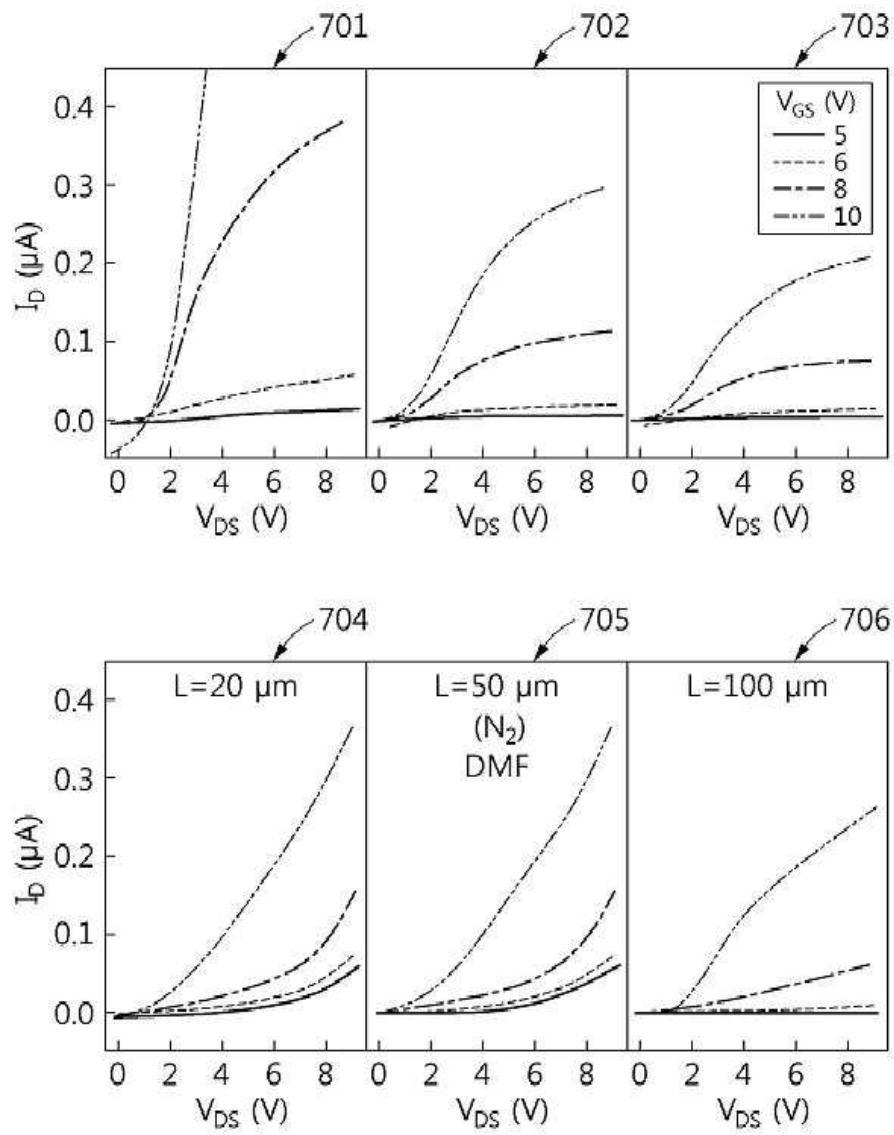
도면6c



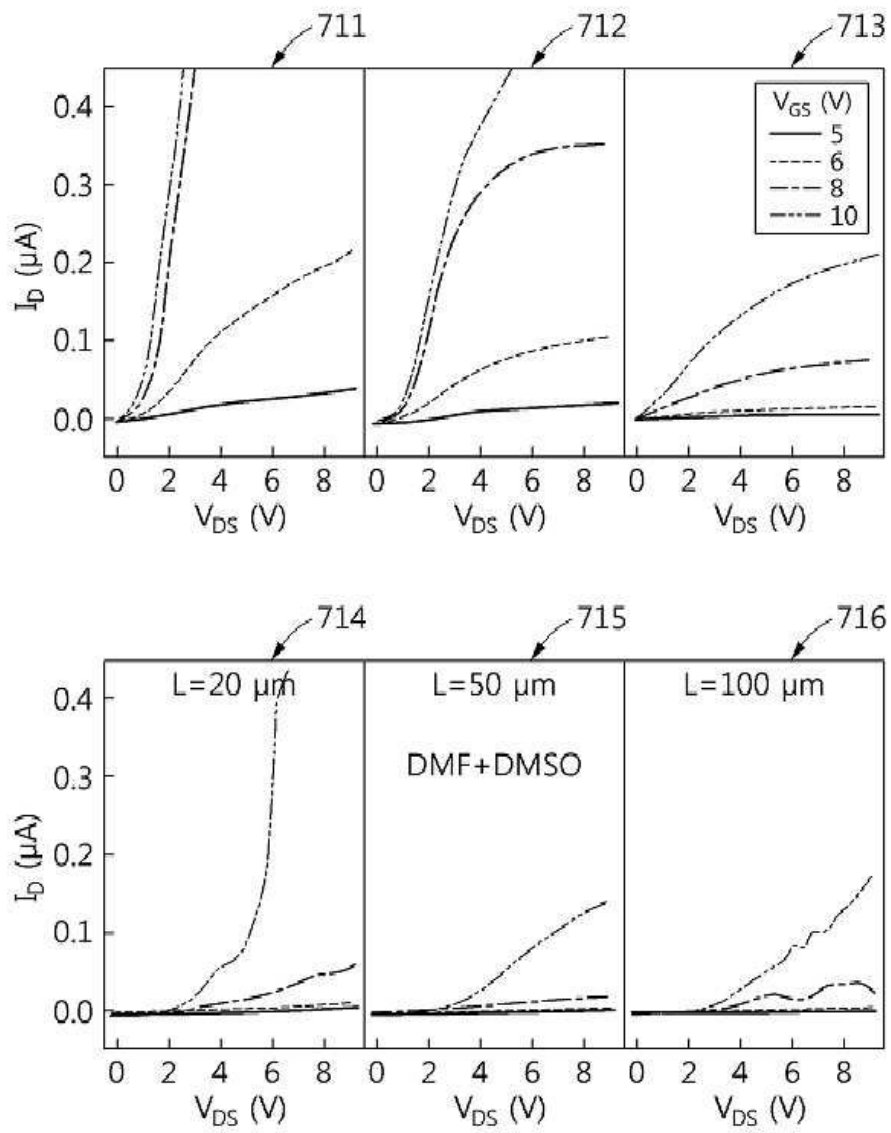
도면6d



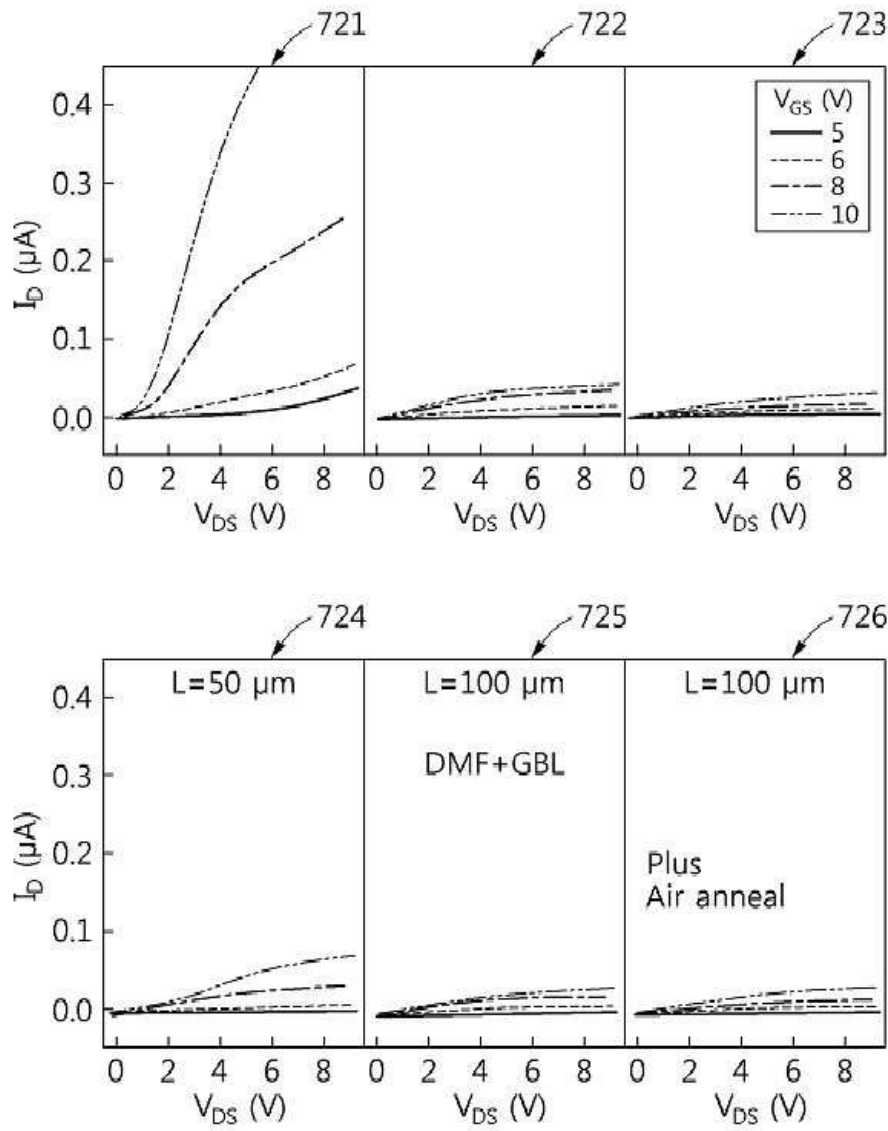
도면7a



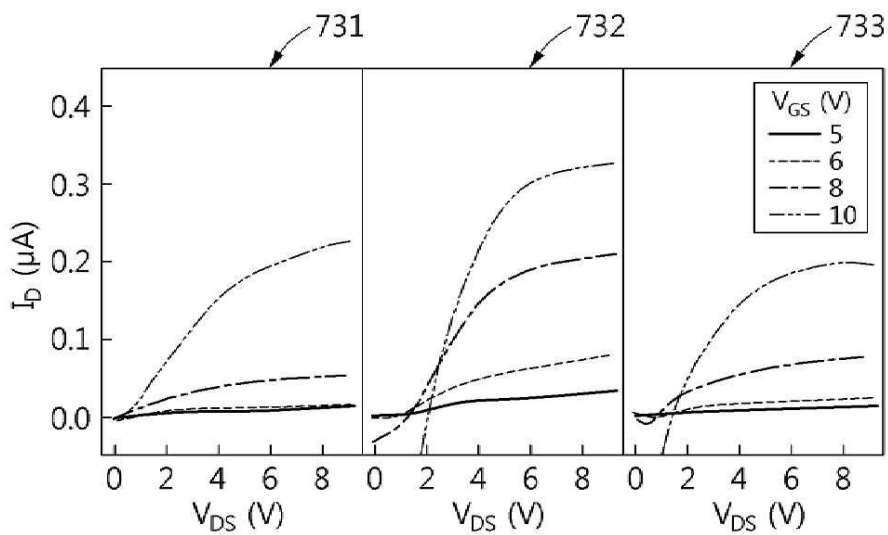
도면7b



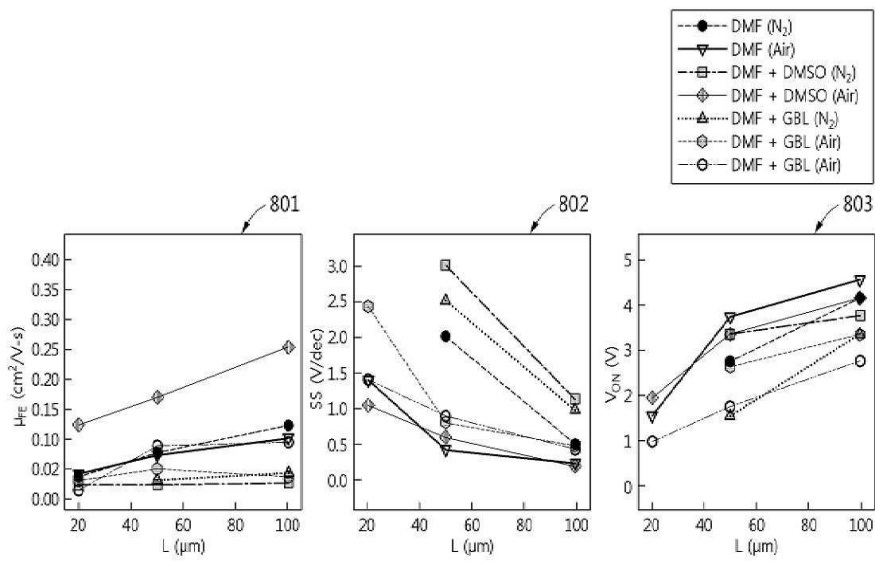
도면7c



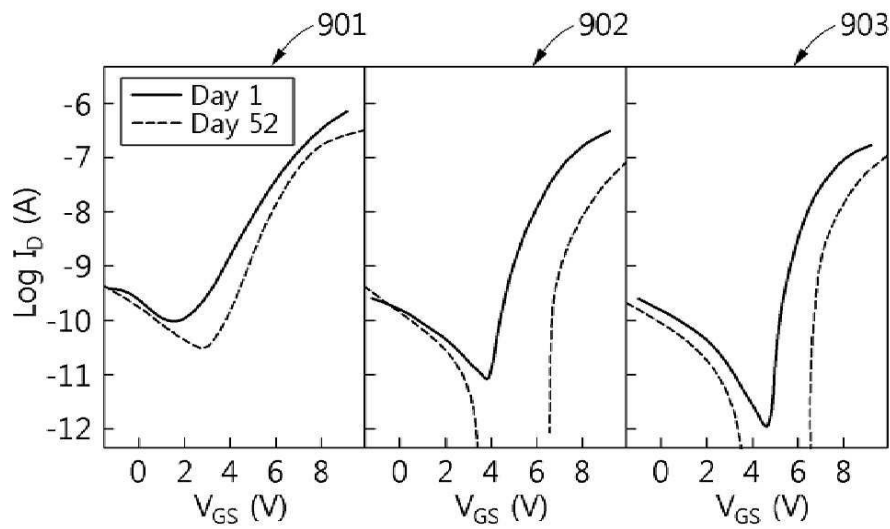
도면7d



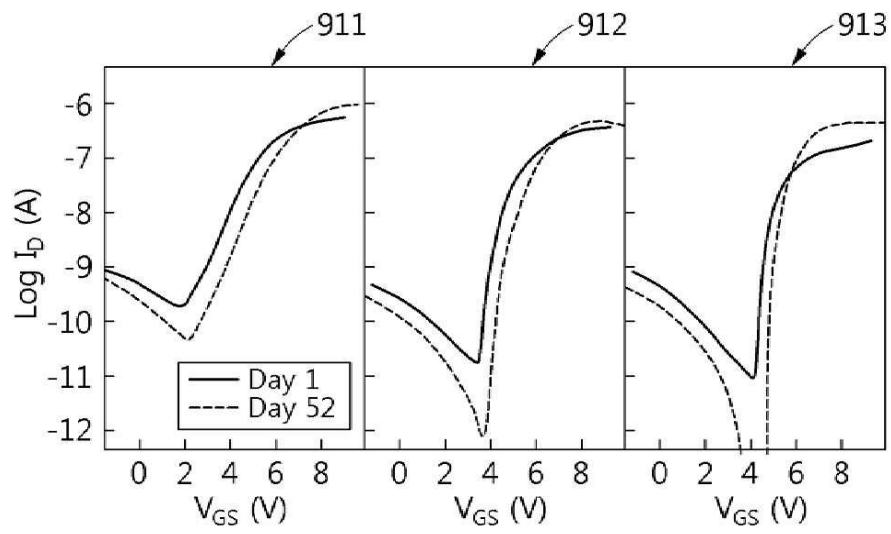
도면8



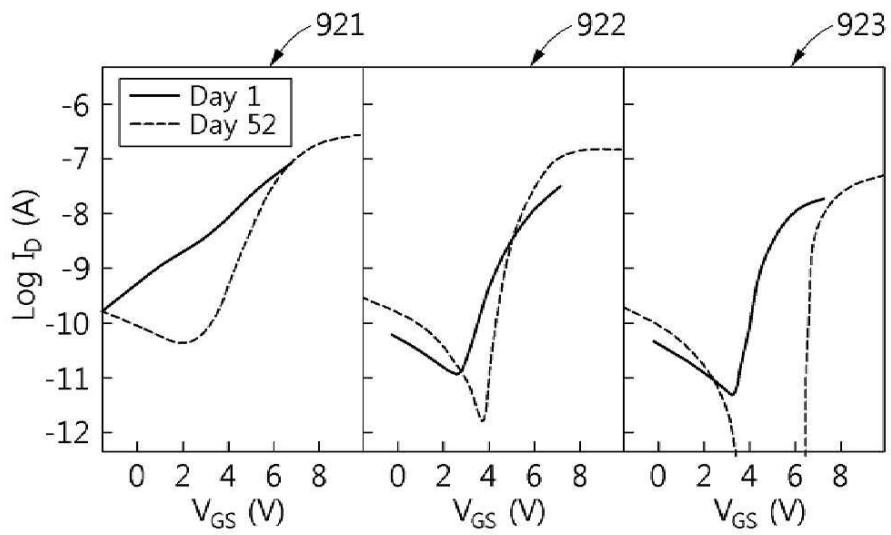
도면9a



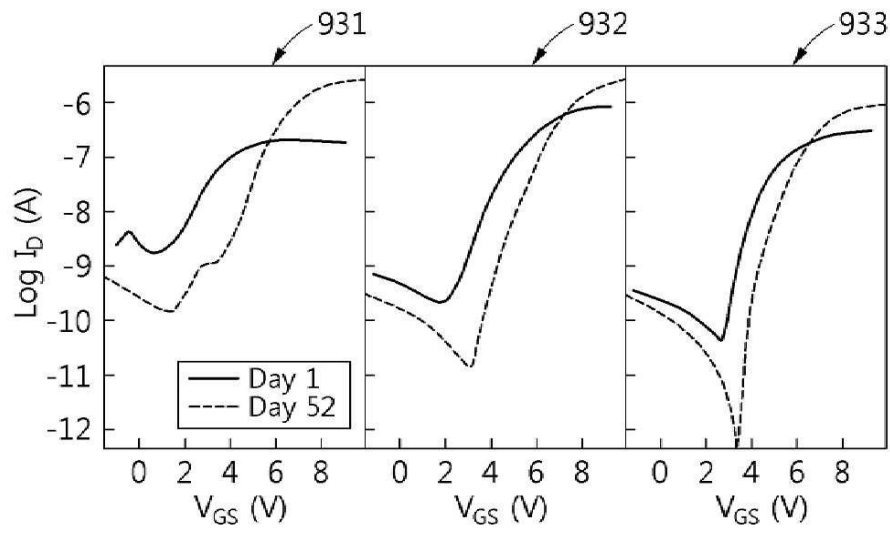
도면9b



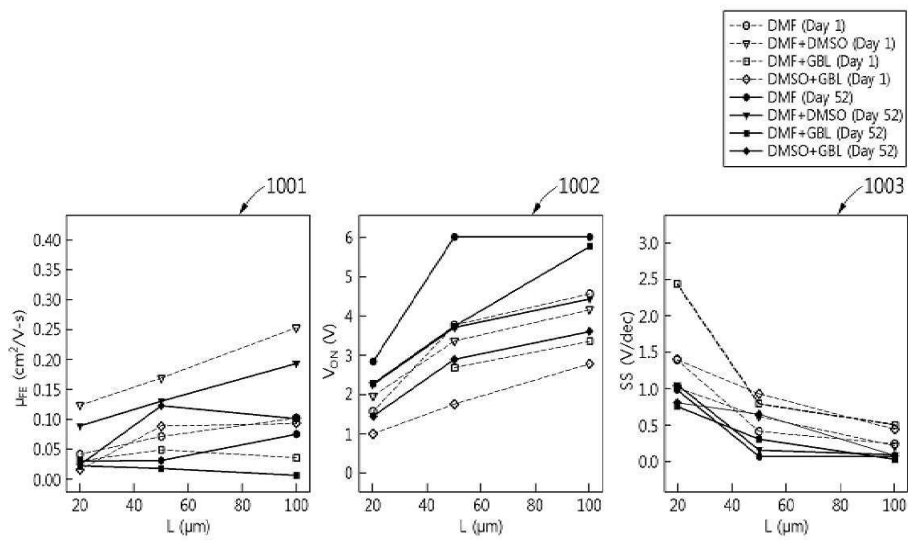
도면9c



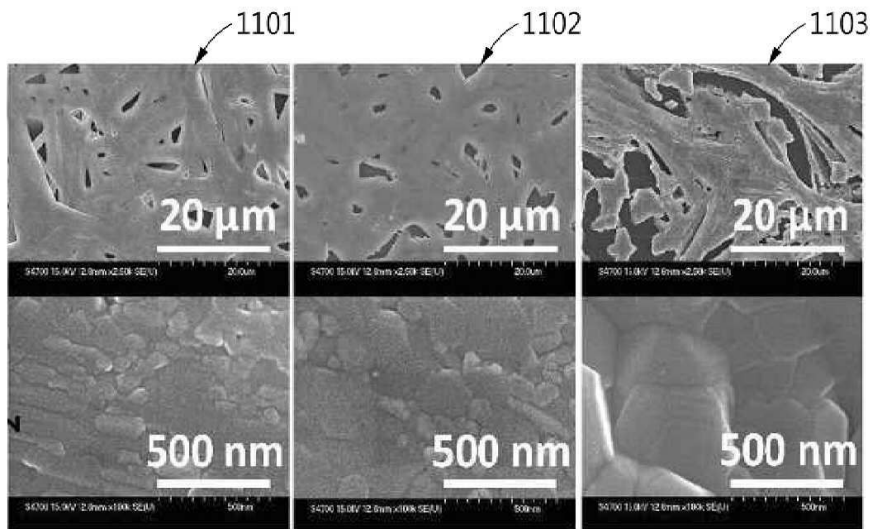
도면9d



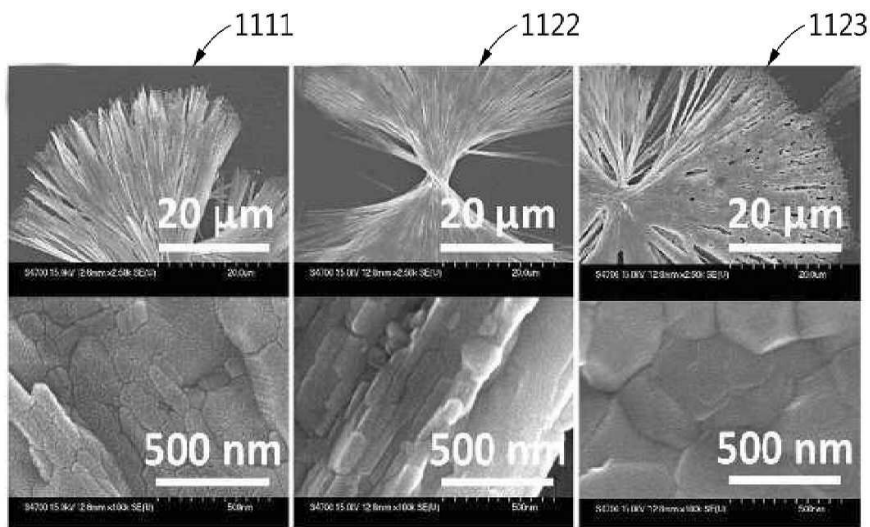
도면10



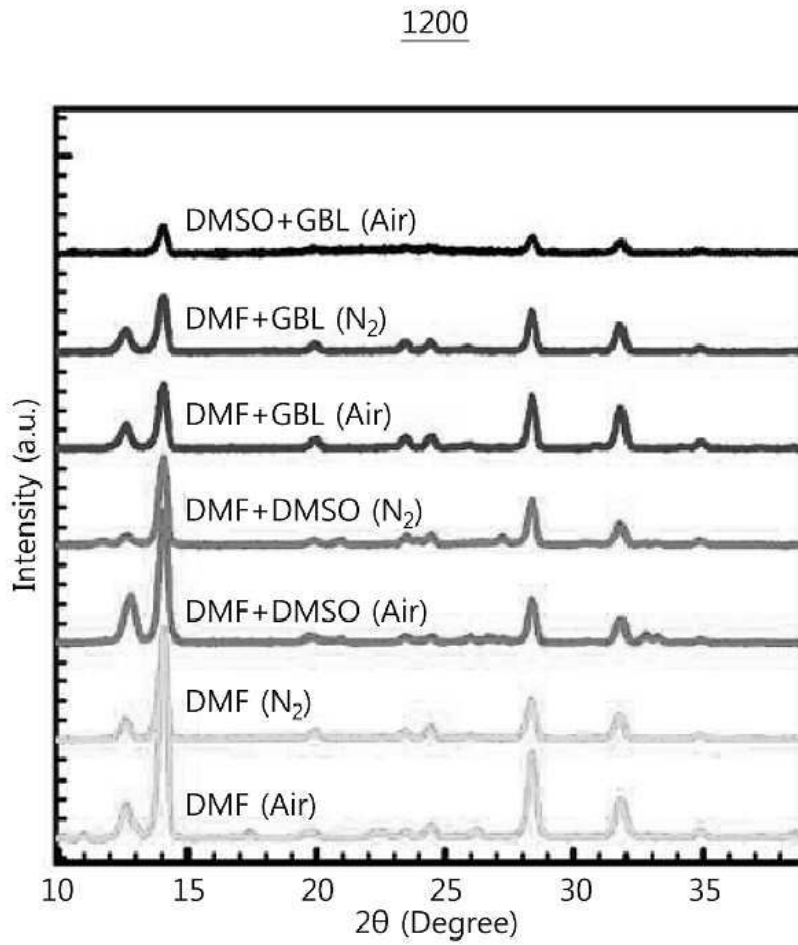
도면11a



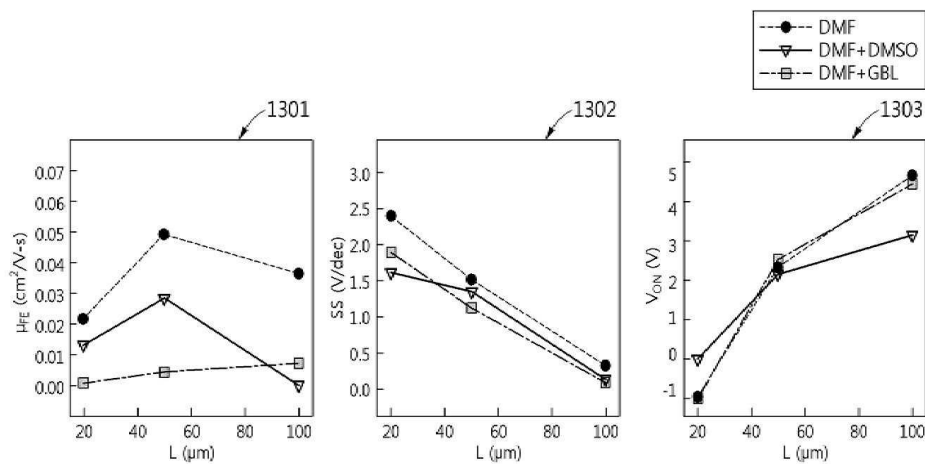
도면11b



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

제8항에 있어서,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

상기 혼합 용매(solvent)에 페로브스카이트 전구체(perovskite precursor)를 용해하거나 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)를 추가하여 용해하고, 스핀 코팅 중 톨루엔(toluene) 첨가하여 상기 बैं크(bank)에 형성되는

하이브리드 페로브스카이트 박막 트랜지스터.

【변경후】

제8항에 있어서,

상기 하이브리드 페로브스카이트(hybrid perovskite) 반도체층은,

상기 혼합 용매(solvent)에 페로브스카이트 전구체(perovskite precursor)를 용해하거나 용매 첨가제인 아이오딘화 수소산(Hydroiodic acid, HI)를 추가하여 용해하고, 스핀 코팅 중 톨루엔(toluene) 첨가하여 상기 बैं크(bank)에 형성되는

하이브리드 페로브스카이트 박막 트랜지스터.