



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523112 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：100109438

(22)申請日：中華民國 100 (2011) 年 03 月 18 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/306 (2006.01)

(30)優先權：2010/03/19 美國

12/727,476

(71)申請人：橡實工業技術公司(美國) ACORN TECHNOLOGIES, INC. (US)
美國

(72)發明人：克林佛頓 保羅 A CLIFTON, PAUL A. (GB)

(74)代理人：陳長文

(56)參考文獻：

TW 200818499

US 6406973B1

US 20040152297A1

US 20040256639A1

US 20070202651A1

US 20080135873A1

審查人員：陳英豪

申請專利範圍項數：23 項 圖式數：9 共 36 頁

(54)名稱

雙軸應變場效電晶體元件

BIAXIAL STRAINED FIELD EFFECT TRANSISTOR DEVICES

(57)摘要

本發明係關於一種與場效電晶體形成接觸之方法，其提供一內埋式應力層邊緣鬆弛，於該內埋式應力層上方之初始鬆弛表面半導體層中引發應變。一方法可以含具有適當厚度及鍺濃度之內埋式矽鍺層之矽或絕緣層上覆矽基板開始進行。可使用其他應力材料。溝槽經蝕刻穿過前金屬介電質至 FET 接觸。蝕刻進一步延伸至基板中，通過表面矽層，通過矽鍺層並進入矽鍺層下方之基板中。該進一步蝕刻係進行至一可充分邊緣鬆弛以於 FET 表面層引發所需程度的縱向應變之深度。隨後加工形成延伸通過該前金屬介電質及至少部份深入基板內之溝槽中之接觸。

A process for forming contacts to a field effect transistor provides edge relaxation of a buried stressor layer, inducing strain in an initially relaxed surface semiconductor layer above the buried stressor layer. A process can start with a silicon or silicon-on-insulator substrate with a buried silicon germanium layer having an appropriate thickness and germanium concentration. Other stressor materials can be used. Trenches are etched through a pre-metal dielectric to the contacts of the FET. Etching extends further into the substrate, through the surface silicon layer, through the silicon germanium layer and into the substrate below the silicon germanium layer. The further etch is performed to a depth to allow for sufficient edge relaxation to induce a desired level of longitudinal strain to the surface layer of the FET. Subsequent processing forms contacts extending through the pre-metal dielectric and at least partially into the trenches within the substrate.

指定代表圖：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100109438

※申請日：100.3.18

※IPC 分類：H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/336 (2006.01)

雙軸應變場效電晶體元件

BIAXIAL STRAINED FIELD EFFECT TRANSISTOR DEVICES

二、中文發明摘要：

本發明係關於一種與場效電晶體形成接觸之方法，其提供一內埋式應力層邊緣鬆弛，於該內埋式應力層上方之初始鬆弛表面半導體層中引發應變。一方法可以含具有適當厚度及錯濃度之內埋式矽錯層之矽或絕緣層上覆矽基板開始進行。可使用其他應力材料。溝槽經蝕刻穿過前金屬介電質至FET接觸。蝕刻進一步延伸至基板中，通過表面矽層，通過矽錯層並進入矽錯層下方之基板中。該進一步蝕刻係進行至一可充分邊緣鬆弛以於FET表面層引發所需程度的縱向應變之深度。隨後加工形成延伸通過該前金屬介電質及至少部份深入基板內之溝槽中之接觸。

三、英文發明摘要：

A process for forming contacts to a field effect transistor provides edge relaxation of a buried stressor layer, inducing strain in an initially relaxed surface semiconductor layer above the buried stressor layer. A process can start with a silicon or silicon-on-insulator substrate with a buried silicon germanium layer having an appropriate thickness and germanium concentration. Other stressor materials can be used. Trenches are etched through a pre-metal dielectric to the contacts of the FET. Etching extends further into the substrate, through the surface silicon layer, through the silicon germanium layer and into the substrate below the silicon germanium layer. The further etch is performed to a depth to allow for sufficient edge relaxation to induce a desired level of longitudinal strain to the surface layer of the FET. Subsequent processing forms contacts extending through the pre-metal dielectric and at least partially into the trenches within the substrate.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	基板
12	溝槽
14	溝槽
16	閘極
18	閘極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種併入應變活性層之應變半導體元件及製造此等元件之方法。本發明更特定而言係關於製造可提供小幾何元件的活性層雙軸應變之應變半導體元件的方法。

【先前技術】

應變矽被廣泛視為一種獲得所需積體電路性能優勢之重要技術。遷移率增強係藉由降低之有效載子質量與降低之谷間(光子)散射之組合所實現。就建立於主要沿 $\langle 110 \rangle$ 結晶軸導電之習知 $\{110\}$ 定向矽基板上之MOS場效電晶體(MOSFET)而言，n-通道MOSFET可藉於頂矽層中沿活性區域之寬度及長度軸引發雙軸拉伸應變而獲得改良的性能。p-通道MOSFET係藉於頂矽層中僅沿寬度軸引發單軸拉伸應變(橫向拉伸應變)而展現改良之性能。p-通道MOSFET亦藉於頂矽層中僅沿長度軸引發單軸壓縮應變(縱向壓縮應變)而展現改良之性能。可在矽表面層中(例如)利用MOSFET之源極及汲極區域中之凹形選擇性磊晶矽鍺應激器選擇性地提供壓縮應變以沿長度軸(縱向)引發所需的單軸壓縮應變。

應變矽習慣上係藉由先在矽基板上生長一矽鍺合金(SiGe)厚層獲得。藉由小心地使層體生長至超出其臨界厚度之厚度或者(例如)藉由植入離子引發錯配位錯，使矽鍺層之表面鬆弛至未應變狀況。矽鍺表面之平面內晶格參數

係與具相同組成之矽鍺塊晶類似。矽鍺合金具有較矽大的晶格參數。因此，矽鍺層之鬆弛表面提供較矽大的平面內晶格參數。在矽鍺層之鬆弛表面上磊晶生長一繼接薄矽層。該矽之薄磊晶層顯露較大的矽鍺平面內晶格參數且以應變狀態生長並結合在沿生長平面伸長之晶格中。此方法(有時稱為基板應變矽或「虛擬基板」技術)可在矽鍺層之鬆弛表面上生長一假晶矽層。

只要應變矽層不超過應變鬆弛之「臨界厚度」並相當小心，則可在整個CMOS製造中典型的各種植入及熱加工步驟期間維持應變矽層中之拉伸應變。

將鬆弛矽鍺層用作「虛擬基板」以使後續沈積的磊晶矽層應變不可避免地需接受該矽鍺層中之極高位錯密度，其係因該矽鍺鬆弛機理係塑性本質。換而言之，矽鍺層之鬆弛係經由應變釋放錯配位錯的產生而發生。矽基板上較臨界厚度薄之矽鍺層未鬆弛並展現極少錯配位錯。若該矽鍺層較臨界厚度厚，則應變晶格經過塑性形變及應力可藉由晶核生成及錯配位錯傳播一定程度地釋放。部分錯配位錯產生穿透位錯(至少 10^4 至 10^5 cm^{-2})，該穿透位錯傳播穿過上覆應變矽層。穿透位錯表示延伸缺陷且在MOSFET中產生多種非所需後果，包括源極/汲極接面漏電、通道遷移率降低、臨界電壓改變及導致短通道MOSFET中可能汲極-源極短路之擴散路徑增強。

當代FET及接觸製造方案係揭示於Jan等人，「A 45 nm Low Power System-On-Chip Technology with Dual Gate

(Logic and I/O) High-k/Metal Gate Strained Silicon Transistors」, International Electron Devices Meeting (IEDM) 2008及Watanabe等人,「A Low Power 40 nm CMOS Technology Featuring Extremely High Density of Logic (2100 kGate/mm²) and SRAM (0.195 μm²) for Wide Range of Mobile Applications with Wireless System」, International Electron Devices Meeting (IEDM) 2008中。此等文獻各描述可用於無線系統中慣用之系統單晶片應用中之高密度、低功率元件。

【發明內容】

本發明的各態樣提供一種製造半導體元件之方法，其包含提供具有一半導體表面層之一基板。一基板具有一半導體表面層及位於該基板內一深度處並鄰接該半導體表面層之一應力層。內埋式應力層相較於該半導體表面層係處於承受應力狀態。一場效電晶體係形成於該半導體表面層上，其中該場效電晶體包含源極及汲極區域及一閘極結構。將一前金屬介電層沈積於該場效電晶體上。蝕刻穿過該前金屬介電層之開口使閘極結構任一側上與應該場效電晶體之源極及汲極部分之基板的接觸部分露出。該方法接著在前金屬介電質中該等開口內蝕刻至基板中，該蝕刻進行至足夠深度而使應力層在半導體表面層中引發應力以於場效電晶體之活性區域中經由邊緣鬆弛提供上半導體層縱向應力。藉由至少部分形成於基板內之接觸與源極及汲極區域形成電接觸。

本發明的其他態樣提供一種製造半導體元件之方法，其包含提供具有一半導體表面層之基板。一場效電晶體係在該半導體表面層上。該場效電晶體包含源極及汲極區域及一閘極結構。在該場效電晶體上形成一前金屬介電層。該方法係藉由在該前金屬介電層中蝕刻開孔並蝕刻至曝露出該閘極結構任一側上基板之接觸部分。利用定向選擇性濕式蝕刻，可在前金屬介電質之開孔中蝕刻該基板。藉由至少部分形成於該基板內之接觸與源極及汲極區域形成接觸。

本發明之另一態樣提供一種製造半導體元件之方法，其包括提供具有藉由溝槽界定於至少兩側面上之區域之基板，該等溝槽係由第一橫向範圍分隔，及選擇性地沈積一應力層及一半導體表面層，該半導體表面層係以承受應力狀態生長在該半導體表面層之第一橫向範圍內。該方法在該半導體表面層上形成一場效電晶體。該場效電晶體包含源極及汲極區域及一閘極結構，且係經佈置以使該場效電晶體之活性區域係在承受應力之半導體表面層中。

【實施方式】

本發明之較佳實施例藉以容許內埋式應力層在場效電晶體(FET)之活性半導體層中經由沿縱向之邊緣鬆弛引發應變之方式與該FET形成接觸而提供FET之活性區域中之頂半導體層縱向應變。本文中縱向意指與源極及汲極間之電流流動同一方向。特佳實施例係使用含具有適宜厚度及銻濃度之內埋式矽銻層之矽或氧化物上覆矽基板。一般而

言，與FET之接觸係藉由蝕刻穿過一前金屬介電質(PMD)(有時或稱為零階層間介電質(ILD0))以作為提供與FET之源極或汲極區域之接觸的一部分所形成。於本發明之較佳實施例中，進一步蝕刻至基板中於介電質中通向藉由前金屬介電質接觸蝕刻所產生之基板之開孔內。該進一步蝕刻係經由表面矽層及較佳經由矽鍍層延伸至基板並進入矽鍍層下方之基板內。進一步蝕刻至足夠深度以獲得所需量的邊緣鬆弛(如美國專利案7,338,834所解釋之術語)以於至少一FET之活性層引發所需量的縱向應力。隨後加工形成延伸通過該前金屬介電質並至少部份地進入基板內之溝槽中之接觸。

美國專利案7,338,834，「Strained Silicon with Elastic Edge Relaxation」描述一種藉由提供一埋於一矽活性層下方之次臨界厚度矽鍍層以有效形成應變矽活性層的方案。就本發明目的而言，術語「臨界厚度」欲指一厚度，高於該厚度將因塑性鬆弛足以對利用含有應力層之基板所製成之積體電路的產率有顯著影響而提高位錯密度，及術語「次臨界厚度」表示小得足以使最終積體電路產品中呈現十分低的位錯密度進而使此產物的產率無顯著降低之應變層厚度。該內埋式矽鍍層之形成時狀態係承受應力，及該活性層之形成時狀態係未受應變。內埋式矽鍍應力層係於(例如)形成溝槽分離結構的製程中該矽活性層裏引發應變。特定言之，溝槽係蝕刻穿過該矽活性層，通過該矽鍍應力層及較佳進入該基板中。自該內埋式應力層將應力重

新分佈於該頂部半導體層係藉由邊緣鬆弛完成，如美國專利案 7,338,834 所述，該案係針對所有目的以引用之方式併入本文。藉將溝槽適當地分隔放置在整個元件表面層周圍，可將雙軸應力引入該元件之頂部半導體層中。

Watanabe 等人，「A Low Power 40 nm CMOS Technology Featuring Extremely High Density of Logic (2100 kGate/mm²) and SRAM (0.195 μm²) for Wide Range of Mobile Applications with Wireless System」，International Electron Devices Meeting (IEDM) 2008 描述鄰接 FET 間無形成溝槽分離結構之場效電晶體的形成。有如下情況存在：在鄰接的 FET 間無蝕刻出分離溝槽，及各 FET 之活性區域可與平行於橫向的溝槽以大距離分隔。因此，難以應用美國專利案 7,338,834 所述之方法以在呈 Watanabe 等人之文獻所述組態之至少一些 FET 活性區域中頂部半導體層裏引發縱向應變。基於美國專利案 7,338,834 所討論之原因，呈 Watanabe 等人之文獻所述組態之 FET 不具有所需性質，即使該等 FET 活性區域係於矽鍺應力層之薄矽層中。此等 FET 組態在高密度靜態隨機存取記憶體 (SRAM) 單元佈線中係極常見，其中大部分 n-通道 FET (特定言之) 一般具有不被沿縱向之溝槽分離中斷之活性區域。

本發明之一較佳實施方案提供一種具有內埋於一半導體表面層下方之一半導體應力層之半導體基板。此加工提供至少兩彼此鄰近佈置之 FET，且該至少兩 FET 間無溝槽分離結構形成。該至少兩 FET 之閘極一般係彼此平行地於其

等各自的活性區域上，但與基本平行排佈可有一些差異，只要該加工在此處對該至少兩FET中之一或多者的頂部半導體層提供縱向應變。於形成該至少兩FET之後，在該等電晶體上形成一前金屬介電層且一般平坦化之。隨後打開一通過該前金屬介電層之接觸溝槽以曝露在或靠近FET之源極或汲極區域之基板表面。

接著藉由蝕刻由前金屬介電層之開孔所曝露出之基板進行加工。可使用習知蝕刻方案來蝕刻該基板，如電漿蝕刻或反應離子蝕刻。該前金屬介電層可用作一用於此基板蝕刻製程之遮罩，或該基板蝕刻製程可使用基於光阻劑之遮罩或硬遮罩。蝕刻係經由表面層進入及較佳穿過應力層，及進入應力層下方之基板進行至基板。較佳地，蝕刻至基板內係自表面層進行至足夠深度以容許內埋式應力層在上覆上半導體層經由邊緣鬆弛而引發足夠量的應變。如美國專利案7,338,834中所詮釋，當接觸溝槽壁十分接近一起時，邊緣鬆弛可有效地轉移應力以於活性層邊緣間一相當比例之距離內引發技術上有用之應變量。應力轉移及邊緣鬆弛可隨深入應力層下方之基板的蝕刻深度的增加而增加。另一方面，應力轉移及邊緣鬆弛亦可以較小蝕刻深度達到。

於此較佳實施方案中，適宜的基板可係一矽晶圓或絕緣層上覆矽(SOI)基板。其他半導體可用作不同應用之基板。就此實施方案而言，適宜應力層之一實例係形成至小於其臨界厚度之矽鍺。另一實例可係以適宜地承受應力之

狀態沈積之氮化矽，該狀態可因不同應用而為拉伸或壓縮。在本技術中存在各種用於形成具有一內埋式應力層之半導體基板的方式。在不考量應力層之類型及其如何形成的情況下，本發明之特佳實施例提供一形成於用於諸如FET之元件之活性區域中之矽表面層。就一矽表面層而言，具有雙軸拉伸應變之活性區域對n-型FET最有利且較佳應力層係一形成於內埋式應力基板內時具有壓縮應力者，此係較佳矽鍍層之情況。適宜的鍍濃度值可為(例如)約10%至100%及此一承受壓縮應力之矽鍍層之厚度宜接近但小於此層之臨界厚度。臨界厚度係根據組成而改變且可根據公認的理論式針對矽基板上矽鍍內之各種鍍濃度進行評估，但就本發明用法而言(如上所述)，「臨界厚度」係根據實際目的視為產率受損之限制厚度，即大於該厚度時所製造之積體電路可觀察到顯著產率下降的應力層厚度。

於溝槽自接觸開孔形成於基板內至所需深度時，實施進一步加工以形成FET中之一者的源極或汲極區域之金屬接觸。於一些組態中，一接觸可為鄰接FET之源極或汲極區域所共用。就單一FET之接觸或兩鄰接FET共用之接觸而言，宜使該接觸之金屬部分至少部份地延伸至基板中，由此此可增加金屬與摻雜源或汲極區域間之表面積，增加接觸之有效面積及較佳降低接觸之電阻。本發明之態樣係提供FET之源極或汲極區域改良之接觸面積及本發明之此等態樣具有與本發明活性層應力態樣無關之用途。

另一方面，宜不令接觸金屬延伸至基板中所蝕刻之溝槽

底部。此不利於接觸金屬延伸至溝槽底部之實施方案的實例係當內埋式矽鍍層係經摻雜以使該層可用作一虛擬接地平面時。

標題為「Strained Silicon with Elastic Edge Relaxation」之美國專利案7,338,834係以引用全文內容及教義之方式併入本文中。美國專利案7,338,834論述彈性邊緣鬆弛及其在有效建立應變矽區域中之用途，及該專利係以其有關應力鬆弛及形成應變材料區域之教義全文特定地併入本文中。

於許多較佳實施例中，分離溝槽係用於部份地分離個別FET或FET組。此等分離溝槽較佳係相對FET或FET組之部分設置，以促進或導致邊緣鬆弛及容許內埋式應力層在上覆活性層中部份地引發應力。此經引發之應變操作係如美國專利案7,338,834中所描述。於本文所述之一些較佳實施方案中，分離溝槽可僅係各FET之活性區域之近端部分，及因此該等分離溝槽可僅對靠近分離溝槽之FET部分提供邊緣鬆弛。圖1示意性地顯示一佈局，其中基板10具有分離一組沿基板10之矽條帶排佈的電晶體之分離溝槽12、14。如圖1中之平面圖所示，電晶體陣列之閘極16、18十分靠近以避免在沿條帶之鄰接閘極間形成分離溝槽。於替代實施方案中，圖1中所示之組態可經選擇以於(甚至)製程考量容許在沿條帶之閘極間形成分離溝槽的情況下促進共用接觸的形成。由於FET沿條帶之佈局不會在鄰接FET間形成分離溝槽，故溝槽無法輕易地用於將縱向應力自下面應力層轉移至上面上覆半導體層。

圖2顯示貫穿圖1之條帶及特別係貫穿閘極16之橫截面圖。如圖所示，基板10具有較佳係如美國專利案7,338,834所述之矽鍍層之內埋式應力層20。或者，該內埋式應力層可係承受壓縮或拉伸應力之氮化矽或另一適宜的應力材料。基板10(例如)較佳可係一矽基板或絕緣層上覆矽基板或其他基板。如該專利案所述，較佳矽鍍應力層20係以承受壓縮應力狀態地形成。當將與分離結構12、14相關的分離溝槽蝕刻穿過上矽層22及內埋式應力層20時，該內埋式矽鍍應力層20會於該上矽層22中引發應變。於較佳實施方案中，所示溝槽十分靠近於一起以可邊緣鬆弛並於上矽層22之整個橫向範圍內引發應變。另一方面，不論上矽層是否在圖2所示之整個寬度內承受應力，均適宜應用下述接觸邊緣鬆弛方案。

實施進一步習知加工以形成FET，包括形成閘極介電質、閘電極、間隔物、源極及汲極區域(未顯示)或接觸區域(未顯示)。圖2中高度示意地顯示包含一閘電極之一FET。較佳地，該上矽層22係於閘電極16之整個橫向範圍下承受應力以於所需的彼等情況中提供橫向應力。圖3示意性地顯示四個電晶體的橫截面，且顯示閘電極16、18以及間隔物及閘極絕緣結構24、26。於圖3所示之橫截面中，上矽層22之縱向(其係於圖示平面內)無承受應力，因為邊緣鬆弛未於縱向發生。圖4顯示加工圖3 FET陣列之下一階段，其中零階層間介電質或前金屬介電質30係沈積於FET陣列上。該前金屬介電質30一般係(例如)利用化學機

械拋光平坦化以提供圖4中所示之中間積體電路結構。應理解於圖4及其他圖中，僅顯示遠較大的晶圓或工件中的一部分。

加工繼續如圖5所示般進行以蝕刻接觸溝槽32、34穿過前金屬介電質至圖5中所示的電晶體有關之源極及汲極區域上方或與其鄰接之基板。該接觸蝕刻製程可利用習知光微影使用熟知之光阻劑、硬性或其他遮罩技術來實施。介電質所使用之一般乾式蝕刻化學將停於基板表面，但圖5中所示之步驟一般係一中間加工步驟及於較佳實施例中，該蝕刻繼續進行至基板板以於該基板中形成溝槽。

一般而言，此實施例中之接觸溝槽宜係平行於閘電極地延伸至極大範圍。較佳地，該等接觸溝槽係延伸通過溝槽分離結構12與14間之整個距離。接觸溝槽與鄰接閘電極之間隔將隨工件上之對準公差及均勻性而變。且，雖然所示實施例係FET陣列，然而，本文所述之方案宜使用個別接觸FET源極及汲極區域之個別FET。

在如圖5所示般蝕刻接觸溝槽32、34後，進行進一步蝕刻以如圖6所示般將溝槽36、38蝕刻至基板中。在接觸開孔中實施基板蝕刻以使基板溝槽36、38之橫向範圍係類似穿過前金屬介電質30之接觸溝槽34之橫向範圍。較佳地，溝槽36、38延伸通過表面層22、通過應力層20並進入應力層下面之基板中。用於垂直或各向異性地蝕刻穿過基板及應力層之乾式蝕刻化學係已熟知且較佳用於形成所示之溝槽36、38。適宜的蝕刻系統，如反應離子蝕刻設備為熟習

本技術者已知。如美國專利案7,338,834所述，較佳表面矽層22及較佳內埋式矽鍍層20可各具有針對特定元件幾何形態及應用選擇之厚度及組成。一般而言，溝槽係經蝕刻至(例如)約10至50奈米之深度。

當以上述方式將接觸溝槽36、38蝕刻至基板中時，內埋式應力層20會鬆弛並於上層22中引發應變，而無需進一步加工。於內埋式應力層承受壓縮性平面內應力之較佳實施例中，一部份壓縮性平面內應力係藉由接觸溝槽邊緣處之彈性鬆弛來釋放及在上層中引發拉伸應變。於所示之實施例中，在FET之各側面上蝕刻溝槽36、38，相鄰溝槽間之分隔一般係小得足以使邊緣鬆弛可有效地遍及溝槽間之整個分隔上，於上半導體層22中整個溝槽間之距離處提供縱向應變及在表面層22中之閘電極16、18下方縱向地延伸。由於深入基板中之接觸溝槽36、38延伸通過溝槽12、14間之大部份及較佳整個橫向距離範圍，故上矽層22在形成FET通道之有用橫向部分上承受縱向應變。於溝槽間，上層中之應力分佈不均一。模擬顯示：上層中所引發之應變可在距離產生邊緣鬆弛之溝槽邊緣50奈米(nm)至200奈米的任何處達到峰值。就目前所設想之元件幾何形態中接觸溝槽間之100奈米範圍而言，模擬表明引發應變之峰值最可能係於溝槽間之中點處。理所當然地，用於分隔溝槽之不同幾何形態可展現不同的應力分佈。本文中，如上所述，術語邊緣鬆弛具有與美國專利案7,338,834所提供的相同意義。

於本文所述之實施方案中，可利用溝槽分離結構與延伸至基板中之接觸溝槽之組合提供FET活性區域雙軸應變。此雙軸應變對n-通道FET最為有利。就較佳n-通道FET而言，最佳是組合經由形成分離溝槽所引發之應力與經由形成接觸區域溝槽所引發之應力以提供該較佳矽活性層有效的雙軸應力。

於如圖6所示之基板溝槽蝕刻及邊緣鬆弛之後，繼續進行進一步加工以形成延伸至與所示FET之源極及汲極區域接觸之金屬導體，如圖7中所示。用於形成接觸之製程可(例如)以與頒予Fastow等人之「Contact Metallization for Semiconductor Devices」之美國專利申請公開案2009/0166866所述極相同的方式實施。Fastow公開案係以引用全文之方式併入本文中，包括其有關蝕刻接觸開孔及形成金屬矽化物及對FET接觸區域之金屬導體的論述。

圖7之接觸形成製程係藉由清洗形成接觸之溝槽底部處之矽表面進行。該製程將諸如鈦、鈷或鎳之矽化物形成金屬沈積於經曝露之半導體表面上，該半導體表面隨後與矽反應形成金屬矽化物。此沈積係藉由化學氣相沈積或物理氣相沈積實施。進一步加工沈積諸如氮化鈦或氮化鎢之犧牲金屬襯膜以保護矽化物形成金屬免受退火期間氧化。隨後實施退火(一般而言，快速熱退火)以使所沈積之矽化物形成金屬與矽反應形成矽化物。該製程隨後(例如)藉由液體酸性蝕刻及清洗來移除未反應之矽化物形成金屬及犧牲金屬襯膜。然後，沈積一諸如氮化鈦之薄導電層以改良接

觸金屬與矽化物及接觸溝槽側壁間之黏著。隨後利用(例如)化學氣相沈積來沈積諸如鎢之接觸金屬。當然，此僅係一實施例。可將諸如銅之其他金屬用作接觸金屬，只要先沈積一金屬擴散阻障襯膜。此外，可以絕緣體部份地填充溝槽之基板部分及僅以接觸金屬化來部份地填充該溝槽。

於接觸形成後，該製程提供一在其各別活性區域之上層中具有雙軸應變之FET陣列，其中該雙軸應變係藉由邊緣鬆弛來有效地提供。FET通道區域中應變之橫向分量係藉由分離溝槽處之邊緣鬆弛提供，及FET通道區域中應變之縱向分量係藉由接觸溝槽處之邊緣鬆弛提供。較佳地，所形成之FET係n-通道FET。實施進一步加工以完成該積體電路元件，形成由層間介電質分離之數層金屬佈線。

圖8及9顯示本發明態樣之一替代實施例之態樣。此替代實施例係自圖5中所示之中間製程階段開始，其中接觸溝槽經蝕刻以曝露基板。如圖8中所示，層44係內埋式應力層且較佳係矽鍺。層46係上活性層且較佳係矽。圖8及9之示意圖中層44及46之相對比例係經調整以更方便地說明此替代製程之態樣，但非意欲提出一不同組態或製程。即，層20及層44類似且其等之組成可根據不同實施方案選擇。應力層20及44之適宜尺寸及組成之實例係如上所述。類似地，上活性層22及46類似且其等組成可明顯變化。表面層22之適宜尺寸及組成之實例係如上所述。

並非利用反應離子或電漿蝕刻來將溝槽蝕刻至基板中，

圖8中所示之製程係利用濕式蝕刻蝕刻至基板中。如圖8中所示，令基板接觸蝕刻與前金屬介電層30中之開孔對準。所示之接觸蝕刻有利地促成可改良與接觸之源極及汲極區域之接觸導電性之較大面積接觸48、50。濕式蝕刻製程形成較大面積接觸，其係濕式蝕刻製程之一獨有優點且可不依賴本文所述之邊緣鬆弛及引發應力優點地來實施。另一方面，所示之濕式蝕刻製程較佳且宜作為邊緣鬆弛製程中之一部分來實施。因此，當圖8之接觸溝槽蝕刻穿過表面層46及內埋式應力層44並進入下面基板中時，應力會在層44中釋放並以上述圖7所討論之方式在下面層46中引發。

圖8之濕式蝕刻較佳係利用定向選擇性濕式蝕刻及矽晶圓之 $\{100\}$ 定向表面來完成。此方法之一優點係錐狀接觸孔因 $\{111\}$ 晶格平面與 $\{100\}$ 晶格平面間之 54.74° 固定角而在矽中具有等於接觸開孔寬度之70.7%之自限深度。此定向選擇性蝕刻在矽中形成一四面型向內傾斜之接觸孔，其中該四個側面係對應 $\{111\}$ 結晶面。適宜的濕式蝕刻溶液包括：四甲基氫氧化銨(TMAH)溶液、氫氧化鉀(KOH)溶液、氫氧化鈉(NaOH)溶液；氫氧化銨(NH_4OH)水溶液、至少部份地由乙二胺(1,2-二胺基乙烷水合物) $\text{NH}_2(\text{CH}_2\cdot\text{CH}_2)\text{NH}_2$ 及鄰苯二酚(鄰二羥基苯) $\text{C}_6\text{H}_4(\text{OH})_2$ 組成之溶液、或胼水溶液。

於接觸開孔蝕刻後，且不論該接觸蝕刻是否與邊緣鬆弛製程組合，在接觸開孔中形成金屬接觸以與FET之源極或汲極接觸區域接觸。此可(例如)以上述參照圖7所討論之方

式來實施。於接觸形成後，該製程將提供一在各活性區域之上表面層中具有雙軸應變或甚至僅單軸縱向應變之FET陣列，其中該應變係藉由邊緣鬆弛有效地提供。較佳地，所形成之FET係n-通道FET。實施進一步加工以完成該積體電路元件，形成由層間介電質分隔之數層金屬佈線。

如上所述，可選擇不同材料作為應力層。除如上主要論述之矽鍍外，可提供經沈積具有內建應力之氮化矽或氮氧化矽作為應力層。提供氮化矽或氮氧化矽作為應力層在矽鍍製造上具有重要優點，例如，宜在絕緣層上覆矽(SOI)晶圓中形成場效電晶體之情況。將氮化矽用作內埋式應力層提供額外的可撓性，其係因氮化矽可以承受壓縮或拉伸應力狀態沈積且因此可用於在上覆矽表面層中經由氮化矽層之邊緣鬆弛引發拉伸或壓縮應力。氮化矽內埋式應力層可藉由晶圓接合技術提供。例如，用於藉由晶圓接合形成內埋式應力氮化矽或氮氧化矽層之各種方法係描述於頒予Wristers等人之美國專利案6,707,106中，該案係以引用此等及其他教義的方式併入本文中。氮化矽應力層在其上及下表面中之一或兩者上可具有氧化矽層。若氧化矽層介入氮化矽應力層與頂部半導體活性層之間，則氧化矽-半導體介面相較於氮化矽-矽介面具有極佳電性質。另一方面，若介入之氧化矽層係用作應力緩衝層，則藉由邊緣鬆弛在頂部半導體層中所引發之應力因該緩衝層之固有機械順從性而較小。因此，於一些情況中，宜使內埋式氮化矽層直接與頂部半導體活性層接觸。

下文為一種用於製造與頂部半導體活性層直接接觸之內埋式氮化矽層之較佳方法。於一示例性製程中，先在供體矽晶圓之表面上形成一高品質氮化矽薄膜，其係藉由熱氮化，例如，利用自由氮原子電漿源或諸如氨(NH₃)之分子氮源及加熱至300°C至1050°C之高溫及隨後可沈積氮化矽或氮氧化矽應力層，接著沈積氧化矽薄膜。高品質氮化物薄膜之目的係提供具有氮化矽與矽間之低介面缺陷及陷阱密度之適宜的高品質介面，此係隨後在靠近介面處所製造之MOS電晶體獲得良好性能及可靠性之所需條件。藉此形成之矽-氮化矽-氧化矽層狀晶圓隨後可利用標準晶圓接合方法接合至矽操作晶圓，該方法涉及組合所施加之壓力及熱退火，其被廣泛實施於半導體工業中且描述於上文所併入之Wristers專利案中。該矽操作晶圓可視需要具有在實施晶圓接合前形成於其上之氧化矽層以促進或改良該接合製程。隨後可藉由標準晶圓分離製程(如，SOITEC Silicon On Insulator Technologies 所使用之 the Smart Cut™ process, 一位於Bernin, France之公司)移除供體晶圓，留下連接至氮化矽層之具所需厚度之矽薄層。可(例如)藉由電漿增強化學氣相沈積(PECVD)沈積氮化矽應力層。藉由改變PECVD製程之輸入因素，可於1.7 GPa拉伸或3.0 GPa壓縮範圍內選擇性地將預定量的拉伸或壓縮內建應力併入至所沈積之氮化矽薄膜中。後續加工可包括形成溝槽分離結構及諸如以上圖1至7中所示的進一步加工步驟。

於另一實施例中，隨後可於加工期間形成內埋式應力層

及表面矽活性層。特定言之，該工件或晶圓可係一習知矽或SOI晶圓，其係以習知方式經由圖案化用於溝槽分離結構之溝槽加工。該等溝槽可隨後以具有一定程度順應性或可被移除之絕緣體填充。此態樣之較佳實施方案接著先在該晶圓上選擇性地沈積一內埋式應力層及隨後沈積一如所需之表面矽層。於一實施方案中，可僅將該內埋式應力層及表面矽層兩者沈積於基板之一部分上，其中雙軸應力較佳係於該表面矽層中。例如，選擇性沈積可將內埋式應力材料及表面矽僅沈積於待形成n-通道FET之彼等區域上。例如，若該等溝槽分離結構係以諸如氧化矽之適宜材料填充及晶圓中不接納應力層之其他部分係經氧化矽遮罩層覆蓋，則可實現此選擇性沈積之製程。於矽鍍(作為內埋式應力層)後，接著利用熟知的選擇性沈積製程將矽(作為表面活性層)選擇性地沈積於基板中經曝露之矽表面上。隨後可移除該遮罩氧化矽及進一步加工該晶圓以形成包含FET之元件。圖1至9中所示之接觸邊緣鬆弛製程可於基板中形成內埋式應力層及表面矽層之彼等部分上實施。圖8至9中所示之接觸形成製程可如所需般於整個所得之晶圓上實施。

或者，此實施例可將該內埋式應力材料選擇性地沈積於雙軸應力為表面矽層所需之彼等位置上及將表面矽層沈積於基板之所有活性區域上。此製程係類似於上段中所述經由內埋式應力層之選擇性沈積。於彼製程後，可移除該遮罩之氧化矽及隨後將矽選擇性地沈積於經曝露的矽及內埋

式應力層表面上。在不同晶圓部分繼續加工係陳述於早先論述中。

於另一變化例中，可將內埋式應力層及表面矽層兩者選擇性地沈積於元件之所有活性區域上。最佳地，不將內埋式應力層及表面矽層沈積於晶圓中有溝槽分離結構存在的部分上，其係因溝槽分離結構在其等表面上具有用於填充溝槽之諸如氧化矽之適宜材料。於選擇性沈積後，如上所述般繼續進行加工。

就所有此等選擇性沈積實施例而言，內埋式應力層及表面層可具有上述或美國專利案 7,338,834 中所述之特徵及性質(如厚度及組成)。例如，可將適宜厚度(即，小於臨界厚度)之矽鍍層選擇性地沈積為內埋式應力層及可將適宜厚度之矽選擇性地沈積為活性層。

當將適宜的內埋式應力層及適宜的表面層選擇性沈積於晶圓之適宜尺寸區域上時，該內埋式應力層可於上覆矽表面層中一(單軸)或兩(雙軸)橫向範圍內引發應力。本文中，晶圓之適宜尺寸區域係指該區域之橫向維度。就沿一軸之足夠小的橫向維度而言，該內埋式應力層可沿彼軸於上覆矽表面活性層之範圍內引發應變。就沿兩軸之足夠小的橫向維度而言，該內埋式應力層可沿該兩軸於表面矽活性層之橫向範圍內引發雙軸應力。就此等小橫向維度而言，該內埋式應力層及該表面層於其等生長時係呈平衡應力狀態及因此該表面層宜在生長狀態中承受應力，只要該層體十分薄以致不會經由塑性形變機制(如產生誤鑲位錯)

使表面鬆弛。適宜選擇性沈積該內埋式應力層及表面活性層之基板區域之尺寸係與美國專利案 7,338,834 中針對溝槽分離所指之彼等者相同。當利用基板之適宜尺寸區域上之選擇性沈積來實現表面活性層內之雙向應變時，該基板區域之橫向範圍係藉由圍繞溝槽分離結構之溝槽來界定。本質上，此選擇性沈積製程產生結構及功能上如美國專利案 7,338,834 所示及所述之相同結果。

當使用此選擇性沈積製程以提供一類似於圖 1 及 2 所示之活性矽條帶時，溝槽 12、14 之間隔較佳係十分靠近以在溝槽間之橫向範圍內實現內埋式應力鬆弛及表面層應力。於此加工階段，該表面活性層已承受單軸應力。於一些實施方案中，此係唯一施加之應力。然後，實施進一步加工，如溝槽填充材料退火或溝槽填充材料置換以提供所需剛度的溝槽絕緣材料作進一步加工。於提供適宜剛度的溝槽絕緣材料之後，上述參照圖 1 至 9 之製程可如所需般進行以提供沿第二軸邊緣鬆弛，進而提供該表面層雙軸應力。

就上述選擇性沈積實施方案而言，該等分離溝槽宜以適宜的材料填充以促進選擇性沈積。此材料亦宜具足夠順應性以容許應力材料及表面層在生長期間鬆弛。若該材料無足夠順應性，則需移除該材料以有效地在表面層中引發應力。一般而言，宜在溝槽壁上生長或沈積一緻密的氧化矽或氮化矽襯墊層及隨後以其他適宜材料填充該溝槽。用於填充該等分離溝槽之一較佳順應性材料係氧化矽，其係藉由化學氣相沈積自四乙基鄰矽酸鹽 (TEOS) 氣相源沈積。一

一般而言，此材料具有足夠順應性以於該表面層內獲得所需的引發應變。於選擇性沈積製程後，TEOS二氧化矽隨後根據工業中熟知之標準方法藉由熱退火來增密。經退火之TEOS溝槽填充料一般會在系統中產生額外的拉伸應變，該應變係橫向地施加至活性層或矽表面層。不論TEOS或其他材料是否具足夠順應性以容許在表面層中引發應力，均可移除起始溝槽填充材料及以習知的溝槽分離填充材料來替換彼材料。

於上述選擇性沈積製程及溝槽填充製程之後，可如所需般實施如圖1至9中所示或如美國專利案7,338,834中所示之進一步加工以製造具有單軸或雙軸應變之表面層(如單軸或雙軸應變矽活性層)之FET。特定的較佳實施例提供具有雙軸應變矽活性層之n-通道FET。

包含上述彼等者之較佳製程可選擇並以一定程度控制沿半導體元件各主軸引導(例如，對應FET之寬度軸及長度軸)之應力的相對量。沿橫向軸引導之應力量可由分離溝槽之間隔決定，而該間隔係由用於定義元件活性面積之遮罩佈線所決定。沿縱向施加之應力量主要係藉由接觸溝槽之佈置決定，該佈置係根據設計規則及微影考量，及應力工程考量驅動。一般而言，此等組態下之間隔係足夠小以可有效邊緣鬆弛並自矽鍍或其他應力層至矽或其他活性層引發應力。於上半導體層中不需沿半導體元件之橫向軸之平面內應變之情況中，分離溝槽較佳係沿彼軸間隔足夠遠而使邊緣鬆弛機制之作用經適宜地最小化。相反地，於半

導體中需沿半導體表面部分之特定軸之平面內應力的情況中，該等溝槽較佳係沿彼軸足夠靠近一起以使邊緣鬆弛機制之作用經適宜地最大化。於半導體元件(例如，p-通道FET)之上半導體層不需沿縱向軸之縱向拉伸應變的情況中，該等接觸溝槽較佳未蝕刻至內埋層中以避免邊緣鬆弛機制之作用靠近通道。

可在半導體薄層之活性區域中藉由內埋式壓縮應力層具有平面內壓縮應力及蝕刻緊密間隔之溝槽穿過該兩層及深入內埋式應力層下方之基板中來建立平面內拉伸應變。該等溝槽較佳係經蝕刻深得足以確保該內埋式應力層可藉由溝槽間之應力層的橫向範圍內較佳係對應於上覆活性半導體層之橫向範圍內之彈性邊緣鬆弛而可橫向鬆弛。因此，可降低內埋式應力層中靠近分離溝槽之壓縮應力及在上覆半導體活性層中靠近分離溝槽處引發拉伸應變。此根據本發明可輕易地藉由適宜應力及幾何形態實現。

藉由此方法在上半導體層中所引發之應變的分佈一般不均勻但具有足夠量值來改良平面內電子及電洞遷移率至所需程度及進而改良具有至少部份形成於層中之通道之MOS電晶體之電性能。因此，該方法容許以相較於習知方法可能較低成本及低缺陷數製造應變整體MOS元件及應變MOSOI元件。

本發明已參照特定較佳實施例進行描述。熟習本技術者將瞭解：在不改變本發明教義下可對本文所述之具體較佳實施例進行各種修飾及替換。因此，本發明非意欲限制於

本文所述之具體較佳實施例，相反，本發明係由附屬專利申請範圍所限制。

【圖式簡單說明】

圖1以示意平面圖方式顯示一可自本發明較佳實施例之特定態樣獲益之場效電晶體及溝槽分離結構的組態。

圖2示意地顯示呈圖1組態之場效電晶體閘極中之一者的橫截面視圖。

圖3至7顯示根據本發明態樣用於形成可以類似圖1及2所示之組態提供或可以另一組態提供之縱向應變矽表面區域之製程。

圖8至9顯示根據本發明較佳態樣用於形成圖6及7中所示之接觸的替代方案。

【主要元件符號說明】

10	基板
12	溝槽
14	溝槽
16	閘極
18	閘極
20	內埋式應力層
22	上矽層
24	閘極絕緣結構
26	閘極絕緣結構
30	前金屬介電
32	接觸溝槽

34	接觸溝槽
36	基板溝槽
38	基板溝槽
44	內埋式應力層
46	表面層
48	接觸
50	接觸

七、申請專利範圍：

1. 一種製造半導體元件之方法，其包含：

提供具有一半導體表面層之一基板，該基板具有佈置於該基板內一深度處且鄰接該半導體表面層佈置之一應力層，該內埋式應力層相較於該半導體表面層係以承受應力狀態提供；

於該半導體表面層上形成一場效電晶體，該場效電晶體包含源極及汲極區域及一閘極結構；

於該場效電晶體上形成一前金屬介電層；

於該前金屬介電層中蝕刻開孔並蝕刻至曝露該基板中位於該閘極結構各側上之接觸部分；

蝕刻深入該基板中該前金屬介電質之開孔內，該蝕刻進行至足夠深度，以致該應力層於該半導體表面層中引發應力，而於該場效電晶體之通道區域中經由邊緣鬆弛提供該上半導體層縱向應力；及

與該等源極及汲極區域形成電接觸，其中該等接觸係至少部份地形成於該基板內。

2. 如請求項1之方法，其中深入該基板之蝕刻係延伸穿過該應力層及深入該應力層下方之該基板中。
3. 如請求項1之方法，其中深入該基板之蝕刻係經由定向選擇性濕式蝕刻來實施。
4. 如請求項1之方法，其中該蝕刻係經由各向異性蝕刻來實施。
5. 如請求項1之方法，其中該半導體表面區域係矽及該應

力層係矽鍺合金。

6. 如請求項1之方法，其中該內埋式應力層係呈壓縮內建應力狀態之氮化矽層。
7. 如請求項1之方法，其中該內埋式應力層係呈拉伸內建應力狀態之氮化矽層。
8. 如請求項1之方法，其中該內埋式應力層係於界定溝槽分離結構之溝槽後選擇性地沈積於一表面之一部分上。
9. 如請求項1之方法，其中該內埋式應力層及該半導體表面層係於界定溝槽分離結構之溝槽後選擇性地沈積於一表面之一部分上。
10. 如請求項9之方法，其中該半導體表面區域係矽及該應力層係矽鍺合金。
11. 如請求項1之方法，其中該場效電晶體為n-通道場效電晶體。
12. 如請求項11之方法，其中該通道區域為矽。
13. 如請求項1之方法，其中該應力層之承受應力狀態係平面內壓縮應力，且該半導體表面層之縱向應力為拉伸應力。
14. 如請求項13之方法，其中該場效電晶體為n-通道場效電晶體。
15. 如請求項13之方法，其中該通道區域為矽。
16. 一種製造半導體元件之方法，其包含：
提供具有一半導體表面層之一基板，該基板具有佈置於該基板內一深度處之一內埋式應力層；

在該半導體表面層上形成一場效電晶體，該場效電晶體包含源極及汲極區域及一閘極結構；

於該場效電晶體上形成一前金屬介電層；

於該前金屬介電層中蝕刻開孔並蝕刻至曝露該基板中位於該閘極結構各側上之接觸部分；

利用定向選擇性濕式蝕刻蝕刻深入該基板中該前金屬介電質之開孔內，其中深入該基板中之蝕刻係進行至足夠深度，以使該內埋式應力層於該半導體表面層內經由邊緣鬆弛引發縱向應變，以提供該場效電晶體之縱向應變通道區域；及

形成與該等源極及汲極區域之接觸，其中該等接觸係至少部份地形成於該基板中。

17. 如請求項16之方法，其中該基板係具有{100}表面之矽基板及其中深入該基板中之蝕刻曝露{111}表面。
18. 如請求項16之方法，其中該定向選擇性濕式蝕刻包含以下一或多者：四甲基氫氧化銨溶液、氫氧化鉀溶液、氫氧化鈉溶液、氫氧化銨水溶液、包含乙二胺 $\text{NH}_2(\text{CH}_2\cdot\text{CH}_2)\text{NH}_2$ 及鄰苯二酚之溶液、或胼水溶液。
19. 如請求項16之方法，其中深入該基板中之蝕刻係延伸穿過該應力層及深入該應力層下方之該基板中。
20. 如請求項16之方法，其中該內埋式應力層係於界定溝槽分離結構之溝槽後選擇性地沈積於一表面之一部分上。
21. 如請求項16之方法，其中該內埋式應力層及該半導體表面層係於界定溝槽分離結構之溝槽後選擇性地沈積於一

表面之一部分上。

22. 一種製造半導體元件之方法，其包含：

提供具有由溝槽界定至少兩側之一區域之一基板，該等溝槽係由第一橫向範圍分隔；

選擇性地沈積一應力層及一半導體表面層，該半導體表面層延伸超過該應力層於該基板之該第一橫向範圍內；

於該半導體表面層上形成一場效電晶體，該場效電晶體包含源極及汲極區域及一閘極結構，且經佈置以使該場效電晶體之通道區域係於該受應力的半導體表面層內；

於該場效電晶體上形成一前金屬介電層；

於該前金屬介電層中蝕刻開孔並蝕刻至曝露該基板中位於該閘極結構各側上之接觸部分；

蝕刻深入該基板中該前金屬介電質之開孔內，其中深入該基板中之蝕刻係進行至足夠深度，以使一內埋式應力層於該半導體表面層內經由邊緣鬆弛引發縱向應變，以提供該場效電晶體之縱向應變通道區域。

23. 如請求項22之方法，其中該半導體表面層係矽及該應力層係矽鍍合金。

八、圖式：

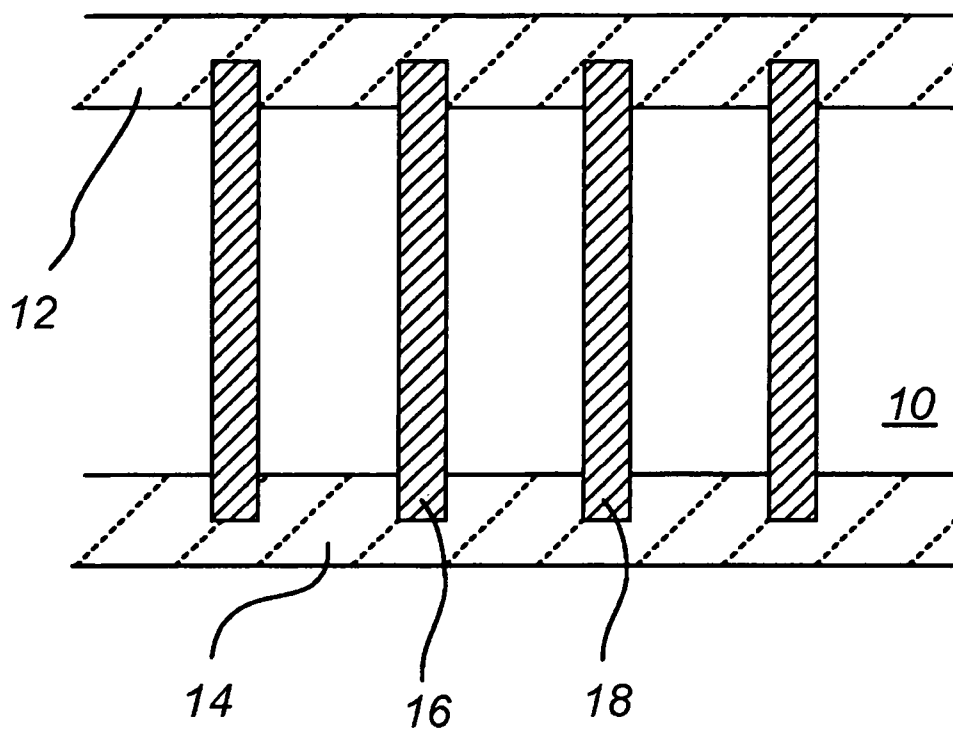


圖 1

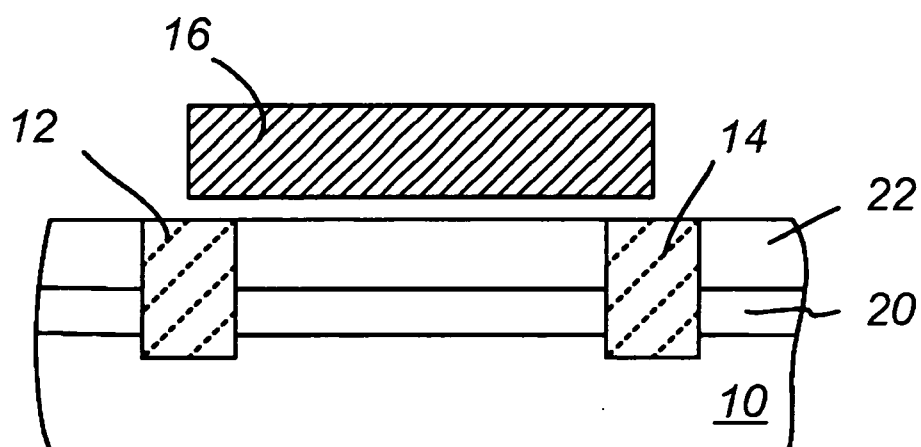


圖 2

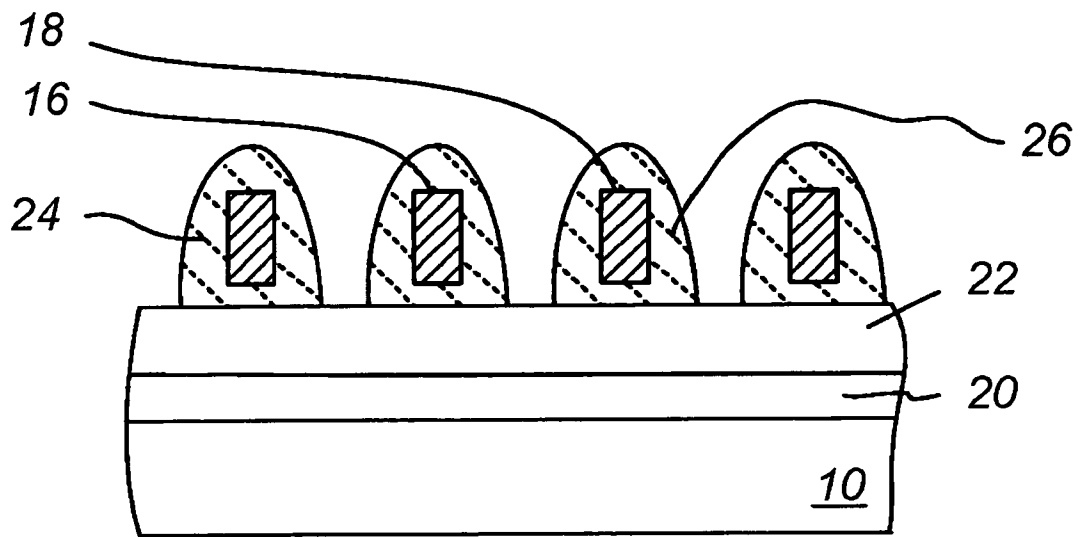


圖 3

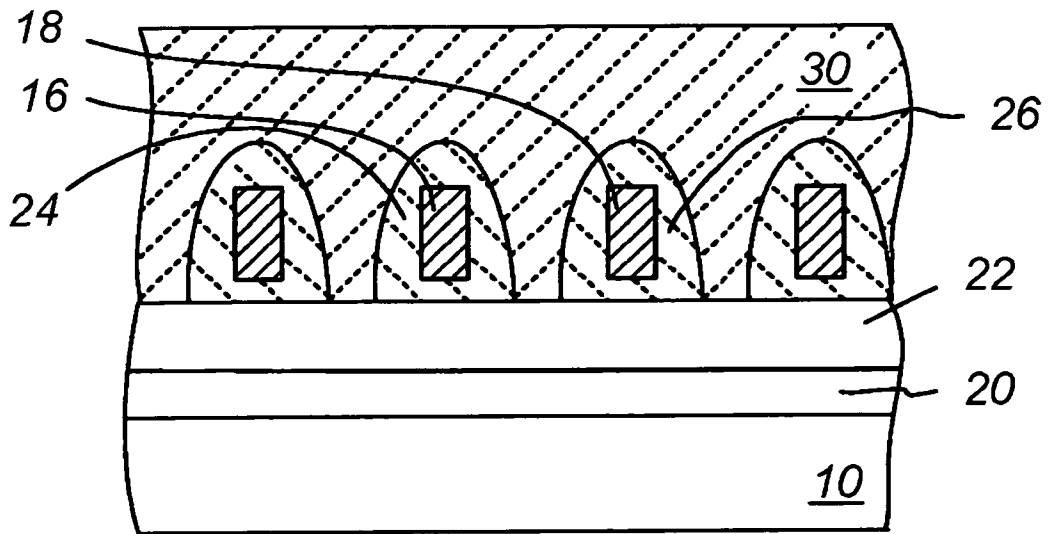


圖 4

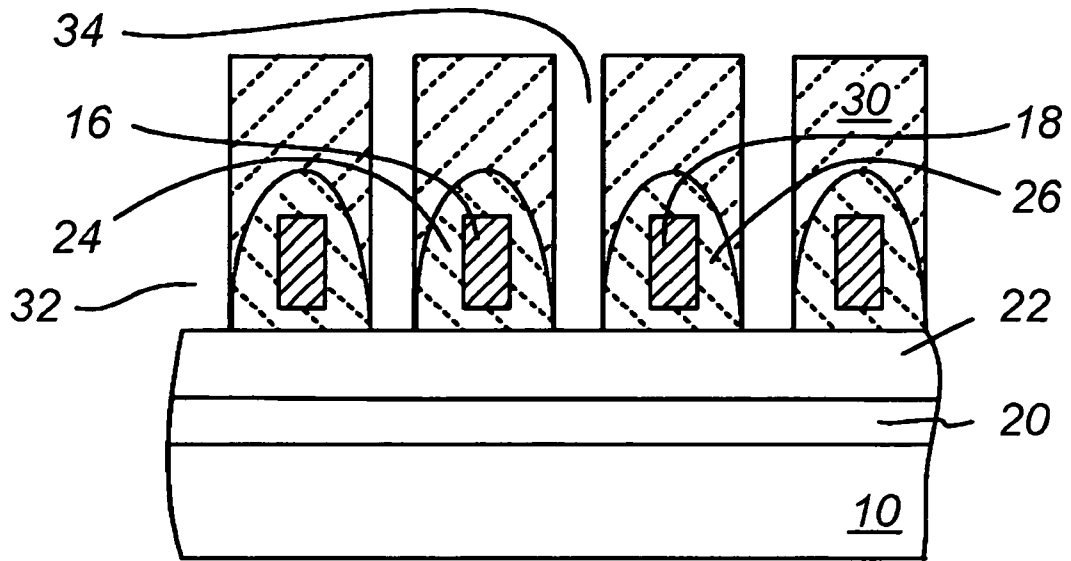


圖 5

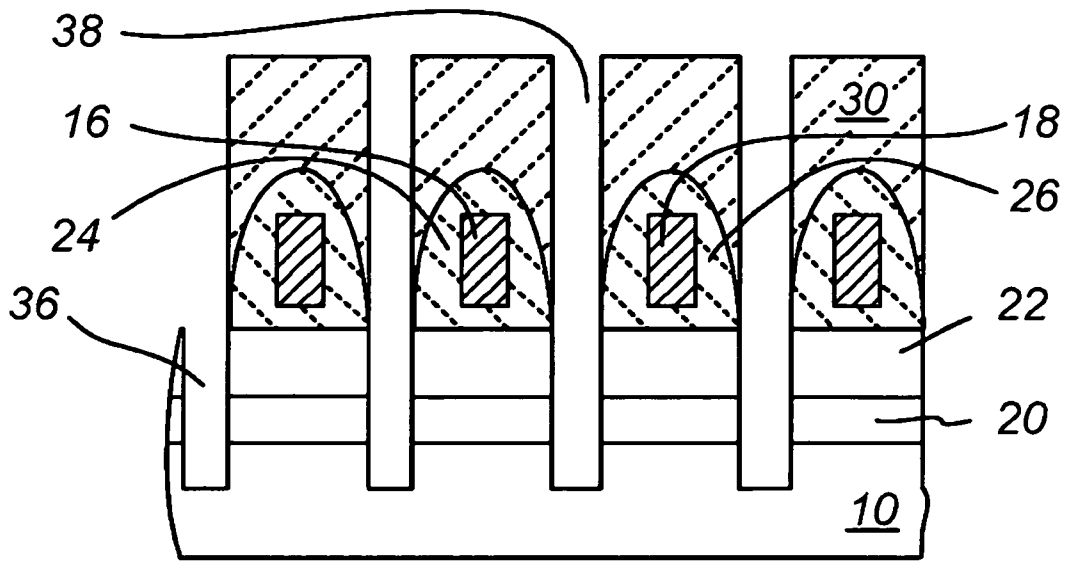


圖 6

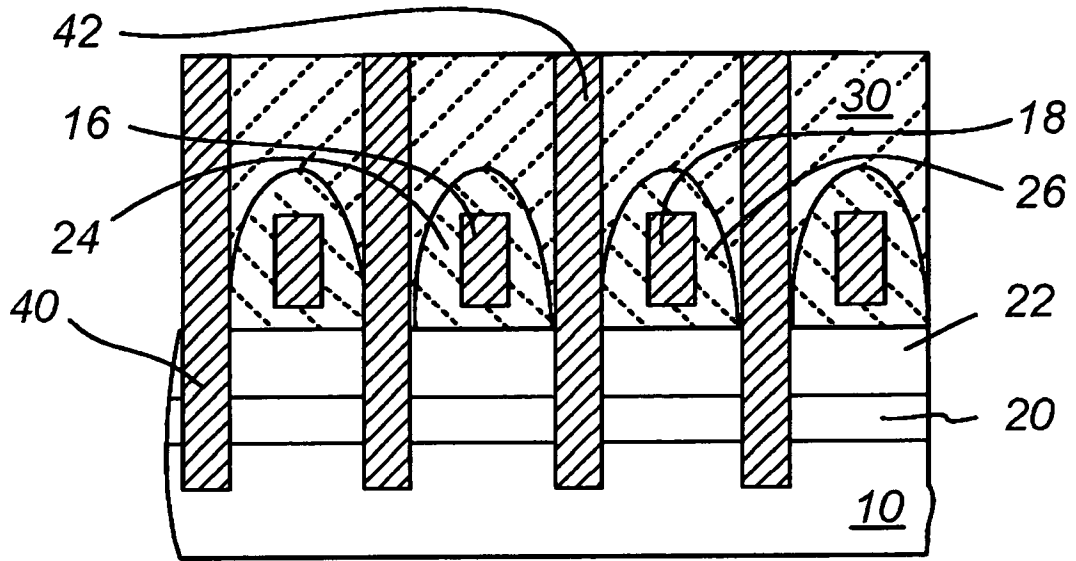


圖 7

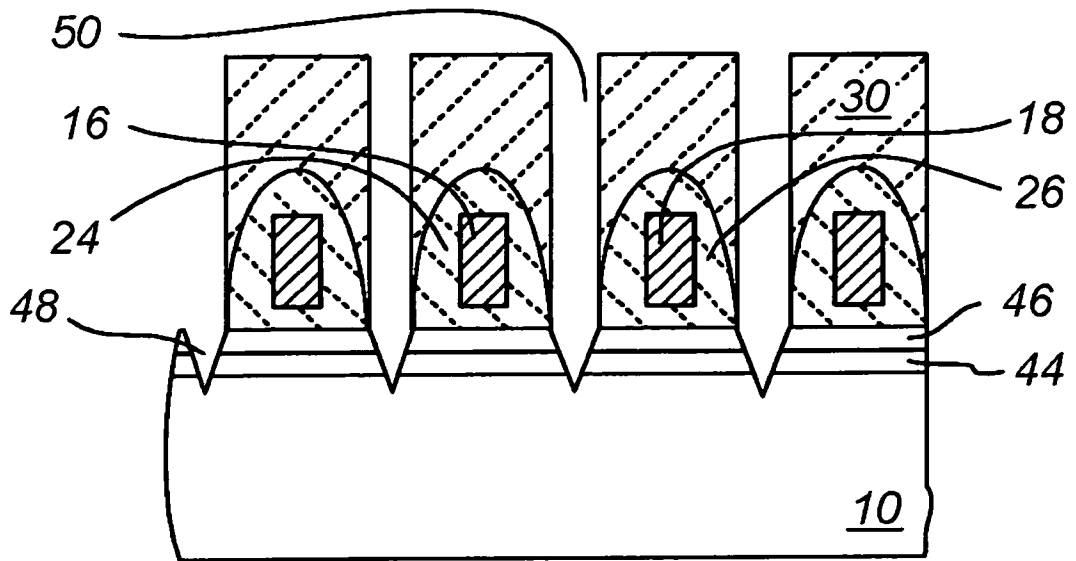


圖 8

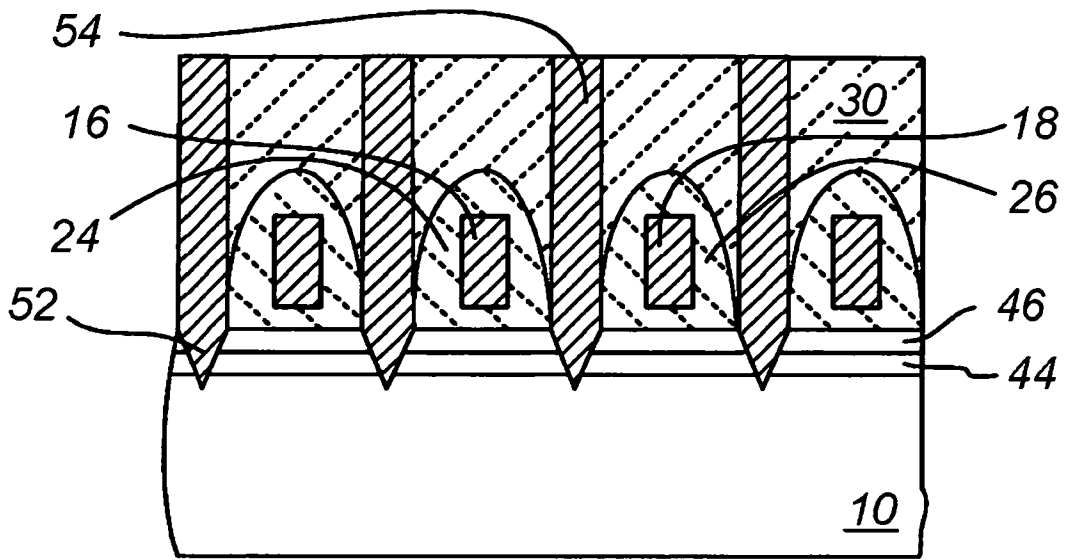


圖 9