

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7410648号
(P7410648)

(45)発行日 令和6年1月10日(2024.1.10)

(24)登録日 令和5年12月26日(2023.12.26)

(51)国際特許分類

F I

H 0 1 L 21/3065(2006.01)

H 0 1 L 21/302 1 0 5 A

請求項の数 15 (全29頁)

(21)出願番号	特願2019-58272(P2019-58272)	(73)特許権者	390019839
(22)出願日	平成31年3月26日(2019.3.26)		三星電子株式会社
(65)公開番号	特開2019-186538(P2019-186538 A)		S a m s u n g E l e c t r o n i c s C o . , L t d .
(43)公開日	令和1年10月24日(2019.10.24)		大韓民国京畿道水原市靈通区三星路 1 2 9
審査請求日	令和4年2月21日(2022.2.21)		1 2 9 , S a m s u n g - r o , Y e o n g t o n g - g u , S u w o n - s i
(31)優先権主張番号	10-2018-0041021		, G y e o n g g i - d o , R e p u b l i c o f K o r e a
(32)優先日	平成30年4月9日(2018.4.9)	(74)代理人	100107766
(33)優先権主張国・地域又は機関	韓国(KR)		弁理士 伊東 忠重
		(74)代理人	100070150
			弁理士 伊東 忠彦
		(74)代理人	100091214

最終頁に続く

(54)【発明の名称】 半導体素子及びその製造方法

(57)【特許請求の範囲】

【請求項1】

基板上にターゲット層及び第1マスク層を順次的に形成することと、
前記第1マスク層をパターンニングして、第1開口を形成することと、
前記第1開口の内側壁を覆うスペーサーを形成することと、
前記スペーサーの少なくとも一部と縦方向に重畳され、前記第1マスク層上に第2開口
を有する第1フォトレジストパターンを形成することと、
前記スペーサーをマスクとして前記第2開口によって露出された前記第1マスク層をパ
ターンニングして、前記第1開口と隣接する第3開口を形成することと、
残留する前記第1マスク層及び前記スペーサーをエッチングマスクとして前記ターゲッ
ト層をパターンニングすることと、を含み、

前記第1開口を形成することは、
前記第1マスク層の上面を覆う保護層を形成すること、前記保護層上に第2フォトレジス
トパターンを形成すること、前記第2フォトレジストパターンをマスクとして前記保護層
及び前記第1マスク層をパターンニングすること、及びパターンニングされた前記第1マスク
層の側壁をエッチングすることを含み、
前記保護層は、前記第1マスク層の側壁がエッチングされる時、前記第1マスク層の上面
を保護する、

半導体素子の製造方法。

【請求項2】

前記第 2 開口の幅は、前記第 3 開口の幅より広い請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記スペーサーの少なくとも一部を覆うカットパターンを形成することをさらに含み、
前記カットパターンを形成することは、
前記スペーサーの少なくとも一部を覆う第 1 充填膜を形成すること及び前記第 1 充填膜の一部を除去することを含む請求項 1 に記載の半導体素子の製造方法。

【請求項 4】

前記カットパターンは、前記スペーサーと同一な物質を含む請求項 3 に記載の半導体素子の製造方法。

【請求項 5】

前記カットパターンは、前記第 1 マスク層と同一な物質を含む請求項 3 に記載の半導体素子の製造方法。

【請求項 6】

前記ターゲット層及び前記第 1 マスク層の間に第 1 メモリ層を形成することをさらに含み、

前記カットパターンは、前記第 1 メモリ層と同一な物質を含む請求項 3 に記載の半導体素子の製造方法。

【請求項 7】

前記第 1 充填膜の一部を除去することは、
エッチバック工程又は CMP 工程を通じて前記第 1 充填膜の一部を除去することを含む請求項 3 に記載の半導体素子の製造方法。

【請求項 8】

前記カットパターンを形成することは、
前記カットパターンを部分的にエッチングしてその幅を減らすことをさらに含む請求項 3 に記載の半導体素子の製造方法。

【請求項 9】

基板上にターゲット層及び第 1 マスク層を順次的に形成することと、
第 1 フォトリソグラフィ工程を遂行して前記第 1 マスク層に第 1 開口を形成することと、

前記第 1 開口の内側壁を覆うスペーサーを形成することと、
前記スペーサーの少なくとも一部を覆うカットパターンを形成することであり、前記スペーサーの少なくとも一部を覆う第 1 充填膜を形成すること及び前記第 1 充填膜の一部を除去することを含む、カットパターンを形成することと、

第 2 フォトリソグラフィ工程を遂行して、前記第 1 マスク層に前記スペーサーを介して前記第 1 開口と隣接する第 2 開口を形成することと、を含み、

前記第 1 フォトリソグラフィ工程は、前記第 1 マスク層上に第 1 フォトレジストパターンを形成すること、前記第 1 フォトレジストパターンをマスクとして前記第 1 マスク層をパターニングすること、及びパターニングされた前記第 1 マスク層の側壁をエッチングすることを含み、

前記カットパターンを形成することは、前記カットパターンを部分的にエッチングしてその幅を減らすことをさらに含み、

前記第 2 開口は、前記スペーサーによって自己整合的に形成される半導体素子の製造方法。

【請求項 10】

前記第 2 開口を形成することは、
前記スペーサーの一部を除去することを含む請求項 9 に記載の半導体素子の製造方法。

【請求項 11】

前記カットパターンは、前記スペーサーと同一な物質を含む請求項 9 に記載の半導体素子の製造方法。

10

20

30

40

50

【請求項 1 2】

前記カットパターンは、前記第 1 マスク層と同一な物質を含む請求項 9 に記載の半導体素子の製造方法。

【請求項 1 3】

前記ターゲット層及び前記第 1 マスク層の間に第 1 メモリ層を形成することをさらに含み、

前記カットパターンは、前記第 1 メモリ層と同一な物質を含む請求項 9 に記載の半導体素子の製造方法。

【請求項 1 4】

前記第 1 充填膜の一部を除去することは、

エッチバック工程又は CMP 工程を通じて前記第 1 充填膜の一部を除去することを含む請求項 9 に記載の半導体素子の製造方法。

【請求項 1 5】

前記第 1 フォトリソグラフィ工程は、

前記第 1 マスク層の上面を覆う保護層を形成することをさらに含み、

前記保護層は、前記第 1 マスク層の側壁がエッチングされる時、前記第 1 マスク層の上面を保護する請求項 9 に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子及びその製造方法に係り、さらに詳細には、スペーサーをマスクとして活用することを含む半導体素子の製造方法及びこれによって製造された半導体素子に係る。

【背景技術】

【0002】

小型化、多機能化、及び／又は低い製造単価等の特性によって半導体素子は電子産業で重要な要素として脚光を浴びている。半導体素子は論理データを格納する半導体記憶素子、論理データを演算処理する半導体論理素子、及び記憶要素と論理要素とを含むハイブリッド (hybrid) 半導体素子等に区分されることができる。

電子産業が高度に発展することに応じて、半導体素子の特性に対する要求が段々増加されている。例えば、半導体素子に対する高信頼性、高速化、及び／又は多機能化等に対して要求が段々増加されている。このような要求特性を充足させるために半導体素子内の構造は段々複雑になっており、また、半導体素子は段々高集積化されている。

【0003】

一方、ダブルパターニング (double patterning) 技術は露光装置の交替無しで、前記露光装置が露光可能な最小ピッチ未満の間隔を有するパターンを形成することができる方法である。例えば、微細パターンを形成するために、フォトリソグラフィ工程を通じて形成された犠牲パターンの側壁にスペーサーを形成し、前記犠牲パターンを除去した後、前記スペーサーのみをマスクとして被エッチング層をエッチングするダブルパターニング技術が使用されることができる。しかし、半導体素子が高集積化されることに応じてダブルパターニング技術よりさらに微細なパターンを形成することができる技術が要求されている。

【先行技術文献】

【特許文献】

【0004】

【文献】米国特許第 9, 773, 676 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、パターンの幅を最小化することができる半導体素子

10

20

30

40

50

の製造方法及びこれによって製造された半導体素子を提供することにある。

【課題を解決するための手段】

【０００６】

本発明は基板上にターゲット層及び第１マスク層を順次的に形成することと、前記第１マスク層をパターンニングして、第１開口を形成することと、前記第１開口の内側壁を覆うスペーサーを形成することと、前記スペーサーの少なくとも一部と縦方向に重畳され、前記第１マスク層上に第２開口を有する第１フォトレジストパターンを形成することと、前記スペーサーをマスクとして前記第２開口によって露出された前記第１マスク層をパターンニングして、前記第１開口と隣接する第３開口を形成することと、残留する前記第１マスク層及び前記スペーサーをエッチングマスクとして前記ターゲット層をパターンニングすることと、を含む半導体素子の製造方法を提供する。

10

【発明の効果】

【０００７】

本発明に係る半導体素子の製造方法は、複数のフォトマスクを利用して基板上に高集積度の金属配線を形成することができる。この時、スペーサーをマスクとして活用することによって、パターンの幅を最小化することができる。

【図面の簡単な説明】

【０００８】

【図１】本発明の第１実施形態に係る半導体素子の金属層を定義するレイアウトを示した平面図である。

20

【図２Ａ】本発明の第１実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図２Ｂ】図２ＡのＡ－Ａ’線に沿う断面図である。

【図３Ａ】本発明の第１実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図３Ｂ】図３ＡのＡ－Ａ’線に沿う断面図である。

【図４Ａ】本発明の第１実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図４Ｂ】図４ＡのＡ－Ａ’線に沿う断面図である。

【図５Ａ】本発明の第１実施形態に係る半導体素子を製造する方法を説明するための平面図である。

30

【図５Ｂ】図５ＡのＡ－Ａ’線に沿う断面図である。

【図６Ａ】本発明の第１実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図６Ｂ】図６ＡのＡ－Ａ’線に沿う断面図である。

【図７】本発明の第２実施形態に係る半導体素子の金属層を定義するレイアウトを示した平面図である。

【図８Ａ】本発明の第２実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図８Ｂ】図８ＡのＡ－Ａ’線に沿う断面図である。

40

【図８Ｃ】図８ＡのＢ－Ｂ’線に沿う断面図である。

【図９Ａ】本発明の第２実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図９Ｂ】図９ＡのＡ－Ａ’線に沿う断面図である。

【図９Ｃ】図９ＡのＢ－Ｂ’線に沿う断面図である。

【図１０Ａ】本発明の第２実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図１０Ｂ】図１０ＡのＡ－Ａ’線に沿う断面図である。

【図１０Ｃ】図１０ＡのＢ－Ｂ’線に沿う断面図である。

【図１１Ａ】本発明の第２実施形態に係る半導体素子を製造する方法を説明するための平

50

面図である。

【図 1 1 B】図 1 1 A の A - A ' 線に沿う断面図である。

【図 1 1 C】図 1 1 A の B - B ' 線に沿う断面図である。

【図 1 2 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 2 B】図 1 2 A の A - A ' 線に沿う断面図である。

【図 1 2 C】図 1 2 A の B - B ' 線に沿う断面図である。

【図 1 3 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 3 B】図 1 3 A の A - A ' 線に沿う断面図である。

10

【図 1 3 C】図 1 3 A の B - B ' 線に沿う断面図である。

【図 1 4 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 4 B】図 1 4 A の A - A ' 線に沿う断面図である。

【図 1 4 C】図 1 4 A の B - B ' 線に沿う断面図である。

【図 1 5 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 5 B】図 1 5 A の A - A ' 線に沿う断面図である。

【図 1 5 C】図 1 5 A の B - B ' 線に沿う断面図である。

【図 1 6 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

20

【図 1 6 B】図 1 6 A の A - A ' 線に沿う断面図である。

【図 1 6 C】図 1 6 A の B - B ' 線に沿う断面図である。

【図 1 7 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 7 B】図 1 7 A の A - A ' 線に沿う断面図である。

【図 1 7 C】図 1 7 A の B - B ' 線に沿う断面図である。

【図 1 8 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 8 B】図 1 8 A の A - A ' 線に沿う断面図である。

30

【図 1 8 C】図 1 8 A の B - B ' 線に沿う断面図である。

【図 1 9 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 1 9 B】図 1 9 A の A - A ' 線に沿う断面図である。

【図 1 9 C】図 1 9 A の B - B ' 線に沿う断面図である。

【図 2 0 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 2 0 B】図 2 0 A の A - A ' 線に沿う断面図である。

【図 2 0 C】図 2 0 A の B - B ' 線に沿う断面図である。

【図 2 0 D】図 2 0 C の A 領域の拡大図である。

40

【図 2 1 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 2 1 B】図 2 1 A の A - A ' 線に沿う断面図である。

【図 2 1 C】図 2 1 A の B - B ' 線に沿う断面図である。

【図 2 2 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

【図 2 2 B】図 2 2 A の A - A ' 線に沿う断面図である。

【図 2 2 C】図 2 2 A の B - B ' 線に沿う断面図である。

【図 2 3 A】本発明の第 2 実施形態に係る半導体素子を製造する方法を説明するための平面図である。

50

【図 2 3 B】図 2 3 A の A - A ' 線に沿う断面図である。

【図 2 3 C】図 2 3 A の B - B ' 線に沿う断面図である。

【発明を実施するための形態】

【0009】

図 1 は本発明の第 1 実施形態に係る半導体素子の金属層を定義するレイアウトを示した平面図である。図 1 を参照すれば、レイアウトパターン L P 1、L P 2 が配置される。レイアウトパターン L P 1、L P 2 は第 1 レイアウトパターン L P 1 及び第 2 レイアウトパターン L P 2 を含む。

【0010】

第 1 レイアウトパターン L P 1 に基づいて第 1 フォトマスクが製作され、第 2 レイアウトパターン L P 2 に基づいて第 2 フォトマスクが製作される。再び言えば、図 1 に示したレイアウトを通じて、総 2 枚のフォトマスクが各々別個に製作される。

第 1 及び第 2 フォトマスクを通じて基板上にパターンが各々別に具現されることができる。

【0011】

図 2 A、図 3 A、図 4 A、図 5 A、及び図 6 A は本発明の第 1 実施形態に係る半導体素子を製造する方法を説明するための平面図であり、図 2 B、図 3 B、図 4 B、図 5 B、及び図 6 B は各々図 2 A、図 3 A、図 4 A、図 5 A、及び図 6 A の A - A ' 線に沿う断面図である。

【0012】

図 2 A 及び図 2 B を参照すれば、基板 1 0 0 上にターゲット層 T G、ハードマスク層 H M、第 1 マスク層 M 1、及び第 2 マスク層 M 2 を順次的に形成する。基板 1 0 0 は半導体基板である。一例として、基板 1 0 0 はシリコン基板、ゲルマニウム基板、シリコン-ゲルマニウム基板、及び化合物半導体基板の中で 1 つである。一例として、ハードマスク層 H M はチタニウム窒化物 (T i N) を含む。一例として、ターゲット層 T G はシリコン絶縁膜である。一例として、第 1 マスク層 M 1 は非晶質シリコン、S O H (S p i n o n h a r d m a s k)、S O G (S p i n o n g l a s s)、シリコン窒化物 (S i N)、シリコンオキシ炭窒化物 (S i O C N)、シリコン炭窒化物 (S i C N)、及びスズ酸化物 (S n O x) の中で少なくとも 1 つを含む。一例として、第 2 マスク層 M 2 はシリコン含有反射防止膜 (S i A R C)、S O H (S p i n o n h a r d m a s k)、及び非晶質炭素の中で少なくとも 1 つを含む。

【0013】

第 2 マスク層 M 2 上に第 1 開口 O P 1 を有する第 1 フォトレジストパターン P R 1 が形成される。具体的に、第 1 フォトレジストパターン P R 1 を形成することは、第 2 マスク層 M 2 上に第 1 フォトレジスト膜を形成すること及び図 1 の第 1 フォトマスクを利用して前記第 1 フォトレジスト膜に第 1 フォトリソグラフィ工程を遂行することを含む。前記第 1 フォトリソグラフィ工程は露光及び現像工程を遂行することを含む。第 1 開口 O P 1 は図 1 の第 1 レイアウトパターン L P 1 によって具現されたものである。図 3 A 及び図 3 B を参照すれば、第 1 フォトレジストパターン P R 1 をマスクとして第 1 パターニング工程を遂行する。具体的に、第 1 パターニング工程を遂行することは、第 1 フォトレジストパターン P R 1 をマスクとして第 2 マスク層 M 2 をパターニングすること、パターニングされた第 2 マスク層 M 2 をマスクとして第 1 マスク層 M 1 をパターニングすることを含む。第 1 パターニング工程の後、残留する第 1 フォトレジストパターン P R 1 及び残留する第 2 マスク層 M 2 を除去する。

【0014】

続いて、パターニングされた第 1 マスク層 M 1 の側壁上にスペーサー S P を形成する。具体的に、スペーサー S P を形成することは、基板 1 0 0 の全面上にスペーサー膜をコンフォーマルに形成すること及び前記スペーサー膜上に異方性エッチング工程を遂行することを含む。一例として、スペーサー S P はチタニウム酸化物 (T i O x)、シリコン酸化物 (S i O x)、シリコン窒化物 (S i N)、シリコン酸窒化物 (S i O N)、アルミニウム酸化物 (A l O x)、及びスズ酸化物 (S n O x) の中で少なくとも 1 つを含む。

【0015】

図4A及び図4Bを参照すれば、基板100の全面上に第1充填膜FL1を形成する。一例として、第1充填膜FL1はSOH (Spin on hardmask) を含む。

【0016】

第1充填膜FL1上に第2開口OP2を有する第2フォトレジストパターンPR2を形成する。具体的に、第2フォトレジストパターンPR2を形成することは、第1充填膜FL1上に第2フォトレジスト膜を形成すること及び図1の第2フォトマスクを利用して前記第2フォトレジスト膜に第2フォトリソグラフィ工程を遂行することを含む。前記第2フォトリソグラフィ工程は露光及び現像工程を遂行することを含む。第2開口OP2は図1の第2レイアウトパターンLP2によって具現されたものである。

10

【0017】

第2フォトレジストパターンPR2の第2開口OP2の各々は、スペーサーSPの少なくとも一部と縦方向に重畳される。

【0018】

図5A及び図5Bを参照すれば、第2フォトレジストパターンPR2をマスクとして第2パターニング工程を遂行する。具体的に、第2パターニング工程を遂行することは、第2フォトレジストパターンPR2をマスクとして第1充填膜FL1をパターニングすること及びパターニングされた第1充填膜FL1及びスペーサーSPをマスクとして第1マスク層M1をパターニングすることを含む。第2フォトレジストパターンPR2の第2開口OP2はスペーサーSPと縦方向に重畳されるので、第1マスク層M1がパターニングされる時、スペーサーSPはエッチングマスクの役割をする。第2パターニング工程の間にスペーサーSPによって第1マスク層M1が自己整合的にパターニングされる。第2パターニング工程の後、残留する第2フォトレジストパターンPR2及び残留する第1充填膜FL1を除去する。

20

【0019】

図6A及び図6Bを参照すれば、スペーサーSP及び第1マスク層M1をマスクとして第3パターニング工程を遂行する。具体的に、第3パターニング工程を遂行することは、スペーサーSP及び第1マスク層M1をマスクとしてハードマスク層HMをパターニングすること及びパターニングされたハードマスク層HMをマスクとしてターゲット層TGをパターニングすることを含む。残留するスペーサーSP、第1マスク層M1、及びハードマスク層HMは除去される。続いて、パターニングされたターゲット層TGの開口を満たす金属層が形成される。再び言えば、ターゲット層TG内に金属層が形成される。

30

【0020】

金属層は第1金属パターンMT1及び第2金属パターンMT2を含む。第1及び第2金属パターンMT1、MT2は銅(Cu)又はタングステン(W)を含む。第1金属パターンMT1は図1の第1レイアウトパターンLP1によって定義され、第2金属パターンMT2は図1の第2レイアウトパターンLP2によって定義される。

【0021】

第1金属パターンMT1は第1金属配線ML1及び第2金属配線ML2を含む。第1及び第2金属配線ML1、ML2は第2方向D2に延在する。第1及び第2金属配線ML1、ML2は互いに平行に延在する。

40

【0022】

第1金属配線ML1は第1部分ML11及び第2部分ML12を含む。第1部分ML11は第2方向D2に延在する。第1金属配線ML1の端部に第2部分ML12が位置する。第2部分ML12は第1部分ML11と連結された部分から第2方向D2に行くほど、第1方向D1への幅が狭くなる。

【0023】

第2金属配線ML2は第3部分ML21及び第4部分ML22を含む。第3部分ML21は第2方向D2に延在する。第2金属配線ML2の端部に第4部分ML22が位置する。第4部分ML22は第3部分ML21と連結された部分から第2方向D2に行くほど、

50

第1方向D1への幅が狭くなる。

【0024】

第2金属パターンMT2は第3金属配線ML3を含む。第3金属配線ML3は第2方向D2に延在する。第3金属配線ML3は第1及び第2金属配線ML1、ML2と互いに平行に延在する。第3金属配線ML3は第1金属配線ML1と第1方向D1に隣接する。第3金属配線ML3は第2金属配線ML2と第1方向D1に隣接する。第3金属配線ML3は第1及び第2金属配線ML1、ML2の間に提供される。

【0025】

第3金属配線ML3は第5部分ML31及び第6部分ML32を含む。第5部分ML31は第2方向D2に延在し、第1金属配線ML1の第1部分ML11及び第2金属配線ML2の第3部分ML21と隣接する。第6部分ML32は第1金属配線ML1の第2部分ML12及び第2金属配線ML2の第4部分ML22と隣接する。第6部分ML32は第5部分ML31と連結された部分から第2方向D2に行くほど、第1方向D1への幅が広くなる。

【0026】

一例として、第1金属配線ML1の第1部分ML11の第1方向D1への幅、第2金属配線ML2の第3部分ML21の第1方向D1への幅、及び第3金属配線ML3の第5部分ML31の第1方向D1への幅は実質的に同一である。

【0027】

第1金属配線ML1及び第3金属配線ML3の間のピッチは第1ピッチP1である。第2金属配線ML2及び第3金属配線ML3の間のピッチは第2ピッチP2である。一例として、第1ピッチP1及び第2ピッチP2は実質的に同一である。

【0028】

一例として、第1金属配線ML1の第1部分ML11と第3金属配線ML3の第5部分ML31との最短距離は第1金属配線ML1の第2部分ML12と第3金属配線ML3の第6部分ML32との最短距離と実質的に同一である。一例として、第2金属配線ML2の第3部分ML21と第3金属配線ML3の第5部分ML31との最短距離は第2金属配線ML2の第4部分ML22と第3金属配線ML3の第6部分ML32との最短距離と実質的に同一である。

【0029】

図7は本発明の第2実施形態に係る半導体素子の金属層を定義するレイアウトを示した平面図である。図7を参照すれば、レイアウトパターンLP1、LP2、LP3が配置される。レイアウトパターンLP1、LP2、LP3は第1レイアウトパターンLP1、第2レイアウトパターンLP2、及び第3レイアウトパターンLP3を含む。第2レイアウトパターンLP2は第1レイアウトパターンLP1と重畳される。

【0030】

第1レイアウトパターンLP1に基づいて第1フォトマスクが製作され、第2レイアウトパターンLP2に基づいて第2フォトマスクが製作され、第3レイアウトパターンLP3に基づいて第3フォトマスクが製作される。再び言えば、図7に示したレイアウトを通じて、総3枚のフォトマスクが各々別個に製作される。第1乃至第3フォトマスクを通じて基板上にパターンが各々別に具現される。

【0031】

図8A乃至図23Aは本発明の第2実施形態に係る半導体素子を製造する方法を説明するための平面図であり、図8B乃至図23Bは各々図8A乃至図23AのA-A'線に沿う断面図であり、図8C乃至図23Cは各々図8A乃至図23AのB-B'線に沿う断面図であり、図20Dは図20CのA領域の拡大図である。

【0032】

図8A乃至図8Cを参照すれば、基板100上にターゲット層TG、ハードマスク層HM、第1メモリ層MR1、第1マスク層M1、及び第2マスク層M2を順次的に形成する。基板100は半導体基板である。一例として、基板100はシリコン基板、ゲルマニウ

10

20

30

40

50

ム基板、シリコン-ゲルマニウム基板、及び化合物半導体基板中1つである。一例として、ターゲット層TGはシリコン絶縁膜である。一例として、ハードマスク層HMはチタニウム窒化物(TiN)を含む。

一例として、第1メモリ層MR1はシリコン酸化物を含む。一例として、第1マスク層M1は非晶質シリコン、SOH(Spin on hardmask)、SOG(Spin on glass)、シリコン窒化物(SiN)、シリコンオキシ炭窒化物(SiOCN)、シリコン炭窒化物(SiCN)、及びスズ酸化物(SnOx)の中で少なくとも1つを含む。一例として、第2マスク層M2はシリコン含有反射防止膜(SiARC)、SOH(Spin on hardmask)、及び非晶質炭素の中で少なくとも1つを含む。
【0033】

第2マスク層M2上に第1開口OP1を有する第1フォトレジストパターンPR1が形成される。具体的に、第1フォトレジストパターンPR1を形成することは、第2マスク層M2上に第1フォトレジスト膜を形成すること及び図7の第1フォトマスクを利用して前記第1フォトレジスト膜に露光及び現像工程を遂行することを含む。第1フォトレジストパターンPR1の第1開口OP1の各々の第1方向D1への幅は第1幅W1である。第1開口OP1は図7の第1レイアウトパターンLP1によって具現されたものである。

【0034】

図9A乃至図9Cを参照すれば、第1フォトレジストパターンPR1をマスクとして第1パターンニング工程を遂行する。したがって、第1マスク層M1に第2開口OP2が形成されることができる。具体的に、前記第1パターンニング工程を遂行することは、第1フォトレジストパターンPR1をマスクとして第2マスク層M2をパターンニングすること及びパターンニングされた第2マスク層M2をマスクとして第1マスク層M1をパターンニングすることを含む。第1パターンニング工程の後、残留する第2マスク層M2を除去する。

【0035】

パターンニングされた第1マスク層M1の第2開口OP2の各々の第1方向D1への幅は第2幅W2である。残留する第2マスク層M2の除去の後、パターンニングされた第1マスク層M1のプルバック(Pull back)工程を遂行する。プルバック工程は乾式エッチング工程又は湿式エッチング工程を含む。プルバック工程によって、パターンニングされた第1マスク層M1の側壁がエッチングされる。したがって、平面視で第2開口OP2の大きさは第1開口OP1の大きさより大きくなる。一例として、第2開口OP2の各々の第2幅W2はそれと縦方向に重畳される第1開口OP1の第1幅W1より広いことができる。

【0036】

図示しなかったが、第1マスク層M1上に保護層がさらに形成されることができる。保護層は第1マスク層M1の上面を覆う。保護層は第1マスク層M1の側壁がエッチングされる時、第1マスク層M1の上面がエッチングされることを防止する。

【0037】

図10A乃至図10Cを参照すれば、基板100の全面上にスペーサー膜SLがコンフォーマルに形成される。前記スペーサー膜SLは異方的にエッチングされる物質を含む。一例として、スペーサー膜SLはチタニウム酸化物(TiOx)、シリコン酸化物(SiOx)、シリコン窒化物(SiN)、シリコン酸窒化物(SiON)、アルミニウム酸化物(AlOx)、及びスズ酸化物(SnOx)の中で少なくとも1つを含む。一例として、スペーサー膜SLはALD(Atomic layer deposition)方式に形成される。スペーサー膜SLによって、第1マスク層M1の第2開口OP2の各々の一部が満たされる。

【0038】

図11A乃至図11Cを参照すれば、第1エッチング工程を進行して、前記スペーサー膜SLの一部が除去される。第1エッチング工程は異方的エッチング工程である。これと共に、第1マスク層M1の側壁を覆うスペーサーSPが形成される。スペーサーSPは第1マスク層M1の第2開口OP2内に形成される。

10

20

30

40

50

スペーサー S P が形成されながら、第 3 開口 O P が形成される。第 3 開口 O P 3 はスペーサー S P によって平面的に囲まれる。第 3 開口 O P 3 の各々は各々の第 2 開口 O P 2 と重畳される。第 3 開口 O P 3 によって、第 1 メモリ層 M R 1 の上面の一部が露出される。

【 0 0 3 9 】

スペーサー S P の各々は第 1 部分 S P 1 及び第 2 部分 S P 2 を含む。スペーサー S P の第 1 部分 S P 1 は上部から下部に向かうほど、第 1 方向 D 1 への幅が増加する。再び言えば、スペーサー S P の第 1 部分 S P 1 の上面は曲がっている。スペーサー S P の第 2 部分 S P 2 は第 1 方向 D 1 への幅が一定である。

【 0 0 4 0 】

図 1 2 A 乃至図 1 2 C を参照すれば、基板 1 0 0 の全面上に第 1 充填膜 F L 1、第 2 メモリ層 M R 2、第 3 マスク層 M 3 を順次的に形成する。第 1 充填膜 F L 1 は第 3 開口 O P 3 を満たす。一例として、第 1 充填膜 F L 1 は S O H (S p i n o n h a r d m a s k) を含む。一例として、第 2 メモリ層 M R 2 はシリコン酸化物を含む。一例として、第 3 マスク層 M 3 はシリコン含有反射防止膜 (S i A R C)、S O H (S p i n o n h a r d m a s k)、及び非晶質炭素の中で少なくとも 1 つを含む。

【 0 0 4 1 】

第 3 マスク層 M 3 上に第 4 開口 O P 4 を有する第 2 フォトレジストパターン P R 2 が形成される。具体的に、第 2 フォトレジストパターン P R 2 を形成することは、第 3 マスク層 M 3 上に第 2 フォトレジスト膜を形成すること及び図 7 の第 2 フォトマスクを利用して前記第 2 フォトレジスト膜に露光及び現像工程を遂行することを含む。第 4 開口 O P 4 は図 7 の第 2 レイアウトパターン L P 2 によって具現されたものである。第 4 開口 O P 4 は第 3 開口 O P 3 の一部分と縦方向に重畳される。

以下では、第 4 開口 O P 4 と縦方向に重畳される第 3 開口 O P 3 の一部分が第 6 開口 O P 6 として定義される。

【 0 0 4 2 】

図 1 3 A 乃至図 1 3 C を参照すれば、第 2 フォトレジストパターン P R 2 をマスクとして第 2 パターニング工程を遂行する。具体的に、前記第 2 パターニング工程を遂行することは、第 2 フォトレジストパターン P R 2 をマスクとして第 3 マスク層 M 3 をパターニングすること、パターニングされた第 3 マスク層 M 3 をマスクとして第 2 メモリ層 M R 2 をパターニングすること、及びパターニングされた第 2 メモリ層 M R 2 をマスクとして第 1 充填膜 F L 1 をパターニングすることを含む。第 2 パターニング工程の後、残留する第 2 フォトレジストパターン P R 2 及び第 3 マスク層 M 3 が除去される。

【 0 0 4 3 】

第 1 充填膜 F L 1 がパターニングされて第 5 開口 O P 5 が形成される。第 1 充填膜 F L 1 の第 5 開口 O P 5 の各々の第 1 方向 D 1 への幅は、各々の第 5 開口 O P 5 と縦方向に重畳する第 4 開口 O P 4 の第 1 方向 D 1 への幅より狭い。これは、第 2 パターニング工程で第 3 マスク層 M 3、第 2 メモリ層 M R 2、及び第 1 充填膜 F L 1 をパターニングしながら、パターニングされる部分の幅が漸進的に減少されるためである。

【 0 0 4 4 】

第 5 開口 O P 5 と第 6 開口 O P 6 に満たされた第 1 充填膜 F L 1 が除去される。再び言えば、第 5 開口 O P 5 と第 6 開口 O P 6 が再び開放される。

【 0 0 4 5 】

図 1 4 A 乃至図 1 4 C を参照すれば、基板の全面上に第 2 充填膜 F L 2 を形成する。第 2 充填膜 F L 2 は第 1 充填膜 F L 1 の開放された第 5 開口 O P 5 及び第 6 開口 O P 6 を再び満たす。

【 0 0 4 6 】

一例として、第 2 充填膜 F L 2 はスペーサー S P と同一な物質を含む。例えば、第 2 充填膜 F L 2 及びスペーサー S P はチタニウム酸化物 (T i O x) を含む。他の例として、第 2 充填膜 F L 2 はスペーサー S P と異なる物質を含む。第 2 充填膜 F L 2 は第 1 メモリ層 M R 1 と同一な物質 (例えば、シリコン酸化物) を含む。その他の例として、第 2 充填

10

20

30

40

50

膜 F L 2 は第 1 マスク層 M 1 と同一な物質（例えば、非晶質シリコン）を含む。

【0047】

一例として、第 2 充填膜 F L 2 は A L D (A t o m i c l a y e r d e p o s i t i o n) 、 C V D (C h e m i c a l v a p o r d e p o s i t i o n) 、 又はスピニング (S p i n c o a t i n g) 方式に形成される。

【0048】

図 1 5 A 乃至図 1 5 C を参照すれば、平坦化工程を進行して、第 2 充填膜 F L 2 の一部が除去される。平坦化工程は C M P (C h e m i c a l m e c h a n i c a l p o l i s h i n g) 工程又はエッチバック (E t c h b a c k) 工程を含む。したがって、カットパターン C P が形成される。カットパターン C P は、第 2 充填膜 F L 2 の除去されなく、残留する部分である。一例として、カットパターン C P の上面は第 1 充填膜 F L 1 の上面より低いレベルに形成される。カットパターン C P は第 6 開口 O P 6 を満たす。カットパターン C P は第 6 開口 O P 6 を定義する一対のスペーサー S P を覆う。

【0049】

図 1 6 A 乃至図 1 6 C を参照すれば、第 2 エッチング工程を進行して、第 2 メモリ層 M R 2 及び第 1 充填膜 F L 1 を除去する。したがって、第 3 開口 O P 3 を満たした第 1 充填膜 F L 1 が除去される。再び言えば、第 3 開口 O P 3 が再び開放される。第 6 開口 O P 6 にはカットパターン C P が満たされているので、第 6 開口 O P 6 は開放されないようにしうる。

【0050】

一実施形態において、カットパターン C P が第 1 マスク層 M 1 と同一な物質（例えば、非晶質シリコン）を含む場合、第 2 エッチング工程の後、カットパターン C P が部分的にエッチングされる。一例として、第 2 工程の後、第 3 開口 O P 3 によって露出されたカットパターン C P の両側壁が部分的にエッチングされる。したがって、カットパターン C P の第 2 方向 D 2 への幅が減少される。

【0051】

図 1 7 A 乃至図 1 7 C を参照すれば、第 1 マスク層 M 1 、スペーサー S P 、及びカットパターン C P をマスクとして第 3 パターニング工程を遂行する。したがって、第 1 メモリ層 M R 1 がパターニングされて第 7 開口 O P 7 が形成される。第 1 メモリ層 M R 1 の第 7 開口 O P 7 の平面形状は、第 3 開口 O P 3 の平面形状と実質的に同一である。

【0052】

一実施形態において、カットパターン C P が第 1 メモリ層 M R 1 と同一な物質（例えば、シリコン酸化物）を含む場合、第 3 パターニング工程の間にカットパターン C P が部分的にエッチングされる。一例として、第 3 パターニング工程の間に第 3 開口 O P 3 によって露出されたカットパターン C P の両側壁が部分的にエッチングされる。したがって、カットパターン C P の第 2 方向 D 2 への幅が減少される。

【0053】

図 1 8 A 乃至図 1 8 C を参照すれば、基板 1 0 0 の全面上に第 3 充填膜 F L 3 を形成する。第 3 充填膜 F L 3 は第 7 開口 O P 7 を満たす。

【0054】

第 3 充填膜 F L 3 上に第 8 開口 O P 8 を有する第 3 フォトレジストパターン P R 3 が形成される。具体的に、第 3 フォトレジストパターン P R 3 を形成することは、第 3 充填膜 F L 3 上に第 3 フォトレジスト膜を形成すること及び図 7 の第 3 フォトマスクを利用して前記第 3 フォトレジスト膜に露光及び現像工程を遂行することを含む。第 8 開口 O P 8 は図 7 の第 3 レイアウトパターン L P 3 によって具現されたものである。第 8 開口 O P 8 の各々はスペーサー S P の少なくとも一部と縦方向に重畳される。

【0055】

図 1 9 A 乃至図 1 9 C を参照すれば、第 3 フォトレジストパターン P R 3 をマスクとして第 4 パターニング工程を遂行する。具体的に、第 4 パターニング工程を遂行することは第 3 フォトレジストパターン P R 3 をマスクとして第 3 充填膜 F L 3 をパターニングする

10

20

30

40

50

ことを含む。第4パターニング工程の後、残留する第3フォトリソパターンPR3が除去される。

【0056】

第3充填膜FL3がパターニングされて第9開口OP9が形成される。第3充填膜FL3の第9開口OP9の第1方向D1への幅は第3幅W3である。第3充填膜FL3の第9開口OP9の一部はスペーサーSPと縦方向に重畳される。第3充填膜FL3の第9開口OP9の平面形状は第3フォトリソパターンPR3の第8開口OP8の平面形状と実質的に同一である。

【0057】

図20A乃至図20Dを参照すれば、第3充填膜FL3及びスペーサーSPをマスクとして第5パターニング工程を遂行する。具体的に、第5パターニング工程を遂行することはパターニングされた第3充填膜FL3及びスペーサーSPをマスクとして第1マスク層M1をパターニングすること及びパターニングされた第1マスク層M1をマスクとして第1メモリ層MR1をパターニングすることを含む。

【0058】

第5パターニング工程で、第10開口OP10が形成される。第10開口OP10はスペーサーSPによって自己整合的に形成される。再び言えば、第5パターニング工程の間に、スペーサーSPはエッチングマスクの役割をする。第10開口OP10の第1方向D1への幅は第4幅W4である。第10開口OP10を通じて第1メモリ層MR1がパターニングされて、第11開口OP11が形成される。

【0059】

第3充填膜FL3の第9開口OP9の一部はスペーサーSPと縦方向に重畳されるので、第1マスク層M1がパターニングされる時、スペーサーSPがマスクになる。したがって、第10開口OP10の第4幅W4は第3充填膜FL3の第9開口OP9の第3幅W3より狭い。また、スペーサーSPの第1部分SP1の一部が除去される。したがって、スペーサーSPの第1部分SP1の上面の一部が平らになる。また、スペーサーSPの第1部分SP1の中で平らになった第1部分SP1の上面より高いレベルに位置する部分が第3部分SP3として定義される。再び言えば、スペーサーSPの第3部分SP3は平らになった第1部分SP1の上面のレベルより高いレベルに位置する。

【0060】

図21A乃至図21Cを参照すれば、第5パターニング工程の後、残留する第3充填膜FL3、第1マスク層M1、カットパターンCP、及びスペーサーSPを除去する。カットパターンCPがスペーサーSPと同一な物質を含む場合、カットパターンCP及びスペーサーSPを一度に除去することができる。

【0061】

図22A乃至図22Cを参照すれば、第1メモリ層MR1をマスクとして第6パターニング工程を遂行する。具体的に、第6パターニング工程を遂行することは、第1メモリ層MR1をマスクとしてハードマスク層HMをパターニングすること及びパターニングされたハードマスク層HMをマスクとしてターゲット層TGをパターニングすることを含む。ターゲット層TGがパターニングされて第12開口OP12が形成される。第6パターニング工程の後、残留する第1メモリ層MR1及び残留するハードマスク層HMを除去する。

【0062】

図23A乃至図23Cを参照すれば、ターゲット層TGの第12開口OP12に金属を満たして金属層を構成する。金属層は第1金属配線ML1及び第2金属配線ML2を含む。第1及び第2金属配線ML1、ML2は銅(Cu)又はタングステン(W)を含む。第1金属配線ML1は図7の第1レイアウトパターンLP1によって定義され、第2金属配線ML2は図7の第3レイアウトパターンLP3によって定義される。第1金属配線ML1及び第2金属配線ML2は平面的に互いに離隔される。

【0063】

以上、添付された図面を参照して本発明の実施形態を説明したが、本発明が属する技術

10

20

30

40

50

分野で通常の知識を有する者は本発明がその技術的思想や必須的な特徴を変形しなく、他の具体的な形態に実施できることは理解すべきである。

したがって、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないものとして理解しなければならない。

【符号の説明】

【 0 0 6 4 】

1 0 0 基板

F L 1、F L 2 充填膜

H M ハードマスク層

L P 1、L P 2、L P 3 レイアウトパターン

M 1、M 2 マスク層

M T 1、M T 2 金属パターン

O P 1、O P 2 開口

P R 1、P R 2 フォトレジストパターン

S P スペース

T G ターゲット層

10

20

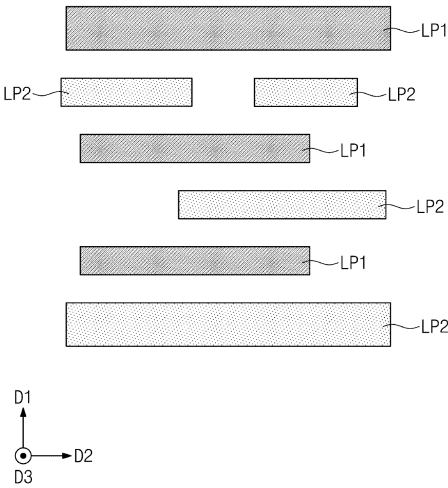
30

40

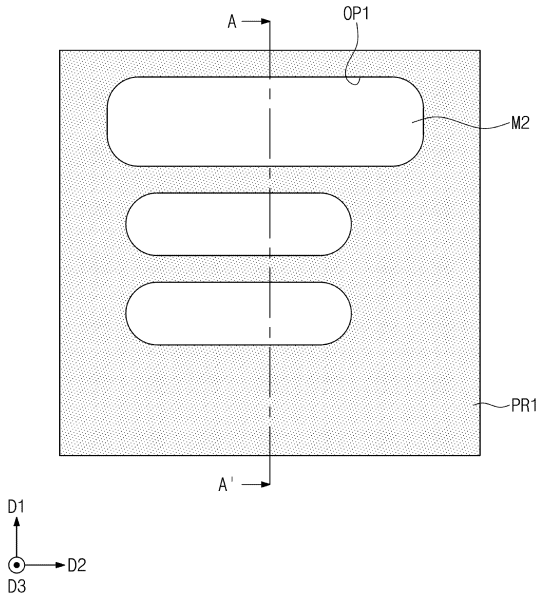
50

【図面】

【図 1】



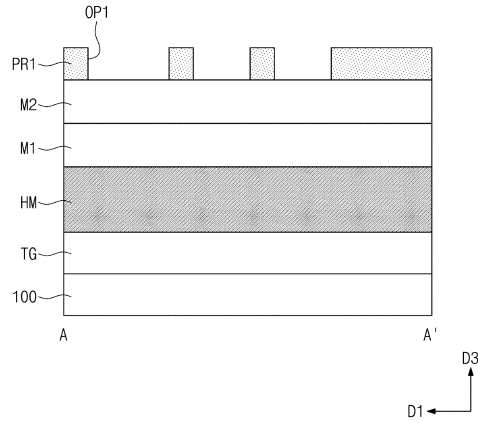
【図 2 A】



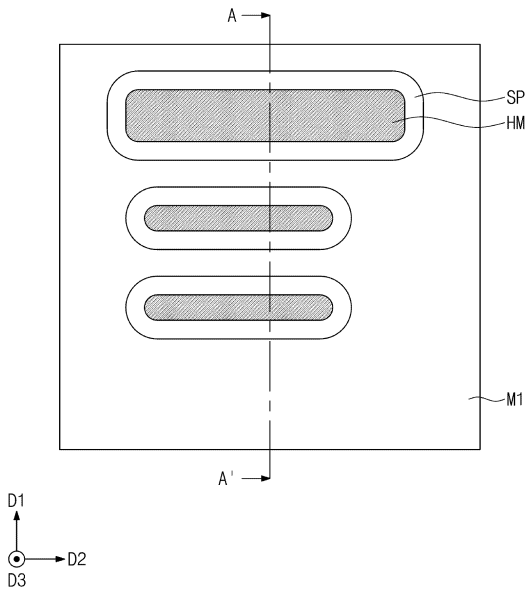
10

20

【図 2 B】



【図 3 A】

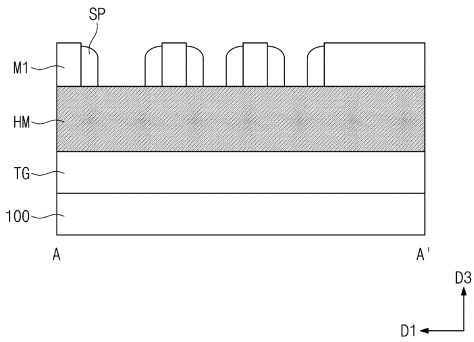


30

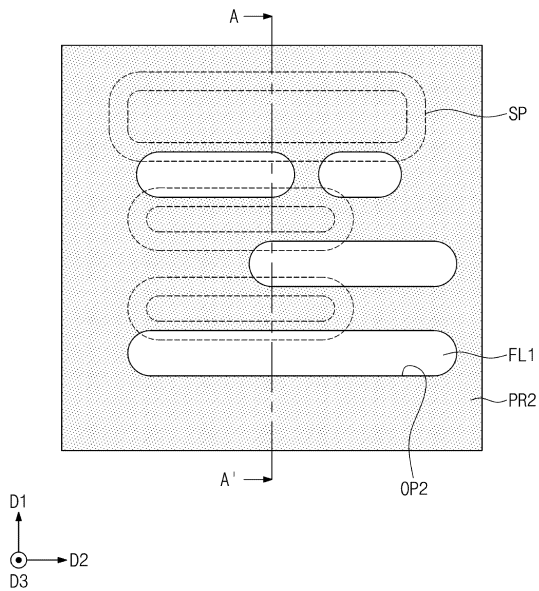
40

50

【図 3 B】



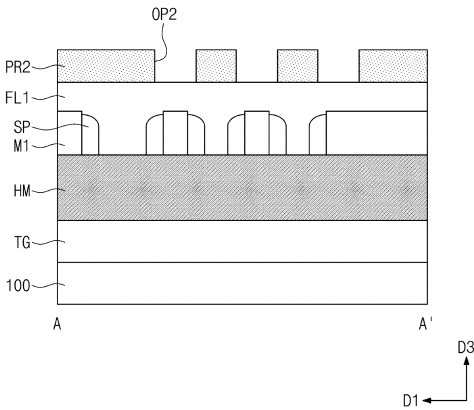
【図 4 A】



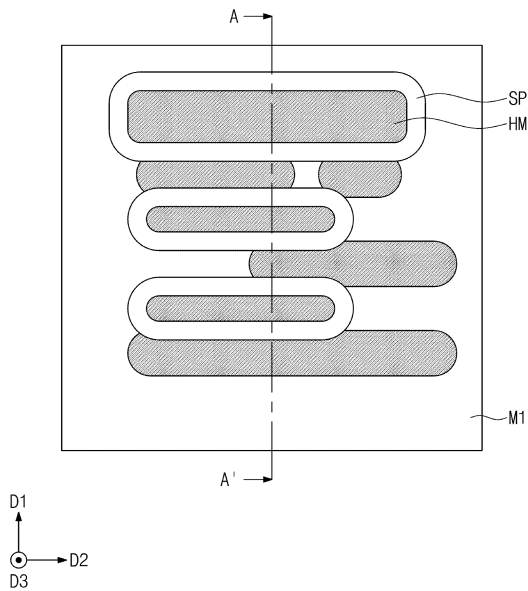
10

20

【図 4 B】



【図 5 A】

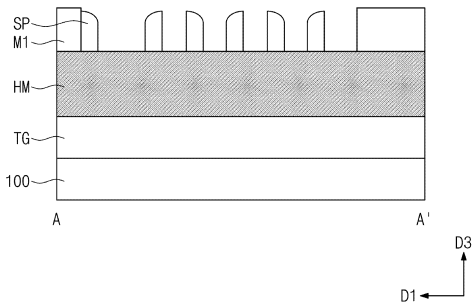


30

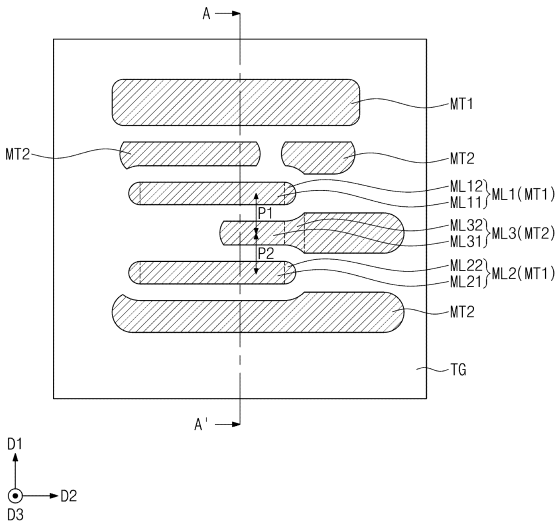
40

50

【図 5 B】

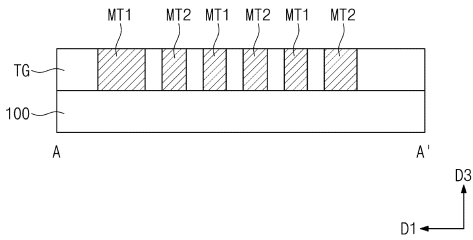


【図 6 A】

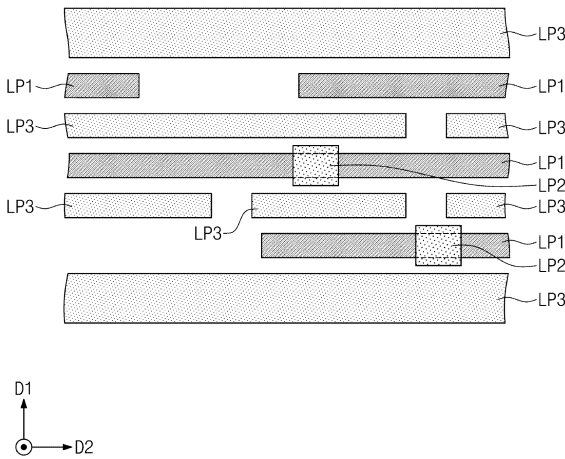


10

【図 6 B】



【図 7】



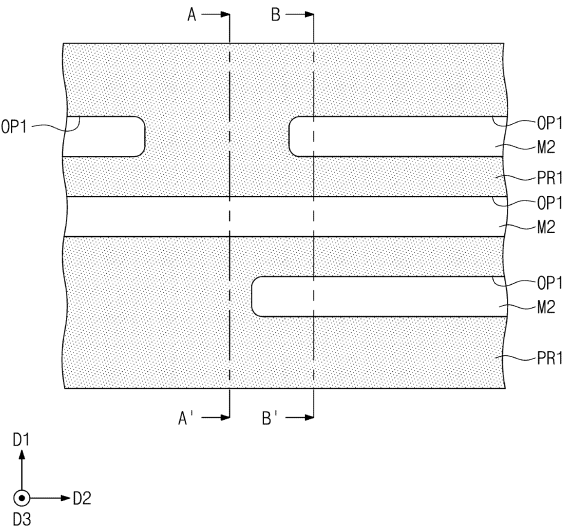
20

30

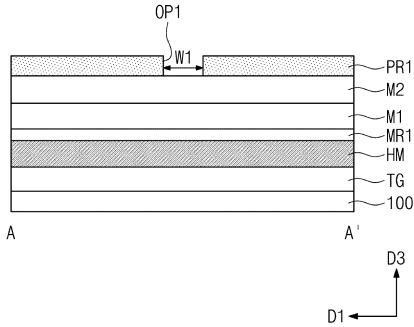
40

50

【図 8 A】

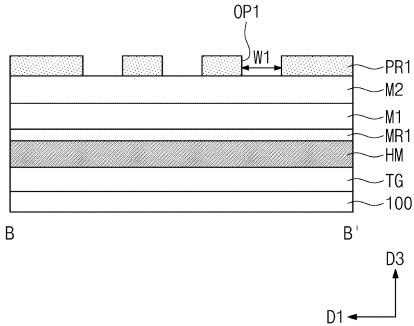


【図 8 B】

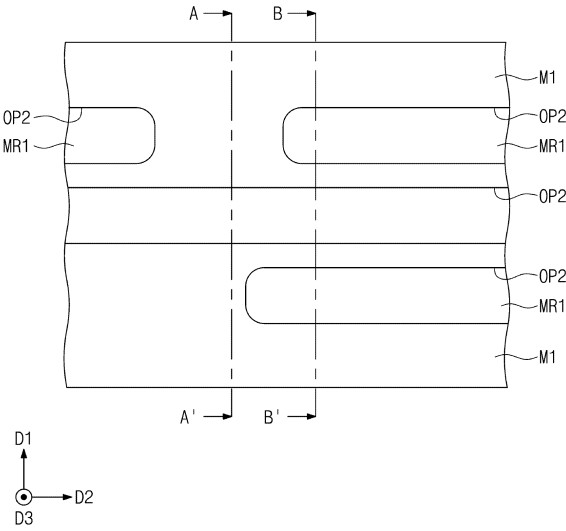


10

【図 8 C】



【図 9 A】

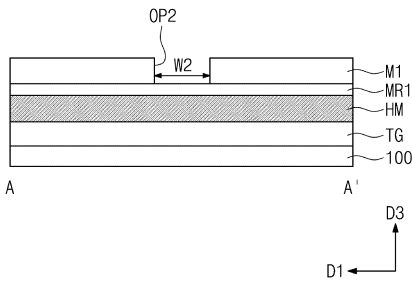


30

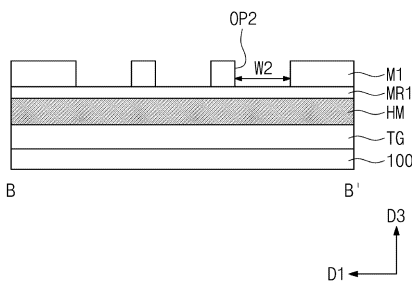
40

50

【図 9 B】

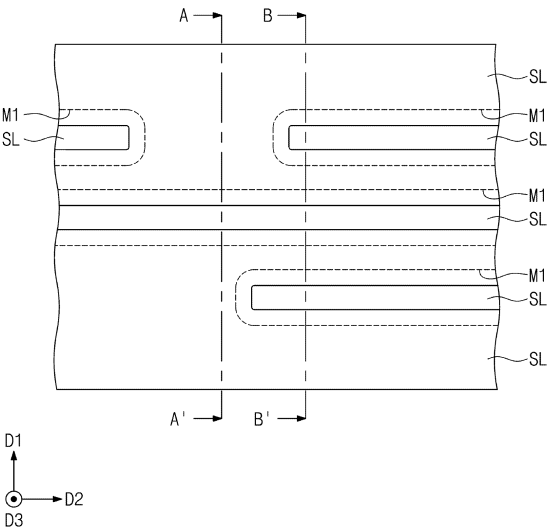


【図 9 C】

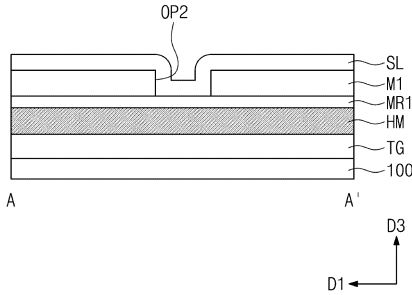


10

【図 10 A】



【図 10 B】



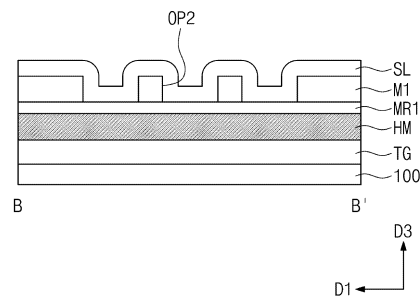
20

30

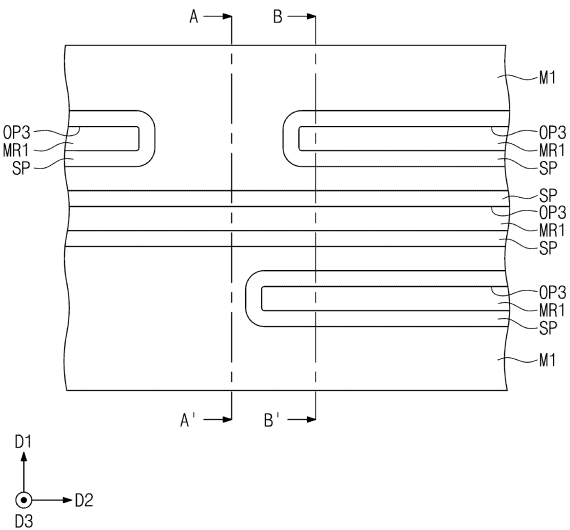
40

50

【図 1 0 C】



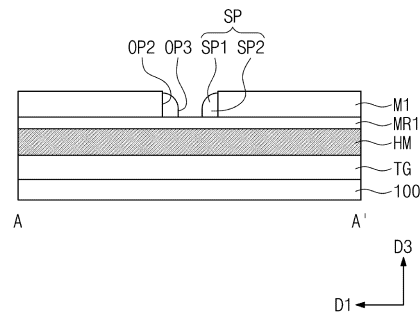
【図 1 1 A】



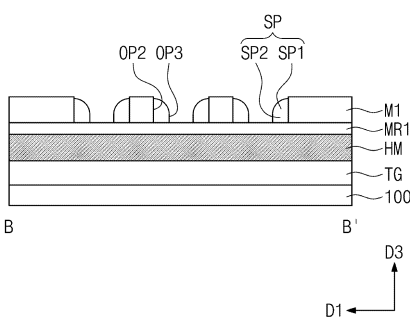
10

20

【図 1 1 B】



【図 1 1 C】

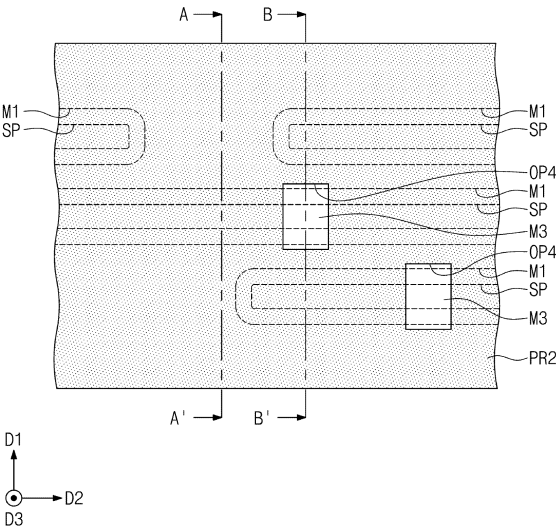


30

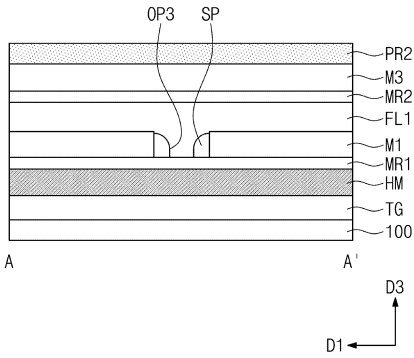
40

50

【図 1 2 A】

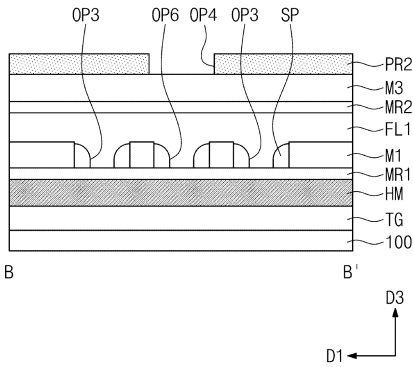


【図 1 2 B】

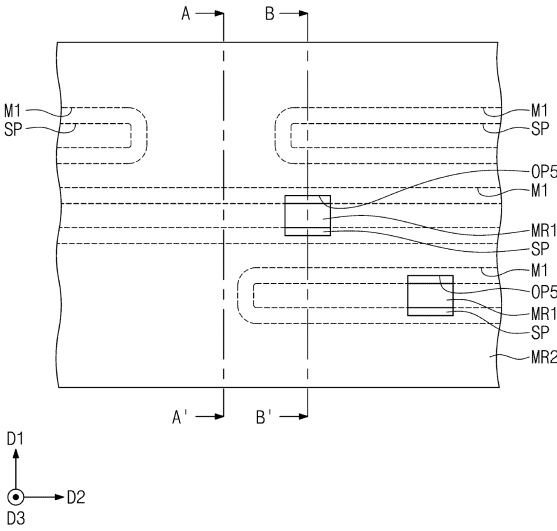


10

【図 1 2 C】



【図 1 3 A】

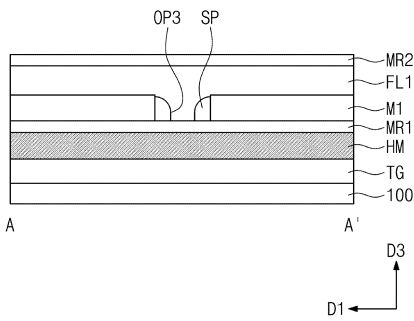


30

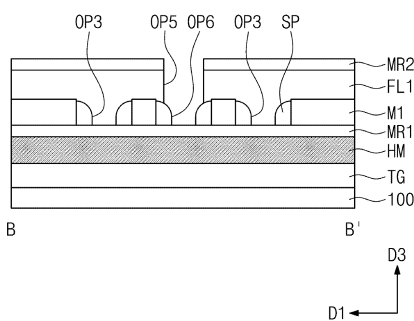
40

50

【図 1 3 B】

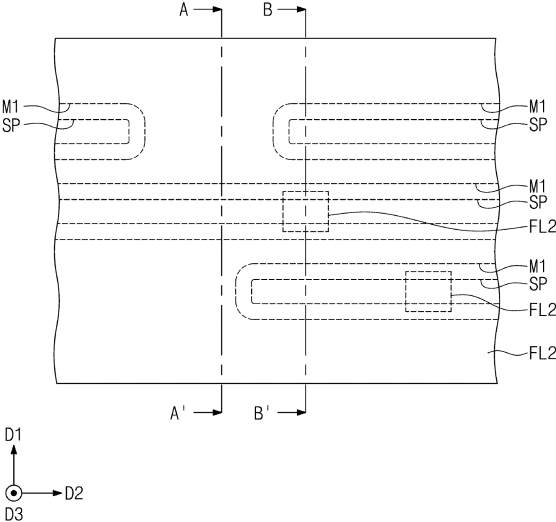


【図 1 3 C】

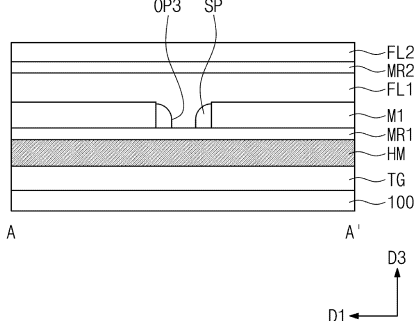


10

【図 1 4 A】



【図 1 4 B】



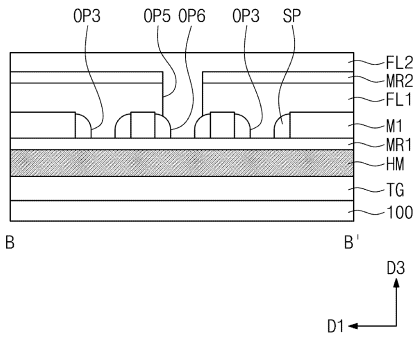
20

30

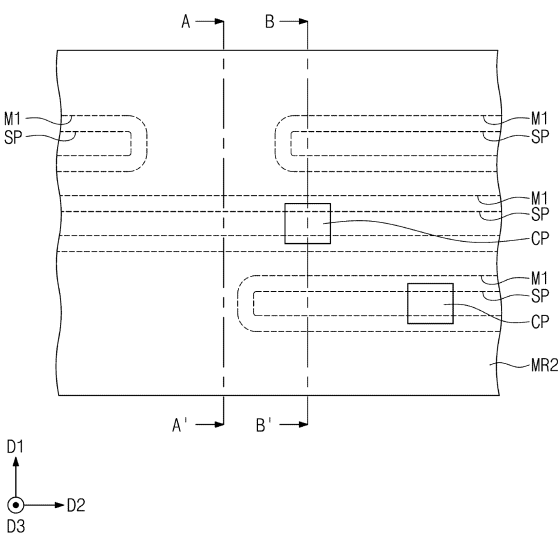
40

50

【図 1 4 C】



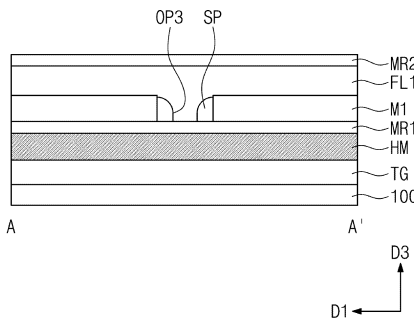
【図 1 5 A】



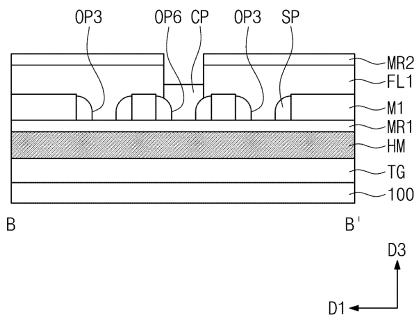
10

20

【図 1 5 B】



【図 1 5 C】

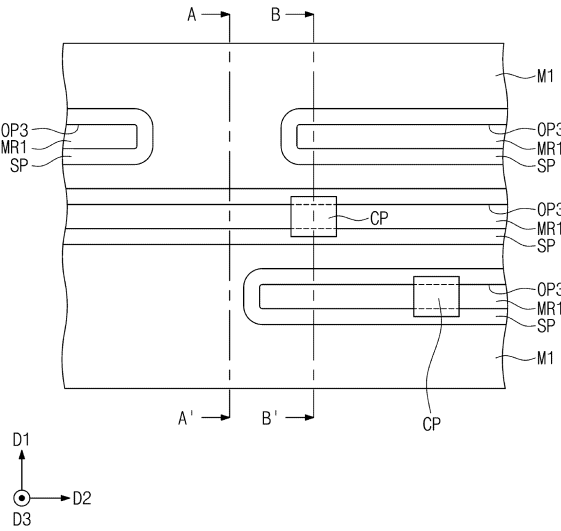


30

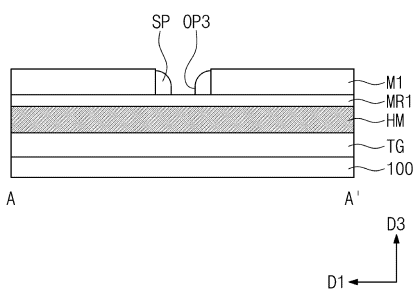
40

50

【図 1 6 A】

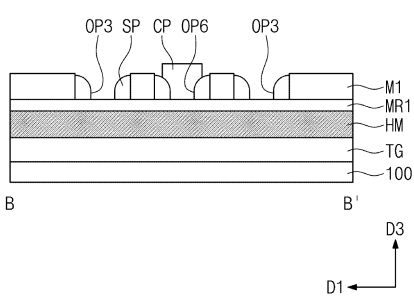


【図 1 6 B】

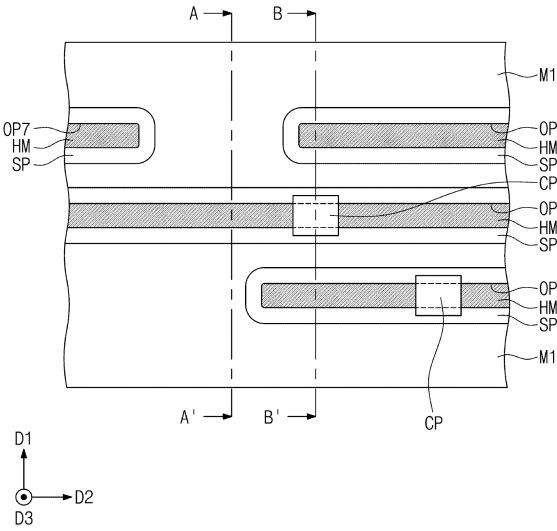


10

【図 1 6 C】



【図 1 7 A】

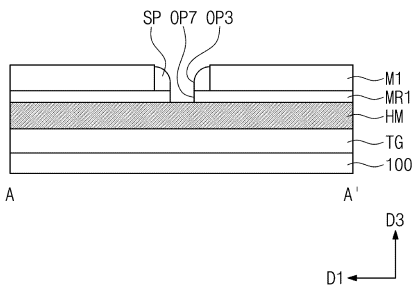


30

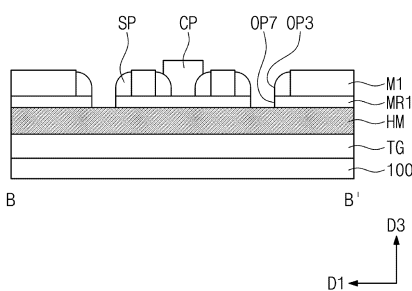
40

50

【図 1 7 B】

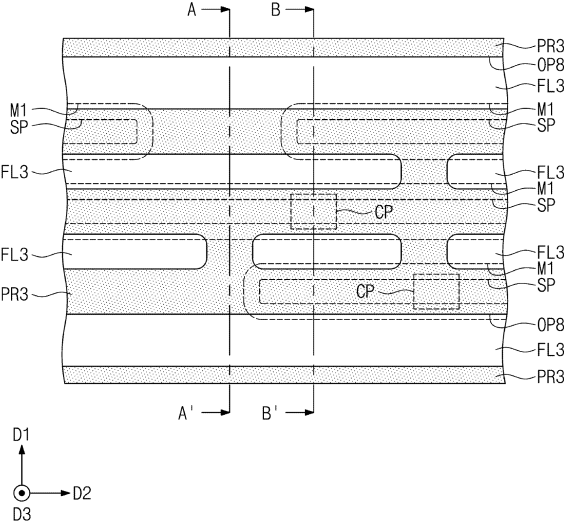


【図 1 7 C】

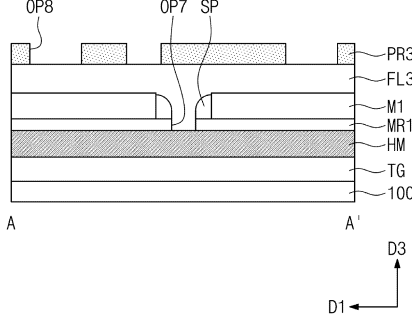


10

【図 1 8 A】



【図 1 8 B】



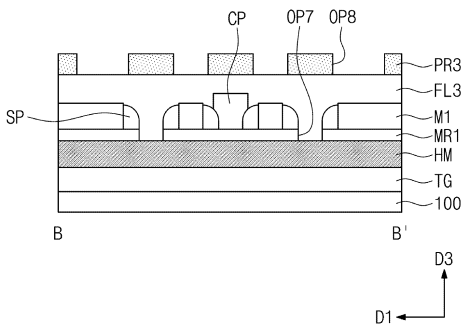
20

30

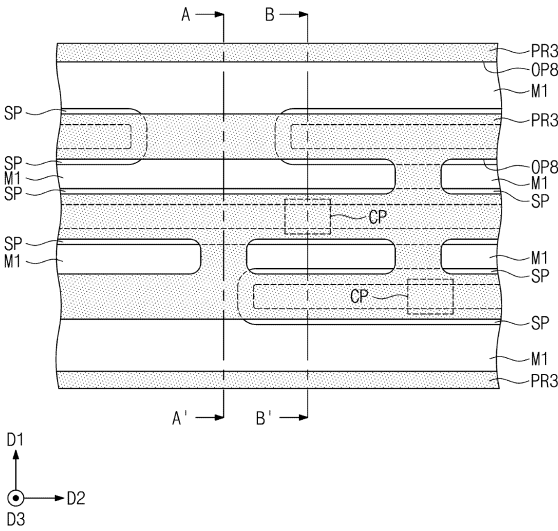
40

50

【図 18 C】



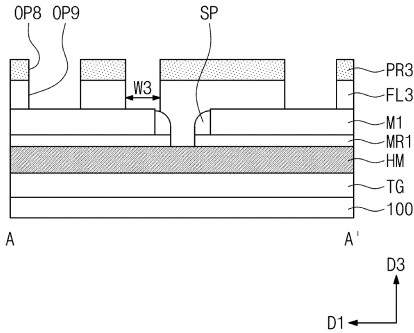
【図 19 A】



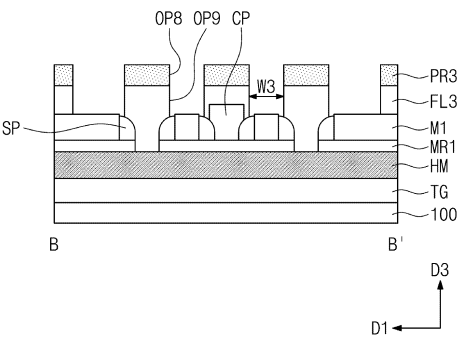
10

20

【図 19 B】



【図 19 C】

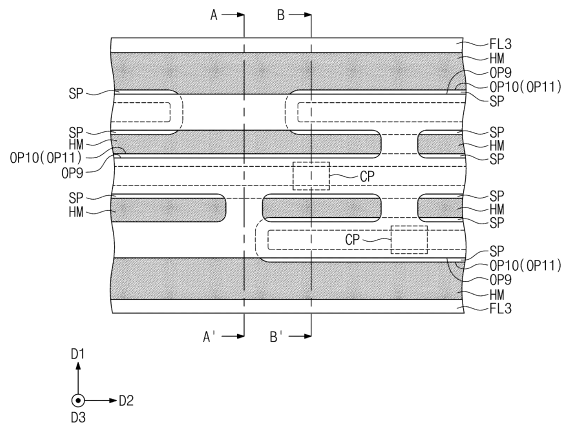


30

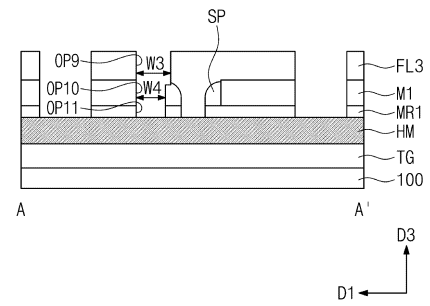
40

50

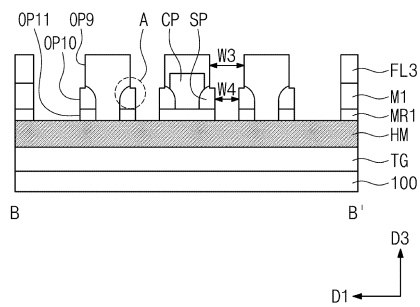
【図 20 A】



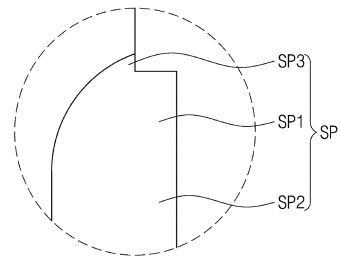
【図 20 B】



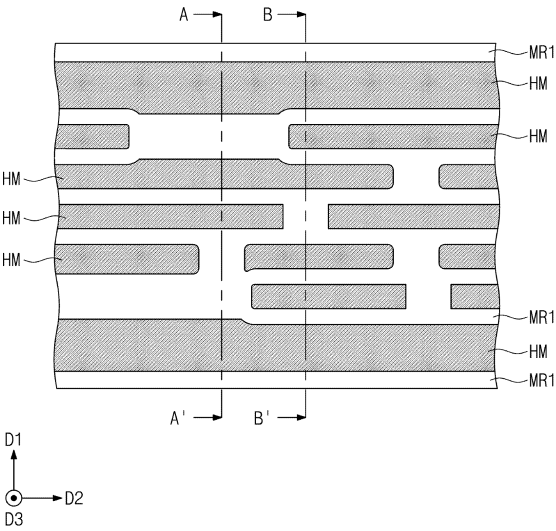
【図 20 C】



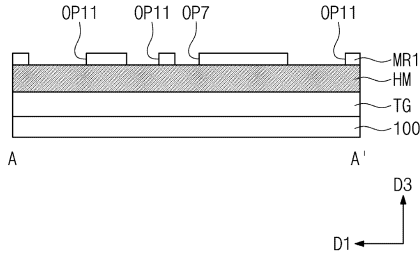
【図 20 D】



【図 2 1 A】

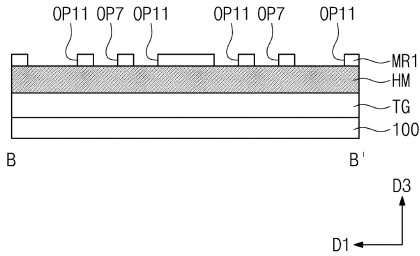


【図 2 1 B】

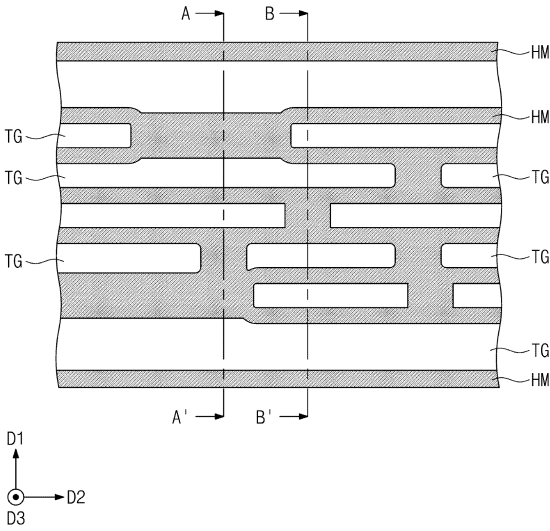


10

【図 2 1 C】



【図 2 2 A】

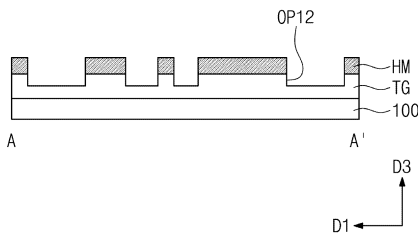


30

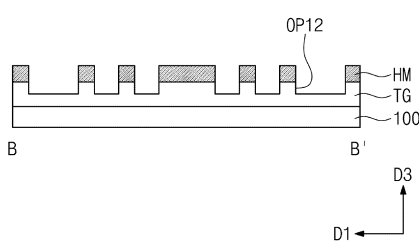
40

50

【図 2 2 B】

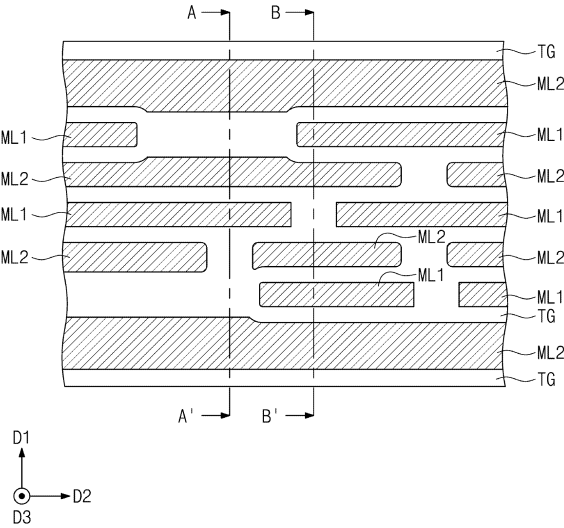


【図 2 2 C】

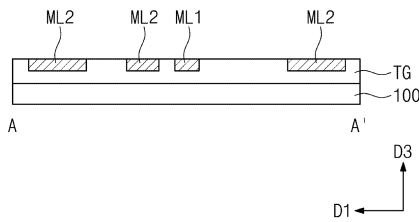


10

【図 2 3 A】

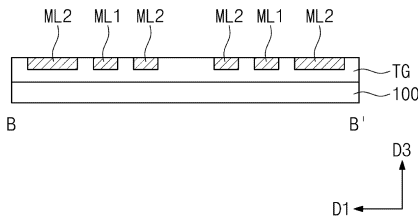


【図 2 3 B】



20

【図 2 3 C】



40

50

フロントページの続き

弁理士 大貫 進介
(72)発明者 辛 宗燦
大韓民国京畿道城南市寿井区山城大路341番地 1棟 1002号
審査官 鈴木 智之
(56)参考文献 米国特許出願公開第2014/0193974 (US, A1)
米国特許出願公開第2013/0260557 (US, A1)
米国特許出願公開第2015/0155171 (US, A1)
特開2010-153872 (JP, A)
(58)調査した分野 (Int.Cl., DB名)
H01L 21/3065