



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 009 880 A1** 2008.08.28

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 009 880.9**

(22) Anmeldetag: **19.02.2008**

(43) Offenlegungstag: **28.08.2008**

(51) Int Cl.⁸: **G11C 29/52** (2006.01)

(30) Unionspriorität:

11/676,774 20.02.2007 US

(71) Anmelder:

Qimonda AG, 81739 München, DE

(74) Vertreter:

Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(72) Erfinder:

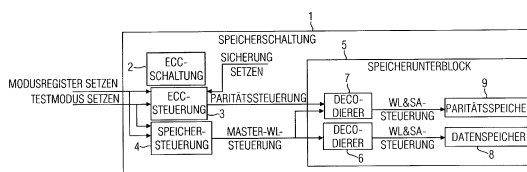
Streif, Harald, Burlington, Vt., US; Sturm, Andre, Essex Junction, Vt., US

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Leistungseinsparungen für Speicher mit Fehlerkorrekturmodus**

(57) Zusammenfassung: Die vorliegende Erfindung umfasst eine Speichervorrichtung mit einem Datenspeicher und einer Fehlerkorrekturcodesteuerschaltung. Der Datenspeicher speichert Datenparitätsinformationen für eine Fehlerkorrektur. Die Fehlerkorrekturcodesteuerschaltung ist konfiguriert, um ein Auswahlsignal zu empfangen, das angibt, ob ein Fehlerkorrekturmodus verwendet werden soll. Eine Leistung, um auf den Abschnitt des Speichers, der die Paritätsinformationen speichert, zuzugreifen, ist gesperrt, wenn der Fehlerkorrekturmodus freigegeben ist.



Beschreibung

[0001] Speichervorrichtungen weisen Speicherarrays mit großen Anzahlen einzelner Speicherzellen auf. Während einer Fertigung der Speicherarrays oder bei einem nachfolgenden Häuten des Speichers ist es möglich, dass Zellausfälle in den Speicher eingebracht werden. Ferner können Fehler bei einem Verarbeiten von Daten in und aus Speicherzellen auftreten. In einigen Fällen kann eine Einbringung derartiger Ausfälle zu dem Bedarf führen, die Vorrichtung gänzlich auszusondern.

[0002] Folglich verwenden viele Speichervorrichtungen einen Fehlerkorrekturcode (ECC = Error Correction Code) oder einen ECC-Modus, um Zellausfälle in Speicherarrays zu kompensieren. Der ECC-Modus wird verwendet, um Paritätscodes zu erzeugen, die in einem Paritätsspeicher gespeichert werden, um Fehler oder Ausfälle in Speicherzellen zu erfassen und in einigen Fällen zu korrigieren. In einigen Fällen ist eine ECC-Schaltungsanordnung auf einen Speicherchip gebaut, um für einen Kunden eine höhere Qualität zu erreichen.

[0003] Typischerweise weisen Speichervorrichtungen ein Speicherarray auf, innerhalb dessen spezifische Bereiche zweckgebunden sind, um ECC-Paritätsbits zu speichern. Für einige Anwendungen dieser Speichervorrichtungen wird der ECC-Modus verwendet werden und für andere nicht. Bei Anwendungen, bei denen der ECC-Modus nicht verwendet wird, zieht und verwendet der Bereich des Speicherarrays, der dem Speichern von ECC-Paritätsbits gewidmet ist, unnötigerweise Strom. Aus diesen und anderen Gründen besteht ein Bedarf nach der vorliegenden Erfindung.

[0004] Es ist die Aufgabe der vorliegenden Erfindung, einen Speicher, eine Halbleiterspeichervorrichtung, eine Speichervorrichtung, ein Verfahren zum Steuern einer Speichervorrichtung, die mit einem Fehlerkorrekturcode konfiguriert ist, und ein Verfahren zum Steuern eines Halbleiterspeichersystems mit einem Fehlerkorrekturcode mit verbesserten Charakteristika zu schaffen.

[0005] Diese Aufgabe wird durch einen Speicher gemäß Anspruch 1, eine Vorrichtung gemäß Anspruch 6 und Anspruch 10, sowie ein Verfahren gemäß Anspruch 14 und Anspruch 19 gelöst.

[0006] Ein Aspekt der vorliegenden Erfindung sieht eine Speichervorrichtung mit einer Fehlerkorrekturcodesteuerschaltung vor. Der Speicher speichert einen Datenspeicher und Paritätsinformationen. Die Fehlerkorrekturcodesteuerschaltung ist konfiguriert, um ein Auswahlsignal zu empfangen, das angibt, ob ein Fehlerkorrekturmodus aktiviert werden soll. Eine Leistung zu lokalen Wortleitungen des Paritätspei-

cherarrays wird gesperrt, wenn das Auswahlsignal angibt, dass der Fehlerkorrekturmodus nicht aktiviert werden soll.

[0007] Die zugehörigen Zeichnungen sind enthalten, um ein weiteres Verständnis der vorliegenden Erfindung zu liefern, und sind in dieser Beschreibung enthalten und bilden einen Teil derselben. Die Zeichnungen stellen die Ausführungsbeispiele der vorliegenden Erfindung dar und dienen zusammen mit der Beschreibung dazu, die Grundlagen der Erfindung zu erläutern. Andere Ausführungsbeispiele der vorliegenden Erfindung und viele der beabsichtigten Vorteile der vorliegenden Erfindung werden ohne weiteres ersichtlich, wenn dieselben durch Bezugnahme auf die folgende detaillierte Beschreibung besser verständlich werden. Die Elemente der Zeichnungen sind nicht zwangsläufig maßstabsgerecht relativ zueinander. Ähnliche Bezugszeichen bezeichnen entsprechende ähnliche Teile.

[0008] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

[0009] [Fig. 1](#) eine Speichervorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0010] [Fig. 2](#) ein weiteres Ausführungsbeispiel einer Speichervorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0011] [Fig. 3](#) einen Abschnitt der Datenspeichervorrichtung mit einer Paritätsarraysteuerschaltung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0012] [Fig. 4](#) einen Abschnitt der Datenspeichervorrichtung mit einer Paritätsarraysteuerschaltung gemäß einem anderen Ausführungsbeispiel der vorliegenden Erfindung;

[0013] [Fig. 5](#) eine Signalerzeugungsschaltung gemäß einem bekannten Speichersystem;

[0014] [Fig. 6](#) eine Signalerzeugungsschaltung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0015] [Fig. 7](#) ein Signalzeitdiagramm für Signale in einer Signalerzeugungsschaltung für ein Speichersystem;

[0016] [Fig. 8](#) ein Signalzeitdiagramm für Signale in einer Signalerzeugungsschaltung für ein Speichersystem;

[0017] [Fig. 9](#) einen Abschnitt der Datenspeichervor-

richtung mit einer Paritätsarraysteuerschaltung gemäß einem anderen Ausführungsbeispiel der vorliegenden Erfindung;

[0018] [Fig. 10A](#) einen Abschnitt einer Datenspeichervorrichtung;

[0019] [Fig. 10B](#) einen Abschnitt einer Datenspeichervorrichtung gemäß einem anderen Ausführungsbeispiel der vorliegenden Erfindung;

[0020] [Fig. 11](#) eine Signalerzeugungsschaltung gemäß einem bekannten Speichersystem;

[0021] [Fig. 12](#) eine Signalerzeugungsschaltung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0022] [Fig. 13](#) ein Signalzeitdiagramm für Signale in einer Signalerzeugungsschaltung für ein Speichersystem; und

[0023] [Fig. 14](#) ein Signalzeitdiagramm für Signale in einer Signalerzeugungsschaltung für ein Speichersystem.

[0024] In der folgenden detaillierten Beschreibung wird Bezug auf die zugehörigen Zeichnungen genommen, die einen Teil derselben bilden und in denen durch Veranschaulichung spezifische Ausführungsbeispiele gezeigt sind, in denen die Erfindung praktiziert werden kann. In dieser Hinsicht wird eine Richtungsterminologie, wie beispielsweise „oben“, „unten“, „vorne“, „hinten“, „Vorder-“, „Hinter-“ etc., mit Bezug auf die Ausrichtung der beschriebenen Figur(en) verwendet. Weil Komponenten von Ausführungsbeispielen der vorliegenden Erfindung in einer Anzahl unterschiedlicher Ausrichtungen positioniert sein können, wird die Richtungsterminologie zu Darstellungszwecken verwendet und ist in keiner Weise einschränkend. Es ist klar, dass andere Ausführungsbeispiele genutzt und strukturelle oder logische Veränderungen vorgenommen werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Die folgende detaillierte Beschreibung ist deshalb nicht in einem einschränkenden Sinn aufzufassen und der Schutzbereich der vorliegenden Erfindung ist durch die beigefügten Ansprüche definiert.

[0025] [Fig. 1](#) stellt eine Speichervorrichtung 1 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Bei einem Ausführungsbeispiel umfasst die Speichervorrichtung 1 eine ECC-Schaltung 2, eine ECC-Steuerung 3, eine Speichersteuerung 4 und einen Speicherunterblock 5. Der Speicherunterblock 5 umfasst einen Datenspeicher 8 und einen Paritätsspeicher 9. Ein erster Decodierer 7 liefert Zugriffssteuersignale zu dem Paritätsspeicher 9 und ein zweiter Decodierer 6 liefert Zugriffssteuersignale zu dem Datenspeicher 8. Die Speichervorrichtung 1

kann irgendeine von einer Vielzahl von Speichersystemen sein, wie beispielsweise ein dynamischer Direktzugriffsspeicher (DRAM = Dynamic Random Access Memory), ein synchroner Direktzugriffsspeicher (SRAM = Synchronous Random Access Memory), ein DRAM und SRAM mit doppelter Datenrate (DDR-DRAM und DDR-SRAM; DDR = Double Data Rate), DDR II und andere.

[0026] Bei Fertigung und/oder Betrieb derartiger Speichervorrichtungen ist es möglich, dass Zellausfälle in den Speicherunterblock 5 eingebracht werden. Ein Ausführungsbeispiel der Speichervorrichtung 1 liefert einen ECC-Modus, der ermöglicht, dass derartige Ausfälle erfasst und/oder korrigiert werden. In einem Fall ist das Speichersystem mit der Fehlerkorrekturcodesteuerschaltung (ECC-Schaltung) 2 konfiguriert. Die ECC-Schaltung 2 ist vorgesehen, um Zellausfälle in dem Datenspeicher zu kompensieren. Die ECC-Schaltung 2 erzeugt in Zusammenarbeit mit der ECC-Steuerung 3 und der Speichersteuerung 4 Paritätscodes, die verwendet werden, um Fehler oder Ausfälle in Speicherzellen zu erfassen und zu korrigieren. Die Fehlerkorrekturcodes oder Paritätscodes sind in dem Paritätsspeicher 9 gespeichert. Die ECC-Schaltung 2 befindet sich in Kommunikation mit sowohl dem Paritätsspeicher 9 als auch dem Datenspeicher 8 (der Vereinfachung der Darstellung halber sind nicht alle Verbindungen gezeigt).

[0027] Weil der ECC-Modus bei der Speichervorrichtung 1 nicht immer für alle Anwendungen der Vorrichtung verwendet wird, ist jedoch ein Ausführungsbeispiel der Speichervorrichtung 1 konfiguriert, derart, dass die ECC-Steuerschaltung 3 den ECC-Modus abwechselnd freigibt und sperrt. Genauer gesagt ist die ECC-Steuerung 3 konfiguriert, um ein Paritätssteuersignal zu dem ersten Decodierer 7 zu liefern, der wiederum Zugriffssteuersignale zu dem Paritätsspeicher 9 liefert. Auf diese Weise gibt das Paritätssteuersignal von der ECC-Steuerung 3 den Paritätsspeicher 9 innerhalb des Speicherunterblocks 5 frei und sperrt denselben. In einem Fall umfasst diese Steuerung ein Steuern von Wortleitungssignalen und Erfassungsverstärkersignalen bzw. Leseverstärkersignalen in dem Paritätsspeicher 9.

[0028] Ein Paritätsspeicher bei einem herkömmlichen Speichersystem mit einem ECC-Modus verwendet einen Betriebsstrom, ob der ECC-Modus tatsächlich genutzt wird oder nicht. Bei der ECC-Steuerschaltung 3 und dem Paritätssteuersignal gemäß einem Ausführungsbeispiel der vorliegenden Erfindung jedoch kann die Speichervorrichtung 1 den ersten Decodierer 7 sperren, wodurch eine Aktivierung des Paritätsspeichers 9 gesperrt wird und daher Leistung gespart wird. Ein derartiges Sperren spart den Betriebsstrom, der normalerweise durch den Paritätsspeicher 9 aufgewendet würde, wie es unten detail-

liert erläutert wird.

[0029] Die Bestimmung oder Auswahl dessen, ob der ECC-Modus bei irgendeiner speziellen Anwendung verwendet wird, kann der Speichervorrichtung **1** auf eine Vielfalt von Arten konsistent mit der vorliegenden Erfindung geliefert werden. Beispielsweise kann die ECC-Steuerung **3** konfiguriert sein, um Signale zu empfangen, die angeben, ob der ECC-Modus bei der Speichervorrichtung **1** verwendet werden soll. Ein derartiges Signal kann ein Modusregister-Setzsignal von einer Anschlussfläche sein, die den ECC-Modus freigibt und sperrt, wie es über Signale gesteuert ist, die zu der Anschlussfläche geliefert werden. In einem anderen Fall wird ein Sicherungs-Setzsignal über eine Sicherung (Fuse) geliefert, die durchgebrannt oder nicht durchgebrannt sein kann, um das Freigeben oder Sperren des ECC-Modus im Wesentlichen „fest zu codieren“. Ferner kann ein Testmodus-Setzsignal zu der ECC-Steuerung **3** geliefert werden, derart, dass Testmodi oder andere Betriebsmodi verwendet werden können, um das Freigeben oder Sperren des ECC-Modus „weich zu codieren“.

[0030] [Fig. 2](#) stellt eine Speichervorrichtung **10** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Bei einem Ausführungsbeispiel umfasst die Speichervorrichtung **10** vier Speicherbänke: Bank 0, Bank 1, Bank 2 und Bank 3. Jede Speicherbank 0 bis 3 wiederum umfasst eine Mehrzahl von Unterblöcken. Die Bank beispielsweise ist mit einer Mehrzahl von Unterblöcken **12** bis **14** dargestellt. Gleichermassen umfasst die Bank 1 Unterblöcke **16** bis **18**, umfasst die Bank 2 Unterblöcke **20** bis **22** und umfasst die Bank 3 Unterblöcke **24** bis **26**. Obwohl zwei spezifische Unterblöcke dargestellt sind, sind für jede typischerweise ferner viele zusätzliche Unterblöcke vorgesehen. Ferner können andere Ausführungsbeispiele mehr oder weniger Speicherbänke als die vier in dem Beispiel Dargestellten verwenden.

[0031] Jeder der Unterblöcke **12–26** umfasst eine Array-Bank, die konfiguriert ist, um Daten zu speichern. Bei diesem Ausführungsbeispiel sind ferner Erfassungsverstärkerbänke bzw. Leseverstärkerbänke (S/A-Bänke; S/A = Sense Amplifier) auf jeder Seite der Array-Bank in jedem Unterblock vorgesehen. Die S/A-Bänke werden bei der Operation eines Lesens und/oder Schreibens von Daten von und/oder zu der entsprechenden Array-Bank verwendet. Ein Zugriff auf die vier Speicherbänke ist durch einen Datenweg vorgesehen, der zwischen die Speicherbänke und Steuerschaltungen und Daten- und Steueranschlussflächen gekoppelt ist, über die auf Daten von der Bank 0, der Bank 1, der Bank 2 und/oder der Bank 3 zugegriffen wird. Bei einem Ausführungsbeispiel ist die Speichervorrichtung **10** ein Niedrigleistungs-DRAM-Chip, wie beispielsweise ein Niedrigleistungs-DDR- oder -SDR-SDRAM. Die Bank 0,

die Bank 1, die Bank 2 und die Bank 3 sind in einer quadratischen oder rechteckigen Konfiguration an der Halbleiterspeichervorrichtung organisiert. In einigen Fällen sind bei anderen physischen Konfigurationen mehr oder weniger Speicherbänke an dem Chip vorgesehen.

[0032] Bei einem Ausführungsbeispiel ist ferner die Speichervorrichtung **10** mit einem Fehlerkorrekturcodemodus (ECC-Modus) konfiguriert und umfasst somit eine ECC-Schaltung **27** und eine ECC-Steuerschaltung **28**, die in die Vorrichtung eingebaut sind. Bei der Fertigung und/oder dem Betrieb der Speichervorrichtung **10** ist es möglich, dass Zellausfälle in den Speicher eingebracht werden. Die ECC-Schaltung **27** und die ECC-Steuerschaltung **28** liefern einen ECC-Modus, der Zellausfälle in den Speicherarrays innerhalb der Speicherbänke 0–3 der Speichervorrichtung **10** kompensiert. In Betrieb erzeugt die ECC-Schaltung **27** Paritätscodes, die verwendet werden, um Fehler oder Ausfälle in Speicherzellen zu erfassen und zu korrigieren. Die Fehlerkorrekturcodes oder Paritätscodes sind in dem Paritätsspeicherarray der Speichervorrichtung **10** gespeichert.

[0033] Weil der ECC-Modus bei der Speichervorrichtung **10** nicht immer für alle Anwendungen der Vorrichtung verwendet wird, ist ein Ausführungsbeispiel in Verbindung mit der ECC-Steuerschaltung **28** konfiguriert, um den ECC-Modus selektiv zu sperren. Die ECC-Steuerschaltung **28** ist konfiguriert, um den ECC-Modus bei der Speichervorrichtung **10** abwechselnd freizugeben und zu sperren, und ist genauer gesagt konfiguriert, um die Paritätsspeicherabschnitte innerhalb der Speicherbänke 0–3 freizugeben und zu sperren. Da der Paritätsspeicher einen Betriebsstrom in einem herkömmlichen Speicher verwendet, ob nun der ECC-Modus tatsächlich genutzt wird oder nicht, ermöglicht die ECC-Steuerschaltung **28** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung, dass die Speichervorrichtung **10** die Paritätsspeicherabschnitte sperrt, wenn dieselben nicht verwendet werden. Ein derartiges Sperren spart den Teil des Betriebsstroms, der normalerweise durch ein Aktivieren der Wortleitungen, Bitleitungen und Erfassungsverstärker in dem Teil des Arrays aufgewendet würde, der lediglich die Paritätsdaten beinhaltet. Diese Leistungseinsparungen können bei vielen Anwendungen erheblich sein.

[0034] Bei einem Ausführungsbeispiel ist die ECC-Steuerschaltung **28** direkt an der Speichervorrichtung **10** vorgesehen. Bei einem Beispiel ist dieselbe ein Teil der Steuerlogik, die den Lese- und/oder Schreibbetrieb der Speichervorrichtung **10** steuert. Bei einem Beispiel erzeugt die ECC-Steuerschaltung **28** ein ECCOFF-Signal, das dann zu den S/A-Bänken der verschiedenen Unterblöcke innerhalb der Speicherbänke 0–3 geliefert wird. In einem Fall weist das ECCOFF-Signal einen aktiven Zustand und ei-

nen inaktiven Zustand auf. Wenn sich dasselbe in dem inaktiven Zustand befindet, ermöglicht das ECCOFF-Signal, dass die Speichervorrichtung **10** im Wesentlichen normal wirksam ist, wobei die Paritäts-speicherabschnitte innerhalb der Speicherbänke 0–3 vollständig betriebsfähig sind. Der ECC-Modus ist freigegeben und Paritätsbits können erzeugt, in den Paritätsspeicherabschnitten der Speicherbänke 0–3 gespeichert und aus denselben gelesen werden.

[0035] Wenn sich jedoch das ECCOFF-Signal in einem aktiven Zustand befindet, sperrt das ECCOFF-Signal im Wesentlichen die Aktivierung der Wortleitungen, der Erfassungsverstärker und der Bittleitungen in den Paritätsspeicherabschnitten innerhalb der Speicherbänke 0–3, die ECC-Paritätsbits gewidmet sind. Dies eliminiert den Leistungsverbrauch, der nötig ist, um diese Leitungen und Verstärker zu aktivieren. Folglich ist nicht nur der ECC-Modus gesperrt, sondern sind die tatsächlichen Abschnitte des Speicherarrays, die dem ECC-Modus gewidmet sind, gesperrt, so dass keine Leistung unnötig auf diese Speicherabschnitte verwendet wird.

[0036] Das ECCOFF-Steuersignal von der ECC-Steuerschaltung **28** kann in einer Vielfalt von Weisen konsistent mit der vorliegenden Erfindung erzeugt werden. Beispielsweise kann die Speichervorrichtung **10** ein erwiesenermaßen guter Chip (KGD = Known Good Die) sein oder dieselbe kann ein Teil eines größeren Gehäuses sein, das bereits vollständig zusammengefügt zu einem Kunden geliefert wird. Eine Zugreifbarkeit kann sich abhängig von dem Gehäusotyp unterscheiden. In einigen Fällen wird eine Anschlussfläche vorgesehen sein, die mit der ECC-Steuerschaltung **28** gekoppelt ist, derart, dass ein Freigeben und Sperren des ECC-Modus über Signale gesteuert werden kann, die an die Anschlussfläche geliefert werden. In anderen Fällen ist eine Sicherung (Fuse) vorgesehen, die durchgebrannt oder nicht durchgebrannt sein kann, um das Freigeben oder Sperren des ECC-Modus im Wesentlichen „fest zu codieren“. Ferner können Testmodi oder andere Betriebsmodi verwendet werden, um das Freigeben oder Sperren des ECC-Modus „weich zu codieren“. Mit diesen verschiedenen Optionen können Kunden und/oder Hersteller der Speichervorrichtung **10** optional die Betriebsbereitschaft des ECC-Modus und die Verwendung eines zugeordneten Paritätsspeicherarrays basierend auf einer beabsichtigten Anwendung auswählen.

[0037] Bei einem Ausführungsbeispiel umfassen das Steuersignal, das durch die ECC-Steuerung **3** erzeugt wird, und das ECCOFF-Signal, das durch die ECC-Steuerschaltung **28** erzeugt wird, sowohl eine Steuerung für Wortleitungssignale als auch eine Steuerung für Erfassungsverstärkersignale, beides in den Paritätsspeicherabschnitten. [Fig. 3–Fig. 8](#) und eine entsprechende Erörterung unten sprechen die

Steuerung von Wortleitungssignalen in den Paritäts-speicherabschnitten an. [Fig. 9–Fig. 14](#) und eine entsprechende Erörterung unten sprechen die Steuerung von Erfassungsverstärkersignalen in den Paritätsspeicherabschnitten an.

[0038] [Fig. 3](#) und [Fig. 4](#) stellen einen Speicherunterblock **30** einer Speichervorrichtung dar, wie beispielsweise der Speichervorrichtung **1** in [Fig. 1](#) oder der Speichervorrichtung **10** in [Fig. 2](#). Der Speicherunterblock **30** kann beispielsweise ein Abschnitt von irgendeinem der Speicherunterblöcke **12–26** der Speicherbänke 0–3 in [Fig. 2](#) sein. In jedem Fall umfasst der Speicherunterblock **30** ein reguläres Speicherarray **34** und ein Paritätsspeicherarray **32**. In [Fig. 3](#) ist ein reguläres Speicherarray **34** in einer ersten einzigen diskreten Position und ein Paritätsspeicherarray **32** in einer zweiten einzigen diskreten Position benachbart zu der ersten Position ausgerichtet. In [Fig. 4](#) sind sowohl das reguläre Speicherarray **34** als auch das Paritätsspeicherarray **32** in mehrere Positionen unterteilt und über den Speicherunterblock **30** verteilt.

[0039] Bei den Beispielen von [Fig. 3](#) und [Fig. 4](#) ist der Speicherunterblock **30** ferner in Segmente unterteilt, derart, dass eine Mehrzahl von segmentierten Wortleitungstreiberstreifen **36** vorgesehen sind. Diese Streifen **36** sind in [Fig. 3](#) und [Fig. 4](#) als sich horizontal (relativ zu der Ausrichtung in der Darstellung von [Fig. 3](#) und [Fig. 4](#)) erstreckende Linien dargestellt. Alle dieser Wortleitungstreiberstreifen **36** sind ferner mit lokalen Wortleitungen (LWL = Local Word Lines) **44** gekoppelt. Einer einfachen Darstellung halber ist lediglich die LWL **44** an einem der segmentierten Wortleitungstreiberstreifen **36** tatsächlich etikettiert, aber jeder der dargestellten segmentierten Wortleitungstreiberstreifen **36** ist auch mit einer Mehrzahl von LWLs **44** gekoppelt, dargestellt durch kurze, sich vertikal (relativ zu der Ausrichtung in der Darstellung von [Fig. 3](#) und [Fig. 4](#)) erstreckende Linien.

[0040] Bei einem Ausführungsbeispiel ist jeder der Mehrzahl von segmentierten Wortleitungstreiberstreifen **36** mit einer von einer Mehrzahl von NOR-Gatter-Schaltungen **38** gekoppelt. Einige der Mehrzahl von segmentierten Wortleitungstreiberstreifen **36** und korrelierenden gekoppelten NOR-Gatter-Schaltungen **38** sind in dem regulären Speicherarray **34** vorgesehen und einige sind in dem Paritätsspeicherarray **32** vorgesehen. Alle der Mehrzahl von NOR-Gatter-Schaltungen **38** empfangen ein Master-Wortleitung-Rücksetz-Signal (MWLRST-Signal; MWLRST = Master Wordline Reset) über eine Signalleitung **40**, die mit einem Eingang von jeder der NOR-Gatter-Schaltungen **38** gekoppelt ist. Dieses MWLRST-Signal wird verwendet, um ein Wortleitungsrücksetzsignal (WLRST-Signal; WLRST = Wordline Reset) und ein Wortleitungstreiber-signal

(WLDV-Signal; WLDV = Wordline Drive) zu erzeugen. Diese Signale wiederum werden verwendet, um eine Mehrzahl von Lokalwortleitungssignalen (LWL-Signalen; LWL = Local Wordline) zu erzeugen, die eine Mehrzahl von LWL 44 treiben.

[0041] Diese NOR-Gatter-Schaltungen 38, die in dem Paritätsspeicherarray 32 vorgesehen sind, empfangen auch das ECCOFF-Signal über eine Signalleitung 42. Bei einem Beispiel wird das ECCOFF-Signal durch die ECC-Steuerschaltung 28 erzeugt und zu einem Eingang der NOR-Gatter-Schaltungen 38 in dem Paritätsspeicherarray 32 über die Signalleitung 42 gekoppelt. Wenn das ECCOFF-Signal aktiv ist, sperren die NOR-Gatter-Schaltungen 38 die segmentierten Wortleitungstreiberstreifen 36, die in dem Paritätsspeicherarray 32 vorgesehen sind. Auf diese Weise werden, wenn das ECCOFF-Signal aktiv ist, das WLRST-Signal und das WLDV-Signal auch in im Wesentlichen inaktiven Zuständen gehalten, die bewirken, dass das LWL-Signal inaktiv ist und in einem Niedrigleistungszustand bleibt. Dies verhindert folglich eine Aktivierung der LWL 44 in dem Paritätsspeicherarray 32 in dem inaktiven Fall, derart, dass kein Strom durch die LWL 44 verbraucht wird.

[0042] Eine derartige Deaktivierung der LWL 44 in dem Paritätsspeicherarray 32 verringert den Leistungsverbrauch der Speichervorrichtung 10 in diesen Fällen, wenn der ECC-Modus nicht verwendet wird. Diese Leistungsverbrauchseinsparungen ergeben sich auch in Aktiv-, Bereitschafts- und Selbstaufrischmodi der Vorrichtung. Da die Speichervorrichtung 10 nicht einfach eine ECC-Funktionalität sperrt, wenn anwendbar, sondern auch tatsächlich eine Leistung zu den lokalen Wortleitungen des Paritätsspeichers abschneidet, ergeben sich diese erheblichen Leistungseinsparungen.

[0043] Die NOR-Gatter-Schaltungen 38, die in dem regulären Speicherarray 34 vorgesehen sind, empfangen das ECCOFF-Signal nicht. Diese NOR-Gatter-Schaltungen 38 sind durch das ECCOFF-Signal unbeeinflusst, derart, dass die segmentierten Wortleitungstreiberstreifen 36 in dem regulären Speicherarray 34 nicht gesperrt werden. Auf diese Weise sind ungeachtet der Aktivierung oder Deaktivierung des ECCOFF-Signals das WLRST-Signal und das WLDV-Signal unbeeinflusst und bleibt das LWL-Signal wiederum normal in dem regulären Speicherarray 34 wirksam.

[0044] Fig. 5 stellt eine herkömmliche Signalerzeugungsschaltung 50 dar. Die Signalerzeugungsschaltung 50 ist im Allgemeinen in den S/A-Bänken der verschiedenen Unterblöcke innerhalb der Speicherbänke einer Speichervorrichtung vorgesehen und ist konfiguriert, um Signale zu den segmentierten Wortleitungstreiberstreifen zu liefern. Wie es dargestellt ist, empfängt die Signalerzeugungsschaltung 50 ein

Master-Wortleitung-Rücksetz-Signal (MWLRST-Signal) und erzeugt ein Wortleitungsrücksetzsignal (WLRST-Signal) und ein Wortleitungstreiber-signal (WLDV-Signal) unter Verwendung einer Mehrzahl von Invertierern und Transistoren. Diese Signale wiederum erzeugen eine Mehrzahl von Lokalwortleitungssignalen (LWL-Signalen), die eine Mehrzahl von lokalen Wortleitungen treiben.

[0045] Fig. 6 stellt eine Signalerzeugungsschaltung 60 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Die Signalerzeugungsschaltung 60 ist in den S/A-Bänken der Unterblöcke 12–26 innerhalb der Speicherbänke 0–3 einer Speichervorrichtung 10 vorgesehen und ist konfiguriert, um Signale zu den segmentierten Wortleitungstreiberstreifen 36 zu liefern. Wie es dargestellt ist, ist jede Signalerzeugungsschaltung 60 mit einer NOR-Gatter-Schaltung 38 konfiguriert, die ein Master-Wortleitung-Rücksetz-Signal (MWLRST-Signal) empfängt. Dieses MWLRST-Signal erzeugt ein Wortleitungsrücksetzsignal (WLRST-Signal) und ein Wortleitungstreiber-signal (WLDV-Signal). Diese Signale wiederum erzeugen eine Mehrzahl von Lokalwortleitungssignalen (LWL-Signalen), die eine Mehrzahl von LWL 44 treiben.

[0046] Für jede Signalerzeugungsschaltung 60, die in dem Paritätsspeicherarray 32 vorgesehen ist, empfangen alle der NOR-Gatter-Schaltungen 38 auch das ECCOFF-Signal. Wenn das ECCOFF-Signal aktiv ist, sperren die NOR-Gatter-Schaltungen 38 wirksam die segmentierten Wortleitungstreiberstreifen 36, die in dem Paritätsspeicherarray 32 vorgesehen sind, wie es oben erörtert ist, während diese in dem regulären Speicherarray 34 normal wirksam sind.

[0047] Bei dem Beispiel von Fig. 6 sind NOR-Gatter-Schaltungen 38 dargestellt. Ein Fachmann auf dem Gebiet erkennt, dass eine Vielfalt unterschiedlicher Logikschaltungen eingesetzt werden kann, um ein wirksames Freigeben und Sperren der segmentierten Wortleitungstreiberstreifen 36 und daher ein Freigeben und Sperren der LWL 44 zu bewirken, um eine Leistung basierend auf der Ausgabe der ECC-Steuerschaltung 28 abzuschneiden.

[0048] Fig. 7 und Fig. 8 stellen Signalzeitdiagramme für die Speichervorrichtung 10 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Fig. 7 stellt Signale innerhalb der Speichervorrichtung 10 für den Zustand dar, wenn das ECCOFF-Signal inaktiv ist, und Fig. 8 stellt Signale innerhalb der Speichervorrichtung 10 für den Zustand dar, wenn das ECCOFF-Signal aktiv ist.

[0049] Wie es in Fig. 7 dargestellt ist, befinden sich, wenn das ECCOFF-Signal inaktiv ist, die Signale in der Speichervorrichtung 10 in einem normalen Be-

trieb, derart, dass das Paritätsspeicherarray **32** vollständig betriebsfähig ist, genau wie das reguläre Speicherarray **34**. In diesem Fall ist der ECC-Modus wirksam und weist die Fähigkeit auf, Bitfehler zu korrigieren und das Paritätsspeicherarray **32** zu nutzen, um Paritätsbits zu speichern und wiederzuerlangen.

[0050] Wie es jedoch in [Fig. 8](#) dargestellt ist, sind die Signale in der Speichervorrichtung **10**, wenn das ECCOFF-Signal aktiv ist, beeinflusst, derart, dass das Paritätsspeicherarray **32** ausgeschaltet wird. Wenn das ECCOFF-Signal aktiv ist, werden genauer gesagt das WLRST-Signal und das WLDV-Signal inaktiviert, wodurch bewirkt wird, dass das LWL-Signal inaktiv ist und in einem Niedrigleistungszustand bleibt. [Fig. 8](#) stellt die aktiven Versionen dieser Signale unter einem Normalbetrieb in gepunkteten Linien dar, um den Kontrast zu zeigen. Die Inaktivität dieser Signale verhindert eine Aktivierung der LWL **44** in dem Paritätsspeicherarray **32** in dem Fall eines aktiven ECCOFF-Signals, wodurch Leistungseinsparungen erzeugt werden, wenn der ECC-Modus nicht in Gebrauch ist.

[0051] Wenn ein Kunde oder Hersteller bestimmt hat, dass der ECC-Modus bei einer gewissen Anwendung nicht verwendet wird, kann derselbe den ECC-Modus durch ein Beeinflussen der ECC-Steuerschaltung **28**, derart, dass dieselbe den aktiven Zustand des ECCOFF-Signals erzeugt, sperren. Das aktive ECCOFF-Signal schneidet den Strom zu den LWL **44** ab und ergibt zusätzliche Leistungseinsparungen unter diesen Umständen.

[0052] [Fig. 9](#) stellt einen Speicherunterblock **80** einer Speichervorrichtung dar, wie beispielsweise der Speichervorrichtung **1** in [Fig. 1](#) oder der Speichervorrichtung **10** in [Fig. 2](#). [Fig. 9](#) ist stark analog zu [Fig. 3](#) und [Fig. 4](#) oben. Einer einfachen Darstellung halber sind jedoch die NOR-Gatter-Schaltungen **38**, die in [Fig. 3](#) und [Fig. 4](#) dargestellt sind, in [Fig. 9](#) nicht gezeigt und sind die UND-Gatter-Schaltungen **88**, die in [Fig. 9](#) dargestellt sind, in [Fig. 3](#) und [Fig. 4](#) nicht gezeigt.

[0053] Bei einem Beispiel kann der Speicherunterblock **80** ein Abschnitt von irgendeinem der Speicherunterblöcke **12–26** der Speicherbänke 0–3 in [Fig. 2](#) sein. In jedem Fall umfasst der Speicherunterblock **80** ein reguläres Speicherarray **84** und ein Paritätsspeicherarray **82**. In [Fig. 9](#) ist ein reguläres Speicherarray **84** in einer ersten einzigen diskreten Position und ein Paritätsspeicherarray **82** in einer zweiten einzigen diskreten Position benachbart zu der ersten Position ausgerichtet. Wie bei [Fig. 4](#) oben jedoch können sowohl das reguläre Speicherarray **84** als auch das Paritätsspeicherarray **82** in mehrere Positionen unterteilt und über den Speicherunterblock **80** verteilt sein.

[0054] Wie bei [Fig. 3](#) und [Fig. 4](#) ist bei dem Beispiel von [Fig. 9](#) der Speicherunterblock **80** weiter in Segmente unterteilt, derart, dass eine Mehrzahl von segmentierten Wortleitungstreiberstreifen **86** vorgesehen sind. Diese Streifen **86** sind in [Fig. 9](#) als sich horizontal (relativ zu der Ausrichtung in der Darstellung von [Fig. 9](#)) erstreckende Linien dargestellt. Alle dieser Wortleitungstreiberstreifen **86** sind ferner mit lokalen Wortleitungen (LWL) **94** gekoppelt. Einer einfachen Darstellung halber ist lediglich die LWL **94** an einem der segmentierten Wortleitungstreiberstreifen **86** tatsächlich etikettiert, aber jeder der dargestellten segmentierten Wortleitungstreiberstreifen **86** ist auch mit einer Mehrzahl von LWLs **94** gekoppelt, dargestellt durch kurze sich vertikal erstreckende Linien.

[0055] Bei einem Ausführungsbeispiel ist jeder der Mehrzahl von segmentierten Wortleitungstreiberstreifen **86** mit einer von einer Mehrzahl von NOR-Gatter-Schaltungen **38** (in [Fig. 9](#) nicht dargestellt, aber wie es oben mit Bezug auf [Fig. 3](#) und [Fig. 4](#) beschrieben war) gekoppelt. Ferner ist eine Mehrzahl von Erfassungsverstärkersegmenten **85** vorgesehen und jedes der Mehrzahl von Erfassungsverstärkersegmenten **85** ist mit einer von einer Mehrzahl von UND-Gatter-Schaltungen **88** gekoppelt, wie es in [Fig. 9](#) dargestellt ist. Einige der Mehrzahl von Erfassungsverstärkersegmenten **85** und korrelierenden gekoppelten UND-Gatter-Schaltungen **88** sind in dem regulären Speicherarray **84** vorgesehen und einige sind in dem Paritätsspeicherarray **82** vorgesehen.

[0056] Jede der Mehrzahl von UND-Gatter-Schaltungen **88** empfängt ein Master-Erfassungsverstärker-Setzen-Signal (MSASET-Signal; MSASET = Master Sense Amplifier Set) über eine Signalleitung **90**, die mit einem Eingang von jeder der UND-Gatter-Schaltungen **88** gekoppelt ist. Dieses MSASET-Signal wird verwendet, um ein PSET-Signal für die P-Erfassungsverstärker und ein NSET-Signal für die N-Erfassungsverstärker zu erzeugen. Diese Signale wiederum werden verwendet, um die P- und N-Erfassungsverstärker zu treiben.

[0057] Diese UND-Gatter-Schaltungen **88**, die in dem Paritätsspeicherarray **82** vorgesehen sind, empfangen auch das ECCOFF-Signal über eine Signalleitung **92** und über einen Invertierer an einem Eingangsgatter. Wenn das ECCOFF-Signal aktiv ist, sperren die UND-Gatter-Schaltungen **88** die Erfassungsverstärkersegmente **85** und Bitleitungen, die in dem Paritätsspeicherarray **82** vorgesehen sind. Auf diese Weise sind, wenn das ECCOFF-Signal aktiv ist, das NSET-Signal und das PSET-Signal ebenfalls in im Wesentlichen inaktiven Zuständen gehalten, was bewirkt, dass die Erfassungsverstärker inaktiv sind, derart, dass die Erfassungsverstärkerknoten daran gehindert sind, sich von dem ausgeglichenen Zustand derselben zu verändern. Dies spart eine

Leistung, die andernfalls durch die Erfassungsverstärker in dem Paritätsspeicher **82** verbraucht würde.

[0058] Eine derartige Deaktivierung der Erfassungsverstärker in dem Paritätsspeicherarray **82** verringert den Leistungsverbrauch der Speichervorrichtung **10** in diesen Fällen, wenn der ECC-Modus nicht verwendet wird. Diese Leistungsverbrauchseinsparungen ergeben sich auch in aktiven, Bereitschafts- und Selbstauffrischmodi der Vorrichtung. Da die Speichervorrichtung **10** nicht einfach eine ECC-Funktionalität sperrt, wenn anwendbar, sondern auch tatsächlich eine Leistung zu den lokalen Wortleitungen des Paritätsspeichers abschneidet, werden somit erhebliche Leistungseinsparungen erzielt.

[0059] Die UND-Gatter-Schaltungen **88**, die in dem regulären Speicherarray **34** vorgesehen sind, empfangen das ECCOFF-Signal nicht. Diese UND-Gatter-Schaltungen **88** sind durch das ECCOFF-Signal unbeeinflusst, derart, dass die Erfassungsverstärkersegmente **85** in dem regulären Speicherarray **34** nicht gesperrt werden. Auf diese Weise sind ungeachtet der Aktivierung oder Deaktivierung des ECCOFF-Signals das NSET-Signal und das PSET-Signal unbeeinflusst und bleibt wiederum das Bitleitungssignal in dem regulären Speicherarray **84** normal wirksam.

[0060] [Fig. 10A](#) stellt einen Abschnitt eines Speicherunterblocks einer bekannten Speichervorrichtung dar. Bei einem typischen Speicherunterblock einer bekannten Speichervorrichtung wird ein Master-Erfassungsverstärker-Setzen-Signal (MSASET-Signal) zu einer Mehrzahl von Puffern geliefert. Diese Puffer werden dann mit einem Erfassungsverstärkerstreifen gekoppelt, der typischerweise über mehrere Puffer entlang eines Abschnitts eines Speicherunterblocks verläuft und ein PSET-Signal für die P-Erfassungsverstärker und ein NSET-Signal für die N-Erfassungsverstärker liefert. Diese Signale wiederum werden verwendet, um die P- und N-Erfassungsverstärker zu treiben.

[0061] [Fig. 10B](#) stellt einen Abschnitt des Speicherunterblocks **80**, wie beispielsweise diesen, der in [Fig. 9](#) dargestellt ist, gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Hier wird ein Master-Erfassungsverstärker-Setzen-Signal (MSASET-Signal) über die Leitung **90** zu einer Mehrzahl der UND-Gatter **88** geliefert. Alle dieser UND-Gatter **88** werden dann mit einem Erfassungsverstärkersegment **85** gekoppelt. Ungleich dem Abschnitt des Speicherunterblocks, der in [Fig. 10A](#) dargestellt ist, verlaufen die Erfassungsverstärkersegmente **85** nicht über eine Mehrzahl von Gattern. Vielmehr ist jedes Erfassungsverstärkersegment **85** mit einem UND-Gatter **88** gekoppelt. Das MSASET-Signal, das durch jedes UND-Gatter **88** empfangen wird, wird verwendet, um ein PSET-Signal für die P-Erfas-

sungsverstärker und ein NSET-Signal für die N-Erfassungsverstärker an jedem Erfassungsverstärkersegment **85** zu erzeugen. Diese Signale wiederum werden verwendet, um die P- und N-Erfassungsverstärker zu treiben.

[0062] [Fig. 11](#) stellt eine herkömmliche Signalerzeugungsschaltung **100** dar. Die Signalerzeugungsschaltung **100** ist im Allgemeinen in den S/A-Bänken der verschiedenen Unterblöcke innerhalb der Speicherbänke einer Speichervorrichtung vorgesehen und ist konfiguriert, um Signale zu dem Erfassungsverstärkerstreifen (wie es in [Fig. 10A](#) dargestellt ist) zu liefern. Wie es dargestellt ist, empfängt die Signalerzeugungsschaltung **100** ein Master-Erfassungsverstärker-Setzen-Signal (MSASET-Signal) und erzeugt ein NSET-Signal und ein PSET-Signal unter Verwendung einer Mehrzahl von Invertierern.

[0063] [Fig. 12](#) stellt eine Signalerzeugungsschaltung **110** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar. Die Signalerzeugungsschaltung **110** ist in den S/A-Bänken der Unterblöcke **12-26** innerhalb der Speicherbänke 0-3 einer Speichervorrichtung **10** vorgesehen und ist konfiguriert, um Signale zu den segmentierten Erfassungsverstärkersegmenten **85** (wie es in [Fig. 10B](#) dargestellt ist) zu liefern. Wie es dargestellt ist, ist jede Signalerzeugungsschaltung **110** mit einer UND-Gatter-Schaltung **88** konfiguriert, die ein Master-Erfassungsverstärker-Setzen-Signal (MSASET-Signal) empfängt. Dieses MSASET-Signal erzeugt ein NSET-Signal und ein PSET-Signal. Diese Signale wiederum treiben die jeweiligen N- und P-Erfassungsverstärker.

[0064] Für jede Signalerzeugungsschaltung **110**, die in dem Paritätsspeicherarray **82** vorgesehen ist, empfangen alle der UND-Gatter-Schaltungen **88** auch das ECCOFF-Signal. Wenn das ECCOFF-Signal aktiv ist, sperren die UND-Gatter-Schaltungen **88** wirksam die segmentierten Erfassungsverstärkersegmente **85**, die in dem Paritätsspeicherarray **82** vorgesehen sind, wie es oben erörtert ist, während diese in dem regulären Speicherarray **84** normal wirksam sind.

[0065] Bei dem Beispiel von [Fig. 12](#) sind UND-Gatter-Schaltungen **88** dargestellt. Ein Fachmann auf dem Gebiet erkennt, dass eine Vielfalt unterschiedlicher Logikschaltungen eingesetzt werden kann, um ein wirksames Freigeben und Sperren der Erfassungsverstärkersegmente **85** und daher ein Freigeben und Sperren der Erfassungsverstärker basierend auf der Ausgabe der ECC-Steuerschaltung **28** zu bewirken.

[0066] [Fig. 13](#) und [Fig. 14](#) stellen Signalzeitdiagramme für die Speichervorrichtung **10** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung

dar. [Fig. 13](#) stellt Signale innerhalb der Speichervorrichtung **10** für den Zustand dar, wenn das ECCOFF-Signal inaktiv ist, und [Fig. 14](#) stellt Signale innerhalb der Speichervorrichtung **10** für den Zustand dar, wenn das ECCOFF-Signal aktiv ist.

[0067] Wie es in [Fig. 13](#) dargestellt ist, befinden sich, wenn das ECCOFF-Signal inaktiv ist, die Signale in der Speichervorrichtung **10** in einem normalen Betrieb, derart, dass das Paritätsspeicherarray **82** vollständig betriebsfähig ist, genau wie das reguläre Speicherarray **84**. In diesem Fall ist der ECC-Modus wirksam und weist die Fähigkeit auf, Bitfehler zu korrigieren und das Paritätsspeicherarray **82** zu nutzen, um Paritätsbits zu speichern und wiederzuerlangen.

[0068] Wie es jedoch in [Fig. 14](#) dargestellt ist, sind die Signale in der Speichervorrichtung **10**, wenn das ECCOFF-Signal aktiv ist, beeinflusst, derart, dass das Paritätsspeicherarray **82** ausgeschaltet wird. Wenn das ECCOFF-Signal aktiv ist, werden genauer gesagt die NSET- und PSET-Signale inaktiviert, wodurch bewirkt wird, dass die Erfassungsverstärker inaktiv sind. [Fig. 14](#) stellt die aktiven Versionen dieser Signale unter einem Normalbetrieb in gepunkteten Linien dar, um den Kontrast zu zeigen. Die Inaktivität dieser Signale verhindert eine Aktivierung der Erfassungsverstärker in dem Paritätsspeicherarray **82** in dem Fall eines aktiven ECCOFF-Signals, wodurch Leistungseinsparungen erzeugt werden, wenn der ECC-Modus nicht in Gebrauch ist.

[0069] Wenn ein Kunde oder Hersteller bestimmt hat, dass der ECC-Modus bei einer gewissen Anwendung nicht verwendet wird, kann derselbe den ECC-Modus durch ein Beeinflussen der ECC-Steuerschaltung **28**, derart, dass dieselbe den aktiven Zustand des ECCOFF-Signals erzeugt, sperren. Das aktive ECCOFF-Signal schneidet die Leistungsverstärker ab und ergibt zusätzliche Leistungseinsparungen unter diesen Umständen.

[0070] Obwohl hierin spezifische Ausführungsbeispiele dargestellt und beschrieben wurden, ist Durchschnittsfachleuten auf dem Gebiet ersichtlich, dass eine Vielfalt von anderen und/oder äquivalenten Implementierungen die spezifischen gezeigten und beschriebenen Ausführungsbeispiele ersetzen können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Somit soll diese Anmeldung jegliche Adaptionen oder Variationen der spezifischen Ausführungsbeispiele abdecken, die hierin erörtert sind. Deshalb ist beabsichtigt, dass diese Erfindung lediglich durch die Ansprüche und die Äquivalente derselben begrenzt sein soll.

Patentansprüche

1. Speicher (**1; 10**), der folgende Merkmale aufweist:

einen ersten Abschnitt (**8; 34; 84**) zum Speichern von Daten;
einen zweiten Abschnitt (**9; 32; 82**) zum Speichern von Paritätsinformationen;
eine Fehlerkorrekturcodesteuerschaltung, die konfiguriert ist, um ein Auswahlsignal zu empfangen, das angibt, ob ein Fehlerkorrekturmodus verwendet werden soll, und um eine Leistungsversorgung, die notwendig ist, um auf den zweiten Abschnitt (**9; 32; 82**) des Speichers zuzugreifen, zu sperren, wenn das Auswahlsignal angibt, dass der Fehlerkorrekturmodus nicht freigegeben ist.

2. Speicher (**1; 10**) gemäß Anspruch 1, bei dem die Fehlerkorrekturcodesteuerschaltung ein Fehlerkorrekturcode-Aus-Signal erzeugt, das aktiv ist, wenn der Fehlerkorrekturmodus nicht verwendet werden soll, und das inaktiv ist, wenn der Fehlerkorrekturmodus verwendet werden soll.

3. Speicher (**1; 10**) gemäß Anspruch 2, der ferner Logikschaltungen aufweist, die konfiguriert sind, um das Fehlerkorrekturcode-Aus-Signal zu empfangen.

4. Speicher (**1; 10**) gemäß Anspruch 3, bei dem die Logikschaltungen konfiguriert sind, um in einem segmentierten Wortleitungstreiberstreifen ein Wortleitungsrücksetzsignal hoch und ein Wortleitungstreiber-signal niedrig zu halten, derart, dass die lokalen Wortleitungen inaktiv bleiben.

5. Speicher (**1; 10**) gemäß Anspruch 3 oder 4, bei dem die Logikschaltungen konfiguriert sind, um Erfassungsverstärkersegmente zu sperren, derart, dass Erfassungsverstärker und Bitleitungen inaktiv bleiben.

6. Halbleiterspeichervorrichtung (**1; 10**), die folgende Merkmale aufweist:
eine Mehrzahl von Speicherbänken;
eine Mehrzahl von Speicherunterblöcken innerhalb jeder der Mehrzahl von Speicherbänken;
reguläre Speicherarrays (**8; 34; 84**) und Paritätsspeicherarrays (**9; 32; 82**) innerhalb der Mehrzahl von Speicherunterblöcken der Speicherbänke; und
eine Fehlerkorrekturcodesteuerschaltung, die konfiguriert ist, um ein Fehlerkorrekturcodeausgangssignal zu erzeugen, das einen ersten und einen zweiten Zustand aufweist, wobei das Fehlerkorrekturcodeausgangssignal durch die Mehrzahl von Speicherunterblöcken empfangen wird;
wobei die Paritätsspeicherarrays (**9; 32; 82**) innerhalb der Mehrzahl von Speicherunterblöcken ansprechend auf den Zustand des Fehlerkorrekturcodeausgangssignals alternativ freigegeben und gesperrt sind.

7. Halbleiterspeichervorrichtung (**1; 10**) gemäß Anspruch 6, bei der die Fehlerkorrekturcodesteuerschaltung sich in Kommunikation mit einer Steueran-

schlussfläche befindet, derart, dass der Zustand des Fehlerkorrekturcodeausgangssignals über die Steueranschlussfläche ausgewählt werden kann.

8. Halbleiterspeichervorrichtung (1; 10) gemäß Anspruch 6, bei der die Fehlerkorrekturcodesteuerschaltung sich in Kommunikation mit einer Sicherung befindet, derart, dass der Zustand des Fehlerkorrekturcodeausgangssignals über eine Manipulation der Sicherung ausgewählt werden kann.

9. Halbleiterspeichervorrichtung (1; 10) gemäß Anspruch 6, bei der die Fehlerkorrekturcodesteuerschaltung sich in Kommunikation mit Testmodi befindet, derart, dass der Zustand des Fehlerkorrekturcodeausgangssignals über den Betrieb der Testmodi ausgewählt werden kann.

10. Speichervorrichtung (1; 10), die folgende Merkmale aufweist:
einen Datenspeicher (8; 34; 84), der mit einer Fehlerkorrekturcodefähigkeit konfiguriert ist;
eine Auswahleinrichtung, durch die der Fehlerkorrekturcode abwechselnd freigegeben und gesperrt wird; und
einen Paritätsspeicher (9; 32; 82), der von einer Leistung abgeschnitten ist, wenn der Fehlerkorrekturcode gesperrt ist.

11. Speichervorrichtung (1; 10) gemäß Anspruch 10, die ferner einen segmentierten Wortleitungstreiberstreifen in dem Paritätsspeicher (9; 32; 82) aufweist, wobei das Sperren des Fehlerkorrekturcodes bewirkt, dass Steuersignale in dem segmentierten Wortleitungstreiberstreifen für die lokalen Wortleitungen und die lokalen Wortleitungen in dem Paritätsspeicherarray (9; 32; 82) selbst inaktiv werden und keine Leistung ziehen.

12. Speichervorrichtung (1; 10) gemäß Anspruch 10 oder 11, bei der die Steuersignale in dem segmentierten Wortleitungstreiberstreifen für die lokalen Wortleitungen und die lokalen Wortleitungen in dem Paritätsspeicherarray (9; 32; 82) selbst inaktiv sind, wenn der Fehlerkorrekturcode während eines aktiven Modus, eines Bereitschaftsmodus und/oder einer Selbstauffrischoperation der Speichervorrichtung (1; 10) gesperrt ist.

13. Speichervorrichtung (1; 10) gemäß einem der Ansprüche 10 bis 12, die ferner ein Erfassungsverstärkersegment in dem Paritätsspeicher (9; 32; 82) aufweist, wobei das Sperren des Fehlerkorrekturcodes bewirkt, dass Steuersignale in dem Erfassungsverstärkersegment die Erfassungsverstärker in dem Paritätsspeicher (9; 32; 82) sperren und keine Leistung ziehen.

14. Verfahren zum Steuern einer Speichervorrichtung (1; 10), die mit einem Fehlerkorrekturcode

konfiguriert ist, wobei das Verfahren folgende Schritte aufweist:

Lesen und/oder Schreiben von Daten von/in die Speichervorrichtung (1; 10);

Senden einer Angabe dessen, ob ein Fehlerkorrekturcode verwendet werden soll, an die Speichervorrichtung (1; 10); und

alternativ Freigeben und Sperren von Abschnitten (9; 32; 82) der Speichervorrichtung (1; 10), die dem Fehlerkorrekturcode gewidmet ist, ansprechend auf die Angabe dessen, ob der Fehlerkorrekturcode verwendet werden soll.

15. Verfahren gemäß Anspruch 14, bei dem das Senden einer Angabe dessen, ob ein Fehlerkorrekturcode verwendet werden soll, an die Speichervorrichtung (1; 10) ferner ein Senden der Angabe an eine Fehlerkorrekturcodesteuerschaltung aufweist, die konfiguriert ist, um ein Fehlerkorrekturcodeausgangssignal zu erzeugen, das einen ersten Zustand, der angibt, dass der Fehlerkorrekturcode gesperrt werden sollte, und einen zweiten Zustand aufweist, der angibt, dass der Fehlerkorrekturcode freigegeben werden sollte.

16. Verfahren gemäß Anspruch 15, bei dem das Fehlerkorrekturcodeausgangssignal zu einer Signalerzeugungsschaltung geliefert wird, die lokale Wortleitungen von Paritätsspeicherarrays (9; 32; 82) sperrt, wenn das Fehlerkorrekturcodeausgangssignal sich in dem ersten Zustand befindet.

17. Verfahren gemäß Anspruch 15 oder 16, bei dem das Fehlerkorrekturcodeausgangssignal zu einer Signalerzeugungsschaltung geliefert wird, die lokale Bitleitungen und Erfassungsverstärker von Paritätsspeicherarrays (9; 32; 82) sperrt, wenn das Fehlerkorrekturcodeausgangssignal sich in dem ersten Zustand befindet.

18. Verfahren gemäß einem der Ansprüche 15 bis 17, bei dem das Fehlerkorrekturcodeausgangssignal zu einer Signalerzeugungsschaltung geliefert wird, die ein Erfassungsverstärkersegment in dem Paritätsspeicher (9; 32; 82) und lokale Wortleitungen von Paritätsspeicherarrays (9; 32; 82) freigibt, wenn das Fehlerkorrekturcodeausgangssignal sich in dem zweiten Zustand befindet.

19. Verfahren zum Steuern eines Halbleiterspeichersystems (1; 10) mit einem Fehlerkorrekturcode, wobei das Verfahren folgende Schritte aufweist:

Bereitstellen einer Mehrzahl von Speicherbänken;
Bereitstellen einer Mehrzahl von Speicherunterblöcken innerhalb jeder der Mehrzahl von Speicherbänken;

Erzeugen eines Fehlerkorrekturcodeausgangssignals in einer Fehlerkorrekturcodesteuerschaltung, wobei das Fehlerkorrekturcodeausgangssignal alternativ angibt, dass der Fehlerkorrekturcode freigege-

ben und gesperrt werden sollte; und
Liefern des Fehlerkorrekturcodeausgangssignals zu einem Paritätsspeicherarray (**9**; **32**; **82**) innerhalb der Mehrzahl von Speicherunterblöcken der Speicherbänke, derart, dass das Paritätsspeicherarray (**9**; **32**; **82**) gemäß dem Fehlerkorrekturcodeausgangssignal freigegeben und gesperrt wird.

20. Verfahren gemäß Anspruch 19, bei dem das Fehlerkorrekturcodeausgangssignal zu einer Signalerzeugungsschaltung geliefert wird, die lokale Wortleitungen der Paritätsspeicherarrays (**9**; **32**; **82**) gemäß dem Fehlerkorrekturcodeausgangssignal abwechselnd freigibt und sperrt.

21. Verfahren gemäß Anspruch 20, bei dem sich die Fehlerkorrekturcodesteuerschaltung mit einem aus einer Gruppe, die eine Steueranschlussfläche, eine Sicherung und Testmodi aufweist, in Kommunikation befindet, derart, dass der Zustand des Fehlerkorrekturcodeausgangssignals über entweder die Steueranschlussfläche, die Sicherung oder die Testmodi ausgewählt werden kann.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

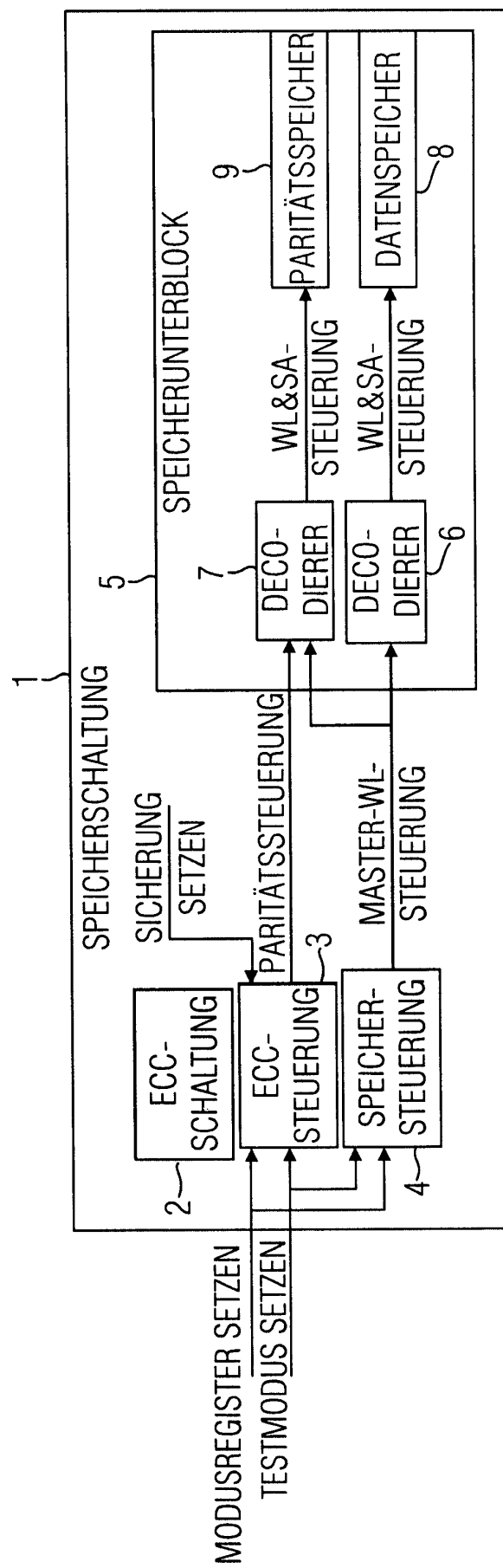


FIG 1

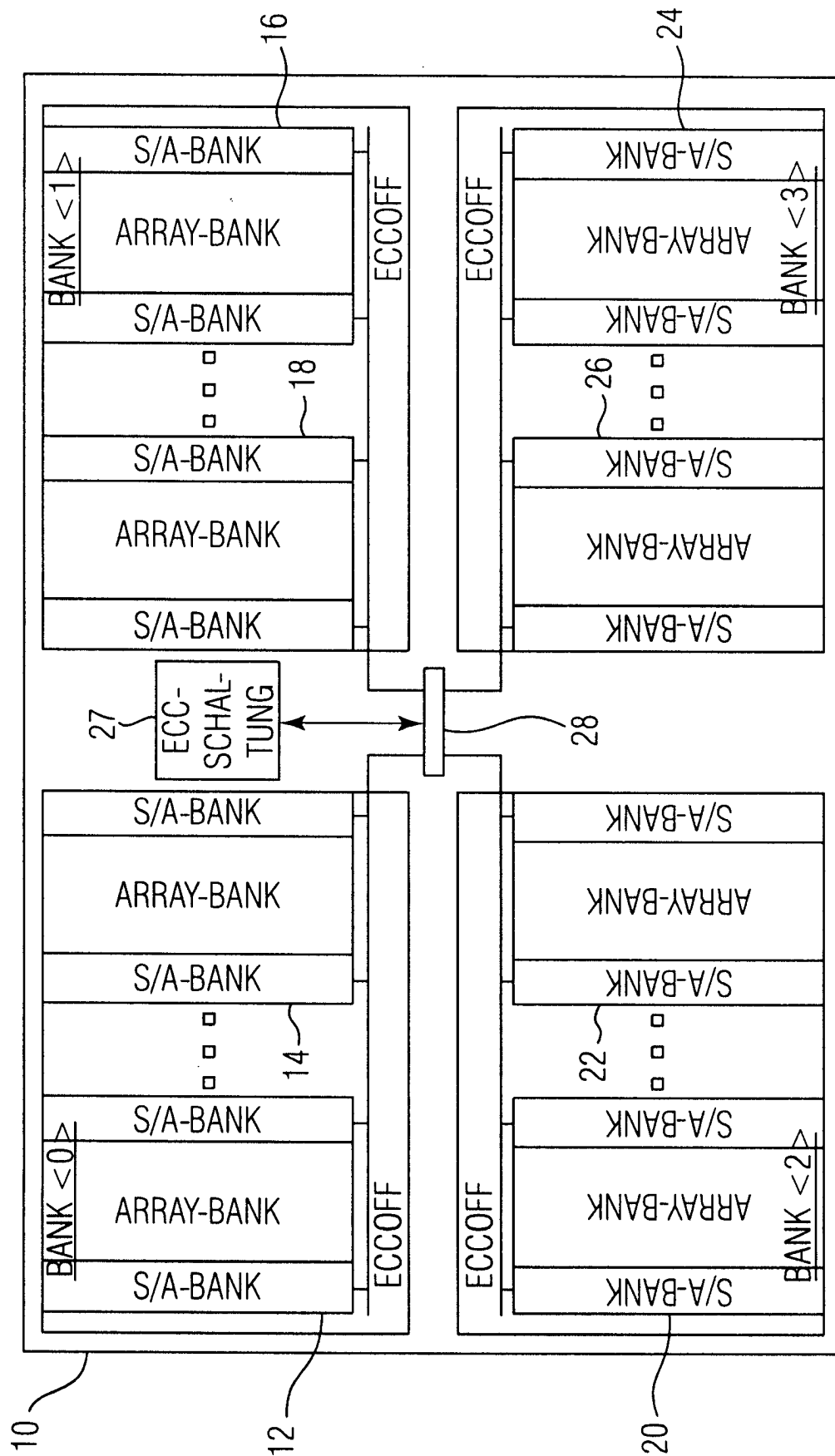


FIG 2

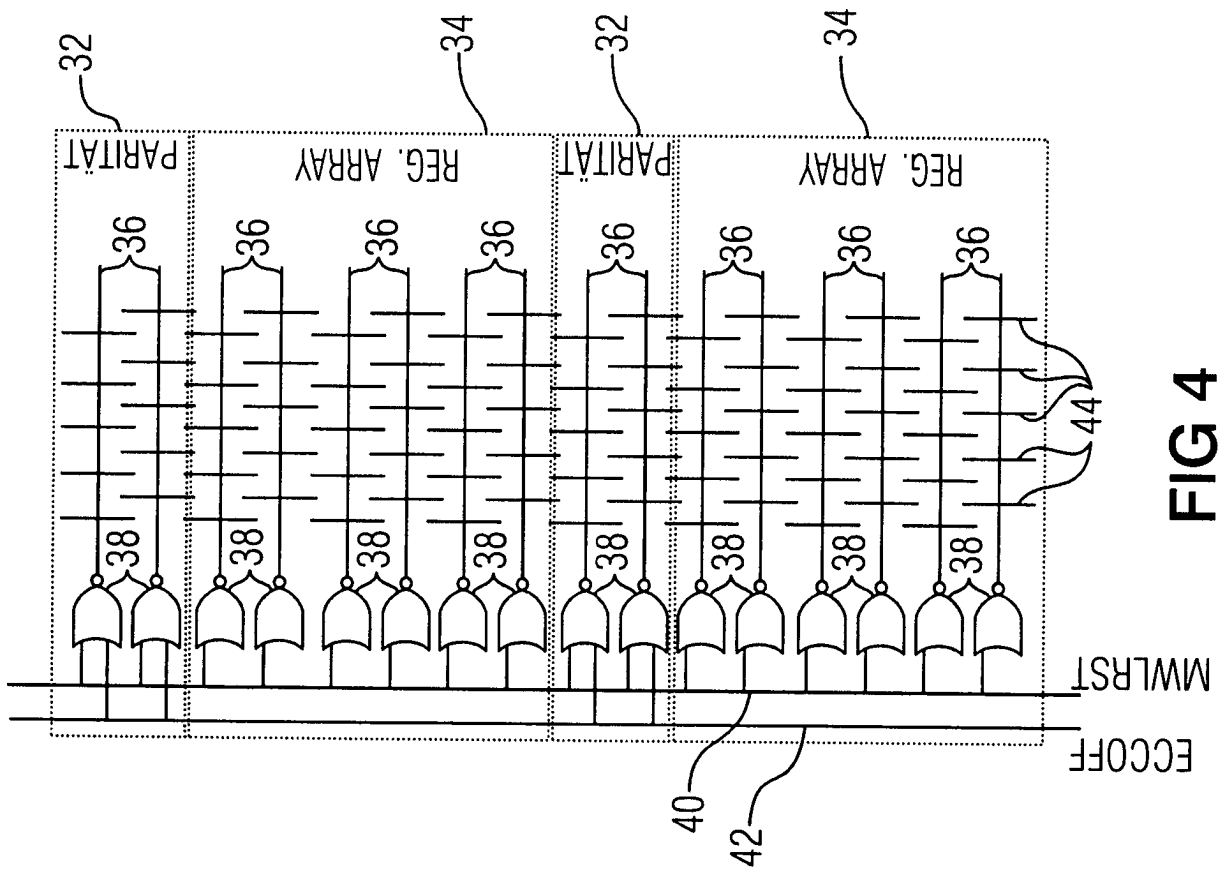


FIG 4

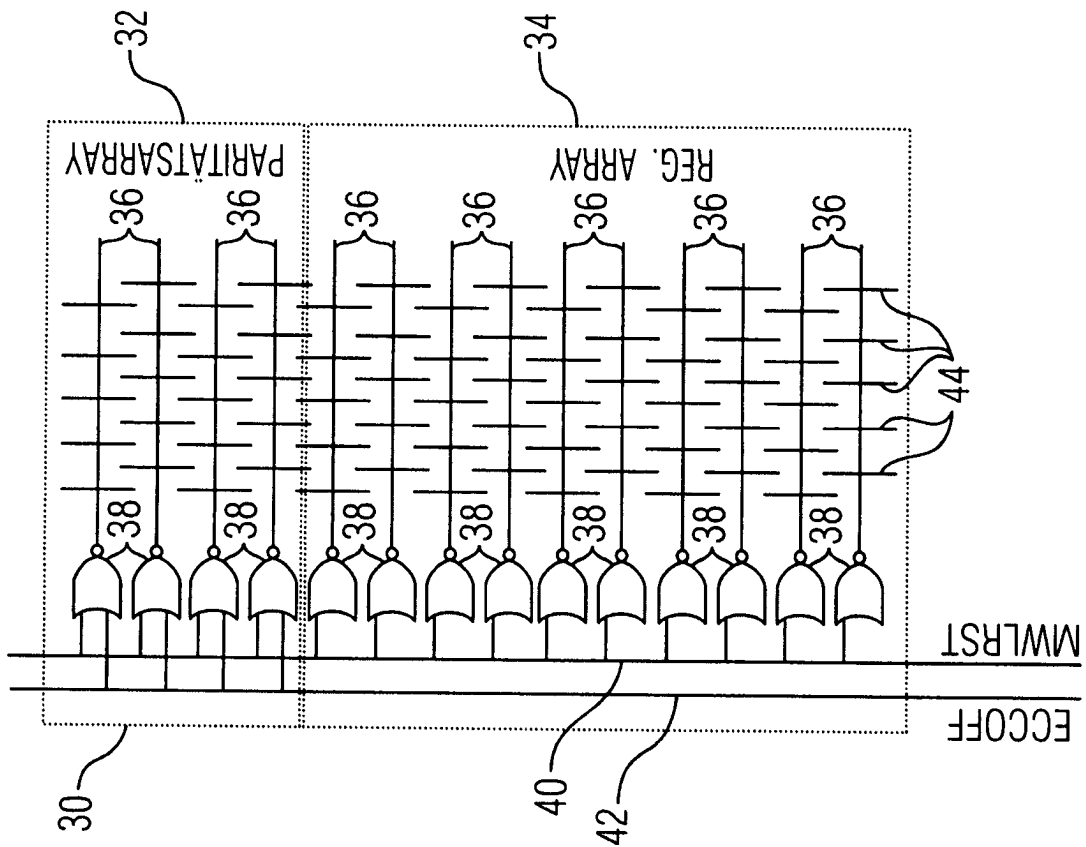


FIG 3

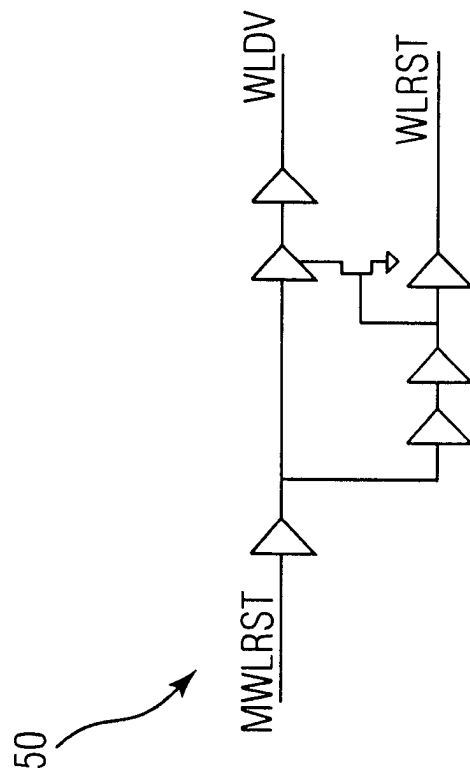


FIG 5

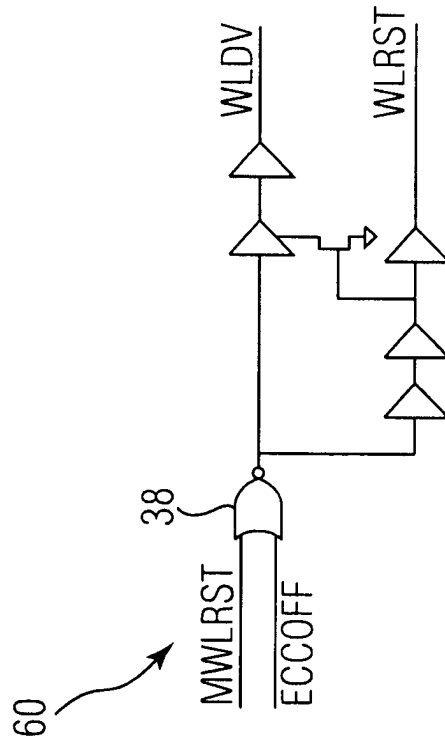


FIG 6

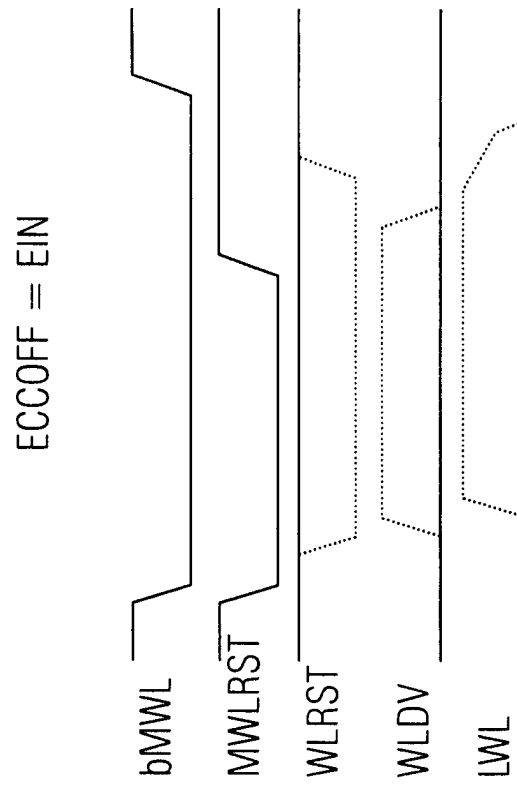


FIG 8

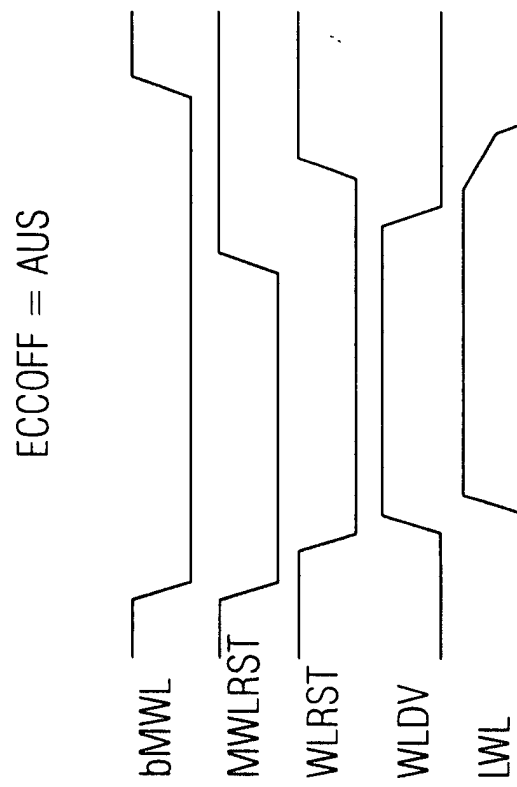
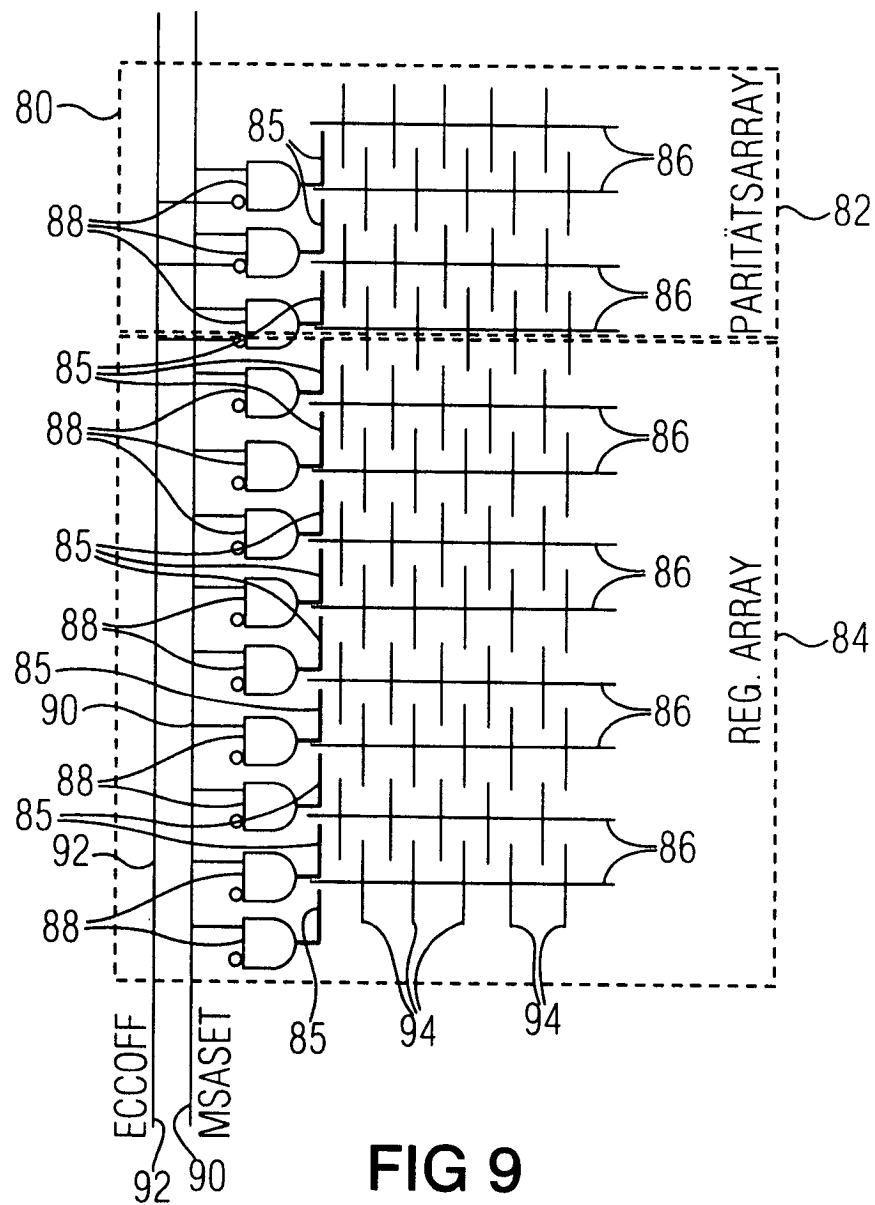


FIG 7



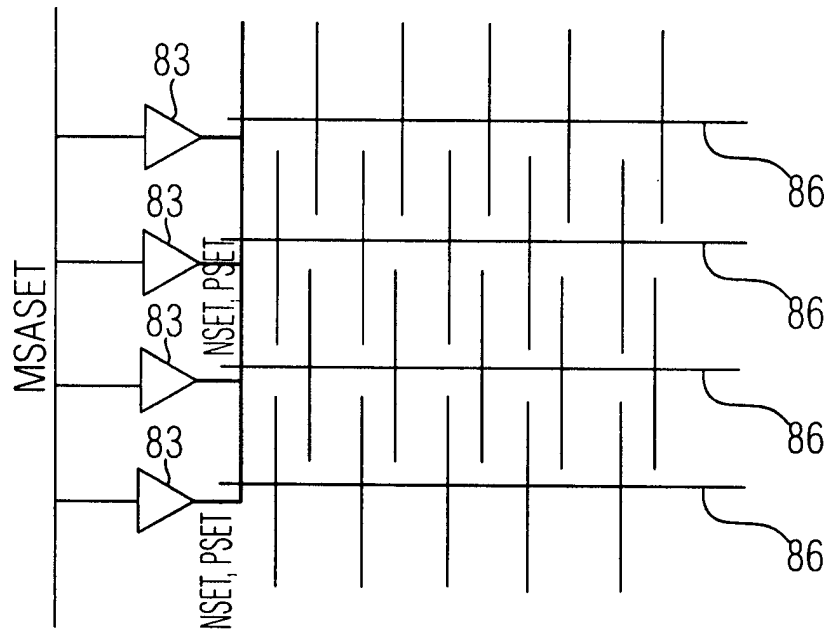


FIG 10A

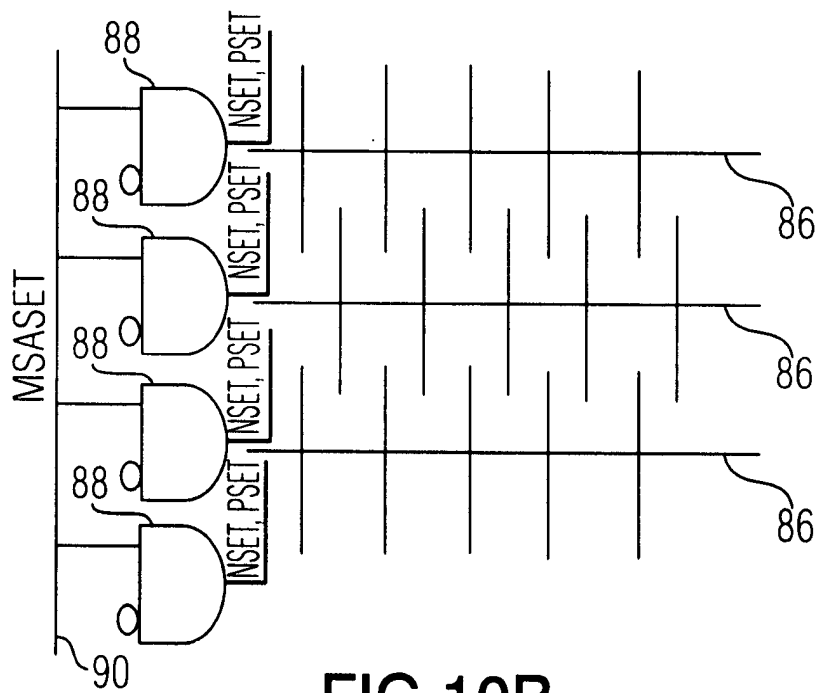


FIG 10B

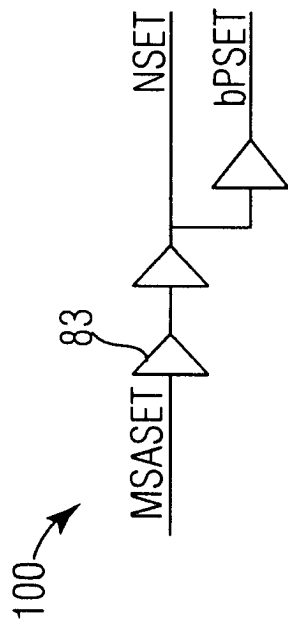


FIG 11

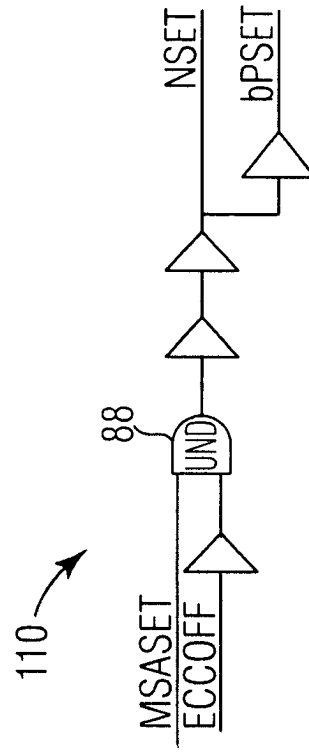


FIG 12

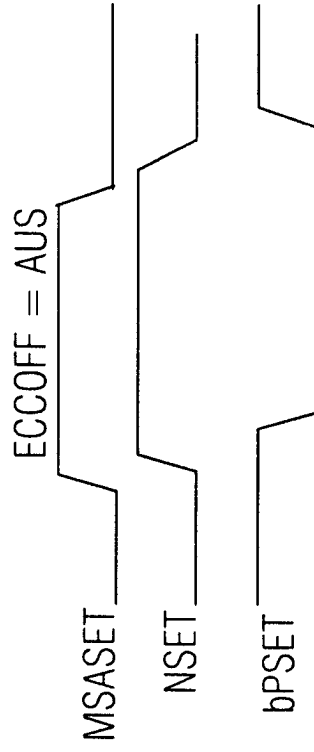


FIG 13

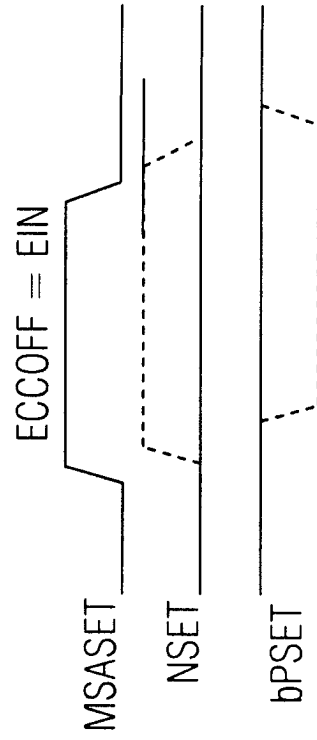


FIG 14