Title: CONTROLLER FOR PWM-CONTROLLED CONVERTER

Abstract

When the AC input current of a PWM-controlled converter which converts an AC voltage into a DC voltage exceeds a limit value, a controller for the PWM-controlled converter is operated so as to reset the integrating element of a current control means which feeds a control signal to the converter or a voltage control means which feeds a reference current signal to the converter. The controller excellently controls the input current of the converter without causing any overcurrent when the power is supplied again after a momentary power failure.
交流電圧を直流電圧に変換するPWM制御変換器の制御装置において、交流入力電流がその制限値を超えた場合に、PWM制御変換器に制御信号を供給する電流制御手段、または交流基準信号を出力する電流制御手段が有する積分要素をリセットするように動作させ、瞬時停止電流が発生した後、停電が解消した復帰時に過電流等を引き起こすことなく、良好に入力電流を制御することができるようにある。
明細書

PWM制御変換器の制御装置

技術分野

本発明は、交流電源電圧を直流電圧に変換するPWM制御変換器の制御装置に関するものである。

背景技術

近年、機器の内部で直流を扱う装置が増加し、交流電源から直流電圧を得ることに直電圧を使用するようにしているが、交流電源から直流電圧を得る際に発生する無効電力や高調波が問題となっていた。この問題を解決するために、交流電源電圧を直流電圧に変換する装置として、PWM制御変換器が提案されている。

第28図は、従来のPWM制御変換器の制御装置を示すブロック図であり、例えば平成3年電気学会全国大会講演論文集5-80頁に示される「絶縁トランスを必要としない三相インバータの制御法」、または特開平3-212162号公報に示されたPWM制御変換器の制御装置と同様のものである。

図において、1は3相交流電源、2は3相交流電源1から供給される交流入力電流を制御し、直流電圧に変換して出力するPWM制御変換器であり、201～206のトランジスタ、IGBT（絶縁ゲート形バイポーラトランジスタ）等からなるスイッチング素子と、207～212の還流ダイオードとから構成されている。3は3相交流電源1とPWM制御変換器2の間に接続されたリアクトル、4はPWM制御変換器2の出力電流の脈動分を吸収するための平滑コンデンサ、5はインバータ、抵抗成分等の負荷装置、6はPWM制御変換器2から出力される直流電
圧の電圧設定信号を出力する電圧設定器、7bはPWM制御変換器2から出力される直流電圧を検出するための電圧検出回路であり、電圧検出回路自体のオフセット、ゲインを調節するボリューム等を含んでいる。

8は電圧設定器6により設定され、出力された電圧設定信号と電圧検出回路7bにより検出され出力された電圧検出信号との偏差を出力する減算器、9dは比例制御演算要素と比例積分演算要素とからなり、減算器8から出力された電圧設定信号と電圧検出信号の偏差を比例積分（PI）制御する電圧制御器、10は3相交流電源1の交流電圧を検出するための交流電圧検出器、11は交流電圧検出器10により検出された交流電圧検出信号からR相電圧及びT相電圧に同期したR相及びT相の単位正弦波を生成する単位正弦波生成器、12及び13は電圧制御器9dから出力された入力電流の波高値指令信号と単位正弦波生成器11から出力されたR相及びT相の単位正弦波信号乗算してR相及びT相の入力電流指令信号を出力する乗算器である。

14及び15はPWM制御变换器2のR相及びT相の入力電流を検出するための電流検出器、16及び17は乗算器12及び13から出力されたR相及びT相の入力電流指令信号と電流検出器14及び15により検出され出力されたR相及びT相の入力電流検出信号との偏差を出力する減算器、18b及び19bは比例制御演算要素と比例積分演算要素とからなり、減算器16及び17から出力されたR相及びT相の入力電流指令信号と入力電流検出信号の偏差を比例積分（PI）制御してR相制御信号とT相制御信号を出力するR相及びT相の電流制御器、20はR相及びT相の電流制御器18b、19bからの出力であるR相制御信号とT相制御信号を零から減算してS相制御信号として出力する減算器、

21は三角波形の搬送波を出力する搬送波発振器、22、23及び24は、R相、S相及びT相の制御信号と搬送波との大小関係を比較してパ
ルス幅変調された信号を出力するコンパレータ、25はこれらR相、S相及びT相のパルス幅変調信号に応じてPWM制御変換器2のスイッチング素子201～206をオン、オフ制御する信号を出力するゲート回路である。

次に、この従来装置の動作について説明する。先ず、電圧検出回路7bを介して検出された直流電圧の検出値V DCと、電圧設定器6により設定された電圧設定信号V DC*を減算器8に入力し、偏差εV = V DC* - V DCが求められる。この偏差εVは、電圧制御器9dに入力され、比例積分制御されて入力電流の波高値指令信号I PEAKを出力する。この波高値指令信号I PEAKは、乗算器12及び13に入力され、もう一方の入力である正弦波生成器11からのR相及びT相の正弦波信号と掛け合わせられる。R相及びT相の正弦波信号は、3相交流電源1のR相及びT相電圧に同期した交流基準信号で、交流電圧検出器10によって検出された3相交流電源1の交流電圧を入力として正弦波生成器11を構成する電流基準信号生成器から出力される。乗算器12及び13からはR相入力電流指令信号i R*とT相入力電流指令信号i T*が出力される。

乗算器12の出力信号であるR相入力電流指令信号i R*と電流検出器14の出力信号であるR相入力電流検出信号i Rとは減算器16に入力され、偏差εi R = i R* - i Rが演算出力される。同様に、乗算器13の出力信号であるT相入力電流指令信号i T*と電流検出器15の出力信号であるT相入力電流検出信号i Tが減算器17に入力され、偏差εi T = i T* - i Tが出力される。この電流偏差εi R及びεi Tは、R相電流制御器18b及びT相電流制御器19bに入力され、各々比例積分制御されてR相及びT相の制御信号SR*、ST*を出力する。
ここで、S相の制御信号S S*は、R相制御信号S R*とT相制御信号S T*を減算器20により零から減算して得る。R相電流制御器18bと
減算器20とT相電流制御器19bの出力信号であるR相、S相、T相の制御信号S R*、S S*、T T*は、各々コンパレータ22、23、24
により搬送波発生器21から出力された三角波形の搬送波信号との大小関係を比較させてパルス幅変調信号として出力される。このパルス幅変
調信号はゲート回路25に入力され、PWM制御変換器2の直流電圧の検出値V DCが設定信号V DC*と等しくなるように、また、R相、S
相、T相の入力電流i R、i S、i Tが正弦波信号であるその指令信号i R*、i S*、i T*に等しくなるように、ゲート回路25はPWM制
御変換器2に制御信号を出力し、PWM制御変換器2のスイッチング素子201〜206がオン、オフ制御される。

このように構成されたPWM制御変換器の制御装置では、上述したようにR相電流制御器18bとT相電流制御器19bは、乗算器12、1
3の出力であるR相、T相の入力電流指令信号i R*、i T*を指令信号とし、電流検出器14、15の出力であるR相、T相の入力電流検出信
号i R、i Tを負荷信号として電流制御マイナーループを構成している。このR相電流制御器18bとT相電流制御器19bはマイクロプロ
セッサ等を用いたデジタル制御により実現する方法と、オペアンプ等を用いたアナログ制御により実現する方法とがあるが、デジタル制御で
実現した場合はサンプリング遅れによる無駄時間があり、アナログ制御で実現する場合と比較して制御系の応答を高く設計することができない。
その結果、PWM制御変換器2のスイッチング素子201〜206のオン、オフ遅れや、オン電圧により生じる電圧指令値V DC*と実電圧と
の誤差、さらに3相交流電源1の交流入力電圧の歪み等により、交流入力電流波形は正弦波でなく歪み波形となり、この歪みに対応した高調波
を含むという不都合が発生する。

従って、入力電流波形を良好に正弦波に追従させるためには、サンプリング遅れ等が無く電流制御系の応答が高くできるアナログ制御方式を採用するのが好ましい。同様に、電圧制御器9 d も、PWM制御変換器2の直流側電圧を良好に設定値に追従するように制御するためには、高応答を得られる制御器として、サンプリング遅れ等が無く電圧制御系の応答が高くできるアナログ制御方式が採用するのが好ましい。

第29図は、R相またはT相の電流制御器の詳細回路構成を示す図である。この回路図では、比例積分制御器であるR相電流制御器18bを、オペアンプを用いてアナログ制御を行う場合の詳細を示している。

第29図において、101〜103は固定抵抗器、104はコンデンサ、105はオペアンプ、106、107はオペアンプ105を駆動する制御電源の正側及び負側の電圧入力端子、108は入力端子、109は出力端子である。このように構成されたR相電流制御器18bにおいては、入力端子108からの入力信号が正または負極性で一定期間以上連続した場合、比例積分動作の積分項に相当するコンデンサ104の電圧は正または負方向に増加し続けるが、少なくとも正側及び負側の電圧入力端子106及び107から入力される制御電源の正側電圧以下もしくは負側電圧以上になることはできず、ある一定の値に制限されて出力飽和状態となる。また、入力端子108からの入力信号が大きい場合においても、オペアンプ105により増幅された出力信号は、少なくとも正側及び負側の電圧入力端子106及び107から入力される制御電源の正側電圧以下もしくは負側電圧以上になることはできず、ある一定の値に制限されて出力飽和状態となる。

なお、T相電流制御器19bも、同様の構成であり、同様の動作を行う。この回路構成は、演算増幅器で比例積分動作を実現するために一般
的に用いられている基本的な回路である。

第30図は、直流電圧V DCを検出するための電圧検出回路7bの具体例を示す回路図である。第30図において、701は平滑コンデンサ4の正側電位に接続された入力端子、702及び703は直流電圧V DCを分圧するための固定抵抗器であり、固定抵抗器703は平滑コンデンサ4の負側電位に接続されている。704は絶縁アンプ、705～706は固定抵抗器、707はオペアンプ、708及び709は電圧検出値のオフセット及びゲインを調整するためのボリューム、710は出力端子であり、直流電圧の検出値V DCを出力する。この回路構成は、演算増幅器でオフセット、ゲインを調節するために一般的に用いられている基本的な回路であり、オフセット及びゲインを調整するためのボリュームを有している。

従来のPWM制御変換器の制御装置は、上述のように構成されていたため、特に、3相交流電源1から負荷装置5に対して電力が供給されている状態から起動する場合に、過電流等を引き起こすという問題点があった。

すなわち、PWM制御変換器2のスイッチング素子201～206がオフしている状態、つまりPWM制御変換器2の制御開始前でゲート回路25が遮断されている状態において、3相交流電源1から負荷5に対して既に電力が供給されている場合、負荷装置5への電力はリアクトル3とPWM制御変換器2の還流ダイオード207～212により供給されている。この時、R相、S相、T相の入力電流は第31図に示すような波形となる。

この状態では、PWM制御変換器2の入力電圧は、リアクトル3に対して第31図の電流が流れていることによる電圧降下分だけ3相交流電源1の電圧よりも小さくなり、結果としてPWM制御変換器2の直流側
電圧、つまり平滑コンデンサ４の電圧V DCが低下する。

この状態から制御を開始した場合、R相電流制御器１８ｂ及びT相電流制御器１９ｂは電圧V DCの低下を補うように動作し、R相電流制御器１８ｂ及びT相電流制御器１９ｂから出力されるR相及びT相の制御信号S R*、S T*は電圧V DCに対しほぼ反比例して大きくなる。しかし、従来のPWM制御変換器の制御装置では、R相及びT相の制御信号S R*、S T*は比例積分動作を行う電流制御器１８ｂ、１９ｂにより演算され、S相の制御信号S S*は、S R*+S S*+S T*=0の関係式からS S*=(-S R*-S T*)として得ていた。このため、電圧V DCの低下を補償するように動作するので、R相とT相の制御信号S R*、S T*が正または負に大きくなって飽和して一定の値に固定された場合、S相の制御信号S S*も一定値に固定されてしまい、三相とも制御できない状態となっていた。特に、第３１図の電流が流れている上記の起動時においては、R相電流制御器１８ｂ及びT相電流制御器１９ｂの入力である電流偏差が、一定間隔正または負極性に接続するため、構成要素である積分項の値が大きくなり、R相電流制御器１８ｂ及びT相電流制御器１９ｂの出力が飽和状態となることが多く、その結果三相とも制御できない状態となって過大電流が流れ、スイッチング素子２０１～２０６の保護機能として一般的に回路に組み込まれている過電流保護機能によるトリップ等を引き起こしていた。

また、通常の運転状態においても、負荷装置５の電力が急峻に変化してV DCが低下した場合、上述した起動時と同様に、R相電流制御器１８ｂ及びT相電流制御器１９ｂの出力が飽和状態となり、その結果S相も含めた三相とも制御できない状態となって過大電流が流れ、トリップ等を引き起こすことがあった。

さらに、電圧V DCがその設定値通りに制御されている場合でも、電
流指令の急変等により R 相電流制御器 18 b 及び T 相電流制御器 19 b の入力である R 相及び T 相の電流偏差 e i R 、 e i T が大きくなった場合においては、R 相電流制御器 18 b 及び T 相電流制御器 19 b の構成要素である比例項の値が大きくなり、R 相電流制御器 18 b 及び T 相電流制御器 19 b の出力が飽和状態となり、その結果 S 相も含めた三相とも制御できない状態となって過大電流が流れ、トリップ等を引き起こすことがあった。

また、従来の PWM 制御変換器の制御装置は、精度良く PWM 制御変換器 2 の出力側である直流電圧を制御する必要性から、電圧制御器 9 d の実現方法としてオペアンプ等によるアナログ制御方式を広く用いていた。そして、電圧制御器 9 d は、電圧設定器 6 により設定された電圧設定信号 V DC* と電圧検出回路 7 b で検出された直流電圧 V DC ととの偏差 e V = V DC* - V DC が入力され、比例積分制御して入力電流の波高値指令信号 I PEAK* を出力していた。このため、電圧検出回路 7 b は、電圧検出回路自体のオフセット誤差やゲイン誤差を補正、調整するための手段を内部に必要としており、ポリューム等を設けて予め調整しておく必要があった。このポリューム等による調整は自動化が困難であり、製造、調整時において煩雑な作業を伴うという問題があった。

さらに、従来の PWM 制御変換器の制御装置は、上述のように構成されていたため、特に、瞬時停電等により 3 相交流電源の電圧が降下もしくは短時間切断された場合に、電圧の復帰時に過電流等を引き起こすという問題点があった。

以下にこの問題点について説明する。

第 3 図は、R 相電源電圧 e R 、PWM 制御変換器 2 の R 相入力電圧 V R 、R 相入力電流指令信号 i R* 及び R 相入力電流検出信号 i R の波形を示す。なお、S 相、T 相についても全く同様であり、ここでは R 相
についてののみ説明する。R相電源電圧eR、PWM制御変換器2のR相入力電圧vR、及びR相入力電流検出信号iRの間には、次の関係が成立する。

\[ eR = L \frac{diR}{dt} + vR \]

但し、Lはリアクトル3のインダクタンス値である。また、リアクトル3の抵抗値は、通常他に比較して非常に小さく無視できるため、ここでは考慮しない。ここで、通常のPWM制御変換装置においては、電源電圧eRに比較してリアクトル3の電圧降下は数％〜十数％程度であり、電源電圧eRとPWM制御変換器2の入力電圧vRはほぼ同位相となる。

すなわち、通常の動作状態においては、R相入力電流指令信号iR*にR相入力電流検出信号iRが追従するように電流制御器18bが動作し、R相の制御信号S R*が出力される。そして、電流制御器18bは、R相入力電流指令信号iR*とR相入力電流検出信号iRの偏差を比例積分制御する構成となっており、R相入力電流指令信号iRがR相入力電流検出信号iRよりも大きい場合、つまり、正方向に電流を増加させる場合にはR相の制御信号S R*を減少させるように比例ゲイン及び積分ゲインが負に設定されている。なお、R相の制御信号S R*は、搬送波発生器21から出力された三角波形の搬送波信号との大小関係を比較されてパルス幅変調信号として出力され、PWM制御変換器2のR相入力電圧vRに反映される。

ここで、瞬時停止等により3相交流電源1が切断された場合、入力電流が流れなくなるため、R相入力電流指令信号iR*とR相入力電流検出信号iRの間に偏差が生じ、第33図に示すように、R相電流指令信号iR*と逆方向にR相の制御信号S R*が生じる。通常、R相入力電流指
令信号 $i_R*$は、R相電源電圧 $e_R$ とほぼ同位相に制御されているが、瞬時停電等が生じた場合、結果としてR相電源電圧 $e_R$ と逆極性の電圧がPWM制御変換器2のR相入力電圧 $v_R$ として出力されることになる。特に、電流制御器18bをアナログ制御により構成し、制御系の応答を高く設計した場合、電流制御器18bの積分要素の値は短時間で逆極性への蓄積が増加していく。

そして、R相入力電流指令信号 $i_R*$は単位正弦波発生器11の出力を基準位相としているが、単位正弦波発生器11が通常ある一定の時定数をもつ回路等で構成されており、3相交流電源1が短時間切断されても電源電圧の位相を保持している。

これにより、電圧回復時、即ち復電時においては、R相電源電圧 $e_R$ とPWM制御変換器2のR相入力電圧 $v_R$ との差が大きくなっており、この電圧の差がリアクトル3の両端に印加されるため、R相入力電流検出信号 $i_R$ に電流飛び出し等が生じていた。このため、スイッチング素子201~206の保護機能として一般的に回路に組み込まれている過電流保護機構によるトリップ等を引き起こすことがあった。

さらに、負荷装置5に電力を多く供給している等、入力電流指令信号が大きい場合、R相及びT相電流制御器18b、19bの入力である電流偏差 $e_iR$ 、$e_iT$ が大きく発生するため、電流制御器の構成要素である積分項の値がより大きくなり、対応する相の電源電圧との差がさらに拡大して電圧回復時の電流飛び出しが増加し、過電流保護機構によるトリップを頻繁に引き起こしていた。

なお、以上の説明はR相について説明したが、他の相についても同様である。

このような交流電源1の切断は、長時間切断された場合は、交流電源1の切断の検出が容易である。しかし、上述のような瞬時停電等の短時
間の切断の場合、特に、電源周波数の 1/2 周期程度の短時間の切断や電圧低下においてはその検出が困難であり、瞬時停電等により交流電源 1 の電圧が降下もしくは短時間切断された状態から復帰した時に発生する電流飛び出しや過電流等の抑制は従来不可能であった。

この発明は、上記のような問題点を解消するためになされたもので、起動時や負荷の電力が急変した時に PWM 制御変換器の出力側の直流電圧が低下している状態、または、電流指令値が急峻に変化した場合のように実電流との偏差が大きくなった状態において、良好に入力電流を制御できる PWM 制御変換器の制御装置を提供することを目的とする。

また、電圧検出回路のオフセット誤差やゲイン誤差を補償するためのポリューム等を不要とし、製造、調整時における作業性を向上でき、自動化が容易となる PWM 制御変換器の制御装置を提供することを目的とする。

さらに、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御できる PWM 制御変換器の制御装置を提供することを目的とする。

また、入力電流指令が大きく生じている状態で、交流電源の電圧が低下もしくは短時間切断された場合等、より過電流保護トリップを引き起こしやすい状態においても、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御できる PWM 制御変換器の制御装置を提供することを目的とする。

発明の開示

この発明は、1 つの観点によれば、リアクトルを介して 3 相交流電源に接続され、3 相交流電源から供給される交流入力電流を制御する PWM
M制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、
電流基準信号を出力する電圧制御手段と、3相交流電源に同期した交流
基準信号を出力する交流基準信号出力手段と、交流基準信号出力手段か
ら出力された交流基準信号の振幅を電流基準信号に応じて変化させた電
流指令信号を出力する電流指令手段と、交流入力電流が電流指令信号に
追従するように制御信号をPWM制御変換器に出力する電流制御手段と
を備えたものにおいて、電流制御手段が、制御開始後の一定期間の間比
例制御された制御信号を出力し、一定期間経過後は比例積分制御された
制御信号を出力するPWM制御変換器の制御装置を提供する。

特に、電流制御手段が、PWM制御変換器から出力された直流電圧の
検出値が予め設定された値以上になった時点で比例積分制御された制御
信号を出力するものである。

また、他の観点によれば、リアクトルを介して3相交流電源に接続さ
れ、3相交流電源から供給される交流入力電流を制御するPWM制御変
換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準
信号を出力する電圧制御手段と、3相交流電源に同期した交流基準信号
を出力する交流基準信号出力手段と、交流基準信号出力手段から出力さ
れた交流基準信号の振幅を電流基準信号に応じて変化させた電流指令信
号を出力する電流指令手段と、交流入力電流が電流指令信号に追従する
ように制御信号をPWM制御変換器に出力する電流制御手段とを備えた
ものにおいて、電流制御手段が、電流指令手段から出力されたいずれか
2相の電流指令信号と交流入力電流の偏差の係数倍を積分して2相の第
1の出力とし、2相の残りの1相を2相の第1の出力の符号反転値を加
算して残りの相の第1の出力とし、各相の電流指令信号と交流入力電流
の偏差を係数倍して各相の第2の出力とし、各相毎に第1の出力と第2
の出力の加算値を制御信号としてPWM制御変換器に出力するPWM制
御変換器の制御装置を提供する。

また、他の観点によれば、リアクトルを介して3相交流電源に接続され、3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧を検出する直流電圧検出手段と、直流電圧の指令値を出力する電圧指令出力手段と、電圧指令出力手段から出力された電圧指令値と直流電圧検出手段から出力された電圧検出値を比較して電流基準信号を出力する電圧制御手段と、交流入力電流が電流基準信号から得られた電流指令信号に追従するように制御信号をPWM制御変換器に出力する電流制御手段とを備えたものにおいて、電圧指令出力手段が、直流電圧検出手段の検出誤差を補正演算した電圧指令値を出力するPWM制御変換器の制御装置を提供する。

特に、電流指令出力手段は、直流電圧検出手段に印加された既知の電圧と既知の電圧に対応する直流電圧検出手段の検出値との関係を記憶する記憶手段と、記憶手段に記憶された関係を用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されるものである。

また、直流電圧検出手段に印加される既知の電圧としては、PWM制御変換器から出力される直流電圧を用いるものである。

さらに、電圧指令出力手段は、直流電圧検出手段に設けられた基準電圧発生手段の電圧と基準電圧発生手段の電圧に対応する直流電圧検出手段の検出値との関係を記憶する記憶手段と、記憶手段に記憶された関係を用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されるものである。

また、他の観点によれば、交流電源に接続され、交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧
の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段
と、交流電源に同期した交流基準信号を出力する交流基準信号出力手段
と、交流基準信号出力手段から出力された交流基準信号の振幅を電流基
準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交
流入力電流が電流指令信号に追従するように制御信号をPWM制御変換
器に出力する少なくとも積分要素を含む電流制御手段とを備えたPWM
制御変換器の制御装置において、電流制御手段は、交流流入力電流が設定
された制限値を越えた場合、積分要素を急激に減少させるように動作す
るPWM制御変換器の制御装置を提供する。

特に、電流制御手段は、交流流入力電流が設定された制限値を越えた場
合、積分要素を零リセットさせるように動作するものである。

また、制限値は、電圧制御手段から出力される電流基準信号に基づき
設定されるものである。

さらに、制限値は、電流指令手段から出力される電流指令信号に基づ
き設定されるものである。

そして、電流制御手段は、交流流入力電流の制限値を設定する電流制限
レベル設定器と、電流制限レベル設定器により設定された制限値と交流
流入力電流が入り、交流流入力電流が前記制限値を越えた場合に信号を
出力する電流制御器積分リセット回路を有するものである。

さらに、電流制御手段は、交流流入力電流が設定された制限値を越え、
かつ積分要素の正負極性と対応する相の交流基準信号の正負極性が異な
る極性に一定値以上蓄積された場合に、積分要素を急激に減少させるよ
うに動作するものである。

また、他の観点によれば、交流電源に接続され、交流電源から供給さ
れる交流流入力電流を制御するPWM制御変換器から出力される直流電圧
の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段
と、交流電源に同期した交流基準信号を出力する交流基準信号出力手段
と、交流基準信号出力手段から出力された交流基準信号の振幅を電流基
準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交
流入力電流が電流指令信号に追従するように制御信号をPWM制御変換
器に出力する電流制御手段とを備えたPWM制御変換器の制御装置にお
いて、電圧制御手段は、交流入力電流が設定された制限値を越えた場合、
電流基準信号を減少させるように動作するPWM制御変換器の制御装置
を提供する。

特に、電圧制御手段は少なくとも積分要素を有し、交流入力電流が設
定された制限値を越えた場合、積分要素をゼロロセットさせるように動作
するものである。

また、電圧制御手段は、交流入力電流が設定された制限値を越えた場
合、少なくともその時点の電流基準信号よりも減少させた電流基準信号
を初期値とする時間間数で電流基準信号を変化させるものである。

さらに、電圧制御手段は、交流入力電流が設定された制限値を越え、
かつ電流制御手段の積分要素の正負極性と対応する相の交流基準信号の
正負極性が異なる極性に一定値以上蓄積された場合に、電流基準信号を
減少させるように動作するものである。

図面の簡単な説明

第1図は、この発明によるPWM制御変換器の制御装置の実施例1の
構成を示す構成図である。

第2図は、第1図に示したR相の電流制御器の構成の詳細を示す構成
図である。

第3図は、第1図に示した電流制御切換器の詳細な構成を示す構成図
である。
第4図は、第1図の装置の電源側の電圧電流ベクトル図である。
第5図は、PWM制御変換器への制御信号と搬送波の関係を示す説明図である。
第6図は、この発明によるPWM制御変換器の制御装置の実施例2の構成を示す構成図である。
第7図は、第6図に示した実施例2の動作を説明するためのフローチャートである。
第8図は、この発明によるPWM制御変換器の制御装置の実施例3の構成を示す構成図である。
第9図は、この発明によるPWM制御変換器の制御装置の実施例4の構成を示す構成図である。
第10図は、第9図に示した電圧検出回路の構成の一例を示す回路図である。
第11図は、第9図に示した実施例4の動作を説明するためのフローチャートである。
第12図は、第9図に示した電圧検出回路の構成のその他の例を示す回路図である。
第13図は、この発明によるPWM制御変換器の制御装置の実施例5の構成を示す構成図である。
第14図は、第13図に示した実施例5の電流制御器積分リセット回路の詳細な構成を示す構成図である。
第15図は、第13図に示した実施例5の動作の説明を示す説明図である。
第16図は、この発明によるPWM制御変換器の制御装置の実施例6の構成を示す構成図である。
第17図は、第16図に示した実施例6の動作の説明を示す説明図である。
ある。

第18図は、この発明によるPWM制御変換器の制御装置の実施例7の構成を示す構成図である。

第19図は、第18図に示した実施例7の電流制御器積分リセット回路の詳細な構成を示す構成図である。

第20図は、この発明によるPWM制御変換器の制御装置の実施例8の構成を示す構成図である。

第21図は、第20図に示した実施例8の電流制御器積分リセット回路の詳細な構成を示す構成図である。

第22図は、第20図に示した実施例8の動作の説明を示す説明図である。

第23図は、この発明によるPWM制御変換器の制御装置の実施例9の構成を示す構成図である。

第24図は、第23図に示した実施例9の動作の説明を示す説明図である。

第25図は、この発明によるPWM制御変換器の制御装置の実施例10の構成を示す構成図である。

第26図は、第25図に示した実施例10の入力電流の波高値指令信号切換器の詳細な構成を示す構成図である。

第27図は、この発明によるPWM制御変換器の制御装置の実施例11の構成を示す構成図である。

第28図は、従来のPWM制御変換器の制御装置を示す構成図である。

第29図は、従来のR相の電流制御器の構成の詳細を示す図である。

第30図は、従来の電圧検出回路の構成の詳細を示す図である。

第31図は、PWM制御変換器の制御開始前の入力電流を示す波形図である。
第32図は、PWM制御変換器の制御装置の電源電圧、電源電流及び
PWM制御変換器の電圧の波形を示す波形図である。

第33図は、従来のPWM制御変換器の制御装置における瞬時停電時
の各部電圧、電流波形を示す波形図である。

発明を実施するための最良の形態

次に、本発明について、以下の通り、実施例を説明する。

実施例1。

第1図は、この発明に係わるPWM制御変換器の制御装置のひとつの
実施例を示す構成図である。図において、1は3相交流電源、2は3相
交流電源1から供給される交流入力電流を制御し、直流電圧に変換して
出力するPWM制御変換器であり、201～206のスイッチング素子
と、207～212の還流ダイオードとから構成されている。

3は3相交流電源1とPWM制御変換器2の間に接続されたリアクト
ル、4はPWM制御変換器2の出力電流の脈動分を吸収するための平滑
コンデンサ、5はインバータ等の負荷装置、6はPWM制御変換器2か
ら出力される直流電圧の電圧設定信号を出力する電圧設定器、7bはPWM
制御変換器2から出力される直流電圧を検出するための電圧検出回
路である。

8は電圧設定器6により設定され、出力された電圧設定信号と電圧検
出回路7bにより検出され出力された電圧検出信号との偏差を出力する
減算器、9dは比例制御演算要素と比例積分演算要素からなり、減算
器8から出力された電圧設定信号と電圧検出信号の偏差を比例積分（P
I）制御する電圧制御器であり、減算器8と電圧制御器9dとにより電
圧制御手段を構成している。10は3相交流電源1の交流電圧を検出す
るための交流電圧検出器、11は交流電圧検出器10により検出された
交流電圧検出信号からR相電圧及びT相電圧に同期したR相及びT相の
単位正弦波を生成する単位正弦波生成器であり、交流電圧検出器10及び
単位正弦波生成器11とにより交流基準信号出力手段を構成している。
12及び13は電圧制御器9dから出力された入力電流の波高値指令信
号と単位正弦波生成器11から出力されたR相及びT相の単位正弦波信
号を乗算してR相及びT相の入力電流指令信号を出力する乗算器であり、
電流指令手段を構成している。

14及び15はPWM制御変換器2のR相及びT相の入力電流を検出
するための電流検出器、16及び17は乗算器12及び13から出力さ
れたR相及びT相の入力電流検出信号と電流検出器14及び15により
検出され出力されたR相及びT相の入力電流検出信号との偏差を出力す
る減算器、18a及び19aは比例制御演算要素と比例積分演算要素と
からなり、減算器16及び17から出力されたR相及びT相の入力電流
指令信号と入力電流検出信号の偏差を制御してR相制御信号とT相制御
信号を出力するR相及びT相の電流制御器、20はR相及びT相の電流
制御器18a、19aからの出力であるR相制御信号とT相制御信号を
零から減算してS相制御信号として出力する減算器である。

21は三角波形の搬送波を出力する搬送波発振器、22、23及び2
4は、R相、S相及びT相の制御信号と搬送波との大小関係を比較して
パルス幅変調された信号を出力するコンバレータ、25はこれらR相、
S相及びT相のパルス幅変調信号に応じてPWM制御変換器2のスイッ
チング素子201〜206をオン、オフ制御する信号を出力するゲート
回路、26はR相の電流制御回路18a及びT相の電流制御回路19a
の積分要素を零に制御するための電流制御切換器である。これらの電流
検出器14、15、減算器16、17、R相及びT相の電流制御器18
a、19a、減算器20、搬送波発振器21、コンバレータ22、23、
24. ゲート回路25、及び電流制御切換器26により電流制御手段を構成している。なお、図において、1〜17及び20〜25は上述の従来装置と同様のものである。

第2図は、第1図に示したR相電流制御器18aの詳細な構成を示す図である。第2図において、121〜123は抵抗値r1〜r3の固定抵抗器、124は容量C1のコンデンサ、125はオペアンプ、126、127はオペアンプ125を駆動する制御電源の正側及び負側の電圧入力端子、128はコンデンサ124の両端に接続されたアナログスイッチ、129はアナログスイッチ128のオン、オフを制御する制御信号が入力される制御入力端子、130は減算器16から出力された偏差が入力されるR相電流制御器18aの入力端子、131はコンパレータ22へR相の制御信号を出力するR相電流制御器18aの出力端子である。なお、T相電流制御器19aも同様の構成である。

第3図は、第1図に示した電流制御切換器26の詳細な構成を示す図である。第3図において、141〜144は抵抗値r11〜r14の固定抵抗器、145は容量C11のコンデンサ、146はスイッチ、147は比較器、148はR相の電流制御回路18a及びT相の電流制御回路19aを制御するための信号を出力する出力端子である。

ここで、実施例1の動作を説明する前に、動作原理について説明する。

第4図は、第1図の装置の電源側の電圧電流ベクトル図を示すもので、eSは3相交流電源1の電源電圧ベクトル、VCはPWM制御変換器2の交流側電圧ベクトル、VLはリアクトル3の電圧ベクトル、ISは電源から供給される入力電流ベクトルである。入力電流ISを電源電圧と同位相（高力率）に制御しようとすれば、リアクトル電圧VLはPWM制御変換器2の交流側電圧VCより90度進ませる必要があり、その結果、交流側電圧VCの大きさは電源電圧eSよりも常に大きい値を
出力しなければならない。

次に、直流側電圧 V DC とPWM制御変換器 2 の交流側電圧ベクトル V C の大きさである交流側線間電圧の実効値（ここでは説明の都合上 V RMS とする）の関係について述べる。R 相、S 相、T 相の制御信号 S R*、S S*、S T*の振幅が搬送波 T x の振幅よりも小さい場合、制御信号 S R*、S S*、S T*が正弦波であれば各相の電圧基本波成分も正弦波となる。いま、PWM制御変換器 2 の直流側電圧 V DC の 1/2 電圧を基準電位として考えた場合、制御信号 S R*、S S*、S T*が搬送波 T x の振幅と等しいときに V DC/2 となることから、R 相、S 相、T 相の制御信号 S R*、S S*、S T*の振幅が搬送波 T x の振幅よりも小さくなるための線間電圧の実効値 V RMS と直流側電圧 V DC の関係は (1) 式で与えられる。

(1) 式を変形して、(2) 式が成立する。

\[ V_{\text{RMS}} \leq V_{\text{DC}} / 2 \times \sqrt{2} \times \sqrt{3} \quad \cdots (1) \]

\[ V_{\text{DC}} \geq V_{\text{RMS}} \times 2 \times \sqrt{2} / \sqrt{3} \quad \cdots (2) \]

\[ = V_{\text{RMS}} \times 1.64 \cdots \]

これにより、PWM制御変換器 2 の直流側電圧 V DC の 1/2 電圧を基準電位として考えた場合、各相の出力電圧が飽和せず、元の基本波成分とおりに出力できる条件は、PWM制御変換器 2 の直流側電圧 V DC が交流側線間電圧実効値 V RMS の 1.64 倍以上となる。そして、直流側電圧 V DC が交流側線間電圧実効値 V RMS の 1.64 倍よりも小さい、即ち R 相、S 相、T 相の制御信号 S R*、S S*、S T*の振幅が搬送波 T x の振幅よりも大きい領域では、制御信号が搬送波 T x を越えた領域において出力電圧が V DC/2 で制限されてしまうことになる。

しかし、従来のPWM制御変換器の制御装置では、R 相及び T 相の制
御信号 S R*、S T*の比例積分動作を行う電流制御器により演算し、S相の制御信号 S S*は S R* + S S* + S T* = 0 の関係式から、S S* = (－S R*－S T*) として得ているため、制御信号の振幅が搬送波 T x の振幅を越える場合は、第 5 図に示すように残りの相の制御信号が自動的に変化して、線間電圧が指令値通りとなるように制御される。これは、各相が 60 度飽和以内、つまり制御信号の振幅が搬送波 T x の振幅を越える期間が 60 度以内の場合にのみ良好に制御され、その線間電圧の実効値  \( V_{RMS} \) と直流側電圧  \( V_{DC} \) との条件は (3) 式で与えられる。

\[
 V_{RMS} \leq V_{DC}/2 \times (2/\sqrt{3})/\sqrt{2} \times \sqrt{3} \cdots (3)
\]

\[
 V_{DC} \geq V_{RMS} \times \sqrt{2} \cdots (4)
\]

\[
 = V_{RMS} \times 1.41\cdots
\]

ここで、PWM制御変換器 2 がゲート回路 2 5 からの信号により制御はされていないが、負荷装置 5 が動作されている、即ち例えばインバータ作動状態である負荷状態からの起動時等においては、PWM制御変換器 2 の直流側電圧  \( V_{DC} \) は 3 相交流電源 1 の線間電圧ピーク値（線間電圧の \( \sqrt{2} \) 倍）よりもリアクトル 3 の電圧降下分だけさらに低い値となっており、PWM制御変換器 2 の交流側線間電圧の実効値  \( V_{RMS} \) は上述したように 3 相交流電源 1 の線間電圧実効値よりも大きな値を必要とするため、直流側電圧  \( V_{DC} \) は (4) 式で与えられる値以下となる。この場合、PWM制御変換器 2 の交流側線間電圧は入力電流を電源電圧と同位相（高力率）に指令通り制御しようとしても、電圧が不足して制御不可能な領域が生じ、電流指令値と実電流は一致しなくなる。

その結果、R相、T相の電流制御器 18 a、19 a が、減算器 16、17 からの電流偏差を比例積分制御として出力する R 相と T 相の制御信号 S R*、S T* は、積分器に偏差が蓄えられていき正または負に大きく
ってオペアンプの飽和電圧に固定され、またS相の制御信号S*もS* = (−S*R*−S*T*)として得ているために、S*R*とS*T*が飽和することによって一定値に固定されてしまい、三相とも制御できない状態が生じることになる。

ここで、電流制御器18a、19aを比例制御とすれば、直流側電圧V DCが低下して電流指令値と実電流が一致しない状態でも、R相とT相の制御信号S*R*、S*T*は偏差を比例倍した値となり、オペアンプが飽和に至ることはなく、少なくとも一相は制御可能となる。但し、電流制御器18a、19aを比例制御すると電流指令値と実電流の間に定常偏差を生じることになる。

そこで、実施例1では、比例積分制御によってオペアンプが飽和して三相とも制御できない状態となりやすい起動時ののみ比例制御とするPWM制御変換器の制御装置を提案するものである。

次に、第1～3図に示す実施例1の動作を説明する。先ず、電圧検出回路7bを介して検出された直流電圧の検出値V DCと、電圧設定器6により設定された電圧設定信号V DC*を減算器8に入力し、偏差e V = V DC*−V DCが求められる。この偏差e Vは、電圧制御器9dに入力され、偏差が零に近づくように比例積分制御され、入力電流の波高値指令信号I PEAK*を出力する。この波高値指令信号I PEAK*は、乗算器12及び13に入力され、単位正弦波発生器11からのR相及びT相の単位正弦波信号と掛け合わされる。R相及びT相の単位正弦波信号は、3相交流電源1のR相及びT相電圧に同期した単位正弦波信号、即ち交流基準信号で、交流電圧検出器10によって検出された3相交流電源1の交流電圧を入力として単位正弦波生成器11を構成する電流基準信号生成器から出力される。乗算器12及び13からはR相入力電流指令信号i R*とT相入力電流指令信号i T*が出力される。
次に、乗算器12の出力信号であるR相入力電流指令信号iR*と電流検出器14の出力信号であるR相入力電流検出信号iRとは減算器16に入力され、偏差eiR = iR* - iR が演算出力される。同様に、乗算器13の出力信号であるT相の入力電流指令信号iT*と電流検出器15の出力信号であるT相入力電流検出信号iTが減算器17に入力され、偏差eiT = iT* - iT が出力される。この電流偏差eiR及びeiTは、電流制御切換器26によって比例制御と比例積分制御の切替が制御されるR相電流制御器18a及びT相電流制御器19aに入力される。

電流制御切換器26は、第3図に示す構成であり、制御開始、即ち起動信号が入力されたと同時にスイッチ146がオンされる。これにより、比較器147の正側入力の電圧は固定抵抗器142とコンデンサ145により決まる時定数で上昇する。比較器147の出力は、比較器147の正側入力の電圧が負側入力の電圧よりも小さい期間は“L”レベルとなり、固定抵抗器142とコンデンサ145により緩やかに上昇した正側入力の電圧が固定抵抗器143と144で設定された負側入力の電圧よりも大きくなると“H”レベルとなる。

この比較器147の出力は電流制御切換器26の出力として、出力端子148を介してR相電流制御器18a及びT相電流制御器19aに入力される。R相電流制御器18aは第2図で示した構成であり、制御入力端子1429の入力信号が“L”レベルの時はアナログスイッチ128が“オン”状態となり、コンデンサ144は短絡され、R相電流制御器18aの入力端子130を介して入力された電流偏差eiRは（5）式で示すように比例制御のみ行われ、出力端子131からR相の制御信号SR*として出力される。

SR* = -K1 x eiR ・・・(5)
但し、$K_1 = r_2 / r_1$

また、制御入力端子129の入力信号が“H”レベルの時はアナログスイッチ128が“オフ”状態となり、R相電流制御器18aの入力端子130を介して入力された電流偏差$e_i R$は（6）式で示すように比例積分制御されて出力端子131からR相の制御信号$S R^*$として出力される。

$$SR^* = -K_1 \times (1 + 1/(S \times T)) \times e_i R \cdots (6)$$

但し、$K_1 = r_2 / r_1$

$$T = C_1 \times C_2$$

$S$は微分演算子である。

T相の電流制御器19aも同様の動作により、制御入力端子129の入力信号が“L”レベルの時は電流偏差$e_i T$が比例制御され、“H”レベルの時は比例積分制御されてT相の制御信号$S T^*$として出力される。また、S相の制御信号$S S^*$は、R相制御信号$S R^*$とT相制御信号$S T^*$を減算器20により零から減算して得られる。R相電流制御器18a、減算器20及びT相電流制御器19aの出力信号であるR相、S相、T相の制御信号$S R^*$、$S S^*$、$S T^*$が、各々コンパレータ22、23、24により搬送波発生器21から出力された三角波形の搬送波信号との大小関係を比較されてパルス幅変調信号として出力される。このパルス幅変調信号はゲート回路25に入力され、PWM制御変換器2の直流電圧の検出値$V_{DC}^*$が電圧設定器6により設定された設定信号$V_{DC}^*$と等しくなるように、また、R相、S相、T相の入力電流$i R$、$i S$、$i T$が正弦波信号であるその指令信号$i R^*$、$i S^*$、$i T^*$に等しくなるように、ゲート回路25はPWM制御変換器2に制御信号を出力し、PWM制御変換器2のスイッチング素子201~206がオン、オフ制御される。
なお、実施例1に示したものでは、R相及びT相の電流を検出して制御するように構成したが、他のどのような2相の組み合わせでも同様の効果を奏するのは言うまでもない。

以上のように、この実施例1によるPWM制御変換器の制御装置においては、電流制御手段を、制御開始後の一定期間の間比例制御された制御信号を出力し、この一定期間経過後は比例積分制御された制御信号を出力するようにしたので、起動時においては一定期間の間は比例制御された制御信号を用いてPWM制御変換器が制御され、一定期間経過後は比例積分制御された制御信号を用いてPWM制御変換器が制御されるため、過電流等を引き起こすことなく、入力電流の制御が良好に行うことができるという効果がある。

実施例2。

第6図は、この発明に係わるPWM制御変換器の制御装置の他の実施例を示す構成図である。第6図において、27は電流制御切換レベル設定器、28は比較器であり、電流制御切換レベル設定器27により設定された設定値V SW*と電圧検出回路7bにより検出された直流電圧の検出値V DC~とを比較し、R相及びT相の電流制御器18a、19aを制御する信号を出力する。その他の構成は、第1図に示す実施例と同様である。

第1図に示した実施例では、R相及びT相の電流制御器18a、19aが、制御開始後において電流制御切換器26で設定された一定期間の間、即ち固定抵抗器142とコンデンサ145により決定される時定数により設定された期間の間比例制御された制御信号を出力し、この一定期間経過後は比例積分制御された制御信号を出力するようにしていた。

これに対して、この第6図に示す実施例では、電流制御切換レベル設定器27と比較器28を設け、電圧検出回路7bにより検出された直流電
圧の検出値 V DC* が電流制御切換レベル設定器 27 により予め設定された値である V SW* 以下の場合は、R 相及び T 相の電流制御器 18 a、19 a が比例制御された制御信号を出力し、直流電圧の検出値 V DC* が V SW* 以上になった時点で R 相及び T 相の電流制御器 18 a、19 a が比例積分制御された制御信号を出力するように切換制御するようにしたものである。

つまり、比較器 28 は電流制御切換レベル設定器 27 の出力である設定レベル V SW* と電圧検出回路 7 b を介して検出された直流電圧 V DC* が入力され、直流電圧 V DC* が V SW* 以上となるまで R 相及び T 相の電流制御器 18 a、19 a が比例制御を行うための制御信号である “L” レベルを出力する。直流電圧 V DC* が V SW* 以上になれば、R 相及び T 相の電流制御器 18 a、19 a が比例積分制御を行うための制御信号である “H” レベルを出力する。R 相の電流制御器 18 a は、第 2 図に示す制御入力端子 129 の入力信号が “L” レベルの時は入力された電流偏差 e i R を比例制御し、制御入力端子 129 の入力信号が “H” レベルの時は比例積分制御して、出力端子 130 から R 相の制御信号 S R* として出力する。T 相の電流制御器 19 a も同様に、制御入力端子の入力信号が “L” レベルの時は入力された電流偏差 e i T を比例制御し、制御入力端子 129 の入力信号が “H” レベルの時は比例積分制御して、出力端子 130 から T 相の制御信号 S T* として出力する。

この第 6 図に示す実施例の構成の動作を、第 7 図のフローチャートにより説明する。先ず装置が起動されると、即ち制御が開始されると、ステップ S 1 において電流制御器 18 a、19 a が比例制御に設定される。次に、ステップ S 2 により、電流制御切換レベル設定器 27 の設定出力である設定レベル V SW* と電圧検出回路 7 b を介して検出された直流電圧の検出値 V DC* が比較器 28 により比較され、直流電圧 V DC* が
V SW* よりも小さい間はステップ 1 の比例制御の設定を継続する。ステップ S 2 で、直流電圧 V DC~V SW* 以上と判断されれば、ステップ S 3 に移り、電流制御器 18a、19a が比例積分制御に設定される。ここで、上述の（4）式で説明したように、直流側電圧 V DC が交流側線間電圧実効値 V RMS の約 1.41 倍以上においては指令値通りに電圧を制御できることから、電流制御切換レベル設定器 27 の設定レベル V SW* はこれ以上の値であって、電圧設定器 6 の設定電圧 V DC* 以下の値を設定しておけばよい。

以上のように、この実施例 2 による PWM 制御変換器の制御装置においては、制御開始後に PWM 制御変換器の直流電圧の検出値が予め設定された値以上になると直流制御手段は比例制御された制御信号を出力し、直流電圧の検出値が予め設定された値以上になった時点で電流制御手段は比例積分制御に切り換えられた制御信号を出力する構成としたので、電流制御手段における比例制御と比例積分制御を最適な切換タイミングでの切換が可能となり、特に起動時において過電流等を引き起こすことなく、入力電流の制御を良好に行うことができ、さらに定常偏差を生じる比例制御の期間を、回路全体の構成を考慮して容易に最小値に設定することができるという効果がある。
実施例 3.

第 8 図は、この発明による PWM 制御変換器の制御装置の他の実施例を示す構成図である。この第 8 図において、29 は減算器 16 及び 17 から出力された R 相及び T 相の入力電流指令信号 i R*、i T* と電流検出器 14、15 により検出された R 相及び T 相入力電流検出信号 i R、i T の偏差を零から減算し、S 相の入力電流指令信号と入力電流検出信号の偏差として出力する減算器である。30 及び 31 は減算器 16 及び 17 から出力された R 相及び T 相の入力電流指令信号 i R*、i T* と入
力電流検出信号 iR、iT との偏差の係数倍を積分して出力する積分器、3 2～3 4 は各々減算器 1 6、2 9、1 7 から出力された R 相、S 相、T 相の入力電流指令信号と電流検出信号の偏差を係数倍して出力する係數器である。

また、3 5 は積分器 3 0 及び 3 1 から出力された R 相及び T 相の電流偏差の積分値が入力され、零から減算して出力する減算器、3 6、3 7、3 8 は係數器 3 2、3 3、3 4 の出力と積分器 3 0、減算器 3 5、積分器 3 1 の出力が入力され、各々の相毎に加算して各相の制御信号 S*R*、S*S*、S*T* として出力する加算器である。その他の構成は、第 1 図または第 6 図に示した実施例の構成と同様であり、同一の部品番号は同一のものを示す。

第 1 図または第 6 図の実施例に示したもののでは、R 相及び T 相の電流制御手段を比例制御と比例積分制御とに切り換えて PWM 制御変換器の制御信号を出力するように構成したが、第 8 図で示した実施例のものでは、電流指令手段を構成する乗算器 1 2、1 3 から出力された R 相、T 相の 2 相の電流指令信号と交流入力電流の偏差の係数値を積分してそれら R 相、T 相の 2 相の第 1 の出力とし、残りの S 相である相は R 相、T 相の 2 相の第 1 の出力の符号反転値を加算して S 相の第 1 の出力とし、また、各相の電流指令信号と交流入力電流の偏差を係数倍して各相の第 2 の出力とし、各相毎に第 1 の出力と第 2 の出力の加算値を PWM 制御変換器の制御信号として出力するように構成したものである。

次に、第 8 図に示した実施例の動作について説明する。先ず、電圧検出回路 7 とを介して検出された直流電圧 VDC と、電圧設定器 6 により設定された電圧設定信号 VDC* とが減算器 8 に入力され、偏差 e V = VDC* − VDC が求められる。この偏差 e V は、電圧制御器 9 でに入力され、偏差が零に近づくように比例積分制御され、入力電流の波
高値指令信号I PEAK*を出力する。この波高値指令信号I PEAK*は、乗算器1,2及び1,3に入力され、単位正弦波発生器1,1からのR相及びT相の単位正弦波信号と掛け合わされる。R相及びT相の単位正弦波信号は、3相交流電源1のR相及びT相電圧に同期した単位正弦波信号、即ち交流基準信号で、交流電圧検出器10によって検出された3相交流電源1の交流電圧を入力として単位正弦波生成器1,1を構成する電流基準信号生成器から出力される。

次に、乗算器1,2の出力信号であるR相入力電流指令信号i R*と電流検出器1,4の出力信号であるR相入力電流検出信号i Rとが減算器1,6に入力され、偏差ei R = i R* - i Rが演算出力される。同様に、乗算器1,3の出力信号であるT相の入力電流指令信号i T*と電流検出器1,5の出力信号であるT相入力電流検出信号i Tが減算器1,7に入力され、偏差ei T = i T* - i Tが出力される。さらに、S相の電流偏差ei Sを(ei R + ei S + ei T = 0)の関係を用いて演算する。即ち、減算器2,9にei R及びei Tを入力し、零から減算してS相の電流偏差ei Sを出力する。

R相の電流偏差ei Rは積分器3,0に入力されると共に係数器3,2に入力され、それらの出力であるR相電流制御の比例項と積分項は加算器3,6で加算されてR相の制御信号S R*となる。また、T相の電流偏差ei Tは積分器3,1に入力されると共に係数器3,4に入力され、それらの出力であるT相電流制御の比例項と積分項は加算器3,8で加算されてT相の制御信号S T*となる。また、R相電流制御の積分項である積分器3,0の出力とT相電流制御の積分項である積分器3,1の出力は、減算器3,5に入力され、零から減算されてS相の積分項を出力し、この減算器3,5の出力と減算器2,9の出力であるS相の電流偏差ei Sを係数器3,3により係数倍したS相の比例項とを加算器3,7に入力し、加算され
てS相の制御信号S S*として出力される。

加算器3 6、3 7、3 8の出力信号であるR相、S相、T相の制御信号S R*、S S*、S T*は、各々コンプレーテ2 2、2 3、2 4により搬
送波発生器2 1から出力された三角波形の搬送波信号との大小関係を比
較されてパルス幅変調信号として出力される。このパルス幅変調信号は
ゲート回路2 5に入力され、PWM制御変換器2の直流電圧の検出値V
DC* が電圧設定器6により設定された設定信号V DC* と等しくなる
ように、また、R相、S相、T相の入力電流i R、i S、i Tが正弦
波信号であるその指令信号i R*、i S*、i T*に等しくなるようにPWM
制御変換器2に制御信号を出力し、PWM制御変換器2のスイッチン
グ素子2 0 1～2 0 6がオン、オフ制御される。

以上のように、この実施例3によるPWM制御変換器の制御装置にお
いては、電流制御手段が、電流指令手段を構成する乗算器1 2、1 3か
ら出力されたR相、T相の2相の電流指令信号と交流入力電流の偏差の
係数倍を積分してそれらR相、T相の2相の第1の出力とし、残りのS
相である相はR相、T相の2相の第1の出力の符号反転値を加算してS
相の第1の出力とし、また、各相の電流指令信号と交流入力電流の偏差
を係数倍して各相の第2の出力とし、各相毎に第1の出力と第2の出力
の加算値をPWM制御変換器の制御信号として出力するように構成した
ので、S相が比例制御を行っているため、起動時において過電流等を引
き起こすことがなく、また負荷の変動によりV DC が低下した場合にお
いても過電流を引き起こすことがなく、電流の制御を良好に行うことが
できるという効果がある。

実施例4。

第9図は、この発明に係わるPWM制御変換器の制御装置の他の実施
例を示す構成図である。この第9図において、7 aはPWM制御変換器
2から出力される直流電圧を検出すための電圧検出回路であり、直流電圧検出手段を構成している。40は電圧検出回路7aにおいて印加された既知の電圧と電圧検出回路7aが検出した検出値との関係を予め記憶しておく記憶回路41は記憶回路40に記憶された関係を用いて、電圧設定器6により設定され出力され電圧設定信号を補正して減算器8に出力する電圧設定信号補正回路であり、記憶回路40、電圧設定信号補正回路41及び電圧設定器6により電圧指令出力手段を構成している。その他の構成において、第1図に示した実施例1と同様の構成については同一の部品番号を付した。

第10図は、第9図における直流電圧V DCを検出すための電圧検出回路7aの詳細構成を示す図である。第10図において、751は平滑コンデンサ4の正側電位に接続された入力端子、752及び753は直流電圧V DCを分圧するための固定抵抗器であり、固定抵抗器753の一端は平滑コンデンサ4の負側電位に接続されている。754は絶縁アンプ、755～756は固定抵抗器、757はオペアンプ、758は減算器8へ直流電圧の検出値V DCを出力する出力端子である。

このように構成された電圧検出回路7aでは、固定抵抗器752及び753によって絶縁アンプ754の入力可能電圧範囲に分圧された直流電圧V DCを、絶縁アンプ754によって絶縁して検出し、オペアンプ757によって適当な信号レベルに増幅されて出力端子758から出力される。このように構成された回路では、演算増幅器でオフセット、ゲインを調節するために一般的に用いられている基本的な回路である。なお、第28図に示した従来の電圧検出回路7bとの違いは、電圧検出値のオフセット及びゲインを調整するためのポリュームがないところである。

次に、第9、10図に示した実施例4の動作を、第11図に示したの
ローチャートを用いて説明する。先ず、第11図に示したフローチャートのように、調節時において、記憶回路40に既知の電圧と電圧検出回路7aによる直流電圧の検出値の関係を記憶させる。

即ち、ステップS101において、電圧検出回路7aに外部より既知の電圧V1を印加する。この既知の電圧は、PWM制御変換器2のスイッチング素子201～206をオフ状態としており、相交流電源1の電圧をPWM制御変換器2の逆流ダイオード207～212により直流に変換して印加することができる。また、外部に設置された別の直流電源を用い、この直流電源を電圧検出回路7aに接続して電圧を印加してもよい。

次に、ステップS102において、電圧検出回路7aに印加された既知の電圧V1と、この印加された既知の電圧V1に対応して電圧検出回路7aにより検出された電圧の値V1をとを記憶回路40に記憶する。

続いて、ステップS103において、電圧検出回路7aに既知の電圧V1とは異なる既知の電圧V2を印加する。次に、ステップS104において、電圧検出回路7aに印加された既知の電圧V2と、この印加された既知の電圧V2に対応して電圧検出回路7aにより検出された電圧の値V2をとを記憶回路40に記憶する。

次に、ステップS105では、印加された既知の電圧V1、V2と、
電圧検出回路7aにより検出された電圧の値V1、V2をとを用い、
(7)式及び(8)式により、電圧検出回路のオフセット誤差またはゲイン誤差を補償し、PWM制御変換器2の直流電圧が所望の値となるように電圧指令値を補正し、電圧設定信号とするための補正係数A、Bを計算する。

\[ A = (V2 - V1) / (V2 - V1) \cdots (7) \]

\[ B = (V1 \times V2 - V2 \times V1) / (V2 - V1) \cdots (8) \]
\[ V_{DC}^* = A \times V_{DC} + B \quad \cdots (9) \]

続いて、ステップS106において、この補正係数A及びBを記憶回路40に記憶する。このようにして記憶回路40に記憶された補正係数A及びBを用い、電圧設定器6により設定された電圧指令値V_{DC}^*を、(9)式に基づき電圧設定信号補正回路41により補正し、電圧設定信号V_{DC}**を得ることになる。この電圧設定信号V_{DC}**を用いて電圧検出回路のオフセット誤差またはゲイン誤差を補償することができることになる。

なお、このような補正の一連の動作は、PWM制御変換器を設置した段階、または試験作業を行う段階等の通常の動作を開始させる以前に行われるもので、マイクロコンピュータに記憶させたプログラムにより自動的に行わせることができる。このため、従来電圧検出回路のオフセット誤差またはゲイン誤差を補償するために、電圧検出回路に取り付けられていたポリュームを不要とでき、また補償のための煩わしい作業をなくし、操作性の向上が図されることになる。

また、上述の説明では、電圧検出回路7aに印加された既知の電圧と検出値の関係を一次関数に近似して演算し、補正係数A、Bを求め記憶する方法を示したが、既知の電圧と検出値のデータをさらに複数用いて折れ線近似して演算し、補正係数A、Bを求め記憶すれば、さらに精度よく補正できる。さらに、電圧検出回路7aに零オフセットがない場合は、ステップS103及びS104を省略し、V2 = 0、V2' = 0として補正係数を計算してもよい。逆に、電圧検出回路7aのオフセットのみが大きく問題となる場合は、V1 = 0としてステップS101を実行し、ステップS103及びS104を省略してもよい。また、補正係数A、Bを求めめる際に、既知の電圧と電圧検出回路7aが検出した電圧値とを記憶回路40に記憶することにより演算することを説明したが、
これらの一連の動作を行わせるためのマイクロコンピュータのメモリに電圧値を記憶させ、補正係数を演算した後、その結果としての補正係数を記憶回路40に記憶させるようにしてもよい。

以上のようにして得られた補正係数A、Bを用いて行うPWM制御変換器の制御装置の動作について説明する。電圧設定器6により設定された電圧指令値V DC*が電圧設定信号補正回路41に入力され、調節時に記憶回路40に予め記憶された補正係数A、B及び(9)式を用いて電圧指令値V DC*を補正して補正後の電圧設定信号V DC**を減算器8に出力する。次に、減算器8に補正後の電圧設定信号V DC**と電圧検出回路7aから出力された電圧検出信号V DCが入力され、偏差e V = V DC** - V DCが出力される。この偏差e Vは、電圧制御器9dに入力され、比例積分制御されて入力電流の波高値指令信号I PEAK*が出力される。このようにして得られた波高値指令信号I PEAK*を用いて行う制御装置の動作は第1、6、8図に示した実施例の動作と同様であるので、その説明は省略する。

以上のように、この実施例4に示したPWM制御変換器の制御装置においては、直流電圧検出手段に印加された既知の電圧と検出値の関係を予め記憶し、記憶された既知の電圧と検出値の関係を用いて実際のPWM制御変換器の直流電圧が所望の値となるように、直流電圧検出手段の検出誤差を補正演算した電圧指令値を出力する電圧指令出力手段としてので、電圧検出回路のオフセット誤差やゲイン誤差を補償するためのパワーム等を不要とすることができ、また補償のための煩わしい作業をなくし操作性の向上が図れ、製造、調整時における自動化が容易になるという効果がある。

なお、上述の実施例4では、電圧検出回路に外部より既知の電圧を与えたときに既知の電圧と電圧検出回路が検出した検出値の関係を予め記憶
させるように構成したが、第１２図に示すような電圧検出回路７ｃとし
てもよい。即ち、第１２図に示す電圧検出回路では、既知の電圧を得る
ための手段として基準電圧発生部を設けたものである。

第１２図は、PＭＷ制御変換器からの直流電圧V DCを検出するため
の電圧検出回路７ｃの詳細な構成を示す図である。第１２図において、
761は平滑コンデンサ４の正側電位に接続された入力端子、762及
び763は直流電圧V DCを分圧するための固定抵抗器であり、固定抵
抗器763は平滑コンデンサ４の負側電位に接続されている。764及
び765は基準電圧源、766は絶縁アンプ767の入力信号を切り換
える信号切換器、768～769は固定抵抗器、770はオペアンプ、
771は電圧検出回路７ｃの出力端子である。

この第１２図に示された電圧検出回路７ｃでは、調節時において、信
号切換器766をP2及びP3にして、基準電圧源764、765から
既知の電圧を与えるようにし、上述の説明と同様に補正係数の計算と記
憶を行う。なお、この基準電圧源764及び765の電圧は直接絶縁ア
ンプ767に入力されているのに対して、直流電圧V DCは固定抵抗器
762及び763によってRL/(RH+RL)の電圧に降圧されて
絶縁アンプ767に入力されるため、基準電圧源764及び765の電
圧を(RH+RL)/RL倍して直流電圧V DCと見なしで補正係数
の計算と記憶を行えばよい。また、通常の動作時において、固定抵抗器
762及び763によって絶縁アンプ767の入力可能電圧範囲に分圧
された直流電圧V DCを絶縁アンプ767によって絶縁して検出し、オ
ペアンプ770によって適当な信号レベルに増幅されて出力端子771
より出力するのは、上述の実施例４の説明と同一である。

なお、実施例４では、通常の動作時と同じレベルの直流電圧を電圧検出
回路に印加する必要があるが、第１２図に示した電圧検出回路７ｃでは、
基準電圧源764及び765の電圧を（R H + R L）/R L倍して直流電圧と見なせるため、通常動作時の直流電圧V DCに比べて低い電圧レベルの基準電圧源でよい。

この第12図に示した電圧検出回路7cの構成では、実施例4により得られる効果と共に、入力端子761から入力される直流電圧V DCを分圧するための固定抵抗器762、763及び基準電圧源764、765ののみに精度の高いものを使用しておけば、電圧検出回路7cを構成しているその他の部品、例えば絶縁アンプ767やオペアンプ770等が経年変化を起こしても、別の直流電源を用意することなく補正できるという効果がある。

実施例5。

第13図は、この発明によるPWM制御変換器の制御装置の他の実施例を示す構成図である。図において、50は交流入力電流の制限値を設定する電流制限レベル設定器、51aはR相及びT相の電流制御器18a、19aの積分要素を零にリセットするための電流制御器積分リセット回路であり、この回路51aには電流制限レベル設定器50、R相及びT相の電流制御器14、15から信号が入力され、R相及びT相の電流制御器18a、19aへ信号を出力している。その他の構成において、第1図に示した実施例1と同一の構成については、同一の部品番号を付した。

次に、第13図に示した実施例の動作について説明する。先ず、電圧検出回路7bを介して検出された直流電圧の検出値V DCと、電圧設定器6により設定された電圧設定信号V DC*とを減算器8に入力し、偏差e V = V DC* - V DCが求められる。この偏差は、電圧制御器9dに入力され、偏差が零に近づくように比例積分制御され、入力電流の波高値指令信号I PEAK*を出力する。この波高値指令信号I PEAK*
は、乗算器１２及び１３に入力され、単位正弦波発生器１１からのR相及びT相の単位正弦波信号と掛け合わされる。R相及びT相の単位正弦波信号は、交流電源１のR相及びT相電圧に同期した単位正弦波信号、即ち交流基準信号で、交流電圧検出器１０によって検出された交流電源１の交流電圧を入力として単位正弦波生成器１１を構成する電流基準信号生成器１１から出力される。

次に、乗算器１２の出力信号であるR相入力電流指令信号iR*と電流検出器１４の出力信号であるR相入力電流検出信号iRとを減算器１６に入力し、偏差eiR = iR* - iR が演算出力される。同様に、乗算器１３の出力信号であるT相の入力電流指令信号 iT*と電流検出器１５の出力信号であるT相入力電流検出信号iTが減算器１７に入力され、偏差eiT = iT* - iT が出力される。この電流偏差eiR及びeiTは、R相交流制御器１８a及びT相交流制御器１９aに入力される。ここでは、R相交流制御器１８a及びT相交流制御器１９aの構成要素である積分要素となる積分器は、電流制御器積分リセット回路５１aにより制御される。

第１４図は、電流制御器積分リセット回路５１aの詳細な構成を示す図である。図において、２５０及び２５１は電流検出器１４及び１５から出力されたR相及びT相の入力電流検出信号iR、iT を入力する入力端子、２５２は入力端子２５０及び２５１から入力されたR相の入力電流検出信号iRとT相の入力電流検出信号iTを零から減算してS相の入力電流検出信号ISとして出力する減算器、２５３はこれらR相、S相、T相の入力電流検出信号iR、iS、iTを全波整流して出力する全波整流器、２５４は電流制限レベル設定器５０により設定された交流電流入力電源制限レベルの制限値である設定値Ilimit*を入力する入力端子である。さらに、２５５は、全波整流器２５３の出力
である入力電流の全波整流信号、つまり R 相、S 相、T 相入力電流検出信号 iR、iS、iT の各々の絶対値の最大値信号である iP と、
入力端子 254 から入力された電流制限レベルの設定値である 1 limit* とを比較する比較器、256 は、電流制限レベルの設定値 I limit* より
も入力電流の全波整流信号 iP が大きくなった場合に、R 相の電流制御器 18a 及び T 相の電流制御器 19a の積分要素を零にリセットするた
めの信号を出力するリセット信号発生器、257 はリセット信号発生器
256 から出力されたリセット信号を出力する出力端子である。

この第 14 図に示した電流制御器積分リセット回路 51a は、R 相、
S 相または T 相の入力電流、即ち交流入力電流が電流制限レベル設定器
50 の設定値 1 limit* よりも大きくなった場合、R 相の電流制御器 18
a 及び T 相の電流制御器 19a の積分要素を零にリセットするように動
作するため、第 15 図に示すように、R 相の制御信号 S R* 及び T 相の制
御信号 S T* はその交流入力電流を指令値通りに流すために必要なレベ
ルまでの回復が速まり、入力電流検出信号の電流飛び出しを抑制するこ
とができる。第 15 図において、瞬時停電等により電源が切断されている
区間 (A) 及び R 相の入力電流検出信号 iR が R 相の入力電流指令信
号 iR* に到達しない区間 (B) では、R 相の制御信号 S R* は R 相の入
力電流検出信号 iR を増加させる方向に蓄積されていく、R 相の入力電
流検出信号 iR が R 相の入力電流指令信号 iR* と等しくなった時点
(C) においてその蓄積は停止する。その後、電流制限レベル設定器 5
0 の設定値 1 limit* より大きくなった時点 (D) において積分要素が零
リセットされることにより正常な動作状態への回復が速まる。

なお、第 15 図では R 相について説明しているが、T 相についても同
様であり、また、S 相の制御信号 S S* は、R 相制御信号 S R* と T 相制
御信号 S T* を算出器 20 により零から測定して得られるため、S 相の交
流入力電流の抑制もR相、T相と全く同様に可能である。
さらに、R相電流制御器18a、減算器20及びT相電流制御器19aの出力信号であるR相、S相、T相の制御信号SR*、SS*、ST*は、搬送波発生器21から出力された三角波形の搬送波信号との大小関係を各コンパレータ22、23、24により比較されてパルス幅変調信号として出力される。パルス幅変調信号はゲート回路25に入力され、PWM制御変換器2の直流電圧の検出値VDClが設定信号VDClと等しくなるように、また、R相、S相、T相の入力電流検出信号iR、iS、iTが正弦波信号であるその指令信号iR*、iS*、iT*に等しくなるように、ゲート回路25の出力信号はPWM制御変換器2のスイッチング素子201～206をオン、オフ制御する。
なお、この実施例では、R相及びT相の電流を検出して制御するように構成したが、他の相の組み合わせでも同様の制御を行えるのは言うまでもない。また、ここでは三相回路について述べたが、単相回路でも同様の制御が行えるのは言うまでもない。
さらに、この実施例では、交流入力電流がその制限値を越えた場合に積分要素をリセットさせるように動作する例を示したが、交流入力電流がその制限値を越えた場合に積分要素の絶対値を急激に減少させるように動作させるように構成してもよい。
以上のように、この実施例によれば、PWM制御変換器の制御装置において、交流入力電流が制限値を越えた場合に、電流制御手段の積分要素の絶対値を急激に減少若しくはリセットさせるように動作させたので mussi、瞬時停止等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、良好に交流入力電流を制御することができるという効果がある。
実施例6。
第13図に示した実施例では、電流制限レベル設定器50を設け、電流制限レベルの設定値I Limit*を予め設定するようにしたが、第16図に示すように、電流制限オフセット設定器52を設け、この出力信号であるI ost*と電圧制御器9dの出力である入力電流の波高値指令信号I Peak*を加算器53により加算して電流制限レベルの設定値I Limit*をし、電流制御器積分リセット回路51aにより入力電流の全波整流信号と比較するように構成してもよい。この構成では、電流制限レベルI Limit*は入力電流の波高値指令信号I Peak*に応じて変化するように動作するため、特に入力電流の波高値指令信号I Peak*が小さい場合は、第17図に示すように、電流制御器積分リセット回路51aからの出力信号によりR相の電流制御器18a及びT相の電流制御器19aの積分要素を零リセットするタイミングを速めることができ、R相の制御信号S R*及びT相の制御信号S T*はその交流入力電流を指令値通りに流すために必要なレベルまでの回復をより一層速めることができ、入力電流検出信号の電流飛び出しをさらに抑制することができる。なお、第17図ではR相について説明したが、T相についても同様であり、またS相の制御信号S S*は、R相制御信号S R*とT相制御信号S T*を減算器20により零から減算して得られるため、S相の交流入力電流の抑制もR相、T相と全く同様に可能である。また、この実施例では、交流入力電流がその制限値を越えた場合に積分要素を零リセットさせるように動作する例を示したが、交流入力電流がその制限値を越えた場合に積分要素の絶対値を急激に減少させるように動作させるように構成してもよい。
実施例7。さらに別の実施例として、第18図に示すものがある。この構成では、電流制限オフセット設定器52と電流制御器積分リセット回路51bを
設け、電流制御器積分リセット回路51bにより、電流制限オフセット設定器52の出力信号であるI_{ost}*と各相の入力電流指令信号i_R*、i_T*の全波整流信号i_P*をとを加算して電流制限レベルの設定値I_{limit}*とし、入力電流の全波整流信号と比較するようにしたものである。その他の構成は、第13図に示した実施例と同様である。

第19図は、第18図に示した電流制御器積分リセット回路51bの詳細な構成を示す図である。図において、260及び261は電流検出器14及び15から出力されたR相及びT相の入力電流検出信号i_R、i_Tを入力する入力端子、262は入力端子260及び261から入力されたR相の入力電流検出信号i_RとT相の入力電流検出信号i_Tを零から減算してS相の入力電流検出信号i_Sとして出力する減算器、263はこれらR相、S相、T相の入力電流検出信号i_R、i_S、i_Tを全波整流して出力する全波整流器である。また、264及び265は乗算器12及び13から出力されたR相及びT相の入力電流指令信号i_R*、i_T*を入力する入力端子、266は入力端子264及び265から入力されたR相の入力電流指令信号i_R*とT相の入力電流指令信号i_T*を零から減算してS相の入力電流指令信号i_S*として出力する減算器、267はこれらR相、S相、T相の入力電流指令信号i_R*、i_S*、i_T*を全波整流して出力する全波整流器である。268は電流制限オフセット設定器52により設定され出力された電流制限オフセット設定値I_{ost}*を入力する入力端子、269は全波整流器267の出力である入力電流指令信号の全波整流信号i_P*と入力端子268から入力された電流制限オフセット設定値I_{ost}*を加算して電流制限レベルの設定値I_{limit}*を出力する加算器である。さらに、270は、全波整流器263の出力である入力電流の全波整流信号、つまりR相、S相、T相入力電流検出信号i_R、i_S、i_Tの各々の絶対値の最大値信号である
i P と、加算器 2 6 9 の出力である電流制限レベルの設定値 I limit* とを比較する比較器、2 7 1 は、電流制限レベルの設定値 I limit* よりも入力電流の全波整流信号 i P が大きくなった場合に、R 相の電流制御器 1 8 a 及び T 相の電流制御器 1 9 a の積分要素を零にリセットするための信号を出力するリセット信号発生器、2 7 2 はリセット信号発生器 2 7 1 から出力されたリセット信号を出力する出力端子である。この構成では入力電流指令信号に応じて電流制限レベルの設定値 I limit* が最適に設定される。

即ち、入力電流指令信号が小さい場合は、電流制限レベルの設定値 I limit* も小さくなり、R 相の電流制御器 1 8 a 及び T 相の電流制御器 1 9 a の積分要素を零にリセットするタイミングを速めることができ、入力電流検出信号の電流の飛び出しを抑制することが可能となる。

以上のように、この実施例によれば PWM 制御変換器の制御装置において、交流入力電流が制限値を超えた場合に、電流制御手段の積分要素の絶対値を急激に減少若しくはリセットするように動作させ、さらに制限値を電圧制御手段から出力される電流基準信号または電流指令信号に関連づけて設定するように構成したので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、良好に交流入力電流を制御することができ、特に交流入力電流の指令値が小さい場合に発生する入力電流検出信号の電流の飛び出しをより一層抑制できるという効果がある。

実施例 8。

第 1 3、1 6、1 8 図に示した実施例では、交流入力電流が制限値を越えた場合に、電流制御器の積分要素の絶対値を急激に減少若しくはリセットするように構成したが、第 2 0 図に示すように、電流制限レベル設定器 5 0 と積分値比較レベル設定器 5 4 と電流制御器積分リセット回
路51cを設けるように構成してもよい。この構成では、交流入力電流が制限値を越え、かつ電流制御器の積分要素の正負極性に対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に積分要素の絶対値を急激に減少若しくはリセットするものである。

第20図において、第13、16、18図と同一又は相当部分には同一符号を付した。

第21図は電流制御器積分リセット回路の51cの詳細な構成を示す図である。図において、300及び301は電流検出器14及び15から出力されたR相及びT相の入力電流検出信号iR、iTを入力する入力端子、302は入力端子300及び301から入力されたR相の入力電流検出信号iRとT相の入力電流検出信号iTを零から減算してS相の入力電流検出信号iSとして出力する減算器、303はこれらR相、S相、T相の入力電流検出信号iR、iS、iTを全波整流して出力する全波整流器である。

また、304及び305は単位正弦波生成器11から出力されたR相電圧及びT相電圧に同期したR相及びT相の単位正弦波信号θR*、θT*を入力する入力端子、306及び307は入力端子304及び305から入力されたR相の単位正弦波信号θR*とT相の単位正弦波信号θT*を零と比較し、入力が正極性の場合は“−1”を出力し、負極性の場合は“+1”を出力する比較器、308及び309はR相及びT相の電流制御器18c及び19cから出力されたR相及びT相の積分要素の値である積分値信号SR−i*、ST−i*を入力する入力端子、310及び311は比較器306及び307の出力と入力端子308及び309から入力されたR相及びT相の積分要素の値である積分値信号SR−i*、ST−i*を乗算する乗算器、312は乗算器310及び311の出力が入力され、その値の大きい方を出力する最大値回路、314は
積分値比較レベル設定器 5 4 から出力された積分値の比較レベル信号 V comp * を入力する入力端子、3 1 3 は入力端子 3 1 4 から入力された積分値の比較レベル信号と最大値回路 3 1 2 から入力された信号を比較し、最大値回路の出力の方が大きい場合に “+ 1” を出力する比較器である。

さらに、3 1 5 は電流制限レベル設定器 5 0 から出力された電流制限レベルの設定値 1 limit * を入力する入力端子、3 1 6 は全波整流器 3 0 3 の出力である入力電流の全波整流信号 i P と入力端子 3 1 5 から入力された電流制限レベルの設定値 1 limit * とを比較し、入力電流の全波整流信号 i P が電流制限レベルの設定値 1 limit * よりも大きい場合に “1” を出力する比較器、3 1 7 は比較器 3 1 6 の出力と比較器 3 1 3 の出力が共に “1” の場合に “1” を出力するAND回路、3 1 8 はAND回路 3 1 7 の出力が入力され、その入力が “1” の場合にR相の電流制御器 18 c 及びT相の電流制御器 19 c の積分要素を零にリセットするための信号を出力端子 3 1 9 から出力する電流制御器の積分リセット信号発生器である。

電流制御器積分リセット回路 5 1 c を第 2 1 図のように構成することにより、入力電流指令信号 i R * が急激に増加した場合の電流オーバーシュート等、電源電圧が確定している状態で生じた電流飛び出しを区別し、この構成により電流制御系の積分要素の絶対値を急激に減少若しくはリセットすることによって電流飛び出しを抑える場合のみ制御装置を動作するようにした。

例えば、第 2 2 図で示すように入力電流指令信号 i R * がステップ状に大きく増加した場合、電流制御系の制御ゲインの設定によっては実際に入力電流がオーバーシュートを生じることがある。この場合、R 相及
びT相の電流制御器18c及び19cの積分項は、電源電圧とほぼ同位相の信号を蓄積しており、この状態において積分要素の絶対値を急激に減少若しくはリセットすると電流飛び出しをさらに増加させることになる。そこで、電流制御器積分リセット回路51cでは、比較器306、307により電源電圧の位相に同期した信号であるR相及びT相の単位正弦波信号θR*、θT*の極性を反転して取り出し、この信号を別の入力であるR相及びT相の積分値信号S R−i*、S T−i*とを乗算器310、311で乗算して、各々の相の単位正弦波信号と積分値信号の極性が異なるときに正極性となるような信号を演算する。さらに、最大値回路312により、これらの最大値を計算し、その出力と積分値比較レベル設定器54から出力された積分値の比較レベル信号Vcomp*を比較器313で比較し、積分値の比較レベル信号よりも最大値回路の出力が大きい場合にのみ比較器316の結果を有効とするように動作する。

以上のように、この実施例によれば、PWM制御変換器の制御装置において、交流入力電流がその制限値を越え、かつ電流制御器の積分要素の正負極性と交流基準信号の正負極性が異なる極性の場合ののみ積分要素の絶対値を急激に減少若しくはリセットするように動作する電流制御手段を設けたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合に、その復帰時に過電流等を引き起こすことなく良好に入力電流を制御することが可能であり、特に、入力電流指令値がステップ状に大きく増加した場合等に生じる入力電流のオーバーシュート時は積分要素の絶対値を急激に減少若しくはリセットしないように構成したので、電流制御系の制御ゲイン設定値によらず、電流の飛び出しをより抑制できるという効果がある。

なお、上述の実施例5〜8では、電流制御手段の積分要素を制御する構成を示したが、以下の実施例では電圧制御手段を制御する構成につい
て説明する。特に、以下の実施例では、負荷装置5に電力を多く供給している等、入力電流指令信号が大きく生じている状態で、交流電源の電圧が低下もしくは短時間切断された場合等、過電流保護トリップをさらに引き起こしやすい状態においても、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御できるものである。

実施例9．

第23図は、この発明に係わるPWM制御変換器の制御装置の実施例9を示す構成図である。図において、上述の実施例と同一または相当部分には同一符号を付した。この実施例の構成要素である電圧制御器積分リセット回路5は、第14図に示した電流制御器積分リセット回路51aと同様の構成であり、この電圧制御器積分リセット回路55により、R相、S相またはT相の入力電流がその電流制限レベルの設定値I limit*よりも大きくなった場合、電圧制御器9bの積分要素を零にリセットするために動作するものである。このため、R相及びT相の入力電流指令値i R*、i T*も零になり、電流制御器の積分要素の回復が速まって電流飛び出しを抑制することができる。

第24図は第23図の実施例の動作を説明するための図であり、見やすくするためにR相のみ示している。図において、電源が切替されている区間（A）及びR相の入力電流i RがR相の入力電流指令信号i R*に到達しない区間（B）においては、R相の制御信号S R*はR相の入力電流i Rを増加させる方向に蓄積されていき、R相の入力電流i RがR相の入力電流指令信号i R*と等しくなった時点（C）においてその蓄積は停止する。その後、電流制限レベルの設定値I limit*よりも大きくなった時点（D）において電圧制御器9bの積分要素を零にリセットされ、R相の入力電流指令信号i R*も零になり、電流制御器の入力が急激に増加して正常な動作状態への回復が速まる。
以上のように、この実施例によればPWM制御変換器の制御装置において、交流入力電流がその制限値を超えた場合に、電圧制御器の積分要素を急激に減少若しくはリセットするように動作する電圧制御手段を設けたので、瞬時停止等により交流電源の電圧が降下もしくは短時間切断された場合に、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御することができ、入力電流の指令値が大きい、つまり入力電流の波高値指令信号I_Peak*が大きい場合において特に電流の飛び出しにより抑制できるという効果がある。
実施例１０．
実施例９では、電圧制御器積分リセット回路５５により、R相、S相またはT相の入力電流がその電流制限レベルの設定値I_limit*よりも大きくなった場合、電圧制御器９ｂの積分要素を零にリセットするように構成したが、第２５図に示すように入力電流の波高値指令信号切換器５６を設ける構成としてもよい。
なお、第２５図において、第２３図と同一又は相当部分には同一符号を付した。
第２６図は入力電流の波高値指令信号切換器５６の詳細を示す図である。図において、４００及び４０１は電流検出器１４及び１５から出力されたR相及びT相の入力電流検出信号i_R、i_Tを入力する入力端子、402は入力端子４００及び４０１から入力されたR相の入力電流検出信号i_RとT相の入力電流検出信号i_Tを零から減算し、S相の入力電流検出信号i_Sとして出力する減算器、４０３はこれらR相、S相、T相の入力電流検出信号を全波整流して出力する全波整流器、４０４電流制限レベル設定器５０から出力された電流制限レベルの設定値I_limit*を入力する入力端子である。さらに、４０５は全波整流器４０３の出力である入力電流の全波整流信号、つまりR相、S相、T相入力電流の各々
の絶対値の最大値信号 I P と入力端子 2 5 4 から入力された電流制限レベルの設定値 I limit*とを比較する比較器、4 0 6 は電圧制御器 9 d の出力である入力電流の波高値指令信号 I PEAK* を入力する入力端子、4 0 7、4 0 8 は信号を切り換えるスイッチ、4 0 9 は入力を時間関数で出力する一次遅れ回路、4 1 0 は入力端子 4 0 6 から入力された入力電流の波高値指令信号 I PEAK* または一次遅れ回路 4 0 9 からの信号を乗算器 1 2 及び 1 3 に出力する出力端子である。

次に、入力電流の波高値指令信号切換器 5 6 の動作について説明する。入力端子 4 0 4 から入力された電流制限レベルの設定値 I limit*よりも全波整流器 4 0 3 の出力である入力電流の全波整流信号 I P が小さい場合、スイッチ 4 0 7 及び 4 0 8 は（B）側に接続され、入力端子 4 0 6 から入力された電圧制御器 9 d の出力である入力電流の波高値指令信号 I PEAK* がそのまま出力端子 4 1 0 から出力される。そして、入力端子 4 0 4 から入力された電流制限レベルの設定値 I limit*よりも全波整流器 4 0 3 の出力である入力電流の全波整流信号 I P が大きくなったら場合、スイッチ 4 0 7 及び 4 0 8 は（A）側に接続され、入力端子 4 0 6 から入力された電圧制御器 9 d の出力である入力電流の波高値指令信号 I PEAK* は一次遅れ回路 4 0 9 に入力され、零から時間関数で増加した信号となり、元の入力電流の波高値指令信号 I PEAK*に到達する。この信号が出力端子 4 1 0 から出力される。

以上のように、この実施例によればPWM制御変換器の制御装置において、交流入力電流がその制限値を越えた場合に、少なくともその時点の電流基準よりも減少させた電流基準を初期値とする時間関数で電流基準を変化させるように動作させる電圧制御手段を設けたので、電圧設定器 6 からの電圧設定信号 V DC* と電圧検出器 7 を介して検出された直流電圧の検出値 V DC との偏差 e V が大きい場合、即ち電圧制御器 9
d の比例要素によって入力電流の波高値指令信号 1 PEAK* が生じている場合に R 相及び T 相の入力電流指令値 i R*、i T*を零にすることができ、電流制御器の入力が急激に増加して正常な動作状態への回復が速まるという効果がある。

実施例 11.

実施例 9 及び実施例 10 では、電流制限レベル設定器 50 を設けて電流制限レベルの設定値 I limit*を予め設定するようにしたが、第 27 図に示すように電流制限レベル設定器 50 と積分値比較レベル設定器 54 と電圧制御器積分リセット回路 57 を設け、交流入力電流がその制限値を越え、かつ積分要素の正負極性と対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に電圧制御器 9 b の積分要素の絶対値を急激に減少若しくはリセットするように構成してもよい。

第 27 図において、実施例 8 及び実施例 10 と同一の構成要素は同一符号を付してあり、同様の動作を行い、電圧制御器積分リセット回路 57 の詳細な構成は電流制御器積分リセット回路 51 c の詳細な構成と同様であり、説明は省略する。

以上のように、この実施例によれば PWM制御変換器の制御装置において、交流入力電流がその制限値を越え、かつ電流制御器の積分要素の正負極性と交流基準信号の正負極性が異なる極性の場合に、電圧制御器の積分要素を急激に減少若しくはリセットするように動作する電流制御手段を設けたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その後割時に過電流等を引き起こすことなく、良好に入力電流を制御することができ、特に、入力電流の指令信号が大きい、つまり入力電流の波高値指令信号が大きい場合に電流の飛び出しがより抑制でき、さらに入力電流指令値がステップ状に大きく増加した場合等に生じる入力電流のオーバーシュート時は積分要素の絶対
値を急激に減少若しくはリセットしないように構成したので、電流制御系の制御ゲイン設定値によらず、電流の飛び出しをより抑制できるという効果がある。

また、これら実施例を適当に組み合わせて実施することにより、より電流飛び出しを抑制できるのは言うまでもない。さらに、本実施例において記載した、交流電源とPWM制御変換器との間に接続されるリアクトルは、特別に設けることなく交流電源1のトランス等のリアクタンス成分で代用してもよい。

以上のようにこの発明によるPWM制御変換器の制御装置においては、リアクトルを介して3相交流電源に接続され、3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、3相交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、交流基準信号出力手段から出力された交流基準信号の振幅を電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交流入力電流が電流指令信号に従事するように制御信号をPWM制御変換器に出力する電流制御手段とを備えたものにおいて、電流制御手段が、制御開始後の一定期間の間比例制御された制御信号を出力し、一定期間経過後は比例積分制御された制御信号を出力するので、起動時においては、一定期間の間は比例制御された制御信号を用いてPWM制御変換器が制御され、一定期間経過後は比例積分制御された制御信号を用いてPWM制御変換器が制御されるため、過電流等を引き起こすことなく、入力電流の制御が良好に行うことができるという効果がある。

また、電流制御手段が、PWM制御変換器から出力された直流電圧の検出値が予め設定された値以上になった時点で比例積分制御された制御信号を出力するものとすることにより、電流制御手段における比例制御
と比例積分制御を最適な切換タイミングでの切換が可能となり、特に起動時において過電流等を引き起こすことなく、入力電流の制御を良好に行うことができ、さらに定常偏差を生じる比例制御の期間を、回路全体の構成を考慮して容易に最小値に設定することができるという効果がある。

また、この発明によるPWM制御変換器の制御装置においては、リアクトルを介して3相交流電源に接続され、3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、3相交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、交流基準信号出力手段から出力された交流基準信号の振幅を電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交流入力電流が電流指令信号に従従するように制御信号をPWM制御変換器に出力する電流制御手段とを組み合ったものにおいて、電流制御手段が、電流指令手段から出力されたいずれか2相の電流指令信号と交流入力電流の偏差の係数倍を積分して2相の第1の出力とし、2相の残りの1相を2相の第1の出力の符号反転値を加算して残りの相の第1の出力とし、各相の電流指令信号と交流入力電流の偏差を係数倍して各相の第2の出力とし、各相毎に第1の出力と第2の出力の加算値を制御信号としてPWM制御変換器に出力するので、少なくともひとつの相が比例制御を行っているため、起動時において過電流等を引き起こすことがなく、また負荷の変動により直流電圧V DCが低下した場合においても過電流を引き起こすことがなく、電流の制御を良好に行うことができるという効果がある。

また、この発明によるPWM制御変換器の制御装置においては、リアクトルを介して3相交流電源に接続され、3相交流電源から供給される
交流入力電流を制御するPWM制御変換器から出力される直流電圧を検出する直流電圧検出手段と、直流電圧の指令値を出力する電圧指令出力手段と、電圧指令出力手段から出力された電圧指令値と直流電圧検出手段から出力された電圧検出値を比較して電流基準信号を出力する電圧制御手段と、交流入力電流が電流基準信号から得られた電流指令信号に追従するように制御信号をPWM制御変換器に出力する電流制御手段とを備えたものにおいて、電圧指令出力手段が、直流電圧検出手段の検出誤差を補正演算した電圧指令値を出力するものとしたので、直流電圧検出手段のオフセット誤差やゲイン誤差を補償するためのポリューム等を不要とすることがで、製造、調整時における作業性の向上を図れるという効果がある。

また、電圧指令出力手段は、直流電圧検出手段に印加された既知の電圧と既知の電圧に対応する直流電圧検出手段の検出値との関係を記憶する記憶手段と、記憶手段に記憶された関係を用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されることにより、直流電圧検出手段のオフセット誤差やゲイン誤差を補償するためのポリューム等を不要とし、製造、調整時における作業性を向上でき、自動化が容易となる効果がある。

また、直流電圧検出手段に印加される既知の電圧としてPWM制御変換器から出力される直流電圧を用いたものとすることにより、特別な回路を必要とせず、簡単な構成で既知の電圧を用いた電圧指令値の補正演算が行うことができるという効果がある。

また、電圧指令出力手段は、直流電圧検出手段に設けられた基準電圧発生手段の電圧と基準電圧発生手段の電圧に対応する直流電圧検出手段の検出値との関係を記憶する記憶手段と、記憶手段に記憶された関係を
用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されることにより、通常動作時直流電圧V DCと同じレベルの高電圧の直流電源を用意する必要がなく、簡単な構成で既知の電圧を用いた電圧指令値の補正演算が行うことができるという効果がある。

また、この発明によるPWM制御変換器の制御装置においては、交流電源に接続され、交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、交流基準信号出力手段から出力される交流基準信号の振幅を電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交流入力電流が電流指令信号に従うように制御信号をPWM制御変換器に出力する少なくとも積分要素を含む電流制御手段をを備えたPWM制御変換器の制御装置において、

電流制御手段を、交流入力電流が設定された制限値を越えた場合、積分要素を急激に減少させるように動作するものとしたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、良好に交流入力電流を制御することができるという効果がある。

また、電流制御手段を、交流入力電流が設定された制限値を越えた場合、積分要素を零リセットさせるように動作するものとしたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、確実に交流入力電流を制御することができるという効果がある。

また、制限値を、電圧制御手段から出力される電流基準信号に基づき設定するものとしたので、瞬時停電等により交流電源の電圧が降下もし
くは短時間切断された場合において、その後の回復時に過電流等を引き起こすことなく、良好に交流入力電流を制御することができ、特に交流入力電流の指令値が小さい場合に発生する入力電流検出信号の電流の飛び出しをより一層抑制できるという効果がある。

また、制限値を、電流指令信号から出力される電流指令信号に基づき設定するものとしたので、制限値は入力電流の波高値指令信号 I PEAK*に応じて変化するように動作するため、特に入力電流の波高値指令信号 I PEAK*が小さい場合に、電流制御器の積分要素を零リセットするタイミングを速めることができ、制御信号はその交流入力電流を指令値通りに流すために必要なレベルまでの回復をより一層速めることができ、入力電流検出信号の電流飛び出しをさらに抑制することができる。

また、電流制御手段は、交流入力電流の制限値を設定する電流制限レベル設定器と、電流制限レベル設定器により設定された制限値と交流入力電流が入力され、交流入力電流が前記制限値を越えた場合に信号を出力する電流制御器積分リセット回路を有するものとしたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合において、その後の回復時に過電流等を引き起こすことなく、交流入力電流を制御することができるという効果がある。

また、電流制御手段を、交流入力電流が設定された制限値を超え、かつ積分要素の正負極性と対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に、積分要素を急激に減少させるように動作するものとしたので、瞬時停電等により交流電源の電圧が降下もしくは短時間切断された場合に、その後の回復時に過電流等を引き起こすことなく良好に入力電流を制御することができ、特に、入力電流指令値がステップ状に大きく増加した場合に生じる入力電流のオーバーシュー
ト時は積分要素の絶対値を急激に減少若しくはリセットしないように構成したので、電流制御系の制御ゲイン設定値によらず、電流の飛び出しがより抑制できるという効果がある。

また、この発明によるPWM制御変換器の制御装置においては、交流電源に接続され、交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、交流基準信号出力手段から出力された交流基準信号の振幅を電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、交流入力電流が電流指令信号に追従するように制御信号をPWM制御変換器に出力する電流制御手段とを備えたPWM制御変換器の制御装置において、電圧制御手段を、交流入力電流が設定された制限値を越えた場合、電流基準信号を減少させるように動作するものとしたので、瞬時停止等により交流電源の電圧が降下もしくは短時間切断された場合に、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御することができ、入力電流の指令値が大きい、つまり入力電流の波高値指令信号I PEAK*が大きい場合において特に電流の飛び出し方がより抑制できるという効果がある。

また、電圧制御手段は少なくとも積分要素を有し、交流入力電流が設定された制限値を越えた場合、積分要素を零リセットさせることに動作するものとしたので、瞬時停止等により交流電源の電圧が降下もしくは短時間切断された場合において、その復帰時に過電流等を引き起こすことなく、確実に交流入力電流を制御することができるという効果がある。

また、電圧制御手段を、交流入力電流が設定された制限値を越えた場合、少なくともその時点の電流基準信号よりも減少させた電流基準信号を初期値とする時間間数で電流基準信号を変化させるものとしたので、
電流制御器の入力が急激に増加して正常な動作状態への回復が速まるという効果がある。

また、電圧制御手段を、交流入力電流が設定された制限値を超え、かつ電流制御手段の積分要素の正負極性と対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に、電流基準信号を減少させないように動作するものとしたので、瞬時停止等により交流電源の電圧が降下もしくは短時間切断された場合に、その復帰時に過電流等を引き起こすことなく、良好に入力電流を制御することができ、特に、入力電流の指令信号が大きい、つまり入力電流の波高値指令信号が大きい場合に電流の飛び出しがより抑制でき、さらに入力電流指令値がステップ状に大きく増加した場合等に生じる入力電流のオーバーシュート時は積分要素の絶対値を急激に減少若しくはリセットしないように構成したので、電流制御系の制御ゲイン設定値によらず、電流の飛び出しをより抑制できるという効果がある。

産業上の利用可能性

以上のように、この発明に係わるPWM制御変換器の制御装置は、例えばインバータ装置に用いられるのに適している。
請求の範囲

1. リアクトルを介して3相交流電源に接続され、前記3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、前記3相交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、前記交流基準信号出力手段から出力された前記交流基準信号の振幅を前記電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、前記交流入力電流が前記電流指令信号に従従するように制御信号を前記PWM制御変換器に出力する電流制御手段とを備えたPWM制御変換器の制御装置において、前記電流制御手段は、制御開始後の一定期間の間比例制御された制御信号を出力し、前記一定期間経過後は比例積分制御された制御信号を出力することを特徴とするPWM制御変換器の制御装置。

2. 電流制御手段は、PWM制御変換器から出力された直流電圧の検出値が予め設定された値以上になった時点で比例積分制御された制御信号を出力することを特徴とする請求項1記載のPWM制御変換器の制御装置。

3. リアクトルを介して3相交流電源に接続され、前記3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、前記3相交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、前記交流基準信号出力手段から出力された前記交流基準信号の振幅を前記電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、前記交流入力電流が前記電流指令信号に従従するように制御信号を前記PWM制御変換器に出力する電流制御手段
とを備えたPWM制御変換器の制御装置において、前記電流制御手段は、前記電流指令手段から出力されたいずれか2相の電流指令信号と前記交流入力電流の係数を積分して前記2相の第1の出力とし、前記2相の残りの1相を前記2相の第1の出力の符号反転値を加算して前記残りの相の第1の出力とし、各相の電流指令信号と交流入力電流の係数を係数に各相の第2の出力とし、各相毎に前記第1の出力と前記第2の出力の加算値を前記制御信号として前記PWM制御変換器に出力することを特徴とするPWM制御変換器の制御装置。

4. リアクタルを介して3相交流電源に接続され、前記3相交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧を検出する直流電圧検出手段と、前記直流電圧の指令値を出力する電圧指令出力手段と、前記電圧指令出力手段から出力された電圧指令値と前記直流電圧検出手段から出力された電圧検出値を比較して電流基準信号を出力する電圧制御手段と、前記交流入力電流が前記電流基準信号から得られた電流指令信号に追従するように制御信号を前記PWM制御変換器に出力する電流制御手段とを備えたPWM制御変換器の制御装置において、前記電圧指令出力手段は、前記直流電圧検出手段の検出誤差を補正演算した電圧指令値を出力することを特徴とするPWM制御変換器の制御装置。

5. 電流指令出力手段は、直流電圧検出手段に印加された既知の電圧と前記既知の電圧に対応する前記直流電圧検出手段の検出値との関係を記憶する記憶手段と、前記記憶手段に記憶された関係を用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されることを特徴とする請求項4記載のPWM制御変換器の制御装置。

6. 直流電圧検出手段に印加される既知の電圧としてPWM制御変換器
から出力される直流電圧を用いたことを特徴とする請求項5記載のPWM制御変換器の制御装置。

7. 電圧指令出力手段は、直流電圧検出手段に設けられた基準電圧発生手段の電圧と前記基準電圧発生手段の電圧に対応する前記直流電圧検出手段の検出値との関係を記憶する記憶手段と、前記記憶手段に記憶された関係を用いてPWM制御変換器から出力される直流電圧が所望の値となるように電圧指令値を補正演算して出力する補正手段とから構成されることを特徴とする請求項4記載のPWM制御変換器の制御装置。

8. 交流電源に接続され、前記交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、前記交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、前記交流基準信号出力手段から出力された前記交流基準信号の振幅を前記電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、前記交流入力電流が前記電流指令信号に従うように制御信号を前記PWM制御変換器に出力する少なくとも積分要素を含む電流制御手段とを備えたPWM制御変換器の制御装置において、前記電流制御手段は、交流入力電流が設定された制限値を越えた場合、積分要素を急激に減少させるように動作することを特徴とするPWM制御変換器の制御装置。

9. 電流制御手段は、交流入力電流が設定された制限値を超えた場合、積分要素を零リセットさせるように動作することを特徴とする請求項8記載のPWM制御変換器の制御装置。

10. 制限値は、電圧制御手段から出力される電流基準信号に基づき設定されることを特徴とする請求項8記載のPWM制御変換器の制御装置。

11. 制限値は、電流指令手段から出力される電流指令信号に基づき設定されることを特徴とする請求項8記載のPWM制御変換器の制御装置。
12. 電流制御手段は、交流入力電流の制限値を設定する電流制限レベル設定器と、前記電流制限レベル設定器により設定された制限値と交流入力電流が入力され、前記交流入力電流が前記制限値を越えた場合に信号を出力する電流制御器積分リセット回路とを有することを特徴とする請求項8記載のPWM制御変換器の制御装置。

13. 電流制御手段は、交流入力電流が設定された制限値を越え、かつ積分要素の正負極性と対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に、前記積分要素を急激に減少させるように動作することを特徴とする請求項8記載のPWM制御変換器の制御装置。

14. 交流電源に接続され、前記交流電源から供給される交流入力電流を制御するPWM制御変換器から出力される直流電圧の検出値と電圧設定値を比較し、電流基準信号を出力する電圧制御手段と、前記交流電源に同期した交流基準信号を出力する交流基準信号出力手段と、前記交流基準信号出力手段から出力された前記交流基準信号の振幅を前記電流基準信号に応じて変化させた電流指令信号を出力する電流指令手段と、前記交流入力電流が前記電流指令信号に追従するように制御信号を前記PWM制御変換器に出力する電流制御手段とを備えたPWM制御変換器の制御装置において、前記電圧制御手段は、前記交流入力電流が設定された制限値を越えた場合、前記電流基準信号を減少させるように動作するPWM制御変換器の制御装置。

15. 電圧制御手段は少なくとも積分要素を有し、交流入力電流が設定された制限値を越えた場合、前記積分要素を零リセットさせるように動作することを特徴とする請求項14記載のPWM制御変換器の制御装置。

16. 電圧制御手段は、交流入力電流が設定された制限値を越えた場合、少なくともその時点の電流基準信号よりも減少させた電流基準信号を初
期値とする時間関数で電流基準信号を変化させることを特徴とする請求項14記載のPWM制御変換器の制御装置。

17. 電圧制御手段は、交流入力電流が設定された制限値を越え、かつ電流制御手段の積分要素の正負極性と対応する相の交流基準信号の正負極性が異なる極性に一定値以上蓄積された場合に、電流基準信号を減少させるように動作することを特徴とする請求項14記載のPWM制御変換器の制御装置。
第2図
第3図

\[ \begin{align*}
V_2 & \quad 146 \\
141 & \quad r_{11} \quad 145 \\
& \quad \text{C11} \\
142 & \quad 143 \\
& \quad r_{13} \\
& \quad 147 \\
& \quad 148 \\
\end{align*} \]
第7図

スタート

S1
比例制御

S2

$V_{DC} \geq V_{sw^*}$

No

Yes

S3
比例積分制御
第11図

開始

検出回路7aに既知の電圧V1を印加

検出値をV1として記憶

検出回路7bに既知の電圧V2を印加

検出値をV2として記憶

電圧設定信号の補正係数計算

補正式の係数を記憶

記憶終了
第15図

瞬時（電源断）

\( e_R \)

\( i_R \)

\( i_R^* \)

D (積分要素リセットのタイミング)
（電流飛び出し小）

\( I_{limit}^* \)（電源制限レベル）

\( V_R (S_R^*) \)

(リセットされた)
（積分要素の値）
瞬時（電源断）

瞬時の電圧（積分要素リセットのタイミング）

I_lost*（I_peak*に応じて変化する）

I_peak*

V_R（S_R*）

リセットされた（積分要素の値）
瞬時（電源断）

瞬時（電源断）

瞬時（電源断）

瞬時（電源断）

瞬時（電源断）
第29回

```
108 -
101 - 102 104
106 \( v_1^+ \)
103 \( v_1^- \)
105
107 -
109 -
```

18b
INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP96/02742

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl6 H02M7/219

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl6 H02M7/00-7/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926 - 1996
Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category*</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X Y A</td>
<td>JP, 6-133554, A (Fuji Electric Co., Ltd.), May 13, 1994 (13. 05. 94) (Family: none)</td>
<td>4 - 7, 14, 16, 1-3, 8-13, 15, 17</td>
</tr>
<tr>
<td>Y A</td>
<td>JP, 3-212162, A (Fuji Electric Co., Ltd.), September 17, 1991 (17. 09. 91) (Family: none)</td>
<td>4-7, 14, 16, 1-3, 8-13, 15, 17</td>
</tr>
<tr>
<td>Y</td>
<td>JP, 2-66406, A (Tokimec Inc.), March 6, 1990 (06. 03. 90) (Family: none)</td>
<td>4 - 7</td>
</tr>
<tr>
<td>Y A</td>
<td>JP, 1-85576, A (Mitsubishi Electric Corp.), March 30, 1989 (30. 03. 89) (Family: none)</td>
<td>14, 16, 15, 17</td>
</tr>
</tbody>
</table>

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
  "A" document defining the general state of the art which is not considered to be of particular relevance
  "E" earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special meaning (as specified)
  "O" document referring to oral disclosure, use, exhibition or other means
  "P" document published prior to the international filing date but later than the priority date claimed
  "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
  "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
  "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
  "&" document member of the same patent family

Date of the actual completion of the international search
December 11, 1996 (11. 12. 96)

Date of mailing of the international search report
December 25, 1996 (25. 12. 96)

Name and mailing address of the ISA/
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.
A. 発明の属する分野の分類（国際特許分類（IPC））

Int CI 14 H02M7/219

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int CI 14 H02M7/00-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-1996

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

<table>
<thead>
<tr>
<th>引用文献の カテゴリー*</th>
<th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th>
<th>関連する 請求の範囲の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>X Y A</td>
<td>JP, 6-133554, A （富士電機株式会社） 13.5月. 1994 (13.05.94) （ファミリーなし）</td>
<td>4-7</td>
</tr>
<tr>
<td>Y A</td>
<td>JP, 3-212162, A （富士電気株式会社） 17.9月. 1991 (17.09.91) （ファミリーなし）</td>
<td>4-7, 14, 16</td>
</tr>
<tr>
<td>Y</td>
<td>JP, 2-66406, A （株式会社 東京計器） 6.3月. 1990 (06.03.90) （ファミリーなし）</td>
<td>1-3, 8-13</td>
</tr>
</tbody>
</table>

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日から、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献の一部で発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.12.96

国際調査報告の発送日

25.12.96

国際調査機関の名称及びあて先

日本国特許庁（ISA／JP）
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
小池正彦
印

電話番号 03-3581-1101 内線3533
<table>
<thead>
<tr>
<th>引用文献のカテゴリ*</th>
<th>引用文献名 及び一部の箇所が関連するときの関連する箇所の表示</th>
<th>関連する請求の範囲の番号</th>
</tr>
</thead>
<tbody>
<tr>
<td>Y</td>
<td>JP, 1-85576, A (三菱電気株式会社)</td>
<td>14, 16</td>
</tr>
<tr>
<td>A</td>
<td>30.3月.1989 (30.03.89) (ファミリーなし)</td>
<td>15, 17</td>
</tr>
</tbody>
</table>