

申請日期: 87. 8. 27	案號: 87114166
類別: H3K 19/00	H3F 3/40

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體記憶裝置
	英文	409461
二、發明人	姓名 (中文)	1. 小橋寿夫 2. 谷田進 3. 桜井幹夫
	姓名 (英文)	1. 2. 3.
	國籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内2丁目2番3號三菱電機株式會社內 2. 同(1) 3. 同(1)
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内2丁目2番3號
	代表人 姓名 (中文)	1. 北岡隆
	代表人 姓名 (英文)	1.



409461

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/01/16 10-006499

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

[發明之背景]

[發明之領域]

本發明有關於半導體記憶裝置，尤其有關於可以以多種動作模態進行動作之半導體記憶裝置之用以實現低消耗電流和高速動作之構造。

[背景技術之說明]

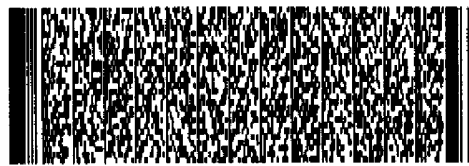
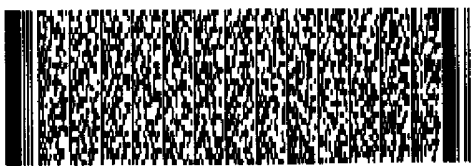
下面將使用圖11用來簡單的說明習知之半導體記憶裝置。

圖11所示之習知之半導體記憶裝置9000具備有輸入緩衝器1.1, 1.2, ..., 1.m, 內部電路900和輸出緩衝器9.1, 9.2, ..., 9.n。

輸入緩衝器1.1, 1.2, ..., 1.m(以下總稱為輸入緩衝器1)分別用來判定傳送自外部之信號EXT1, EXT2, ..., EXTm之邏輯位準，用以產生對應之邏輯位準之內部信號，藉以輸出到內部電路900。內部電路900依照從各個輸入緩衝器1施加之內部信號用來進行指定之動作。輸出緩衝器9.1, 9.2, ..., 9.n用來對內部電路900所產生之信號進行放大藉以將其(信號D1, D2, ..., Dn)輸出到外部。作為輸入緩衝器1者可以使用TTL(Transistor Transistor Logic)系介面之代表例之LUTTL介面。

下面將使用圖12用來說明輸入緩衝器1之具體構造之一實例。

圖12所示之輸入緩衝器1由習知之LVTTL介面之一種之NOR電路所構成(以下簡稱為NOR電路1)。



五、發明說明 (2)

圖12所示之NOR電路1包含有P通道型MOS電晶體PLT1和PLT2，及N通道型MOS電晶體NLT1和NLT2。P通道型MOS電晶體PLT1和PLT2串聯連接在電源電位VDD和N通道型MOS電晶體NLT1和NLT2之一方之導通端子之間。N通道型MOS電晶體NLT1和NLT2之另外一方之導通端子連接到接地電位。

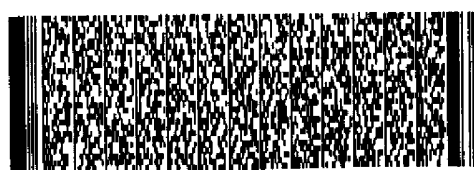
P通道型MOS電晶體PLT2和N通道型MOS電晶體NLT1之各個之閘極電極用來接受輸入信號VIN(圖11中之信號EXT1，EXT2，.....，EXTm之其中之一)。

P通道型MOS電晶體PLT2和N通道型MOS電晶體NLT1用來構成CMOS反相器。P通道型MOS電晶體PLT1和N通道型MOS電晶體NLT2是控制電晶體，其各個之閘極電極用來接受活性化信號SEL。NOR電路1在回應P通道型MOS電晶體PLT1和N通道型MOS電晶體NLT2之導通/非導通狀態時，變成致能/失能狀態。

在回應輸入信號VIN時，從P通道型MOS電晶體PLT2和N通道型MOS電晶體NLT1及N通道型MOS電晶體NLT2之連接節點輸出信號VOUT。該信號VOUT被傳送到圖11所示之內部電路900。

在LVTTTL介面之情況時，從晶片外部輸入之輸入信號VIN之電位之上限為2.0V，下限為0.8V(LVTTTL位準)。

在LVTTTL位準時，構成介面電路1之MOS電晶體均變成導通狀態，用來產生貫通電流。因此，在晶片為非選擇狀態之情況時，在介面部份不會有浪費之電力，依此方法將介面電路1構建成在回應活性化信號SEL時變成非活性(失能)



五、發明說明 (3)

狀態。

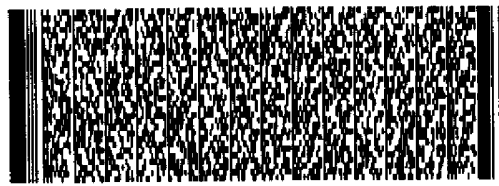
下面將說明圖12所示之NOR電路1之動作。在活性化信號SEL為L位準之活性狀態之情況時，P通道型MOS電晶體NLT2變成非導通狀態。利用這種方式變成可以輸入該輸入信號VIN之狀態。例如，當輸入H位準之輸入信號VIN(2.0V)時，N通道型MOS電晶體NLT1就變成導通狀態，用來輸出L位準之信號VOUT。另外，當L位準之輸入信號VIN(0.8V)被輸入時，P通道型MOS電晶體PLT2就變成導通狀態，用來輸出H位準之信號VOUT。

在活性化信號SEL為H位準之非活性狀態之情況時，P通道型MOS電晶體PLT1變成非導通狀態，N通道型MOS電晶體NLT2變成導通狀態。利用這種方式，NOR電路2變成失能狀態，輸出信號VOUT被固定在與輸入信號VIN無關之L位準。

上述之LUTTL介面是與電源電壓VDD之3.3V對應之規格，可以涵蓋60MHZ~100MHZ程度之動作頻率。

然而，在近年來隨著CPU，MPU等之動作頻率之提高，與記憶器一起的，強烈要求邏輯介面之高速化。

在此種狀況下，LVTTTL介面亦達到界限。在使用TTL系介面之情況，當動作頻率較低時不會有問題，但是當動作頻率變高時，信號會變成顯著之過衝或下衝，和由於變換動作在電源電位和接地電位所產生之雜音和反射雜音，及串擾雜音等之雜音會增大，晶片全體之動作會有嚴重之問題。另外，在匯流排系統中，因為進行傳送之信號之振幅(LVTTTL位準之幅度)變大，所以會發生裝置之消耗電力變



五、發明說明 (4)

大之問題。因此，需要使信號之振幅被抑制之高速介面實用化。

其一解決對策是使用高速介面之SSTL(Stub Series Terminated Logic)介面。下面將使用圖13用來說明SSTL介面之構造。

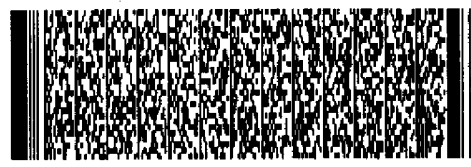
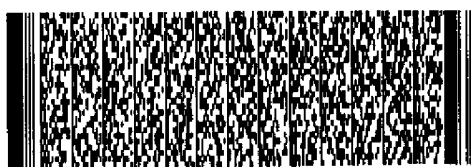
如圖13所示，SSTL介面電路2包含有P通道型MOS電晶體PST1和PST2，及N通道型MOS電晶體NST1，NST2和NST3。SSTL介面電路2由差動放大電路構成。下面為著簡化，將SSTL介面電路2稱為差動放大器2。

圖13所示之P通道型MOS電晶體PST1和N通道型MOS電晶體NST1串聯連接在電源電位VDD和節點Z1之間。P通道型MOS電晶體PST2和N通道型MOS電晶體NST2串聯連接在電源電位VDD和節點Z1之間。

P通道型MOS電晶體PST1之閘極電極和P通道型MOS電晶體PST2之閘極電極均連接到P通道型MOS電晶體PST1和N通道型MOS電晶體NST1之連接節點(以節點X1表示)。

N通道型MOS電晶體NST1之閘極電極用來接受中間電位，例如電源電位 $VDD \times 0.45V$ (在電源電位VDD為3.3V之情況時，大約為1.5V)之基準電位Vref。N通道型MOS電晶體NST2以其閘極電極接受輸入信號VIN。輸入信號VIN是對基準電位Vref之電位以微小之振幅VH(例如， $\pm 0.4V$)上下之小振幅之信號。

N通道型MOS電晶體NST3連接在節點Z1和接地電位之間。N通道型MOS電晶體NST3以其閘極電極接受活性化信號SEL



五、發明說明 (5)

。N通道型MOS電晶體NST3是控制電晶體，差動放大器2在回應N通道型MOS電晶體NST3之導通/非導通狀態狀態時，變成致能/失能狀態。

在回應輸入信號VIN時，從P通道型MOS電晶體PST2和N通道型MOS電晶體NST2之連接節點輸出信號VOUT。信號VOUT被傳送到圖11所示之內部電路900。

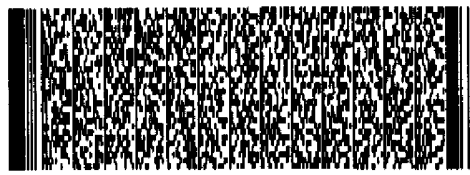
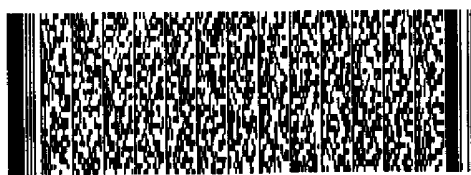
下面將說明圖13所示之差動放大器2之動作。在活性化信號SEL為「1」位準之活性狀態之情況，差動放大器2變成致能狀態，用來對輸入信號VIN和基準電位Vref之電位差進行放大和輸出。例如，當被輸入H位準之輸入信號VIN時，信號VOUT就下降成為L位準。另外，當輸入L位準之輸入信號VIN時，信號VOUT就上升成為H位準。

在活性化信號SEL為H位準之非活性狀態之情況時，差動放大器2變成失能狀態，輸出信號VOUT被固定在與輸入信號VIN無關之L位準。

另外，因為差動放大器2之構造是電平行對偶線構造，所以雜音成份被抵消。因此，可以以高速傳送小振幅之信號為其優點。

然而，圖13所示之差動放大器2因為經常被供給中間電位之基準電位Vref，所以N通道型MOS電晶體NST1經常為導通狀態。

因此，在活性化信號SEL為H位準之情況(致能狀態)時，節點X1成為接地電位。因此，當節點X1之電位超過P通道型MOS電晶體之臨界值電壓時，P通道型MOS電晶體PST1就



五、發明說明 (6)

開始導通，從P通道型MOS電晶體PST1供給電流之能力與從N通道型MOS電晶體NST1供給電流之能力產生平衡，節點X1之電位被固定在該平衡之電位。

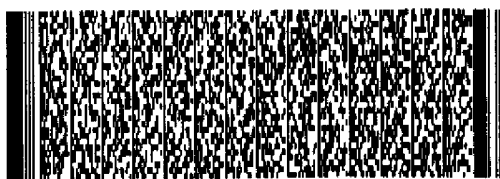
亦即，在活性化信號SEL為H位準之情況時(致能狀態)，具有貫通電流(Current)從P通道型MOS電晶體PST1之電晶體流經N通道型MOS電晶體NST1。

因此，在半導體記憶裝置9000採用圖13所示之差動放大器2之情況時，即使在消耗電力被極力抑制之動作模態，在接受輸入信號時會有大量之貫通電流(消耗電流)流動為其問題。

[發明之概要]

因此，本發明之目的是提供半導體記憶裝置，可以實現高速之信號傳送，和在消耗電流被抑制之特定之模態，可以減小在介面部份產生之消耗電流。

依照本發明之半導體記憶裝置具備有：模態檢測電路，在回應從外部輸入之模態指定信號時，用來檢測特定模態之被指定，藉以輸出與檢測結果對應之模態觸發信號；輸入端子，用來接受傳送自外部之輸入信號；和內部電路，在回應輸入信號時進行動作；該傳送自外部之輸入信號，在特定之模態時為第1電位位準之信號，在特定模態以外之模態時為在第2電位位準重疊小振幅邏輯信號之信號；更具備有：第1介面電路，在特定之模態時進行活性化，根據從輸入端子輸入之輸入信號之電位位準和臨界值之比較，用來判定輸入信號之邏輯位準，將依照判定之結果之



五、發明說明 (7)

內部信號輸出到內部電路；和第2介面電路，在特定模態以外之模態進行活性化，根據從輸入端子輸入之輸入信號之電位位準和第2電位位準之比較，用來判定輸入信號之邏輯位準，將依照判定之結果之內部信號輸出到內部電路。

因此，本發明之主要優點是設有2種之介面電路，經由變換該2種介面電路，在通常模態時經由傳送小振幅之信號可以實現高速介面，在特定之模態可以減少在介面部份之消耗電流。

尤其是在自行復置模態，經由變換介面電路可以抑制消耗電力。

另外，在自行復置模態，經由使LVTTTL介面進行動作，可以用來抑制自行復置模態時之介面部份之消耗電流。

另外，在自行復置模態以外之模態，經由使SSTL介面之差動放大器進行動作，可以以高速傳送信號。

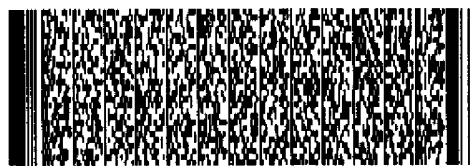
經由下面聯合附圖之對本發明之詳細說明當可對本發明之上述和其他目的、特徵、態樣和優點具有更清楚之瞭解。

[附圖之簡單說明]

圖1是概略方塊圖，用來表示本發明之實施形態1之半導體記憶裝置1000之主要部份之構造之一實例。

圖2表示本發明之實施形態1之時鐘緩衝器120之主要部份之構造之一實例。

圖3是電路圖，用來表示本發明之實施形態1之介面電路



五、發明說明 (8)

100 之具體構造之一實例。

圖4A～圖4H是時序圖，用來說明圖1～圖3所示之本發明之實施形態1之半導體記憶裝置1000之動作。

圖5是電路圖，用來表示實施形態2之介面電路200之具體構造之一實例。

圖6A～圖6H是時序圖，用來說明圖5所示之介面電路200.1之動作。

圖7是電路圖，用來表示本發明之實施形態2之介面電路200之另一具體構造。

圖8A～圖8H是時序圖，用來說明圖7所示之介面電路200.2之動作。

圖9是電路圖，用來表示本發明之實施形態2之介面電路200之具體構造之一實例。

圖10A～圖10H是時序圖，用來說明圖9所示之介面電路200.3之動作。

圖11是方塊圖，用來表示習知之半導體記憶裝置9000之主要部份之構造。

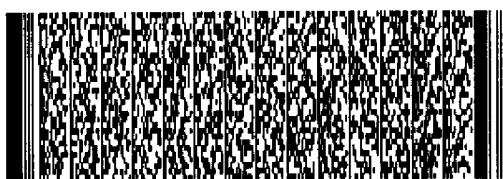
圖12是電路圖，用來表示習知之輸入緩衝器1(LVTTL 介面)之具體構造之一實例。

圖13是電路圖，用來表示習知之SSTL 介面電路2之具體構造之一實例。

[較佳具體例之詳細說明]

[實施形態1]

本發明之實施形態1之半導體記憶裝置具備有多個介面



五、發明說明 (9)

電路，在回應動作模態時，經由變換介面電路可以以高速傳送和減小消耗電流。

下面將使用圖1用來說明本發明之實施形態1之半導體記憶裝置。

圖1所示之半導體記憶裝置1000包含有位址緩衝器121，控制緩衝器122，控制電路123，和模態暫存器124。

位址緩衝器121用來從位址梢取入外部位址信號A，藉以將對應的內部位址信號輸出到控制電路123。控制緩衝器122接受來自多個控制梢之外部控制信號(例如，外部列位址閃控信號/RAS，外部行位址閃控信號/CAS，外部致能信號/WE等)，藉以將對應的內部控制信號輸出到控制電路123。

控制電路123在回應接受自位址緩衝器121之內部位址信號和來自控制緩衝器122之內部控制信號時，使內部電路進行動作藉以產生內部信號。模態暫存器124接受來自控制電路123之內部信號。內部信號之一被取入到模態暫存器124，用來決定半導體記憶裝置1000之動作模態。

半導體記憶裝置1000更包含有記憶單元陣列126，輸入/輸出緩衝器128，自行復置計數器125，和塊緩衝器120。

記憶單元陣列126包含有圖中未顯示之多個記憶單元。在回應接受自控制電路123之內部信號和以模態暫存器124決定之模態時，進行圖中未顯示之記憶單元之資料之寫入或讀出。輸入/輸出緩衝器128接受從輸入/輸出梢寫入



五、發明說明 (10)

到記憶單元陣列126之資料DQ，或將讀自記憶單元陣列126之資料(DQ)輸出到資料輸入／輸出梢。

例如，在讀出動作模態時，使用外部控制信號之組合用來將模態暫存器124設定在讀出動作模態。另外，與外部位址信號A對應之記憶單元變成選擇狀態。然後，根據控制電路123之控制用來進行被選擇之記憶單元之記憶資訊之讀出。被讀出之記憶單元之記憶資訊被轉送到輸入／輸出緩衝器128，從資料輸入／輸出梢輸出到外部(DQ)。在寫入動作模態，在任何一個記憶單元被選擇之後經由資料輸入／輸出梢將被輸入之資料寫入到被選擇之記憶單元。

塊緩衝器120用來接受外部時鐘信號ext·CLK，藉以輸出與其同步之內部時鐘信號。包含有控制電路123，位址緩衝器121，和控制緩衝器122之內部電路，與外部時鐘信號ext·CLK對應的，與內部時鐘信號之上升時序同步的進行動作。

塊緩衝器120更接受外部時鐘致能信號ext·CKE用來輸出與其對應的內部信號。外部時鐘致能信號ext·CKE在自行復置模態時保持一定之電位位準(實質上是L位準)，在自行復置模態以外之模態，經常保持在H位準(基準電位Vref+振幅VH)之狀態。

模態暫存器124經由多個外部控制信號和與L位準之外部時鐘致能信號ext·CKE對應之內部信號之組合，用來檢測自行復置模態之被指定，藉以輸出自行復置觸發信號SEL。自行復置計數器125在回應自行復置觸發信號SEL時用來



五、發明說明 (11)

產生內部位址信號。

在自行復置模態，根據自行復置計數器125所產生之內部位址信號自動的進行記憶單元陣列126所包含之記憶單元之復置。塊緩衝器120以外之緩衝器(位址緩衝器121，控制緩衝器122，和輸入／輸出緩衝器128)在回應與L位準之外部時鐘致能信號ext·CKE對應的內部信號時，分別停止動作。亦既，在自行復置模態，來自位址梢，控制梢和資料輸入／輸出梢之輸入分別變成禁止狀態，動作狀態者只有塊緩衝器120。

塊緩衝器120如後面所述，包含有多個介面電路，依照特定之模態變換用以取入輸入信號之介面電路。在下面之具體例中，以自行復置模態作為特定之動作模態，以與外部時鐘致能信號ext·CKE對應之內部信號之時鐘致能信號ext·CKE作為介面之變換對象之輸入信號。

下面將使用圖2用來說明本發明之實施形態1之塊緩衝器120所包含之介面電路。

圖2所示之塊緩衝器120包含有介面電路100，邏輯電路102，和NOR電路104。

介面電路100包含有後面所述之2種之介面電路。介面電路100分別接受來自節點N1之自行復置觸發信號SEL，來自節點N2之內部信號之時鐘致能信號CKE，和來自節點N3之基準電位Vref。介面電路100在回應自行復置觸發信號SEL時，分別從節點N4或節點N5輸出與時鐘致能信號CKE對應之信號VOUT1或VOUT2。



五、發明說明 (12)

邏輯電路102用來接受信號VOUT1或VOUT2，配合邏輯位準。NOR電路104用來接受來自邏輯電路102之與信號VOUT1對應之信號或與信號VOUT2對應之信號，藉以輸出與時鐘致能信號CKE對應之內部信號(圖2中之OUT)。

下面將使用圖3用來說明介面電路100之具體之構造例。

介面電路100包含有NOR電路1和差動放大器2。

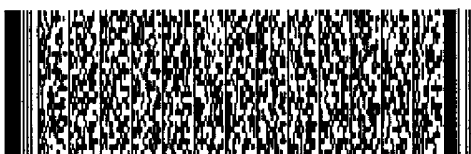
如圖12之說明，NOR電路1包含有P通道型MOS電晶體PLT1和PLT2，和N通道型MOS電晶體NLT1和NLT2。

P通道型MOS電晶體PLT1和N通道型MOS電晶體NLT2之各個之閘極電極用來接受自行復置觸發信號SEL。另外，P通道型MOS電晶體PLT2和N通道型MOS電晶體NLT1之各個之閘極電極用來接受時鐘致能信號CKE。

P通道型MOS電晶體PLT2和N通道型MOS電晶體NLT1之連接節點與節點N4連接，從該節點N4輸出信號VOUT1藉以回應時鐘致能信號CKE。另外，NOR電路1是上述之LVTTTL介面，在回應LVTTTL位準之輸入信號時輸出信號VOUT1。

如圖13之說明，差動放大器2包含有P通道型MOS電晶體PST1和PST2，及N通道型MOS電晶體NST1，NST2和NST3。

N通道型MOS電晶體NST3之閘極電極用來接受自行復置觸發信號SEL。N通道型MOS電晶體NST2之閘極電極用來接受時鐘致能信號CKE。另外，N通道型MOS電晶體NST1之閘極電極用來接受基準電位Vref。P通道型MOS電晶體PST2和N通道型MOS電晶體NST2之連接節點與節點N5連接，在回應該時鐘致能信號CKE時從節點N5輸出信號VOUT2。另外，差



五、發明說明 (13)

動放大器2是上述之SSTL介面，以中間電位之基準電位Vref作為基準在回應微小振幅之信號時輸出信號VOUT2。

下面將使用圖4A～圖4H之時序圖用來說明圖1～圖3所示之半導體記憶裝置1000之主要部份之動作。

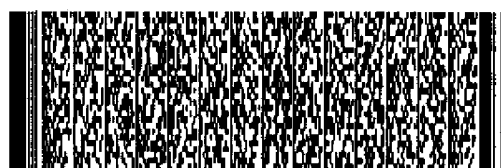
首先說明自行復置模態以外之模態之半導體記憶裝置1000之動作(時刻 $t_0 \sim t_0$)。在這種情況時，自行復置觸發信號SEL為H位準之非活性狀態。N通道型MOS電晶體NST3為導通狀態，節點Z1(N通道型MOS電晶體NST1和N通道型MOS電晶體NST2之連接節點)之電位為L位準之狀態。因此，差動放大器2為致能狀態。

另外一方面，P通道型MOS電晶體PLT1為非導通狀態，N通道型MOS電晶體NLT2為導通狀態。節點Y1(P通道型MOS電晶體PLT1和P通道型MOS電晶體PLT2之連接節點)之電位為比L位準稍微浮上之狀態。利用這種方式，使NOR電路1變成失能狀態。

在此種狀態，當輸入H位準(基準電位Vref+振幅VH)之時鐘致能信號CKE時，差動放大器2就對時鐘致能信號CKE和基準電位Vref之電位差進行放大，藉以輸出信號VOUT2。從NOR電路1輸出之信號VOUT1保持為L位準。

下面將說明自行復置模態被指定之情況。在這種情況，產生與自行復置模態對應之L位準之自行復置觸發信號SEL(時刻 $t_1 \sim$)。

N通道型MOS電晶體NST3變成非導通狀態，在P通道型MOS電晶體PST1和N通道型MOS電晶體NST1之電流量變成平衡之



五、發明說明 (14)

前，上升成為節點Z1之電位。利用這種方式，差動放大器2變成失能狀態。

在另外一方面，P通道型MOS電晶體PLT1變成導通狀態，節點Y1之電位上升成為電源電位VDD。利用這種方式，NOR電路1變成失能狀態。利用NOR電路1，在回應時鐘致能信號CKE時，輸出信號VOUT1。

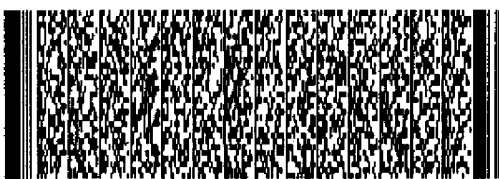
另外，在自行復置模態因為外部時鐘致能信號ext·CKE為0·2V以下，形成低於構成NOR電路1之電晶體之臨界值電壓之低電壓位準，所以在構成NOR電路1之CMOS反相器沒有貫通電流流動。另外，因為差動放大器2變成失能狀態，所以不會產生吸極電流。因此，當與單獨使用差動放大器2作為介面電路之情況比較時，其消耗電力可以減小。

依照上述方式之本發明之實施形態1之半導體記憶裝置，在需要抑制消耗電流之模態(例如，自行復置模態)經由變換介面電路，可以減小消耗電流。

〔實施形態2〕

實施形態2之半導體記憶裝置1000具備有以下所示之介面電路200，用來代替圖1所示之介面電路100。下面將使用圖5之電路圖用來說明實施形態2之介面電路200之具體之構造之一實例。

在與圖3所示之實施形態1之介面電路100相同之構造元件附加相同之記號和符號而其說明則加以省略。圖5所示之介面電路200(以下稱為介面電路200·1)包含有反相器電路I2，NAND電路3，和差動放大器4。



五、發明說明 (15)

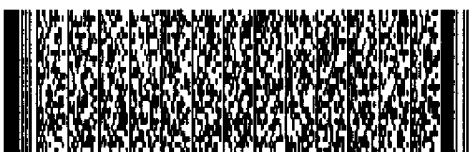
反相器電路I2用來使節點N1所接受到之自行復置觸發信號SEL反相和輸出(稱為反相自行復置觸發信號/SEL)。

差動放大器4包含有P通道型MOS電晶體PST1和PST2，和N通道型MOS電晶體NST1，NST2和NST3。下面將參照圖2用來說明該等之構造。

另外，差動放大器4包含有反相器電路I1。反相器電路I1用來使反相自行復置觸發信號/SEL反相和輸出。N通道型MOS電晶體NST3之閘極電極經由反相器電路I1，接受與自行復置觸發信號同步之信號。從P通道型MOS電晶體PST2和N通道型MOS電晶體NST2之連接節點所接連之節點N5，輸出信號VOUT2藉以回應時鐘致能信號CKE。另外，該差動放大器4是SSTL介面。

NAND電路3包含有P通道型MOS電晶體PLT3和PLT4，和N通道型MOS電晶體NLT3和NLT4。P通道型MOS電晶體PLT3和P通道型MOS電晶體PLT4並聯連接在電源電位VDD和N通道型MOS電晶體NLT3之一方之導通端子之間。N通道型MOS電晶體NLT4之一方之導通端子與接地電位連接，另外一方之導通端子經由節點Y2與N通道MOS電晶體NLT3之另外一方之導通端子連接。

P通道型MOS電晶體PLT3和N通道型MOS電晶體NLT3之各個之閘極電極，用來接受時鐘致能信號CKE。P通道型MOS電晶體PLT4和N通道型MOS電晶體NLT4之各個之閘極電極，用來接受來自反相器電路I2之反相自行復置觸發信號/SEL。從P通道型MOS電晶體PLT3和N通道型MOS電晶體NLT3之連接



五、發明說明 (16)

節點所連接之節點N4，輸出信號VOUT1藉以回應時鐘致能信號CKE。另外，NAND電路3是LVTTTL介面之一種，在回應LVTTTL位準之輸入信號時輸出信號VOUT1。

下面將使用圖6A～圖6H之時序圖用來說明圖5所示之介面電路200.1之動作。

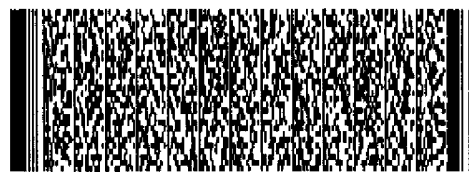
首先說明自行復置模態以外之模態之動作(時刻 $t_0 \sim t_1$)。在這種情況，自行復置觸發信號SEL為H位準(反相自行復置觸發信號/SEL為L位準)之非活性狀態。N通道型MOS電晶體NST3為導通狀態，節點Z1(N通道型MOS電晶體NLT1和N通道型MOS電晶體NLT2之連接節點)之電位為L位準之狀態。利用這種方式，差動放大器4變成致能狀態。

另外一方面，N通道型MOS電晶體NLT4為非導通狀態，P通道型MOS電晶體PLT4為導通狀態，節點Y2(N通道型MOS電晶體NLT3和N通道型MOS電晶體NLT4之連接節點)之電位變成為比L位準稍微浮上。利用這種方式，NAND電路3變成為失能狀態。

在此狀態，當輸入H位準(基準電位 V_{ref} + 振幅幅度 V_H)之時鐘致能信號CKE時，差動放大器4就對時鐘致能信號CKE和基準電位 V_{ref} 之電位差進行放大，輸出信號VOUT2。從NAND電路3輸出之信號VOUT1保持為L位準。

下面將說明自行復置模態被指定之情況。在這種情況產生與自行復置模態對應之L位準之自行復置觸發信號SEL(時刻 $t_1 \sim$)。

N通道型MOS電晶體NST3變成非導通狀態，在P通道型MOS



五、發明說明 (17)

晶體PST1和N通道型MOS電晶體NST1之電流量達到平衡之前，節點Z1之電位進行上升。利用這種方式，差動放大器4變成失能狀態。

另外一方面，N通道型MOS電晶體NLT4變成導通狀態，P通道型MOS電晶體PLT4變成非導通狀態，節點Y2之電位下降至L位準。利用這種方式使NAND電路3變成致能狀態。在回應內部信號之時鐘致能信號CKE時，由NAND電路3輸出信號VOUT1。

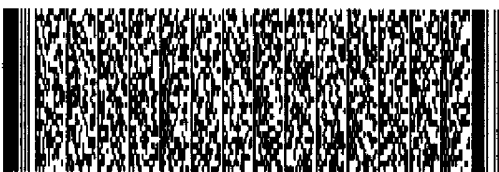
如上所述，亦即在自行復置模態，因為外部時鐘致能信號ext·CKE為0.2V以下，成為低於構成NAND電路3之電晶體之臨界值電壓之電壓位準，所以在構成NAND電路3之CMOS反相器沒有貫通電流流動。另外，差動放大器4因為失能狀態，所以沒有吸極電流產生。因此，當與只使用差動放大器4作為介面電路之情況比較時，可以減少消耗電力。

下面將使用圖7用來說明本發明之實施形態2之介面電路200之另一具體構造之一實例。

在與圖3所示之介面電路100相同之構成元件附加相同之符號和記號，而其說明則加以省略。

圖7所示之介面電路200(以下稱為介面電路200.2)包含有NOR電路1和差動放大器5。上述之NOR電路1是LVTTTL介面，在回應自行復置信號SEL時，用來輸出與時鐘致能信號CKE對應之信號VOUT1。

差動放大器5包含有P通道型MOS電晶體PST1和PST2，和N



五、發明說明 (18)

通道型MOS電晶體NST1和NST2。P通道型MOS電晶體PST1和PST2，N通道型MOS電晶體NST1和NST2之連接關係與圖3之差動放大器2之構造相同。

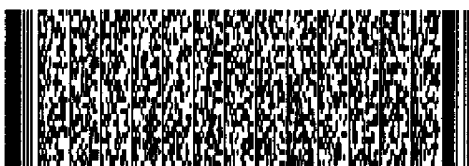
差動放大器5更包含有反相器電路I3和P通道型MOS電晶體PST3。反相器電路I3用來使自行復置觸發信號SEL反相和輸出。

P通道型MOS電晶體PST3連接在電源電位VDD和P通道型MOS電晶體PST1和PST2之各個之一方導通端子之間。P通道型MOS電晶體PST3是控制電晶體，其閘極電極經由反相器電路I3用來接受自行復置觸發信號SEL之反相信號(稱為反相自行復置觸發信號/SEL)。差動放大器5在回應P通道型MOS電晶體PST3之導通/非導通狀態時，變成致能/失能狀態。另外，該差動放大器5為SSTL介面。

下面將使用圖8A～圖8H之時序圖用來說明圖7所示之介面電路200.2之動作。

首先說明自行復置模態以外之模態之動作(時刻 $t_0 \sim t_1$)。在這種情況，自行復置觸發信號SEL為H位準(反相自行復置觸發信號/SEL為L位準)之非活性狀態。P通道型MOS電晶體PST3為導通狀態，節點Z1(N通道型MOS電晶體NST1和NST2之連接節點)為L位準之狀態。利用這種方式，差動放大器5變成致能狀態。

另外一方面，N通道型MOS電晶體NLT2為導通狀態，P通道型MOS電晶體PLT1為非導通狀態。節點Y1(P通道型MOS電晶體PLT1和P通道型MOS電晶體PLT2之連接節點)之電位變



五、發明說明 (19)

成為比L位準稍微浮上之狀態。利用這種方式使NOR電路1成為失能狀態。

在此種狀態，當輸入H位準(基準電位 V_{ref} + 振幅幅度 V_H)之時鐘致能信號CKE時，差動放大器5就對時鐘致能信號CKE和基準電位 V_{ref} 之電位差進行放大，藉以輸出信號 V_{OUT2} 。從NOR電路1輸出之信號 V_{OUT1} 保持為L位準。

下面將說明自行復置模態被指定之情況。在這種情況，產生與自行復置模態對應之L位準之自行復置觸發信號SEL(時刻 $t_1 \sim$)。

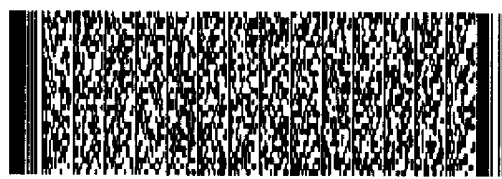
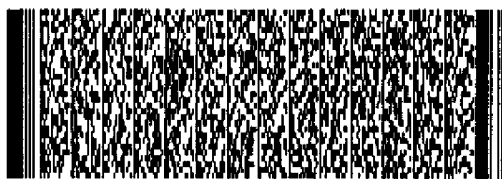
P通道型MOS電晶體PST3變成非導通狀態，差動放大器5變成致能狀態。

另外一方面，P通道型MOS電晶體PLT1變成導通狀態，節點Y1之電位上升至電源電位VDD。利用這種方式，NOR電路1變成致能狀態。在回應時鐘致能信號CKE時，由NOR電路1輸出信號 V_{OUT1} 。

如上所述，亦即在自行復置模態，因為外部時鐘致能信號 ext_CKE 為2.0V以下，成為低於構成NOR電路1之電晶體之臨界值之電壓位準，所以在構成NOR電路1之CMOS反相器沒有貫通電流流動。另外，差動放大器5因為成為失能狀態，所以沒有吸極電流產生。因此，當與只使用差動放大器5作為介面電路之情況比較時，可以減少消耗電力。

下面將使用圖9用來說明本發明之實施形態2之介面電路200之另一具體構造之一實例。

在與圖3、圖5和圖7所示之介面電路100和200相同之構



五、發明說明 (20)

成元件附加相同之符號和記號，而其說明則加以省略。圖9所示之介面電路200(以下稱為介面電路200.3)包含有反相器電路I4，NAND電路3和差動放大器6。

反相器電路I4用來使節點N1所接受到之自行復置觸發信號SEL反相和輸出(稱為反相自行復置觸發信號/SEL)。

差動放大器6包含有P通道型MOS電晶體PST1、PST2和PST3

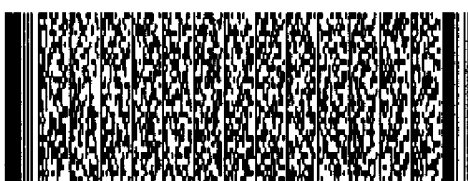
，和N通道型NST1，NST2和NST3。該等之構造如圖7之說明。

P通道型MOS電晶體PST3是控制電晶體，P通道型MOS電晶體PST3之閘極電極經由反相器電路I4接受反相自行復置觸發信號/SEL。差動放大器6在回應P通道型MOS電晶體PST3之導通/非導通狀態時，變成致能/失能狀態。另外，差動放大器6為SSTL介面。

NAND電路3之控制電晶體之P通導型MOS電晶體PLT4和N通道型MOS電晶體NLT4之閘極電極，分別經由反相器電路I4用來接受反相自行復置觸發信號/SEL。上述之NAND電路3是LVTTTL介面之一種，在回應自行復置觸發信號SEL時，用來輸出與時鐘致能信號CKE對應之信號VOUT1。

下面將使用圖10A～圖10H之時序圖用來說明圖9所示之介面電路200.3之動作。

首先說明自行復置模態以外之模態之動作(時刻 $t_0 \sim t_1$)。在這種情況，自行復置觸發信號SEL為H位準(反相自行復置觸發信號/SEL為L位準)之非活性狀態。P通道型MOS電



五、發明說明 (21)

晶體PST3為導通狀態，節點Z1(N通道型MOS電晶體NST1和NST2之連接節點)為L位準之狀態。利用這種方式使差動放大器6成為致能狀態。

另外一方面，N通道型MOS電晶體NLT4為非導通狀態，P通道型MOS電晶體PLT4為導通狀態，節點Y2(N通道型MOS電晶體NLT3和N通道型MOS電晶體NLT4之連接節點)之電位比L位準稍微浮上。利用這種方式使NAND電路3變成失能狀態。

在此種狀態，當輸入H位準(基準電位 V_{ref} + 振幅幅度 V_H)之時鐘致能信號CKE時，差動放大器6就對時鐘致能信號CKE和基準電位 V_{ref} 之電位差進行放大，藉以輸出信號VOUT2。從NAND電路6輸出之信號VOUT1保持為L位準。

下面將說明自行復置模態被指定之情況。在此種情況產生與自行復置模態對應之L位準之自行復置觸發信號SEL(時刻 $t_1 \sim$)。

P通道型MOS電晶體PST3變成非導通狀態，差動放大器6變成失能狀態。

另外一方面，N通道型MOS電晶體NLT4變成導通狀態，節點Y2之電位下降為L位準。利用這種方式使NAND電路3變成致能狀態。在回應時鐘致能信號CKE時，由NAND電路3輸出信號VOUT1。

如上所述，亦即在自行復置模態，因為外部時鐘致能信號ext. CLK為0.2V以下，形成低於構成NAND電路3之電晶體之臨界值電壓之電壓位準，所以在構成NAND電路3之CMOS

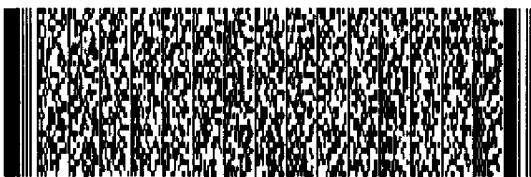


五、發明說明 (22)

反相器沒有貫通電流流動。另外，因為差動放大器6成為失能狀態，所以沒有吸極電流產生。因此，當與只使用差動放大器6作為介面電路之情況比較時，可以減少消耗電力。

依照上述之方式，即使在本發明之實施形態2之半導體記憶裝置中，對於需要抑制消耗電流之模態(例如，自行復置模態)，經由變換介面電路，可以用來減少消耗電流。

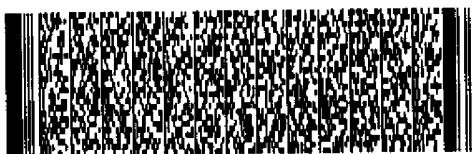
雖然上面已經詳細的描述和說明了本發明，但宜瞭解者，上述之說明只作舉例之用，而無意用來限制本發明，本發明之精神和範圍只由所附之申請專利範圍限制。



四、中文發明摘要 (發明之名稱：半導體記憶裝置)

在本發明之半導體記憶裝置之塊緩衝器中具備有2種之介面電路，亦既，LVTTL 介面 (NOR 電路) 和 SSTL 介面 (差動放大器)。當該半導體記憶裝置被設定在用以抑制消耗電流之模態 (自行複製模態) 時，使用 LVTTL 介面用來從外部取入信號。另外，在自行復置模態以外之模態時，使用 SSTL 介面用來從外部取入信號。使用這種方式，在特定之模態可以抑制電流。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種半導體記憶裝置，其特徵是具備有：

模態檢測裝置(124)，用來回應從外部輸入之模態指定信號，經由檢測特定模態之被指定，藉以輸出與檢測結果對應之模態觸發信號；

輸入端子，用來接受傳送自外部之輸入信號，在上述之特定之模態時為第1電位位準之信號，在上述之特定模態以外之模態時為在第2電位位準重疊小振幅邏輯信號之信號；和

內部電路，在回應上述之輸入信號時進行動作；和
更具備有：

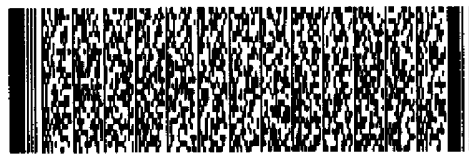
第1介面裝置(1, 3)，在上述之特定模態時進行活性化，根據從上述之輸入端子輸入之上述輸入信號之電位位準和臨界值之比較，用來判定上述之輸入信號之邏輯位準，藉以將依照判定結果之內部信號輸出到上述之內部電路；和

第2介面裝置(2, 4)，在上述之特定模態以外之模態進行活性化，根據從上述之輸入端子輸入之上述輸入信號之電位位準和上述之第2電位位準之比較，用來判定上述輸入信號之邏輯位準，藉以將依照判定結果之內部信號輸出到上述之內部電路。

2. 如申請專利範圍第1項之半導體記憶裝置，其中
更包含有：

記憶單元陣列(126)，含有多個記憶單元被配置成行列狀；和

位址產生裝置(125)，在回應上述模態檢測裝置之檢測



六、申請專利範圍

結果時，用來指定上述記憶單元陣列之上述記憶單元，藉以產生內部位址信號；

上述之特定模態是自行復置模態，在回應上述之位址產生裝置(125)所產生之上述內部位址信號時，用來使上述記憶單元之資料進行復置。

3. 如申請專利範圍第1項之半導體記憶裝置，其中上述之第1介面裝置(1)由NOR電路構成。

4. 如申請專利範圍第2項之半導體記憶裝置，其中上述之第1介面裝置由NAND電路(3)構成。

5. 如申請專利範圍第2項之半導體記憶裝置，其中上述之第2介面裝置(2, 4)由差動放大器構成，用來對上述之第2電位位準和上述之輸入信號之電位差進行放大。

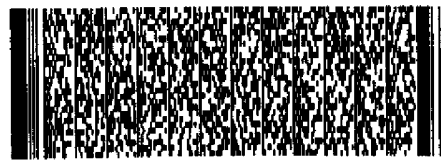
6. 如申請專利範圍第3項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時是L位準之活性狀態；

上述之第1介面裝置(1)包含有：

第1P通道MOS電晶體(PLT1)，以其一方之導通端子連接到電源電位；

第2P通道型MOS電晶體(PLT2)，以其一方之導通端子連接到上述之第1P通道型MOS電晶體(PLT1)之另外一方之導通端子；和

第1N通道型MOS電晶體(NLT1)和第2N通道型MOS電晶體(NLT2)，並聯連接在上述之第2P通道型MOS電晶體(PLT2)之另外一方之導通端子和接地電位之間；



六、申請專利範圍

上述之第1P通道型MOS電晶體(PLT1)和上述之第2N通道型MOS電晶體(NLT2)之各個之閘極電極用來接受上述之模態觸發信號；

上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之各個之閘極電極用來接受上述之輸入信號；和

從上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之連接節點輸出上述之內部信號。

7. 如申請專利範圍第4項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；

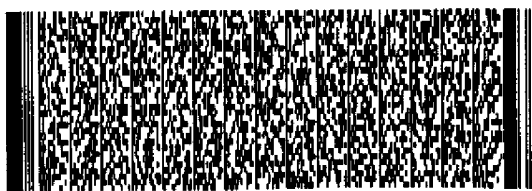
上述之第1介面裝置(3)包含有：

第1P通道型MOS電晶體(PLT3)和第2P通道型MOS電晶體(PLT4)，分別以其一方之導通端子連接到電源電位；和

第1N通道型MOS電晶體(NLT3)和第2N通道型MOS電晶體(NLT4)，串聯連接在上述之第1P通道型MOS電晶體(PLT3)和上述之第2P通道型MOS電晶體(PLT4)之各個之另外一方導通端子和接地電位之間；

上述之第2P通道型MOS電晶體(PLT4)和上述之第2N通道型MOS電晶體(NLT4)之各個之閘極電極，用來接受使上述之模態觸發信號之反相信號；

上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之各個之閘極電極，用來接受上述之輸入信號；和



六、申請專利範圍

從上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之連接節點輸出上述之內部信號。

8. 如申請專利範圍第5項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；

上述之第2介面裝置(2)包含有：

第1P通道型MOS電晶體(PST1)和第2P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第1N通道型MOS電晶體(NST1)，以其一方之導通端子連接到上述之第1P通道型MOS電晶體(PST1)之另外一方之導通端子；

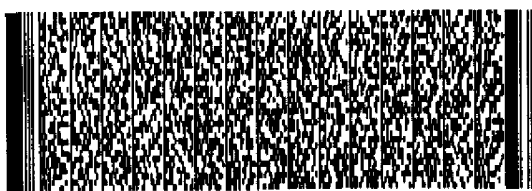
第2N通道型MOS電晶體(NST2)，以其一方之導通端子連接到上述之第2P通道型MOS電晶體(PST2)之另外一方之導通端子；和

第3N通道型MOS電晶體(NST3)，連接在上述之第1N通道型MOS電晶體(NST1)和上述之第2N通道型MOS電晶體(NST2)之各個之另外一方之導通端子和接地電位之間；

上述之第1P通道型MOS電晶體(PST1)和上述之第2P通道型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第1P通道型MOS電晶體(PST1)和上述之第1N通道型MOS電晶體(NST1)之連接節點；

上述之第3N通道型MOS電晶體(NST3)之閘極電極用來接受上述之模態觸發信號；

上述之第1N通道型MOS電晶體(NST1)之閘極電極用來接



六、申請專利範圍

受上述之第2電位位準之基準電位；

上述之第2N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；和

從上述之第2P通道型MOS電晶體(PST2)和上述之第2N通道型MOS電晶體(NST2)之連接節點輸出上述之內部信號。

9. 如申請專利範圍第5項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態，

上述之第2介面裝置(4)包含有：

第1P通道型MOS電晶體(PST1)和第2通道型MOS電晶體(PST2)，分別以一方之導通端子連接到電源電位；

第1N通道型MOS電晶體(NST1)，連接在上述之第1P通道型MOS電晶體(PST1)之另外一方之導通端子和接地電位之間；

第2N通道型MOS電晶體(NST2)，連接在上述之第2P通道型MOS電晶體(PST2)之另外一方之導通端子和接地電位之間；和

第3P通道型MOS電晶體(PST3)，連接在上述之第1P通道型MOS電晶體(PST1)和上述之第2P通道型MOS電晶體(PST2)之各個之另外一方導通端子和電源電位之間；

上述之第1P通道型MOS電晶體(PST1)和上述之第2P通道型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第1P通道型MOS電晶體(PST1)和上述之第1N通道型MOS電晶體(NST1)之連接節點；



六、申請專利範圍

上述之第3P通道型MOS電晶體(PST3)之閘極電極用來接受上述之模態觸發信號之反相之信號；

上述之第1N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；

上述之第2N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第2P通道型MOS電晶體(PST2)和上述之第2N通道型MOS電晶體(NST2)之連接節點輸出上述之內部信號。

10. 如申請專利範圍第2項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；

上述之第1介面裝置(1)包含有：

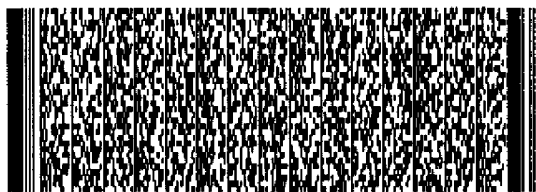
第1P通道型MOS電晶體(PLT1)，以其一方之導通端子連接到電源電位；

第2P通道型MOS電晶體(PLT2)，以其一方之導通端子連接到上述之第1P通道型MOS電晶體(PLT1)之另外一方之導通端子；和

第1N通道型MOS電晶體(NLT1)和第2N通道型MOS電晶體(NLT2)，並聯連接在上述之第2P通道型MOS電晶體(PLT2)之另外一方之導通端子和接地電位之間；

上述之第1P通道型MOS電晶體(PLT1)和上述之第2N通道型MOS電晶體(NLT2)之各個之閘極電極，用來接受上述之模態觸發信號；

上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道



六、申請專利範圍

型MOS電晶體(NLT1)之各個之閘極電極，用來接受上述之輸入信號；和

從上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之連接節點輸出上述之內部信號；
上述之第2介面裝置(2)包含有：

第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第3N通道型MOS電晶體，以其一方之導通端子和上述之第3P通道型MOS電晶體(PST1)之另外一方之導通端子連接；

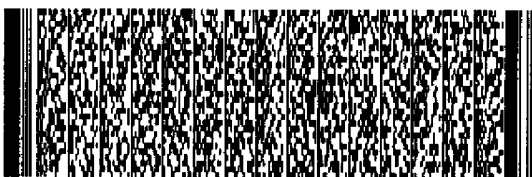
第4N通道型MOS電晶體，以其一方之導通端子和上述之第4P通道型MOS電晶體(PST2)之另外一方之導通端子連接；和

第5N通道型MOS電晶體(NST3)，連接在上述之第3N通道型MOS電晶體(NST1)和上述之第4N通道型MOS電晶體之各個之另外一方導通端子和接地電位之間；

上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個閘極電極，連接到上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

上述之第5N通道型MOS電晶體(NST3)之閘極電極用來接受上述之模態觸發信號；

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；



六、申請專利範圍

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；和

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接節點，輸出上述之內部信號。

11. 如申請專利範圍第2項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；

上述之第1介面裝置(3)包含有：

第1P通道型MOS電晶體(PLT3)和第2P通道型MOS電晶體(PLT4)，分別以其一方之導通端子連接到電源電位；和

第1N通道型MOS電晶體(NLT3)和第2N通道型MOS電晶體(NLT4)，串聯連接在上述之第1P通道型MOS電晶體(PLT3)和上述之第2P通道型MOS電晶體(PLT4)之各個之另外一方導通端子和接地電位之間；

上述之第2P通道型MOS電晶體(PLT4)和上述之第2N通道型MOS電晶體(NLT4)之各個之閘極電極，用來接受上述之模態觸發信號之反相信號；

上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之各個之閘極電極，用來接受上述之輸入信號；

從上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之連接節點，輸出上述之內部信號；



六、申請專利範圍

上述之第2介面裝置(2)包含有：

第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第3N通道型MOS電晶體(NST1)，以其一方之導通端子與上述之第3P通道型MOS電晶體(PST2)之另外一方之導通端子連接；和

第4N通道型MOS電晶體(NST2)，以其一方之導通端子與上述之第4P通道型MOS電晶體(PST2)之另外一方之導通端子連接；

第5N通道型MOS電晶體(NST3)，連接在上述之第3N通道型MOS電晶體(NST1)和上述之第4N通道型MOS電晶體(NST2)之各個之另外一方之導通端子和接地電位之間；

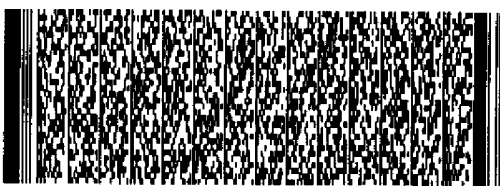
上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之閘極電極，連接在上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

上述之第5N通道型MOS電晶體(NST3)之閘極電極用來接受上述之模態觸發信號；

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接點輸出上述之內部信號。



六、申請專利範圍

12. 如申請專利範圍第2項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；

上述之第1介面裝置(1)包含有：

第1P通道MOS電晶體(PLT1)，以其一方之導通端子連接到電源電位；

第2P通道型MOS電晶體(PLT2)，以其一方之導通端子連接到上述之第1P通道型MOS電晶體(PLT1)之另外一方之導通端子；和

第1N通道型MOS電晶體(NLT1)和第2N通道型MOS電晶體(NLT2)，並聯連接在上述之第2P通道型MOS電晶體(PLT2)之另外一方之導通端子和接地電位之間；

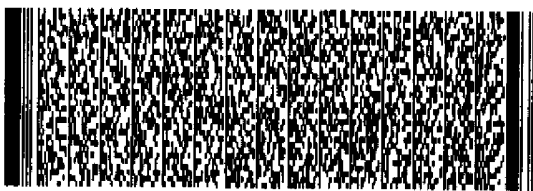
上述之第1P通道型MOS電晶體(PLT1)和上述之第2N通道型MOS電晶體(NLT2)之各個之閘極電極，用來接受上述之模態觸發信號；

上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之各個之閘極電極，用來接受上述之輸入信號；

從上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之連接節點，輸出上述之內部信號；

上述之第2介面裝置(4)包含有：

第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；



六、申請專利範圍

第3N通道型MOS電晶體(NST1)，連接在上述之第3P通道型MOS電晶體(PST1)之另外一方之導通端子和接地電位之間；

第4N通道型MOS電晶體(NST2)，連接在上述之第4P通道型MOS電晶體(PST2)之另外一方之導通端子和接地電位之間；和

第5P通道型MOS電晶體(PST3)，連接在上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之另外一方導通端子和電源電位之間；

上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

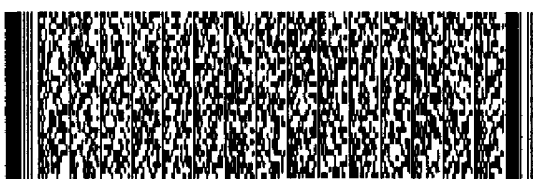
上述之第5P通道型MOS電晶體(PST3)之閘極電極用來接受上述之模態觸發信號之反相信號；

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2位準之基準電位；

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接節點輸出上述之內部信號。

13. 如申請專利範圍第2項之半導體記憶裝置，其中上述之模態觸發信號在上述之自行復置模態時變成L位準之活性狀態；



六、申請專利範圍

上述之第1介面裝置(3)包含有：

第1P通道型MOS電晶體(PLT3)和第2P通道型MOS電晶體(PLT4)，分別以其一方之導通端子連接到電源電位；和

第1N通道型MOS電晶體(NLT3)和第2N通道型MOS電晶體(NLT4)，串聯連接在上述之第1P通道型MOS電晶體(PLT3)和上述之第2P通道型MOS電晶體(PLT4)之各個之另外一方導通端子和接地電位之間；

上述之第2P通道型MOS電晶體(PLT4)和上述之第2N通道型MOS電晶體(NLT4)之各個之閘極電極，用來接受上述之模態觸發信號之反相信號；

上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之各個之閘極電極，用來接受上述之輸入信號；

從上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之連接節點輸出上述之內部信號；

上述之第2介面裝置(4)包含有：

第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第3N通道型MOS電晶體(NST1)，連接在上述之第3P通道型MOS電晶體(PST1)之另外一方導通端子和接地電位之間；

第4N通道型MOS電晶體(NST2)，連接在上述之第4P通道型MOS電晶體(PST2)之另外一方之導通端子和接地電位之間；和



六、申請專利範圍

第5P通道型MOS電晶體(PST3)，連接在上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之另外一方導通端子和電源電位之間；

上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

上述之第5P通道型MOS電晶體(PST3)之閘極電極用來接受上述之模態觸發信號之反相信號；

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接節點輸出上述之內部信號。

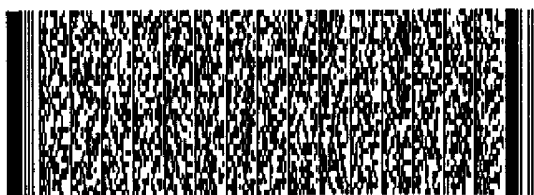
14. 如申請專利範圍第1項之半導體記憶裝置，其中上述之模態觸發信號在特定之模態時變成L位準之活性狀態；

上述之第1介面裝置(1)包含有：

第1P通道型MOS電晶體(PLT1)，以其一方之導通端子連接到電源電位；

第2P通道型MOS電晶體(PLT2)，以其一方之導通端子連接到上述之第1P通道型MOS電晶體(PLT1)之另外一方之導通端子；和

第1N通道型MOS電晶體(NLT1)和第2N通道型MOS電晶體



六、申請專利範圍

(NLT2)，並聯連接在上述之第2P通道型MOS電晶體(PLT2)之另外一方之導通端子和接地電位之間；

上述之第1P通道型MOS電晶體(PLT1)和上述之第2N通道型MOS電晶體(NLT2)之各個之閘極電極，用來接受上述之模態觸發信號；

上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之各個之閘極電極，用來接受上述之輸入信號；

從上述之第2P通道型MOS電晶體(PLT2)和上述之第1N通道型MOS電晶體(NLT1)之連接節點，輸出上述之內部信號；

上述之第2介面裝置(2)包含有：

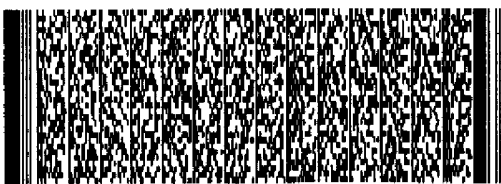
第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第3N通道型MOS電晶體(NST1)，以其一方之導通端子連接到上述之第3P通道型MOS電晶體(PST1)之另外一方之導通端子；

第4N通道型MOS電晶體(NST2)，以其一方之導通端子連接到上述之第4P通道型MOS電晶體(PST2)之另外一方之導通端子；和

第5N通道型MOS電晶體(NST3)，連接在上述之第3N通道型MOS電晶體(NST1)和上述之第4N通道型MOS電晶體(NST2)之各個之另外一方導通端子和接地電位之間；

上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道



六、申請專利範圍

型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

上述之第5N通道型MOS電晶體(NST3)之閘極電極用來接受上述之模態觸發信號；

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接節點，輸出上述之內部信號。

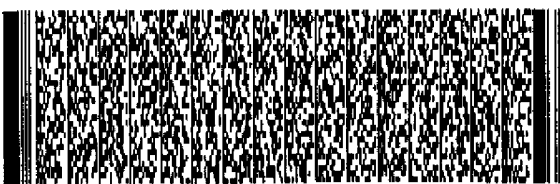
15. 如申請專利範圍第1項之半導體記憶裝置，其中上述之模態觸發信號在上述之特定模態時變成L位準之活性狀態；

上述之第1介面裝置(3)包含有：

第1P通道型MOS電晶體(PLT3)和第2P通道型MOS電晶體(PLT4)，分別以其一方之導通端子連接到電源電位；和

第1N通道型MOS電晶體(NLT3)第2N通道型MOS電晶體(NLT4)，串聯連接在上述之第1P通道型MOS電晶體(PLT3)和上述之第2P通道型MOS電晶體(PLT4)之各個之另外一方導通端子和接地電位之間；

上述之第2P通道型MOS電晶體(PLT4)和上述之第2N通道型MOS電晶體(NLT4)之各個之閘極電極，用來接受上述之



六、申請專利範圍

模態觸發信號之反相信號；

上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之各個之閘極電極，用來接受上述之輸入信號；

從上述之第1P通道型MOS電晶體(PLT3)和上述之第1N通道型MOS電晶體(NLT3)之連接節點，輸出上述之內部信號；

上述之第2反相器裝置(4)包含有：

第3P通道型MOS電晶體(PST1)和第4P通道型MOS電晶體(PST2)，分別以其一方之導通端子連接到電源電位；

第3N通道型MOS電晶體(NST1)，連接在上述之第3P通道型MOS電晶體(PST1)之另外一方之導通端子和接地電位之間；

第4N通道型MOS電晶體(NST2)，連接在上述之第4P通道型MOS電晶體之另外一方之導通端子和接地電位之間；和

第5P通道型MOS電晶體(PST3)，連接在上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之另外一方導通端子和電源電位之間；

上述之第3P通道型MOS電晶體(PST1)和上述之第4P通道型MOS電晶體(PST2)之各個之閘極電極，連接到上述之第3P通道型MOS電晶體(PST1)和上述之第3N通道型MOS電晶體(NST1)之連接節點；

上述之第5P通道型MOS電晶體(PST3)之閘極電極用來接受上述之模態觸發信號之反相信號；



六、申請專利範圍

上述之第3N通道型MOS電晶體(NST1)之閘極電極用來接受上述之第2電位位準之基準電位；

上述之第4N通道型MOS電晶體(NST2)之閘極電極用來接受上述之輸入信號；

從上述之第4P通道型MOS電晶體(PST2)和上述之第4N通道型MOS電晶體(NST2)之連接節點，輸出上述之內部信號。



圖 1

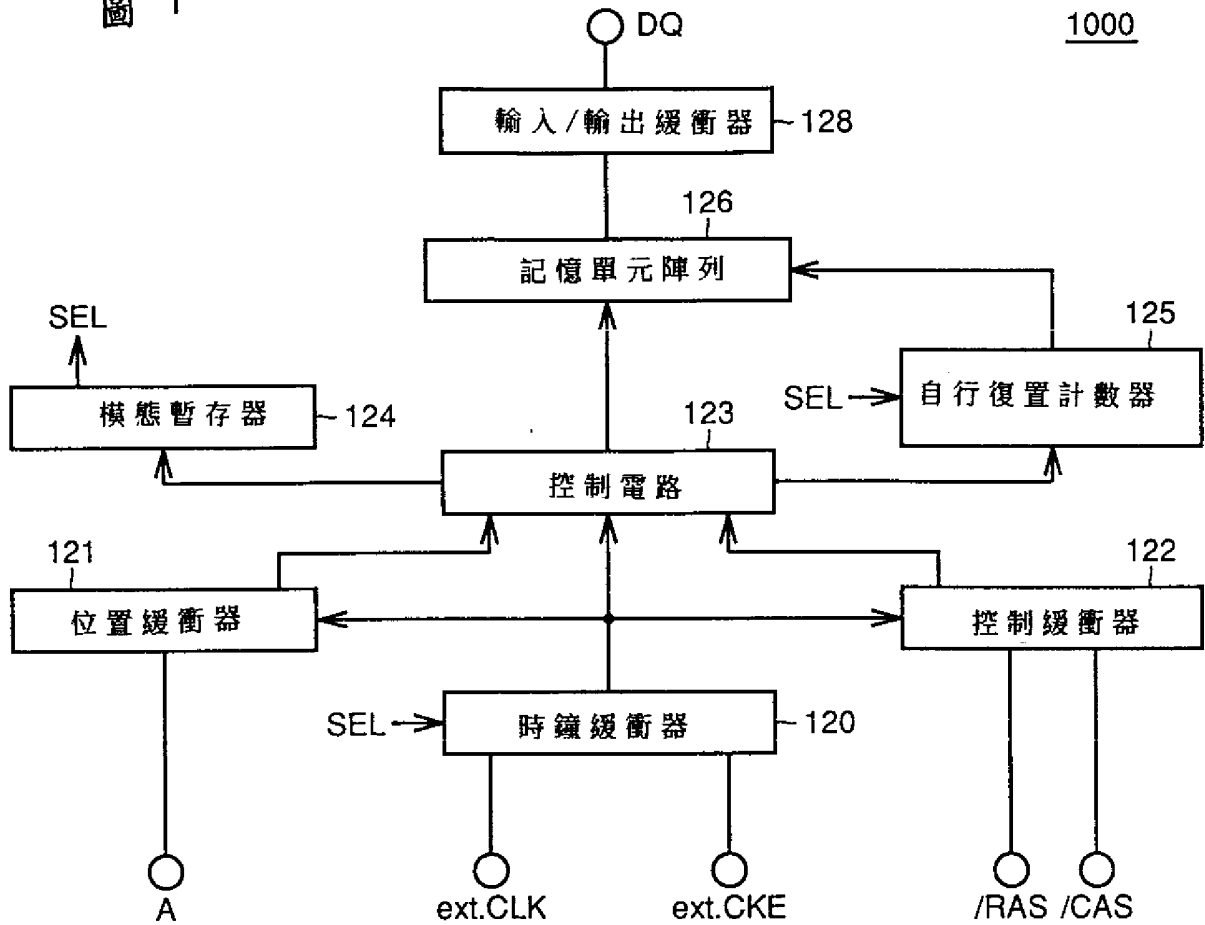


圖 2

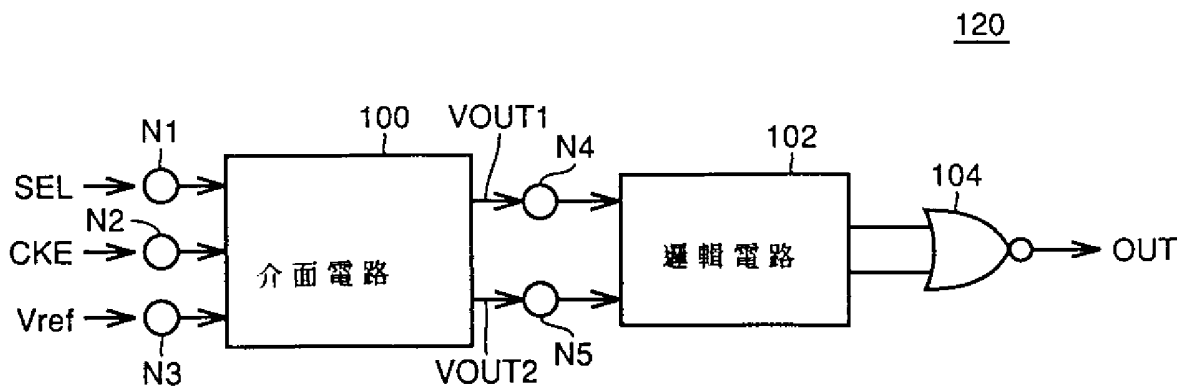


圖 3

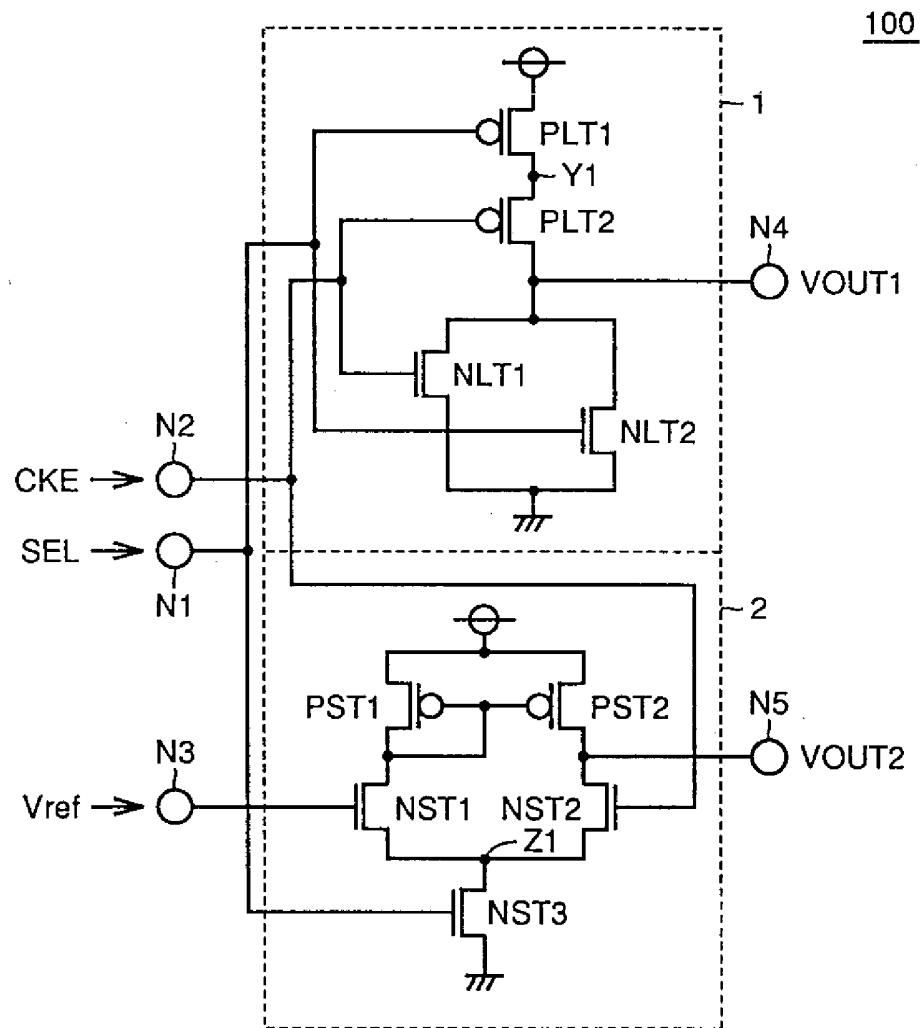


圖 4A SEL

圖 4B 節點 N1

圖 4C Vref

圖 4D 節點 Y1

圖 4E 節點 Z1

圖 4F CKE

圖 4G VOUT1

圖 4H VOUT2

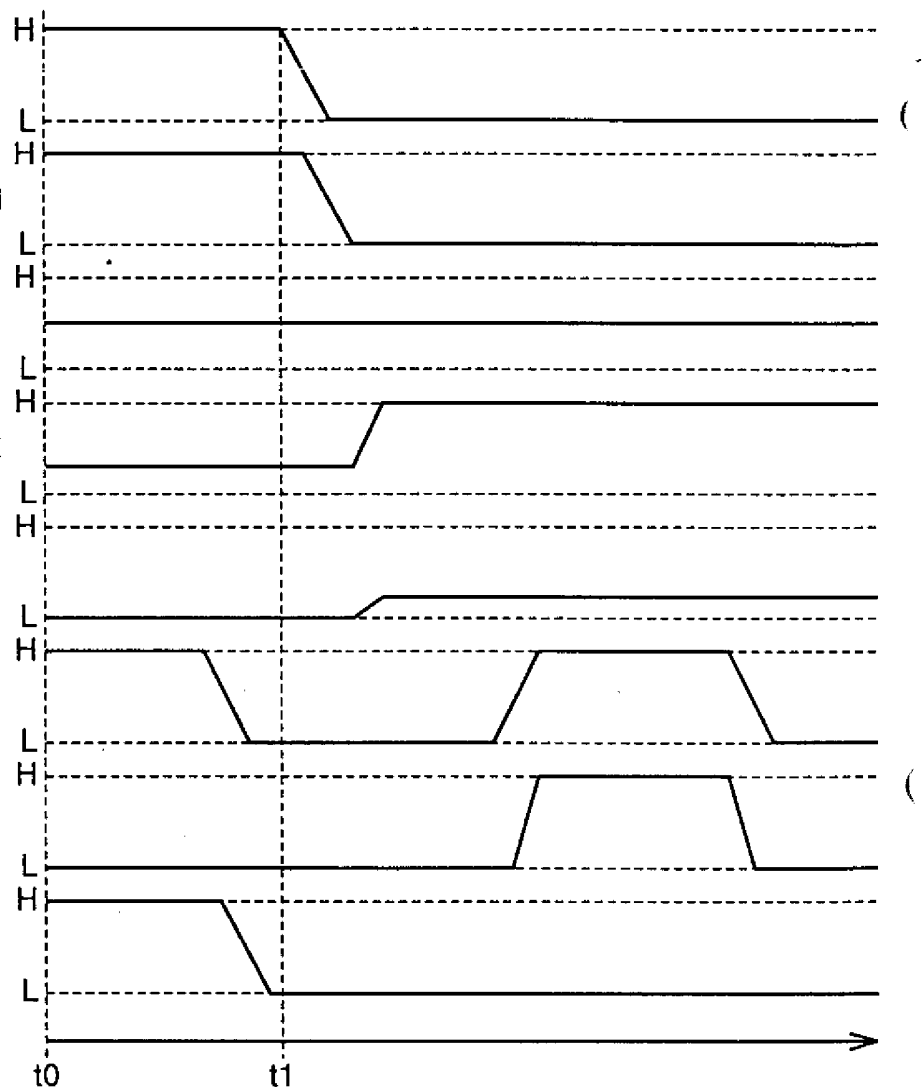
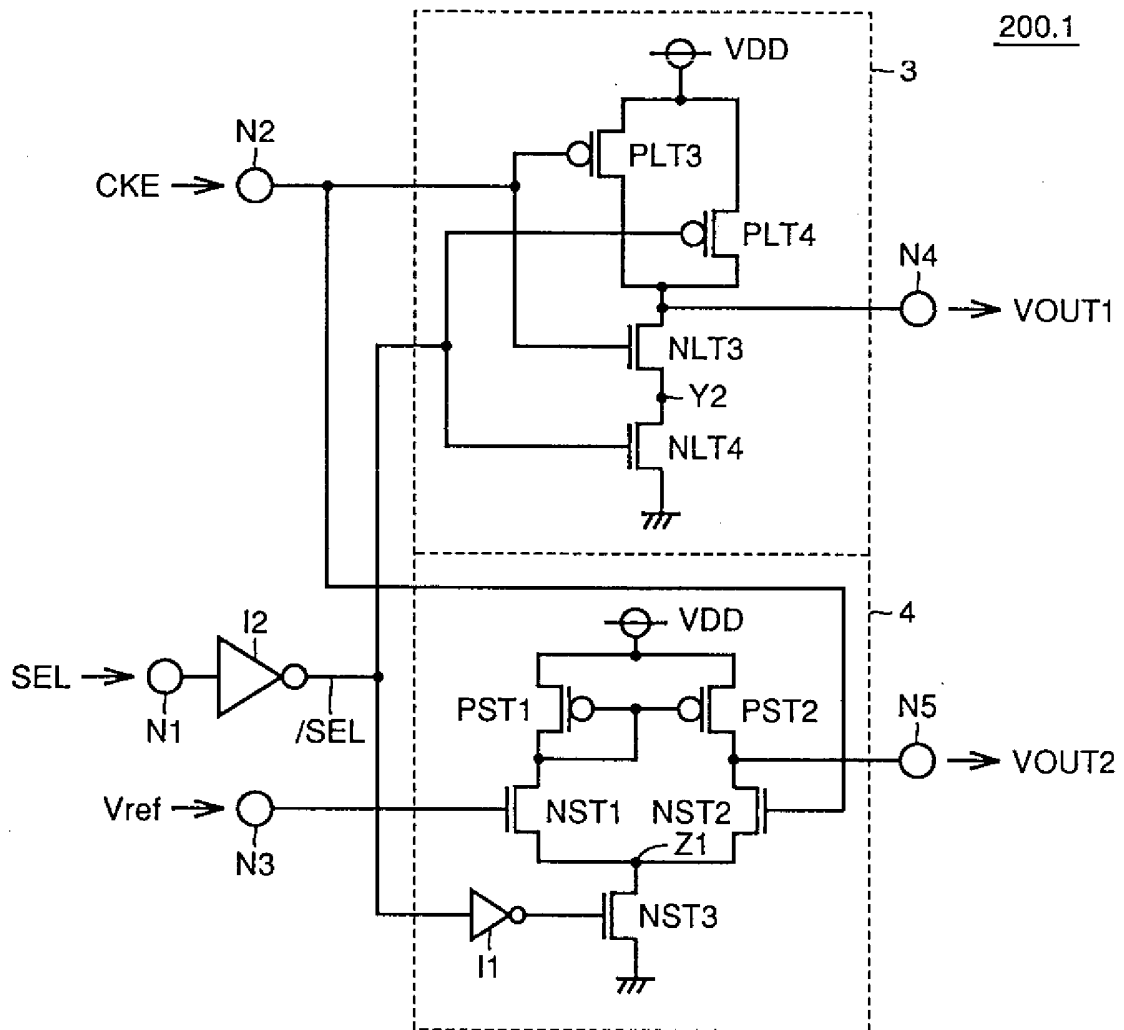
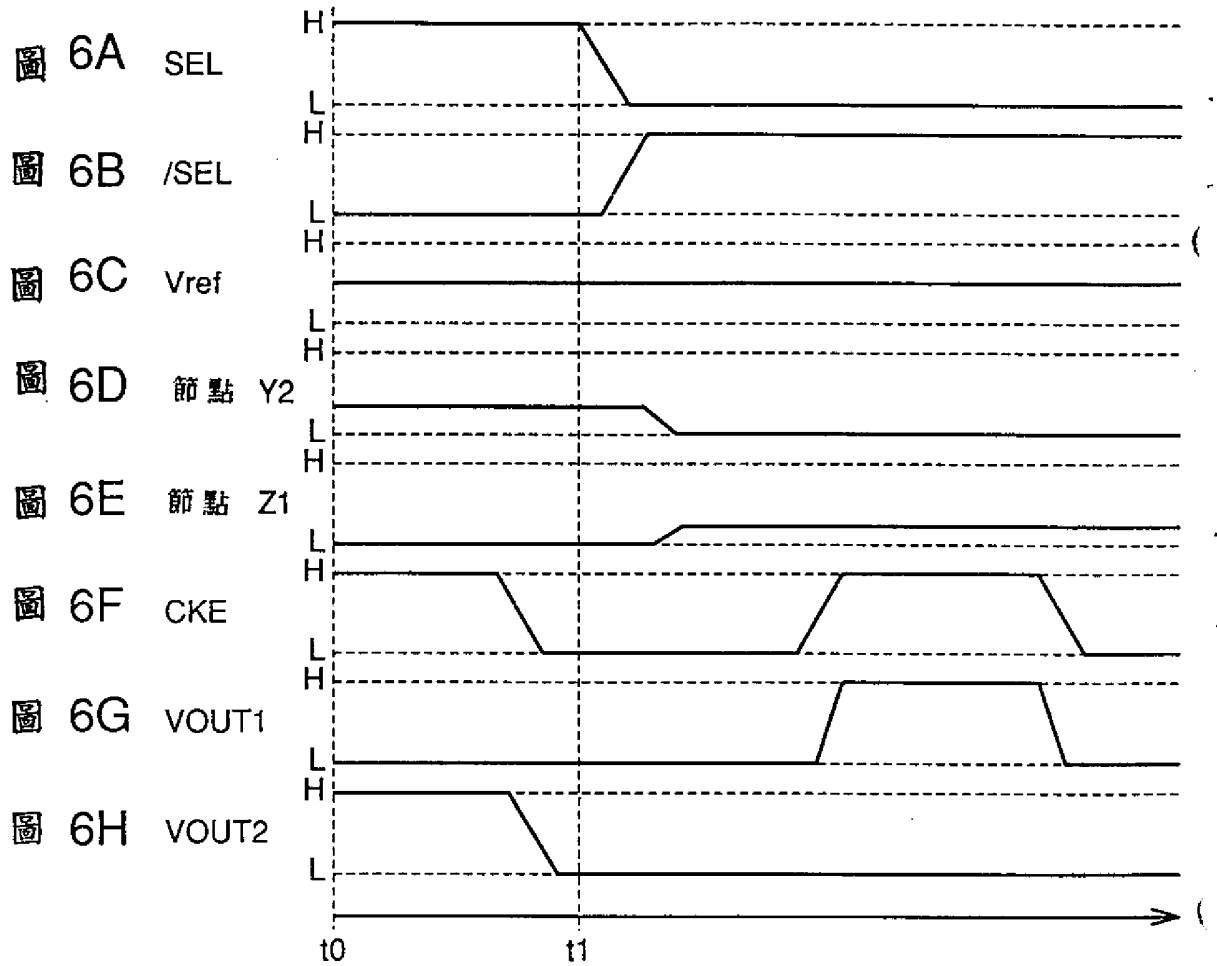


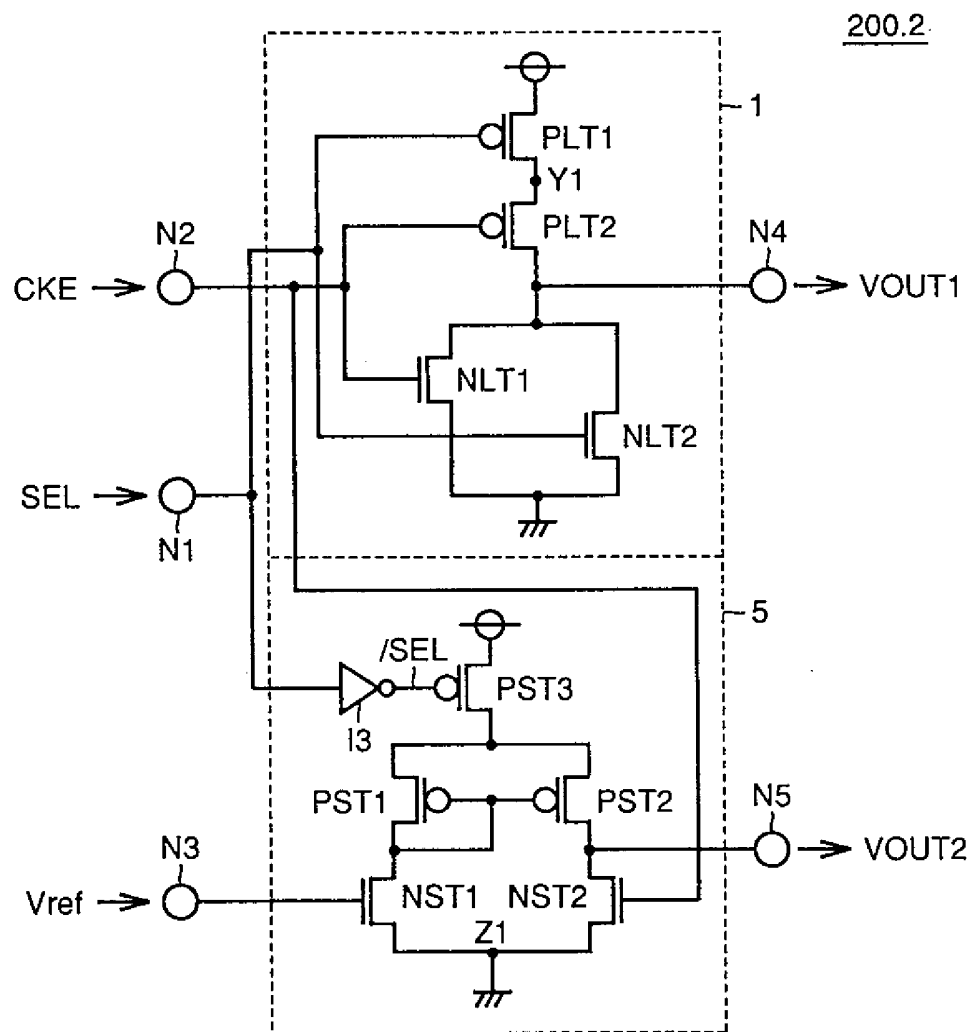
圖 5

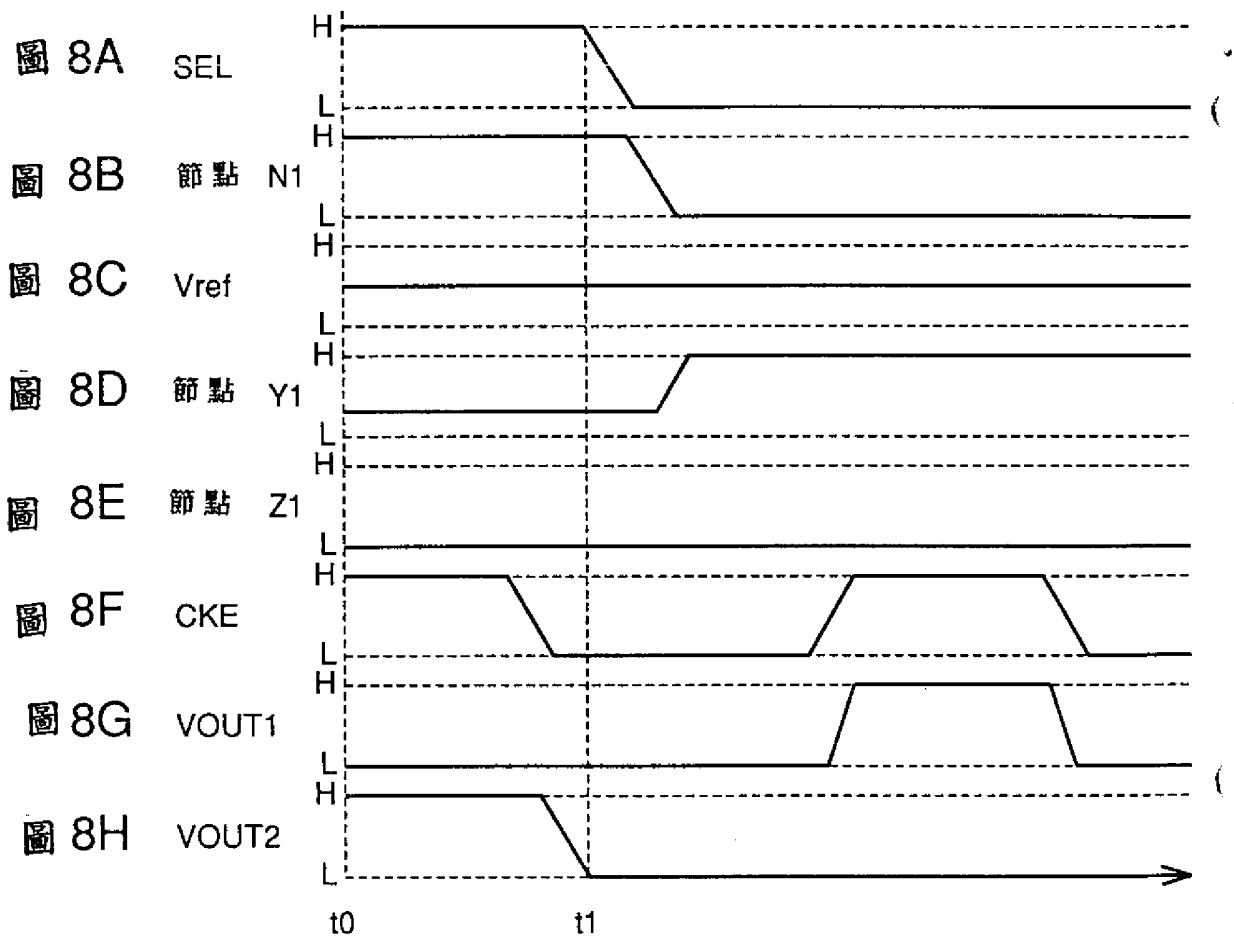


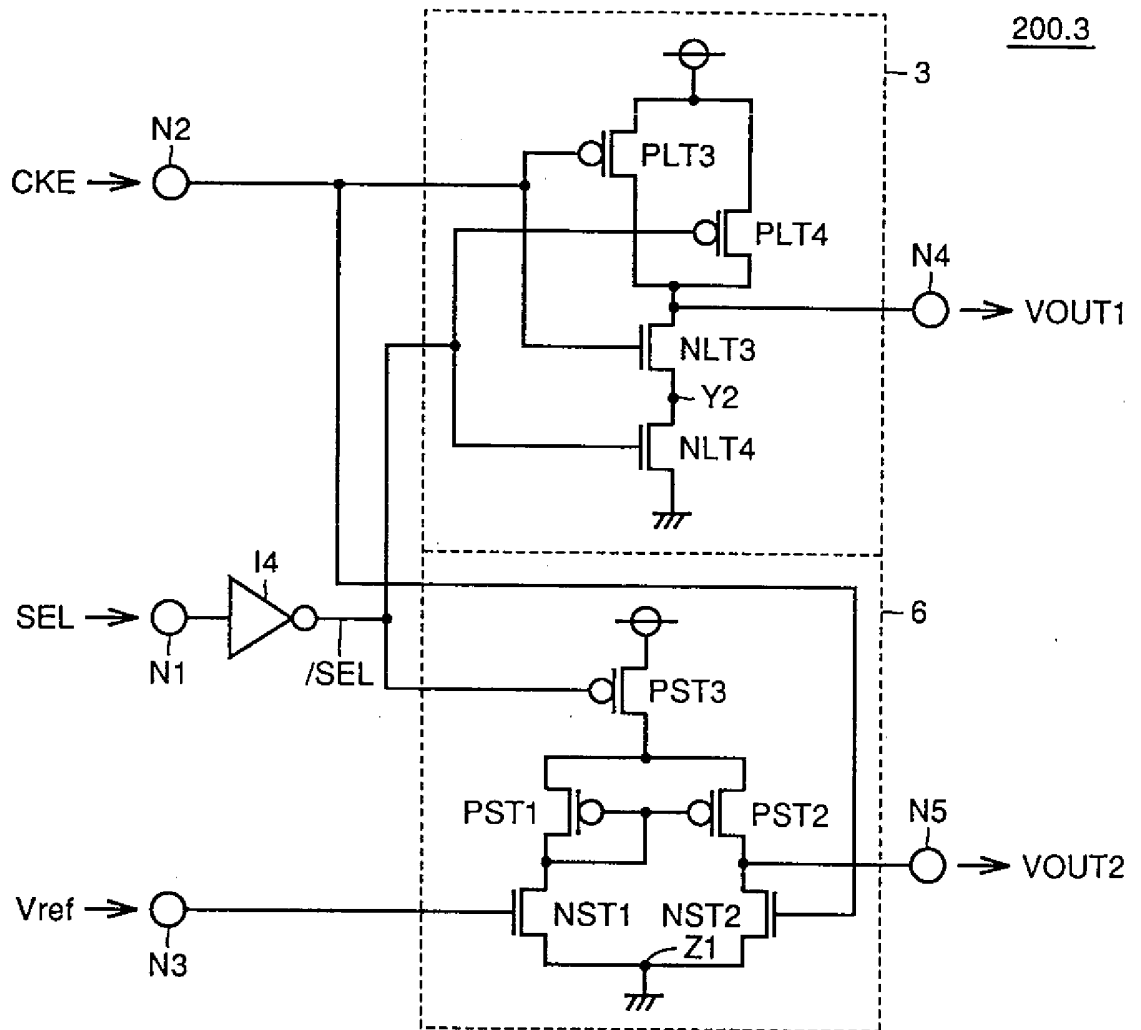


409461

圖 7







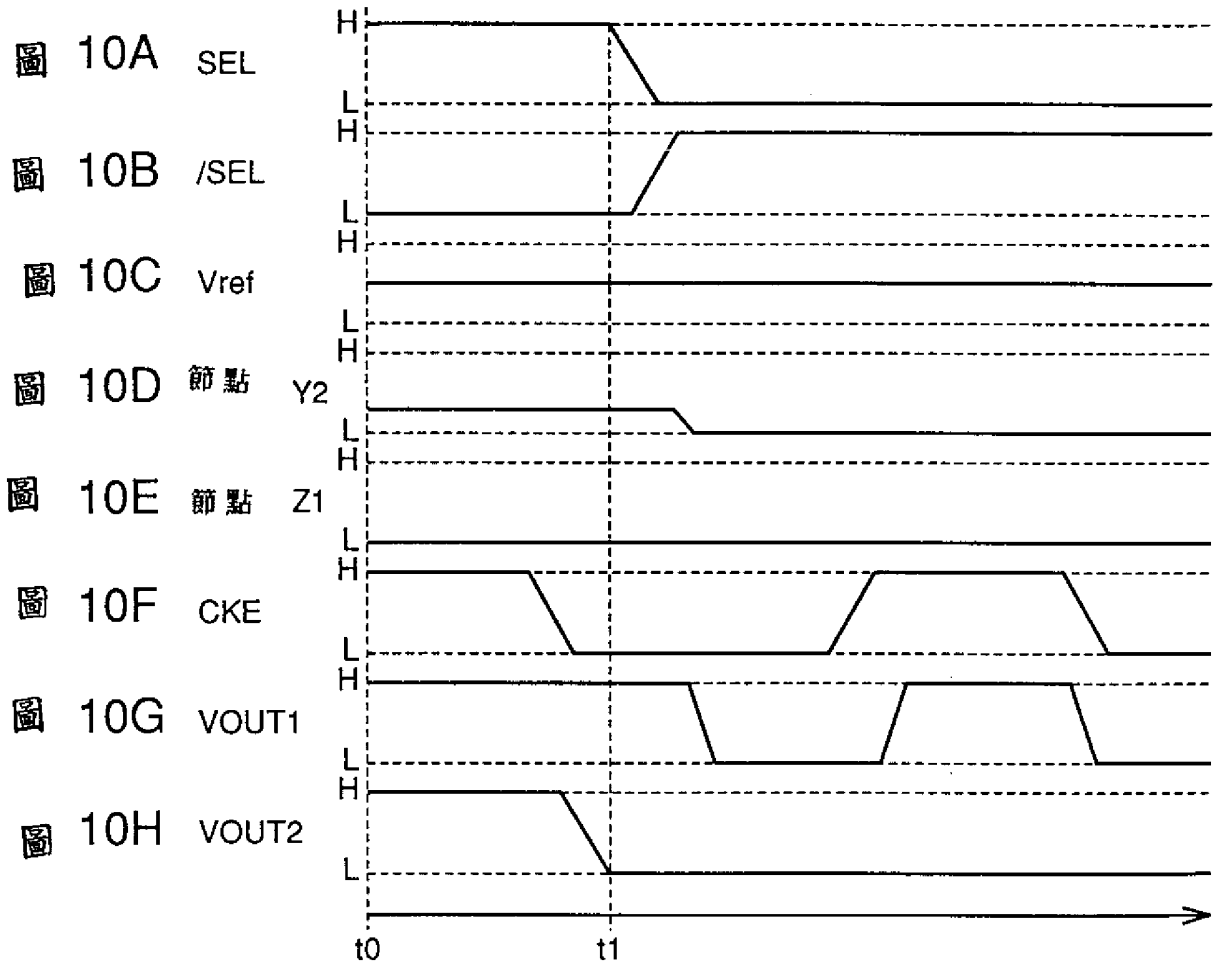


圖 11

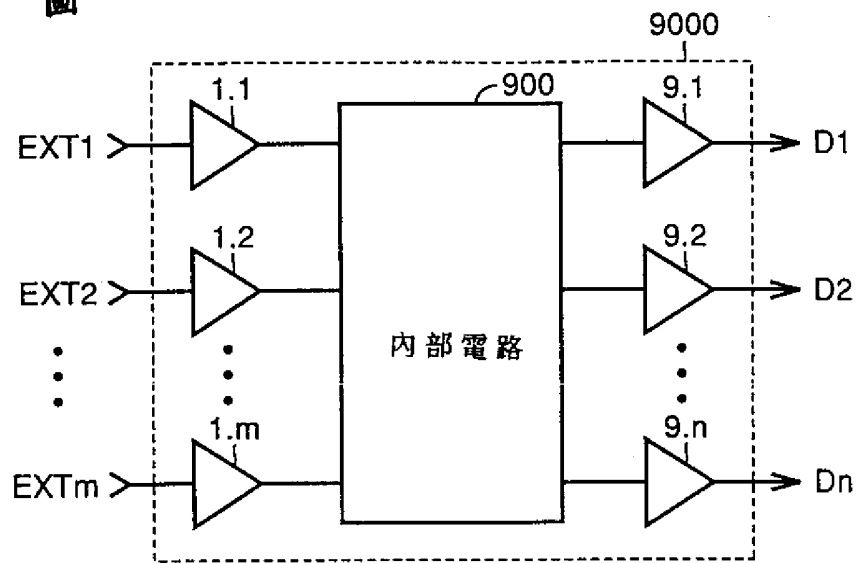


圖 12

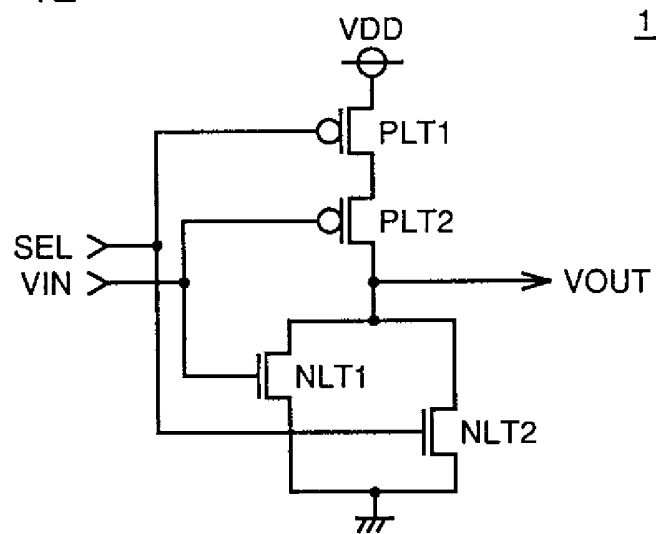


圖 13

