

新型專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95201456

※ 申請日期：95.1.23

※IPC 分類：G06F7/00

一、新型名稱：(中文/英文)

非揮發性記憶體資料讀寫控制裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

創惟科技股份有限公司

代表人：(中文/英文) 王國肇

住居所或營業所地址：(中文/英文)

台北縣新店市北新路三段 205 號 12 樓至 14 樓

國 籍：(中文/英文) 中華民國

三、創作人：(共 1 人)

姓 名：(中文/英文)

林志榮

國 籍：(中文/英文) 中華民國

四、聲明事項：

☐ 主張專利法第九十四條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第一百零八條準用第二十七條第一項國際優先權：

☐ 無主張專利法第一百零八條準用第二十七條第一項國際優先權：

☐ 主張專利法第一百零八條準用第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

八、新型說明：

【新型所屬之技術領域】

本創作係有關於一種非揮發性記憶體資料讀寫控制裝置，尤指一種應用於如快閃記憶體之發揮發性記憶體資料讀寫，及可直接由單一記憶體控制器控制非揮發性記憶體資料讀寫之裝置。

【先前技術】

按，非揮發性記憶體廣泛使用於電腦主機或消費性電子產品中，例如：習知隨身碟、MP3 播放器中之快閃記憶體，即為最常見之非揮發性記憶體應用場合，然而，習知之非揮發性記憶體資料讀寫控制模式，如第一圖所示，係包括一微控制器 A1、一第一匯流排控制器 A2 及第二匯流排控制器 A3，其中，該微控制器 A1 以一第一匯流排 B1 連結至該第一匯流排控制器 A2，該第一匯流排 B1 為位址、資料匯流排，且該第一匯流排控制器 A2 再以一第二匯流排 B2 連結至第二匯流排控制器 A3，該第二匯流排 B2 為 USB、IDE 等不同種類之匯流排，該第二匯流排控制器 A3 再以一第三匯流排 B3 連結至一非揮發性記憶體 A4，該第三匯流排 B3 為對等於第二匯流排 B2 之 USB、IDE 等不同種類之匯流排，而藉由該微控制器 A1、一第一匯流排控制器 A2 及第二匯流排控制器 A3、第一匯流排 B1、第二匯流排 B2 及第三匯流排 B3 共同形成非揮發性記憶體 A4 之資料讀寫控制結構，使微控制器 A1 透過一第一匯流排控制器 A2 及第二匯流排控制器 A3、第一匯流排 B1、第二匯流排 B2 及第三匯流排 B3 層層連結及資料傳遞來控制該非揮發性記憶體 A4 之資料讀寫。

上述第一圖所示習知之非揮發性記憶體 A4 之資料讀寫控制結構，於實際操作應用上，必需經過由該微控制器 A1、一第一匯流排控制器 A2 及第二匯流排控制器 A3、第一匯流排 B1、第二匯流排 B2 及第三匯流排 B3 等多層線路之連結及多層介面轉換，無法使該微控制器 A1 與非揮發性記憶體 A4 間以最為簡單直接之介面予以連結及作資料讀寫控

制，對於非揮發性記憶體 A4 之資料讀寫控制而言，將造成嚴重之時間延遲、等待之缺點，並且，使用該微控制器 A1、一第一匯流排控制器 A2 及第二匯流排控制器 A3 等多個控制器與第一匯流排 B1、第二匯流排 B2 及第三匯流排 B3 等多個匯流排連結，將使整體線路結構變得複雜，產品製造成本偏高，且該資料讀寫之緩衝及除錯無法一次完成，更增加資料讀寫時之等待時間。

【新型內容】

緣此，本創作之主要目的，即是在提供一種非揮發性記憶體資料讀寫控制裝置，其中，具有一微控制器及至少一記憶體控制器，該微控制器藉由控制接腳、資料/位址匯流排與該記憶體控制器連結，該記憶體控制器藉由一非揮發性記憶體匯流排連結非揮發性記憶體，使該非揮發性記憶體之讀寫控制僅需透過微控制器及記憶體控制器來達成，可使線路之資料傳遞時間延遲因素消除，並使該線路結構變得精簡以降低產品之生產成本。

本創作之再一目的，即是在於提供一種非揮發性記憶體資料讀寫控制裝置，其中，該記憶體控制器包括一快閃記憶體控制器、先進先出緩衝單元及一除錯單元，該快閃記憶體控制器供作微控制器及非揮發性記憶體間之資料讀寫控制介面，使該微控制器可以最簡捷之結構進行非揮發性記憶體資料讀寫控制，且該先進先出緩衝單元及除錯單元提供該讀寫資料控制之緩衝暫存及除錯，可一次完成資料緩衝及除錯程序，使該資料讀寫控制之更加精準、迅速。

為達上述之目的，本創作之非揮發性記憶體資料讀寫控制裝置，係包含一微控制器及至少一記憶體控制器，其中，微控制器設有一資料/位址匯流排與若干控制接腳，該微控制器負責資料之讀寫控制，該記憶體控制器係包括一快閃記憶體控制器、先進先出緩衝單元及一除錯單元，該快閃記憶體控制器連結至微控制器之控制接腳、資料/位址匯流排，且該快閃記憶體控制器並以一非揮發性記憶體匯流排與該非揮發性

記憶體連結，使該快閃記憶體控制器得以作為微控制器與非揮發性記憶體間之資料讀寫轉換與控制介面，該先進先出緩衝單元連結該微控制器與除錯單元，以提供資料讀寫之緩衝暫存功能，該除錯單元連結該快閃記憶體控制器與非揮發性記憶體，以提供資料讀寫之除錯功能，藉以達成本創作可直對非揮發性記憶體作資料讀寫控制之功效。

【實施方式】

首先請參閱第一圖所示，本創作之非揮發性記憶體資料讀寫控制裝置 100 係包括一微控制器 10 及至少一記憶體控制器 20，其中，該微控制器 10 係設有一資料/位址匯流排 11 及若干控制訊號接腳 121~12N，該微控制器 10 具有資料讀寫控制功能，且微控制器 10 之型式不限，如為 8 位元、16 位元、32 位元或 64 位元之單晶片微控制器。

上述之記憶體控制器 20 具有資料讀寫控制介面功能，係連結上述微控制器 10 之資料/位址匯流排 11 及各控制訊號接腳 121~12N，且該記憶體控制器 20 並以一非揮發性記憶體匯流排 201 連結至一非揮發性記憶體 200，以使該記憶體控制器 20 可作為微控制器 10 與非揮發性記憶體 200 間之資料讀寫介面，使該微控制器 10 不必透過層層匯流排及介面轉換，即可直接由記憶體控制器 20 作為介面而由微控制器 10 控制該非揮發性記憶體之讀寫，且非揮發性記憶體 200 型式不限，在本創作中該非揮發性記憶體 200 係為快閃記憶體，其他等效之記憶體裝置當屬本創作之主張範疇。

請再配合第二圖所示，上述之記憶體控制器 20 型式不限，第二圖係本創作所列舉之較佳實施例之一，其餘等效之電路裝置或控制器，亦應屬本創作之主張範疇。其中，該記憶體控制器 20 係包括一快閃記憶體控制器 21、先進先出緩衝器 22 及除錯單元 23，其中，該快閃記憶體控制器 21 連結微控制器 10 之資料/位址匯流排 11 及各控制訊號接腳 12~12N 等 N 個控制訊號接腳，且該快閃記憶體控制器 21 並透過該非揮發性記憶體匯流 201 連結至該非揮發性記憶體 200，以使該快閃記憶體

控制器 21 作為微控制器 10 與非揮發性記憶體 200 間之資料讀寫控制介面。

該先進先出緩衝器 22 連結該快閃記憶體控制器 21 及資料/位址匯流排 11，以提供該微控制器 10 控制非揮發性記憶體 200 資料讀寫之緩衝暫存作用，如供下次非揮發性記憶體 200 資料讀寫直接使用，該除錯單元 23 連結先進先出緩衝器 22、快閃記憶體控制器 21 與非揮發性記憶體匯流排 201，以供作微控制器 10 控制非揮發性記憶體 200 資料讀寫之除錯功能，藉由上述之記憶體控制器 20 結構使該非揮發性記憶體 200 之資料讀寫控制、緩衝暫存及除錯等功能以單一裝置一次完成，以提昇非揮發性記憶體 200 資料讀寫控制之速度與效率。

在以上第一圖～第三圖中所示本創作非揮發性記憶體資料讀寫控制裝置，其中所揭示的相關說明及圖式，係僅為便於闡明本創作的技術內容及技術手段，所揭示較佳實施例之一隅，並不而限制其範疇，並且，舉凡針對本創作之細部結構修飾或元件之等效替代修飾，皆不脫本創作之創作精神及範疇，其範圍將由以下的申請專利範圍來界定之。

【圖式簡單說明】

第一圖係習知非揮發性記憶體之讀寫控制模組方塊圖；

第二圖係本創作之系統方塊電路圖；

第三圖係本創作之記憶體控制器之詳細電路圖。

【主要元件符號說明】

100 非揮發性記憶體資料讀寫控制裝置	10 微控制器
11 資料/位址匯流排	121～12N 控制訊號接腳
20 記憶體控制器	201 非揮發性記憶體匯流排
21 快閃記憶體控制器	22 先進先出緩衝器
23 除錯單元	200 非揮發性記憶體
A1 微控制器	A2 第一匯流排控制器
A3 第二匯流排控制器	A4 非揮發性記憶體

M298188

B1 第一匯流排

B2 第二匯流排

B3 第三匯流排

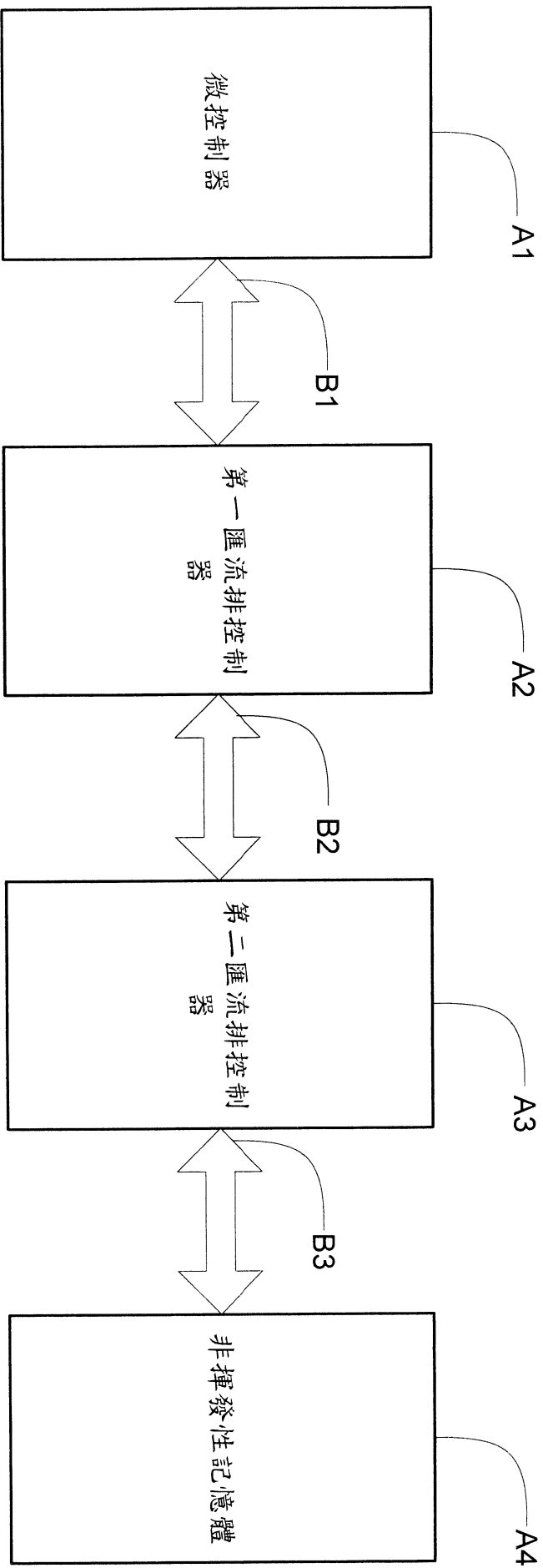
五、中文新型摘要：

一種非揮發性記憶體資料讀寫控制裝置，係包含一微控制器及至少一記憶體控制器，其中，微控制器設有一資料/位址匯流排與若干控制接腳，該微控制器負責資料之讀寫控制，該記憶體控制器係包括一快閃記憶體控制器、先進先出(FIFO)緩衝單元及一除錯(Error Correction)單元，該快閃記憶體控制器連結該微控制器之控制接腳、資料/位址匯流排，且該快閃記憶體控制器並以一非揮發性記憶體匯流排(NVM bus)與該非揮發性記憶體(Non-Volatile Memory,NVM)連結，使該快閃記憶體控制器得以作為微控制器與非揮發性記憶體間之資料讀寫轉換與控制介面，該先進先出緩衝單元連結該微控制器與除錯單元，以提供資料讀寫之緩衝暫存功能，該除錯單元連結該快閃記憶體控制器與非揮發性記憶體，以提供資料讀寫之除錯功能，藉以構成一可直對非揮發性記憶體作資料讀寫控制之裝置。

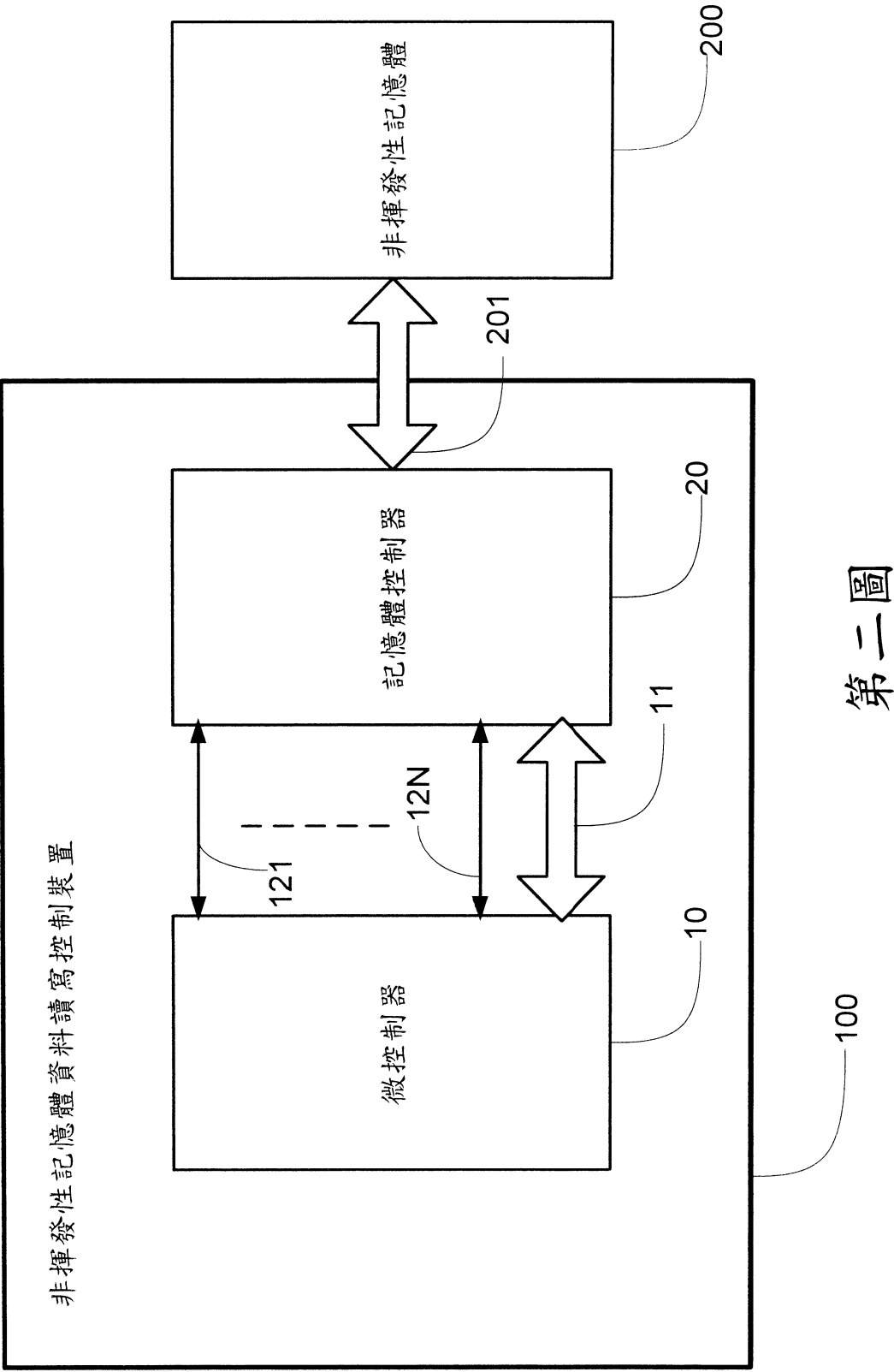
六、英文新型摘要：

九、申請專利範圍：

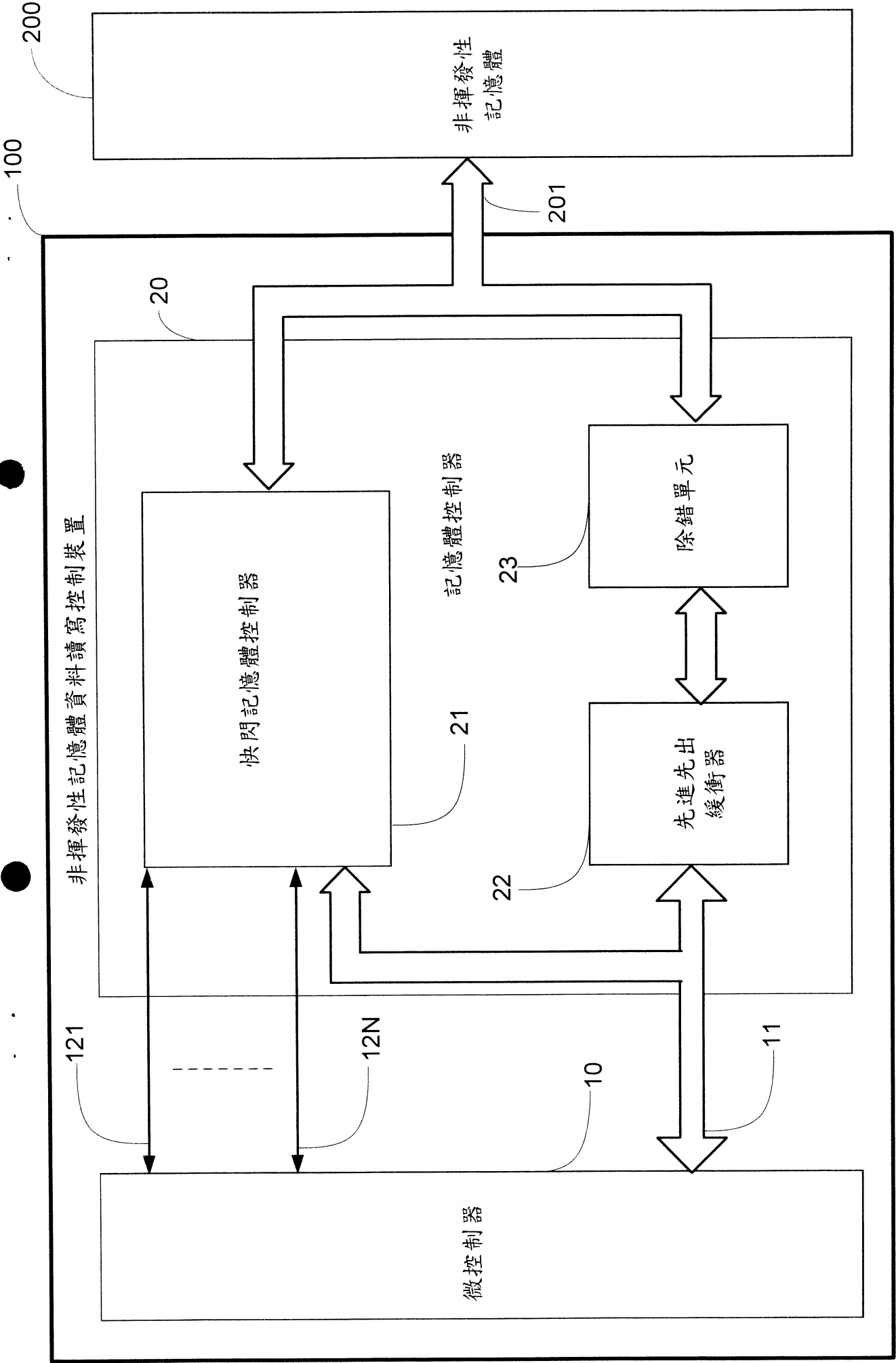
1. 一種非揮發性記憶體資料讀寫控制裝置，係包含：
 - 一微控制器，係設有一資料/位址匯流排及若干控制訊號接腳；及
 - 一記憶體控制器，連結微控制器之資料/位址匯流排及各控制訊號接腳，並以一非揮發性記憶體匯流排連結至一非揮發性記憶體，以作為微控制器與非揮發性記憶體資料讀寫控制介面。
2. 如申請專利範圍第 1 項所述之非揮發性記憶體資料讀寫控制裝置，其中，該記憶體控制器係包括：
 - 一快閃記憶體控制器，連結微控制器之資料/位址匯流排、各控制訊號接腳及非揮發性記憶體匯流排，以作為微控制器與非揮發性記憶體資料讀寫控制介面；
 - 一先進先出緩衝器，連結快閃記憶體控制器及微控制器之資料/位址匯流排，以供非揮發性記憶體資料讀寫控制之資料緩衝及暫存；及
 - 一除錯單元，連結先進先出緩衝器、快閃記憶體控制器及非揮發性記憶體匯流排，以供非揮發性記憶體資料讀寫控制之資料除錯。
3. 如申請專利範圍第 1 項所述之非揮發性記憶體資料讀寫控制裝置，其中，該記憶體控制器所連結之非揮發性記憶體為快閃記憶體。



第一圖



第二圖



第三圖

七、指定代表圖：

(一)本案指定代表圖為：第（ 二 ）圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|---------------------|----------------|
| 100 非揮發性記憶體資料讀寫控制裝置 | 10 微控制器 |
| 11 資料/位址匯流排 | 121~12N 控制訊號接腳 |
| 20 記憶體控制器 | 201 非揮發性記憶體匯流排 |
| 200 非揮發性記憶體 | |