

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4891682号
(P4891682)

(45) 発行日 平成24年3月7日 (2012.3.7)

(24) 登録日 平成23年12月22日 (2011.12.22)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 R

G 0 9 G 3/20 6 4 1 P

請求項の数 10 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2006-195304 (P2006-195304)
 (22) 出願日 平成18年7月18日 (2006.7.18)
 (65) 公開番号 特開2007-25691 (P2007-25691A)
 (43) 公開日 平成19年2月1日 (2007.2.1)
 審査請求日 平成21年5月19日 (2009.5.19)
 (31) 優先権主張番号 10-2005-0064781
 (32) 優先日 平成17年7月18日 (2005.7.18)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382

弁理士 山下 託嗣

(74) 代理人 100094145

弁理士 小野 由己男

(74) 代理人 100106367

弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

ゲートオン電圧を伝達する複数のゲート線と、

第1及び第2正規映像データ電圧とインパルスデータ電圧を伝達する複数のデータ線と、

前記ゲート線及び前記データ線に接続されており、第1及び第2副画素電極を含む複数の画素と、

前記ゲート線に接続されて前記ゲートオン電圧を印加するゲート駆動部と、

前記データ線に接続されて前記第1及び第2正規映像データ電圧と前記インパルスデータ電圧を印加するデータ駆動部と、
を含み、

前記第1副画素電極と前記第2副画素電極に各々印加される前記第1及び第2正規映像データ電圧は1つの映像情報から得られて互いに異なり、

前記インパルスデータ電圧は、前記第1及び第2副画素電極のうちのいずれか1つに1フレームに1回ずつ印加され、

前記インパルスデータ電圧は、前記インパルスデータ電圧が印加される副画素電極に関する正規映像データ電圧以下である液晶表示装置。

【請求項 2】

前記第1正規映像データ電圧は前記第2正規映像データ電圧より大きく、前記第1副画素電極の面積は前記第2副画素電極の面積より小さい、請求項1に記載の液晶表示装置。

【請求項 3】

M個の画素行において表示される映像情報を受けて、M個の画素行上に存在する前記第1副画素電極に対する第1正規映像データ及び前記M個の画素行上に存在する前記第2副画素電極に対する第2正規映像データに変換し、他のM個の画素行上に存在する前記インパルスデータ電圧が印加される副画素電極に対する1つのインパルスデータを生成して前記第1及び第2正規映像データ及び前記インパルスデータを前記データ駆動部に伝送する信号制御部をさらに含み（Mは自然数）、

前記データ駆動部は、前記第1正規映像データ、前記第2正規映像データ、及び前記インパルスデータを、前記第1及び第2正規映像データ電圧と前記インパルスデータ電圧に変換し、変換した前記第1及び第2正規映像データ電圧と前記インパルスデータ電圧を印加する、請求項1に記載の液晶表示装置。

10

【請求項 4】

前記第1及び第2副画素電極に各々接続されている第1及び第2スイッチング素子をさらに含み、

前記ゲート線は前記第1及び第2スイッチング素子に各々接続されている第1及び第2ゲート線を含む、請求項1に記載の液晶表示装置。

【請求項 5】

前記第1及び第2副画素電極に各々接続されている第1及び第2スイッチング素子をさらに含み、

前記データ線は前記第1及び第2スイッチング素子に各々接続されている第1及び第2データ線を含む、請求項1に記載の液晶表示装置。

20

【請求項 6】

第1及び第2副画素電極を含む複数の画素を含む液晶表示装置の駆動方法であって、前記第1及び第2副画素電極に第1及び第2正規映像データ電圧を各々印加する段階と、

前記第1及び第2副画素電極のうちのいずれか1つにインパルスデータ電圧を1フレームに1回ずつ印加する段階と、
を含み、前記第1及び第2正規映像データ電圧は、1つの映像情報から得られるとともに互いに異なり、

前記インパルスデータ電圧は、前記インパルスデータ電圧が印加される副画素電極に関する正規映像データ電圧以下であることを特徴とする液晶表示装置の駆動方法。

30

【請求項 7】

M個の画素行において表示される映像情報を受けて、M個の画素行上に存在する前記第1副画素電極に対する第1正規映像データ及び前記M個の画素行上に存在する前記第2副画素電極に対する第2正規映像データに変換し、他のM個の画素行上に存在する前記インパルスデータ電圧が印加される副画素電極に対する1つのインパルスデータを生成する段階と、

前記第1及び第2正規映像データと前記インパルスデータを前記第1及び第2正規映像データ電圧と前記インパルスデータ電圧に各々変換する段階と、

をさらに含み（Mは自然数）、

40

前記第1及び第2正規映像データ電圧を各々印加する段階は、前記変換された前記第1及び第2正規映像データ電圧を印加し、

前記インパルスデータ電圧を1フレームに1回ずつ印加する段階は、前記変換された前記インパルスデータ電圧を印加する、

請求項6に記載の液晶表示装置の駆動方法。

【請求項 8】

前記第1及び第2正規映像データ電圧を各々印加する段階は、

互いに異なる第1及び第2階調電圧集合を生成する段階と、

前記第1及び第2階調電圧集合から前記第1及び第2正規映像データ電圧を各々選択する段階と、

50

を含む、請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 9】

前記第 1 及び第 2 正規映像データ電圧を各々印加する段階は、M 個の画素行上に存在する第 1 及び第 2 副画素電極の各副画素電極に、前記各副画素電極に関する第 1 又は第 2 正規映像データ電圧を交互であって順に印加する第 1 の印加段階を含み、

前記インパルスデータ電圧を 1 フレームに 1 回ずつ印加する段階は、前記第 1 の印加段階に続いて、別の M 個の画素行上に存在する第 2 副画素電極に前記インパルスデータ電圧を印加する第 2 の印加段階を含む (M は自然数)、請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 10】

前記第 1 及び第 2 正規映像データ電圧を各々印加する段階は、第 1 の画素行上に存在する第 1 副画素電極に当該副画素電極に関する第 1 正規データ電圧を、前記第 1 の画素行上に存在する第 2 副画素電極に当該副画素電極に関する第 2 正規映像データ電圧を順に印加する第 3 の印加段階を含み、

前記インパルスデータ電圧を 1 フレームに 1 回ずつ印加する段階は、前記第 3 の印加段階に続いて、第 1 の画素行と異なる第 2 の画素行上に存在する第 1 副画素電極に当該副画素電極に関する第 1 正規映像データ電圧を、前記第 2 の画素行上に存在する第 2 副画素電極に前記インパルスデータ電圧を順に印加する第 4 の印加段階を含む、請求項 6 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

液晶表示装置は現在最も広く使用されている平板表示装置のうちの 1 つであって、画素電極と共通電極など、電場生成電極が形成されている 2 枚の表示板と、その間に挿入されている液晶層からなり、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通じて液晶層の液晶分子の配向を決めて入射光の偏光を制御することによって映像を表示する。

【0003】

液晶表示装置の中でも電場が印加されない状態で液晶分子の長軸を上下表示板に対して垂直をなすように配列した垂直配向モード液晶表示装置はコントラスト比が大きくて広い基準視野角の実現が容易であるので注目されている。ここで、基準視野角とはコントラスト比が 1:10 である視野角または階調間輝度反転限界角度を意味する。

垂直配向モード液晶表示装置で広視野角を実現するための手段としては、電場生成電極に切開部を形成する方法と電場生成電極上に突起を形成する方法などがある。切開部と突起で液晶分子の傾斜方向を決めることができるので、これらを使用して液晶分子の傾斜方向を多様な方向に分散させることで基準視野角を広めることができる。

【0004】

しかし、垂直配向モードの液晶表示装置は前面視認性に比べて側面視認性が落ちる。例えば、切開部が備えられた PVA (patterned vertically aligned) モードの液晶表示装置の場合には、側面へ行くほど映像が明るくなって、激しい場合には高い階調の間の輝度差がなくなって画面が崩れているように見える場合も発生する。

側面視認性を改善するために 1 つの画素を 2 つの副画素に分割し、2 つの副画素を容量性結合させた後、一方の副画素には直接電圧を印加し、他方の副画素には容量性結合による電圧下降を起こして 2 つの副画素の電圧を異ならせることで透過率を異ならせる方法が提示された。

【0005】

一方、液晶表示装置はホールドタイプ (hold type) の表示装置であるので、動映像を表示する時に物体の輪郭 (edge) が鮮明でなくて薄くなるブラリング (blurring) 現象が発生する。ブラリング現象をなくすために、表示しようとする正規映像を表示しながら、その中間にブラック映像を表示するインパルス (impulsive) 駆動方式が開発された。しかし、インパルス駆動方式によれば、ブラック映像が表示されるので全体的に輝度が低下し、ブラック映像と正規映像の境界部分で画面が点灯するフリッカーが発生することがある。

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

そこで、本発明が解決しようとする技術的課題は、輝度低下及びフリッカー発生を最小化しながら、ブラリング現象を防止し、側面視認性を向上させることができる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

このような技術的課題を構成するための本発明の1つの実施例による液晶表示装置は、ゲートオン電圧を伝達する複数のゲート線、第1及び第2正規映像データ電圧とインパルスデータ電圧を伝達する複数のデータ線、前記ゲート線及び前記データ線に接続されていて第1及び第2副画素電極を含む複数の画素、前記ゲート線に接続されて前記ゲートオン電圧を印加するゲート駆動部、そして前記データ線に接続されて前記第1及び第2正規映像データ電圧と前記インパルスデータ電圧を印加するデータ駆動部を含み、前記第1副画素電極と前記第2副画素電極に各々印加される前記第1及び第2正規映像データ電圧は1つの映像情報から得られて互いに異なり、前記インパルスデータ電圧は前記第1及び第2副画素電極のうちのいずれか1つに印加されるように構成する。

20

【0008】

前記第1正規映像データ電圧は前記第2正規映像データ電圧より大きく、前記第1副画素電極の面積は前記第2副画素電極の面積より小さくてもよい。

前記インパルスデータ電圧は前記第2副画素電極に印加できる。

前記インパルスデータ電圧は前記第1及び第2正規映像データ電圧より小さくてもよい。

30

【0009】

前記インパルスデータ電圧は最も低い階調の電圧、ブラックを表示する階調の電圧及び所定範囲の輝度を出す階調の電圧のうちのいずれか1つであってもよい。

M個の束の映像情報を受けて各M個の束の第1及び第2正規映像データに変換し、1つの束のインパルスデータを生成して前記第1及び第2正規映像データ及び前記インパルスデータを前記データ駆動部に伝送する信号制御部をさらに含むことができる。

【0010】

前記第1正規映像データは前記第2正規映像データより大きく、前記インパルスデータは前記第2正規映像データより小さくてもよい。

互いに異なる第1及び第2階調電圧集合を生成し、前記第1及び第2階調電圧集合から前記第1及び第2正規映像データ電圧を各々選択して、前記第1及び第2副画素電極に各々印加することができる。

40

【0011】

前記第1及び第2副画素電極に各々接続されている第1及び第2スイッチング素子をさらに含み、前記ゲート線は前記第1及び第2スイッチング素子に各々接続されている第1及び第2ゲート線を含むことができる。

前記インパルスデータ電圧は複数の画素行の第2副画素電極に同時に印加できる。

前記第1及び第2正規映像データ電圧は各々複数の画素行の第1及び第2副画素電極に交互であって順に印加することができる。

【0012】

50

第 1 番目 M 個の画素行の第 1 及び第 2 副画素電極に前記第 1 番目 M 個の画素行の第 1 及び第 2 正規映像データ電圧を交互であって順に各々印加した後、第 2 番目 M 個の画素行の第 2 副画素電極に前記インパルスデータ電圧を同時に印加することができる。

前記第 2 番目 M 個の画素行の第 2 副画素電極に前記インパルスデータ電圧を印加した後、前記第 1 番目 M 個の画素行の第 1 及び第 2 副画素電極に印加された前記第 1 及び第 2 正規映像データ電圧の極性と異なる所定の先充電電圧を前記データ線に印加することができる。

【 0 0 1 3 】

前記データ駆動部は複数の出力端子を接続し、前記ゲート駆動部は前記第 2 ゲート線に前記ゲートオン電圧を印加することができる。

10

前記ゲート駆動部は複数の水平周期の間に前記第 2 ゲート線に前記ゲートオン電圧を複数回印加することができる。

前記ゲート駆動部は複数の画素行の第 2 ゲート線に前記ゲートオン電圧を同時に印加することができる。

【 0 0 1 4 】

前記第 1 及び第 2 副画素電極に各々接続されている第 1 及び第 2 スイッチング素子をさらに含み、前記データ線は前記第 1 及び第 2 スイッチング素子に各々接続されている第 1 及び第 2 データ線を含むことができる。

第 1 番目画素行の第 1 及び第 2 副画素電極に前記第 1 番目画素行の第 1 及び第 2 正規映像データ電圧が各々印加された後、第 2 画素行の第 1 及び第 2 副画素電極に前記第 2 画素行の第 1 正規映像データ電圧及び前記インパルスデータ電圧を各々印加することができる。

20

【 0 0 1 5 】

本発明の他の特徴による第 1 及び第 2 副画素電極を含む複数の画素を含む液晶表示装置の駆動方法は、前記第 1 及び第 2 副画素電極に第 1 及び第 2 正規映像データ電圧を各々印加する段階、そして前記第 1 及び第 2 副画素電極のうちのいずれか 1 つにインパルスデータ電圧を印加する段階を含み、前記第 1 及び第 2 正規映像データ電圧は 1 つの映像情報から得られるとともに互いに異なるように構成できる。

【 発明の効果 】

【 0 0 1 6 】

30

本発明によれば、複数の画素行にインパルス映像を同時に表示することによってインパルス映像を表示するための駆動時間を相対的に減らすことができるので、画像電圧の充電率を高めることができ、その結果、充電率不足によるフリッカー発生を最小化することができる。また、インパルス映像を 1 つの副画素に表示し、他の副画素に正規映像を表示することによってブラリングを防止しながら、輝度低下を減らすことができる。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

添付した図面を参照して本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

図面において多様な層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似する部分については同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“直上”にあるとする時には中間に他の部分がないことを意味する。

40

【 0 0 1 8 】

まず、図 1 及び図 2 を参照して本発明の 1 つの実施例による液晶表示装置について詳細に説明する。

図 1 は本発明の 1 つの実施例による液晶表示装置のブロック図であり、図 2 は本発明の 1 つの実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

図 1 に示したように、本発明の 1 つの実施例による液晶表示装置は液晶表示板組立体 3

50

00及び、これと接続されたゲート駆動部400及びデータ駆動部500、データ駆動部500に接続された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0019】

液晶表示板組立体300は等価回路で見ると、複数の信号線 G_i 、 D_j ($i = 1, 2, \dots, n$ 、 $j = 1, 2, \dots, m$)と、これに接続されていてほぼ行列形態で配列された複数の画素PXを含む。これに反し、図2に示した構造で見ると、液晶表示板組立体300は互いに対向する下部及び上部表示板100、200と、その間に入っている液晶層3を含む。

信号線 G_i 、 D_j はゲート信号(“走査信号”とも言う)を伝達する複数のゲート線 G_i とデータ信号を伝達する複数のデータ線 D_j を含む。ゲート線はほぼ行方向に延びて互いにほぼ平行であり、データ線はほぼ列方向に延びて互いにほぼ平行である。

10

【0020】

各画素PXは信号線 G_i 、 D_j に接続されたスイッチング素子Qと、これに接続された液晶キャパシタ C_{LC} 及びストレージキャパシタ C_{ST} を含む。ストレージキャパシタ C_{ST} は必要によって省略することができる。

スイッチング素子Qは下部表示板100に設けられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 G_i と接続されており、入力端子はデータ線 D_j と接続されており、出力端子は液晶キャパシタ C_{LC} 及びストレージキャパシタ C_{ST} と接続されている。

【0021】

20

液晶キャパシタ C_{LC} は下部表示板100の画素電極191と上部表示板200の共通電極270を2つの端子とし、2つの電極191、270の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子Qと接続され、共通電極270は上部表示板200の前面に形成されていて共通電圧Vcomの印加を受ける。図2とは異なって、共通電極270を下部表示板100に設けることもでき、この時には2つの電極191、270のうちの少なくとも1つが線状または棒状に形成することもできる。

【0022】

液晶キャパシタ C_{LC} の補助的な役割を果たすストレージキャパシタ C_{ST} は、下部表示板100に設けられた別個の信号線(図示せず)と画素電極191が絶縁体を間に置いて重なってなり、この別個の信号線には共通電圧Vcomなどの決められた電圧が印加される。しかし、ストレージキャパシタ C_{ST} は画素電極191が絶縁体を媒介として直上の前段ゲート線と重なって構成されてもよい。

30

【0023】

一方、色表示を実現するためには各画素PXが基本色のうちの1つを固有に表示したり(空間分割)、各画素PXが時間によって交互に基本色を表示したり(時間分割)して、これら基本色の空間的、時間的合計で所望する色相を認識させる。基本色の例としては、赤色、緑色、青色などの三原色がある。図2は空間分割の一例で、各画素PXが画素電極191に対応する上部表示板200の領域に基本色のうちの1つを示す色フィルター230を備えることを示している。図2とは異なって、色フィルター230は下部表示板100の画素電極191の上または下に形成してもよい。

40

【0024】

液晶表示板組立体300の外側面には光を偏光させる少なくとも1つの偏光子(図示せず)が付着されている。

再び図1を参照すれば、階調電圧生成部800は画素PXの透過率と関する2つの階調電圧集合(または基準階調電圧集合)を生成する。2つの(基準)階調電圧集合は互いに異なるガンマ曲線に基づいて生成され、各(基準)階調電圧集合は共通電圧Vcomに対して正の値を有するものと負の値を有するものを含む。しかし、2つの(基準)階調電圧集合の代わりに1つの(基準)階調電圧集合のみを生成することもできる。

【0025】

ゲート駆動部400は液晶表示板組立体300のゲート線 G_i と接続されてゲートオン

50

電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号Vgをゲート線G_jに印加する。

データ駆動部500は液晶表示板組立体300のデータ線D_jと接続されており、階調電圧生成部800からの2つの階調電圧集合のうちの1つを選択し、選択された階調電圧集合に属する1つの階調電圧をデータ信号としてデータ線D_jに印加する。しかし、階調電圧生成部800が全ての階調に対応する電圧を全て提供する必要はなく、決められた数の基準階調電圧のみを提供するように構成することが可能であり、この場合データ駆動部500は基準階調電圧を分圧して全体階調に対する階調電圧を生成し、この中からデータ信号を選択するように構成できる。

【0026】

信号制御部600はゲート駆動部400及びデータ駆動部500などを制御する。

このような駆動装置400、500、600、800の各々は少なくとも1つの集積回路チップの形態で液晶表示板組立体300上に直接装着されたり、可撓性印刷回路膜（図示せず）上に装着されてTCP（tape carrier package）の形態で液晶表示板組立体300に付着するように構成でき、別途の印刷回路基板（図示せず）上に装着することも可能である。これとは異なって、これら駆動装置400、500、600、800を複数の駆動回路形態で集積して液晶表示板組立体300に実装するように構成することもできる。また、駆動装置400、500、600、800は単一チップに集積する必要はなく、これらのうちの少なくとも1つまたはこれらを構成する少なくとも1つの回路素子を単一チップの外側に構成することができる。

【0027】

次に、このような液晶表示装置の動作について図3及び図4を参照して詳細に説明する。

図3は本発明の1つの実施例による液晶表示装置の駆動信号を示したタイミング図であり、図4は図3に示した駆動信号によって表示される画像を1つのフレームの間に表示した概略図である。

【0028】

信号制御部600は外部のグラフィック制御機（図示せず）から入力映像信号R、G、B及びその表示を制御する入力制御信号を受信する。入力映像信号R、G、Bは各画素P_Xの輝度情報を含んでおり、輝度は決められた数、例えば、1024（=2¹⁰）、256（=2⁸）または64（=2⁶）個の階調を有している。入力制御信号の例としては垂直同期信号Vsyncと水平同期信号Hsync、メインクロック（MCLK）、データイネーブル信号DEなどがある。

【0029】

信号制御部600は入力映像信号R、G、Bと入力制御信号に基づいて入力映像信号R、G、Bを液晶表示板組立体300及びデータ駆動部500の動作条件に合わせて適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に出力し、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に出力する。出力映像信号DATはデジタル信号として決められた数の値（または階調）を有し、入力映像信号R、G、Bに基づいて作った正規映像データとインパルス駆動のためのインパルスデータを含む。

【0030】

ゲート制御信号CONT1は走査開始を指示する走査開始信号STV、ゲートオン電圧Vonの出力時期を制御するゲートクロック信号CPV及びゲートオン電圧Vonの持続時間を限定する少なくとも1つの出力イネーブル信号OEを含む。

データ制御信号CONT2は1つの画素行の出力映像信号DATの伝送開始を知らせる水平同期開始信号STHと、液晶表示板組立体300にデータ信号を印加することを命令するロード信号LOAD及びデータクロック信号HCLKを含む。データ制御信号CONT2はまた共通電圧Vcomに対するデータ信号の電圧極性（以下、“共通電圧に対するデータ信号の電圧極性”を“データ信号の極性”と言う）を反転させる反転信号RVSをさらに含む。

【 0 0 3 1 】

信号制御部 6 0 0 は M 個の束の入力映像信号 R、G、B を M 個の束の正規映像データに変換し、1 つの束のインパルスデータを生成して M 個の束の入力映像信号 R、G、B が入力される時間と実質的に同一の時間の間に $(M + 1)$ 個の束の出力映像信号 DAT を出力する (M は自然数)。したがって、水平同期開始信号 STH の周波数は水平同期信号 Hsync の周波数の $(M + 1) / M$ 倍となる。また、出力映像信号 DAT が同期されるデータクロック信号 HCLK の周波数は入力映像信号 R、G、B が同期されるメインクロック MCLK の周波数の $(M + 1) / M$ 倍であってもよい。例えば、図 3 には M を 3 として示した。

【 0 0 3 2 】

信号制御部 6 0 0 からのデータ制御信号 CONT2 によってデータ駆動部 5 0 0 は 1 つの画素行の出力映像信号 DAT を受信し、各出力映像信号 DAT に対応する階調電圧を選択することによって出力映像信号 DAT をアナログデータ電圧 Vd に変換した後、これを当該データ線 D_j に印加する。データ電圧 Vd は正規映像データが変換された正規映像データ電圧 N とインパルスデータが変換されたインパルスデータ電圧 I を含む。

10

【 0 0 3 3 】

また、データ駆動部 5 0 0 はロード信号 LOAD に同期してデータ電圧がデータ線 D_j に印加される前にチャージシェアリングを行う。このようなデータ駆動部 5 0 0 の動作については以下に説明する。

階調電圧生成部 8 0 0 が 2 つの階調電圧集合を生成する場合、正規映像データとインパルスデータの階調値は同一であり、正規映像データとインパルスデータに対して互いに異なる階調電圧集合がそれぞれ対応し、各階調に対する階調電圧は互いに異なる場合がある。正規映像データが示すガンマ曲線は液晶表示装置の特性によって決められ、インパルスデータが示すガンマ曲線は正規映像データが示すガンマ曲線に比べて低い輝度を示す。場合によってはインパルスデータが示すガンマ曲線が全ての階調に対してブラックを示したり、任意の一定の輝度を示したりする。

20

【 0 0 3 4 】

これと異なって、階調電圧生成部 8 0 0 が 1 つの階調電圧集合を生成する場合、入力映像信号 R、G、B を所定の規則によって補正してインパルスデータを作ることにもできる。同一の入力映像信号 R、G、B に対して、インパルスデータの階調値は正規映像データの階調値より小さく、場合によってはインパルスデータが任意の一定階調を有するように構成できる。一定の階調は最も低い階調であるか、ブラックまたは所定範囲の輝度を示す所定レベルの階調であり得る。

30

【 0 0 3 5 】

ゲート駆動部 4 0 0 は信号制御部 6 0 0 からのゲート制御信号 CONT1 によってゲートオン電圧 Von を少なくとも 1 つのゲート線 G_i に印加して、このゲート線 G_i に接続されたスイッチング素子 Q を導通させる。その結果、データ線 D_j に印加されたデータ電圧 Vd が導通したスイッチング素子 Q を通じて当該画素 PX に印加される。

画素 PX に印加されたデータ電圧 Vd と共通電圧 Vcom の差は液晶キャパシタ C_{LC} の充電電圧、つまり、画素電圧として示される。液晶分子は画素電圧の大きさによってその配列を異ならせ、それによって液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は液晶表示板組立 3 0 0 に付着された偏光子によって光の透過率変化で示される。

40

【 0 0 3 6 】

1 水平周期 (“ 1 H ” とも言う) を単位としてこのような過程を繰り返すことで、全ての画素 PX に正規映像データ電圧 N 及びインパルスデータ電圧 I を印加して 1 つのフレームの正規映像及びインパルス映像を 1 つのフレームの間に 1 回ずつ表示する。

1 つのフレームが終われば、次のフレームが始まり、各画素 PX に印加されるデータ電圧 Vd の極性が直前フレームにおける極性と反対になるように、データ駆動部 5 0 0 に印加される反転信号 RVS の状態を制御することができる (“ フレーム反転 ”)。この時、1 つのフレーム内でも反転信号 RVS の特性によって 1 つのデータ線を通じて流れる正規映像データ電圧 N の極性を変えることができる (例えば: 行反転、点反転)。これと異なって、一

50

束の画素に印加される正規映像データ電圧Nの極性を互いに異なるように構成することもできる（例えば：列反転、点反転）。インパルスデータ電圧Iの極性も反転信号RVSによって変わるが、図3と異なって任意の極性になってもよい。

【0037】

正規映像は第1番目画素行から下へ1画素行ずつ順に表示され、インパルス映像はk番目画素行から下へ一度に3画素行ずつ順に表示される。このように表示すれば、k行の幅を有するインパルス映像帯（band）が回転しているように示される。必要に応じて正規映像及びインパルス映像を下から開始して上側方向に表示することもできる。これについてさらに詳細に説明する。

【0038】

走査開始信号STVは正規映像データ用パルスP1とインパルスデータ用パルス（図示せず）を含み、第1番目画素行のゲート線に接続されているゲート駆動回路（または集積回路チップ）に印加される。正規映像データ用パルスP1は1Hの幅を有し、インパルスデータ用パルスは4Hの幅を有する。インパルスデータ用パルスの発生時期は、インパルス映像が表示される位置に基づいて決められる。正規映像データ電圧Nが第1～第3画素行の画素PXに印加された後、インパルスデータ電圧Iがk番目～(k+2)番目画素行の画素PXに印加されると、正規映像データ用パルスP1が生成された後、 $(n-k)/n$ 垂直周期が経過した時点でインパルスデータ用パルスが生成される（nは縦解像度）。1つのフレームの間に正規映像データ用パルスP1とインパルスデータ用パルスは1つつ生成される。

【0039】

前段ゲート駆動回路で生成されるキャリア信号CSもまた正規映像データ用パルス（図示せず）とインパルスデータ用パルスP2を含み、走査開始信号STVが印加されるゲート駆動回路以外の各ゲート駆動回路に印加される。走査開始信号STVのインパルスデータ用パルスによって走査開始信号STVの正規映像データ用パルスP1が第1ゲート駆動回路に印加される時、k番目画素行のゲート線に接続されているゲート駆動回路にキャリア信号CSのインパルスデータ用パルスP2が印加される。

【0040】

各ゲート駆動回路に提供されて各ゲート駆動回路が出力するゲートオン電圧Vonの持続時間を限定する複数の出力イネーブル信号OEは、正規映像データ用波形OENとインパルスデータ用波形OEIの2種類の波形を有し、信号制御部600の制御によって適切な時期に波形が変わる。この2つの波形OEN、OEIは互いに反転した形態であり、周期は4水平周期と同一である。出力イネーブル信号OEが高い値を有すれば、ゲートオン電圧Vonの出力が遮断されてゲートオフ電圧Voffが出力され、低い値を有すればゲートオン電圧Vonが出力される。したがって、出力イネーブル信号OEが正規映像データ用波形OENを有する時、正規映像データ電圧Nが印加される間にゲートオン電圧Vonが出力されて当該画素PXに正規映像データ電圧Nのみが印加される。反対に、出力イネーブル信号OEがインパルスデータ用波形OEIを有する時、インパルスデータ電圧Iが印加される間にゲートオン電圧Vonが出力されて当該画素PXにインパルスデータ電圧Iのみが印加される。

【0041】

走査開始信号STV及びキャリア信号CSの正規映像データ用パルスP1が印加されるゲート駆動回路に印加される出力イネーブル信号OEの波形は正規映像データ用波形OENであり、走査開始信号STV及びキャリア信号CSのインパルスデータ用パルスP2が印加されるゲート駆動回路に印加される出力イネーブル信号OEの波形はインパルスデータ用波形OEIである。

【0042】

ゲートクロック信号CPVは1Hの幅を有する第1クロックと2Hの幅を有する第2クロックを含み、2つの第1クロックと1つの第2クロックが交互に繰り返される。ゲートクロック信号CPVの各クロック上昇エッジに同期して走査パルスが生成される。したがって、ゲートクロック信号CPVの第2クロックが下降する毎4番目水平周期開始時点では走査パル

10

20

30

40

50

スが発生しない。走査パルスの幅は走査開始信号STV及びキャリア信号CRのパルスP1、P2の幅と実質的に同一である。

【0043】

走査開始信号STVのパルスP1が第1ゲート駆動回路に印加されると、第1～第3水平周期で各走査パルスはゲート信号 g_1 、 g_2 、 g_3 として当該ゲート線に順に印加される。そして、第4水平周期では出力イネーブル信号OEによって第1ゲート駆動回路の出力は遮断される。再び、第5～7水平周期で各走査パルスがゲート信号 g_4 、 g_5 、 g_6 として当該ゲート線に順に印加され、第8水平周期でゲート駆動回路の出力は遮断される。このような方式で最後のゲート線までゲート信号が印加される。その結果、第1ゲート線に接続された画素PXから順に正規映像データ電圧Nが印加されて、各画素PXに順に自分の正規映像データ電圧Nが充電される。

10

【0044】

一方、k番目画素行のゲート線に接続されているゲート駆動回路にキャリア信号CSのパルスP2が印加されると、これによる各走査パルスは4H幅を有して互いに重なる。しかし、出力イネーブル信号OEによって第1～第3水平周期でゲート駆動回路の出力は遮断されるが(走査パルスのうちの遮断された部分を斜線で表示する)、第4水平周期でゲートオン電圧Vonが出力される。したがって、ゲート信号 g_k 、 g_{k+1} 、 g_{k+2} は第4水平周期で当該ゲート線に同時に印加される。同様にゲート信号 g_{k+3} 、 g_{k+4} 、 g_{k+5} は第8水平周期で当該ゲート線に同時に印加される。このような方式で最後のゲート線までゲート信号が印加され、再び第1ゲート線から(k-1)番目ゲート線までゲート信号が印加される。その結果、k番目ゲート線に接続された画素から3画素行ずつ同時にインパルスデータ電圧Iが印加され、全ての画素PXに順にインパルスデータ電圧Iが充電される。

20

【0045】

図4に示すように、1つのフレームの初期画面には画面上部から1/4地点まで直前フレームのインパルス映像が表示されており、1/4地点の下には直前フレームの正規映像が表示されている。図3の駆動信号でkは $n/4$ としており、したがって、インパルス映像の縦幅は全体画面の縦幅の25%である。この比率は1つの画素で1つのフレームの間に表示される映像の中でインパルス映像比率を意味する。走査開始信号STVのパルスP1及びキャリア信号CSのパルスP2が入力されると、画面最上部から下へ順に正規映像が表示され、前述の1/4地点から下へ順にインパルス映像が表示される。1/4フレームが経過すれば、上部から1/4地点まで正規映像が表示され、1/4地点から画面中央までインパルス映像が表示される。このようにインパルス映像は直前フレームの正規映像を削除しながら表示され、また、正規映像はインパルス映像の上部を削除しながら表示される。インパルス映像は25%の幅を有する帯のように表示され、あたかも1つのフレームの間に上から下へ回転しているように示される。

30

【0046】

図3で3画素行を基準にして動作を説明したが、任意の数の画素行を基準にしてもよい。また、kはインパルス映像帯の縦幅を規定する変数で、縦解像度の範囲内で必要に応じて設定してもよい。

このように正規映像及びインパルス映像を表示することによってブラリングを防止することができ、インパルス駆動のための周波数の増加が相対的に少なく画素電圧の充電率を高めることができる。

40

【0047】

データ駆動部500は、図5に示したように、シフトレジスタ部510、ラッチ520、デジタル-アナログ変換器530、バッファ540、そしてチャージシェアリング部550を備える。チャージシェアリング部550は、図6に示したように、隣接したデータ線の間に接続された複数のスイッチング素子 SC_1 、 SC_2 、...、 SC_{m-1} を含む。各スイッチング素子 SC_1 、 SC_2 、...、 SC_{m-1} は制御端子及び反転制御端子を有しているトランSMISSIONゲートであり、制御端子にロード信号LOADが印加される。

【0048】

50

シフトレジスタ部 510 は水平同期開始信号STHの印加を受けると、データクロック信号HCLKによって入力された映像データDATを順にシフトさせて1つの行の映像データDATをラッチ520に伝達する。

シフトレジスタ部 510 は複数のシフトレジスタを含み、各シフトレジスタは決められた量の映像データDATを全部シフトさせた後、シフトクロック信号（図示せず）を次の段のシフトレジスタに送って、1つの画素行の映像データDATがシフトレジスタ部 510 のシフトレジスタに順にシフトされる。

【0049】

ラッチ520はシフトレジスタ部 510 から順に入力を受けた映像データDATをロード信号LOADによってデジタル - アナログ変換機 530 に出力する。

デジタル - アナログ変換器 530 は階調電圧生成部 800 から階調電圧 V_{gm} の入力を受けて反転信号RVSによって共通電圧Vcomに対して正の値を有する階調電圧と負の値を有する階調電圧のうちの各映像データDATに対応するいずれか1つを選択する。そして、デジタル - アナログ変換器 530 は選択された階調電圧を当該アナログデータ電圧に変換する。

【0050】

バッファ 540 はデジタル - アナログ変換器 530 からのデータ電圧をチャージシェアリング部 550 に出力する。

チャージシェアリング部 550 は、既に説明したように、制御端子にロード信号LOADに印加されるトランسمッションゲートから構成されている。図7に示したように、ロード信号LOADが高レベルを維持する間にトランسمッションゲート $SC_1 - SC_{m-1}$ は導通状態になって全てのデータ線 $D_1 - D_m$ が互いに接続される。したがって、全てのデータ線 $D_1 - D_m$ の電圧状態は所定の電圧レベル V_1 に均一となる。つまり、チャージシェアリングが行われる。その後、ロード信号LOADが高レベルから低レベルに変われば、下降エッジ時にトランسمッションゲート $SC_1 - SC_{m-1}$ の制御端子に低レベルが印加されて、全てのトランسمッションゲート $SC_1 - SC_{m-1}$ は導通状態から非導通状態に変わり、映像データDATに対応する当該データ電圧がデータ線 $D_1 - D_m$ を通じて伝達される。

【0051】

これによって、ロード信号LOADが高レベルを維持する間にチャージシェアリングが発生してデータ線の電圧DOUTはチャージシェアリングが発生する間に所定電圧V1レベルを維持した後、各当該極性の正規映像データ電圧やインパルスデータ電圧に変わる。この時、高レベルを維持するロード信号LOADの幅は、十分なチャージシェアリングが行われてデータ線の電圧DOUTが所定レベルの電圧V1に安定的にvariety得る程度に広いことが良く、約 $1 \mu s$ 以上であることが好ましい。また、ロード信号LOADが低レベルから高レベルに変わる時点からゲートクロック信号CPVが低レベルから高レベルに変わる時点までは約 $1.8 \mu s$ であることがよい。

【0052】

この時、データ電圧の極性は、ロード信号LOADが低レベルから高レベルに変わって1つの画素行の映像データDATがラッチ520からデジタル - アナログ変換器 530 に印加される時、反転信号RVSのレベルによって決められる。つまり、反転信号RVSのレベルが高レベルである場合、データ電圧の極性は正（+）の極性を有し、反転信号RVSのレベルが低レベルである場合、データ電圧の極性は負（-）の極性を有するが、これに限定されず反対の場合も可能である。

【0053】

このように、データ線 $D_1 - D_m$ に映像データDATに対応するデータ電圧が印加される前に、チャージシェアリング部 550 を利用して全てのデータ線 $D_1 - D_m$ の電圧レベルを一定の電圧V1レベルに均一化させるチャージシェアリングを実施する。したがって、データ線 $D_1 - D_m$ は、正規映像データ電圧を印加するか、インパルスデータ電圧を印加しても、全て同一の電圧レベルで当該電圧に変化するので、全ての画素PXは同一の充電条件でインパルスデータ電圧や正規映像データ電圧への充電動作が行われる。

【0054】

その結果、ブラック映像データ電圧のようなインパルスデータ電圧から正規映像データ電圧へ充電される時の充電条件が、正規映像データ電圧から反対極性の正規映像データ電圧へ充電される時の充電条件より有利であるために発生する明るい横線紋の不良が減少する。

この時、データ線に正常データ電圧やブラックデータ電圧が印加される前にデータ駆動部500はロード信号LOADに同期して全てのデータ線を接続するチャージシェアリングを実施する。次に、図5を参照して、このようなデータ駆動部500の動作についてさらに詳細に説明する。

【0055】

図5は本発明の1つの実施例によるデータ駆動部のブロック図であり、図6は図5に示したチャージシェアリング部の回路図に対する一例である。図7は本発明の1つの実施例によるチャージシェアリング時、ロード信号、ゲートクロック信号、反転信号によって任意の1つのデータ線を流れる電圧に対する波形図である。

データ駆動部500は、図5に示したように、シフトレジスター部510、ラッチ520、デジタル-アナログ変換器530、バッファ-540、そしてチャージシェアリング部550を備える。チャージシェアリング部550は、図6に示したように、隣接したデータ線の間に接続された複数のスイッチング素子 $SC_1, SC_2, \dots, SC_{m-1}$ を含む。各スイッチング素子 $SC_1, SC_2, \dots, SC_{m-1}$ は制御端子及び反転制御端子を有しているトランSMissionゲートであり、制御端子にロード信号LOADが印加される。

【0056】

シフトレジスター部510は水平同期開始信号STHの印加を受けると、データクロック信号HCLKによって入力された映像データDATを順にシフトさせ、1つの行の映像データDATをラッチ520に伝達する。シフトレジスター部510は複数のシフトレジスターを含み、シフトレジスターが担当する映像データDATを全部シフトさせた後、シフトクロック信号（図示せず）を次の段のシフトレジスターに伝送して映像データDATのシフト動作を行う。よって、1つの画素行の映像データDATがシフトレジスター部510のシフトレジスターに順にシフトされる。

【0057】

ラッチ520はシフトレジスター部510から順に入力を受けた映像データDATをロード信号LOADによってデジタル-アナログ変換器530に出力する。

デジタル-アナログ変換器530は階調電圧生成部800から階調電圧 V_{gm} の入力を受けて反転信号RVSによって共通電圧 V_{com} に対して正の値を有する階調電圧と負の値を有する階調電圧のうちのいずれか1つを選択する。そして、選択された階調電圧の中で各映像データDATに対応する階調電圧を選択し、デジタル映像データDATを当該アナログデータ電圧に変換する。

【0058】

バッファ-540はデジタル-アナログ変換器530からのデータ電圧をチャージシェアリング部550に出力する。

チャージシェアリング部550は、既に説明したように、制御端子にロード信号LOADに印加されるトランSMissionゲートから構成されている。図7に示したように、ロード信号LOADが高レベルを維持する間に、トランSMissionゲート $SC_1-S C_{m-1}$ は導通状態になって、全てのデータ線 D_1-D_m が互いに接続される。したがって、全てのデータ線 D_1-D_m の電圧状態は所定の電圧レベル V_1 に均一となる。つまり、チャージシェアリングが行われる。その後、ロード信号LOADが高レベルから低レベルに変われば、つまり、下降エッジ時にトランSMissionゲート $SC_1-S C_{m-1}$ の制御端子に低レベルが印加されて、全てのトランSMissionゲート $SC_1-S C_{m-1}$ は導通状態から非導通状態に変わり、映像データDATに対応する当該データ電圧がデータ線 D_1-D_m を通じて伝達される。

【0059】

その結果、ロード信号LOADが高レベルを維持する間にチャージシェアリングが発生し、

10

20

30

40

50

データ線の電圧DOUTはチャージシェアリングが発生する間に所定電圧V1レベルを維持した後、各当該極性の正常データ電圧やインパルスデータ電圧に変わる。この時、高レベルを維持するロード信号LOADの幅は十分なチャージシェアリングが行われてデータ線の電圧DOUTが所定レベルの電圧V1に安定的に変わり得る程度に広いことがよく、約 $1\mu\text{s}$ 以上であるのが好ましい。また、ロード信号LOADが低レベルから高レベルに変わる時点からゲートクロック信号CPVが低レベルから高レベルに変わる時点までは約 $1.8\mu\text{s}$ であるのがよい。

【0060】

この時、データ電圧の極性はロード信号LOADが低レベルから高レベルに変わって、1つの画素行の映像データDATがラッチ520からデジタル-アナログ変換器530に印加される時、反転信号RVSのレベルによって決められる。つまり、反転信号RVSのレベルが高レベルである場合にデータ電圧の極性は正(+)の極性を有し、反転信号RVSのレベルが低レベルである場合にデータ電圧の極性は負(-)の極性を有するが、これに限定されず、反対の場合も可能である。

10

【0061】

このように、データ線 D_1-D_m に映像データDATに対応するデータ電圧が印加される前にチャージシェアリング部550を利用して全てのデータ線 D_1-D_m の電圧レベルを一定の電圧V1レベルに均一化するチャージシェアリングを実施する。したがって、データ線 D_1-D_m により正常データ電圧を印加する場合、インパルスデータ電圧を印加する場合のいずれの場合も全て同一の電圧レベルから当該電圧に変化するので、全ての画素は同一の充電条件でインパルスデータ電圧や映像データ電圧への充電動作が行われる。

20

【0062】

これによって、ブラック映像データから正常データ電圧へ充電される時の充電条件が、正常データ電圧から反対極性の正常データ電圧へ充電される時の充電条件より有利であるために発生する明るい横線紋の不良が減る。つまり、インパルス駆動のためにインパルスデータ電圧が印加された後、正常データ電圧が印加される場合や、極性が反対である正常データ電圧に変わる場合、全て同一な電圧レベルV1から当該データ電圧に変わるので、同一な充電条件で画素の充電動作が行われる。

【0063】

本発明の他の実施例による液晶表示装置について図8を図1と共に参照して詳細に説明する。但し、上述した実施例と同一の部分についての詳細な説明は省略する。

30

図8は本発明の他の実施例による液晶表示装置の2つの副画素に対する等価回路図である。

図1に示すように、本発明の他の実施例による液晶表示装置も液晶表示板組立体300、ゲート駆動部400、データ駆動部500、階調電圧生成部800、そして信号制御部600を含む。

【0064】

液晶表示板組立体300は、図8に示したように、等価回路で見ると、複数の信号線(図示せず)と、これに接続されていてほぼ行列形態で配列された複数の画素PXを含む。液晶表示板組立体300は互いに対向する下部及び上部表示板100、200と、その間に

40

入っている液晶層3を含む。信号線はゲート信号(“走査信号”とも言う)を伝達する複数のゲート線(図示せず)とデータ信号を伝達する複数のデータ線(図示せず)を含む。ゲート線はほぼ行方向に延びた互いにほぼ平行であり、データ線はほぼ列方向に延びて互いにほぼ平行である。

【0065】

各画素PXは一对の副画素を含み、各副画素は液晶キャパシタ C_{LCa} 、 C_{LCb} を含む。2つの副画素のうちの少なくとも1つはゲート線、データ線及び液晶キャパシタ C_{LCa} 、 C_{LCb} と接続されたスイッチング素子(図示せず)を含む。

液晶キャパシタ C_{LCa}/C_{LCb} は下部表示板100の副画素電極PEa/PEbと上部表示板200の共通電極CEを2つの端子とし、副画素電極PEa/PEbと共通電極CEの間の液晶層3は

50

誘電体として機能する。一対の副画素電極PEa、PEbは互いに分離されており、1つの画素電極PEを構成する。共通電極CEは上部表示板200の前面に形成されていて共通電圧Vcomの印加を受ける。液晶層3は負の誘電率異方性を有し、液晶層3の液晶分子は電場がない状態でその長軸が2つの表示板の表面に対して垂直または水平をなすように配向されていてもよい。

【0066】

一方、色表示を実現するためには、各画素PXが空間分割または時間分割方式で表示することができる。図8は空間分割の一例で、各画素PXが上部表示板200の領域に基本色のうちの1つを示す色フィルターCFを備えることを示している。図8とは異なって、色フィルターCFは下部表示板100の第1及び第2副画素電極PEa、PEbの上または下に形成してもよい。

10

【0067】

表示板100、200の外側面には偏光子（図示せず）が設けられているが、2つの偏光子の偏光軸を直交状態に構成することができる。反射型液晶表示装置の場合には、2つの偏光子のうちの1つを省略できる。直交偏光子である場合、電場のない液晶層3に入った入射光を遮断する。

階調電圧生成部800は画素PXの透過率と関する少なくとも2つの階調電圧集合（または基準階調電圧集合）を生成する。少なくとも2つの（基準）階調電圧集合は互いに異なるガンマ曲線に基づいて生成され、各（基準）階調電圧集合は共通電圧Vcomに対して正の値を有するものと負の値を有するものを含む。しかし、少なくとも2つの（基準）階調電圧集合の代わりに1つの（基準）階調電圧集合のみを生成することもできる。

20

【0068】

以下では、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は外部のグラフィック制御機から入力映像信号R、G、B及びその表示を制御する入力制御信号を受信する。

信号制御部600は入力映像信号R、G、Bと入力制御信号に基づいて入力映像信号R、G、Bを液晶表示板組立体300及びデータ駆動部500の動作条件に合わせて適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に出力して、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に出力する。出力映像信号DATは入力映像信号R、G、Bに基づいて作った正規映像データとインパルス駆動のためのインパルスデータを含む。

30

【0069】

ゲート制御信号CONT1は走査開始信号STV、ゲートクロック信号CPV及び少なくとも1つの出力イネーブル信号OEを含む。

データ制御信号CONT2は1つの束の副画素に対する映像データの伝送開始を知らせる水平同期開始信号STHと、液晶表示板組立体300にデータ信号を印加することを命令するロード信号LOAD、データクロック信号HCLK及び反転信号RVSを含む。

【0070】

信号制御部600からのデータ制御信号CONT2によってデータ駆動部500は1つの束の副画素に対する出力映像信号DATを受信し、各出力映像信号DATに対応する階調電圧を選択することによってデジタル映像信号DATをアナログデータ電圧Vdに変換した後、これを当該データ線に印加する。

40

ゲート駆動部400は信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonをゲート線に印加して、このゲート線に接続されたスイッチング素子を導通させる。その結果、データ線に印加されたデータ信号が導通したスイッチング素子を通じて当該副画素PXa、PXbに印加される。

【0071】

1つの画素電極PEをなす一対の副画素電極PEa、PEbが別個のスイッチング素子と接続されている場合、つまり、各副画素が各々のスイッチング素子を有している場合には、2つの副画素が互いに異なる時間に同一のデータ線を通じて別個のデータ電圧の印加を受ける

50

ことができ、また、同一の時間に互いに異なるデータ線を通じて別個のデータ電圧の印加を受けることもできる。これとは異なって、副画素電極PEaはスイッチング素子（図示せず）と接続されていて、副画素電極PEbは副画素電極PEaと容量性結合されている場合には、副画素電極PEaを含む副画素のみスイッチング素子を通じてデータ電圧の印加を受け、副画素電極PEbを含む副画素は副画素電極PEaの電圧変化によって変化する電圧を有することができる。この時、副画素電極PEaの面積は副画素電極PEbの面積より小さく、副画素電極PEaの電圧は副画素電極PEbの電圧より大きい。

【0072】

このように液晶キャパシタ C_{LCa} 、 C_{LCb} の両端に電位差が生じれば、表示板100、200の表面にほとんど垂直の電場（電界）が液晶層3に生成される（以下、画素電極PE及び共通電極CEを同様に“電場生成電極”と言う）。その結果、液晶層3の液晶分子は電場に応答してその長軸が電場の方向に垂直をなすように傾き、液晶分子が傾いた程度によって液晶層3に入射光の偏光の変化程度が変わる。このような偏光の変化は偏光子によって透過率の変化で現れ、これによって液晶表示装置は映像を表示する。

【0073】

液晶分子が傾く角度は電場の強さによって変わるが、2つの液晶キャパシタ C_{LCa} 、 C_{LCb} の電圧が互いに異なるので、液晶分子が傾いた角度が異なり、そのために2つの副画素の輝度が異なる。したがって、液晶キャパシタ C_{LCa} の電圧と液晶キャパシタ C_{LCb} の電圧を適切に合わせれば、側面から見る映像を正面から見る映像に最大限に近くすることができ、つまり、側面ガンマ曲線を正面ガンマ曲線に最大限に近くすることができ、このようにして側面視認性を向上させることができる。

【0074】

また、高い電圧の印加を受ける副画素電極PEaの面積を副画素電極PEbの面積より小さくすれば、側面ガンマ曲線を正面ガンマ曲線にさらに近くすることができる。特に、副画素電極PEa、PEbの面積比をほぼ1:2とすれば、側面ガンマ曲線が正面ガンマ曲線により近くなって側面視認性がさらに良くなる。

1水平周期（“1H”とも言う）を単位としてこのような過程を繰り返すことによって、全ての副画素PXa、PXbにデータ電圧Vdを印加して1つのフレームの正規映像及びインパルス映像を表示する。

【0075】

1つのフレームが終われば、次のフレームが始まり、各副画素PXa、PXbに印加されるデータ電圧Vdの極性が直前フレームにおける極性と反対になるようにデータ駆動部500に印加される反転信号RVSの状態を制御することができる。また、1つのフレーム内でも行反転、点反転、列反転などの極性反転方式によってデータ駆動部500に印加される反転信号RVSの状態を制御することができる。

【0076】

一方、1つのフレームの間に副画素PXaには正規映像データに基づいた正規映像を表示し、副画素PXbには正規映像データに基づいた正規映像及びインパルスデータに基づいたインパルス映像を1回ずつ表示する。このように副画素PXbにのみインパルス映像を表示しても、副画素電極PEaに対する副画素電極PEbの面積比を大きくして全体画面に対するインパルス映像の表示比率を高めれば、副画素PXa、PXbにインパルス映像を表示することと同様の水準でブラリングを減少することができる。

【0077】

次に、図8に示した2つの副画素が互いに異なる時間に同一のデータ線を通じて別個のデータ電圧の印加を受ける本発明の他の実施例による液晶表示装置について図9を参照して詳細に説明する。

図9は本発明の他の実施例による液晶表示装置の1つの画素に対する等価回路図である。

【0078】

図9に示すように、本実施例による液晶表示装置は複数対のゲート線GLa、GLb、

10

20

30

40

50

複数のデータ線DL及び複数の維持電極線SLを含む信号線と、これに接続された複数の画素PXを含む。

各画素PXは一对の副画素PXa、PXbを含み、各副画素PXa/PXbは各々当該ゲート線GLa/GLb及びデータ線DLに接続されているスイッチング素子Qa/Qbと、これに接続された液晶キャパシタ C_{LCa}/C_{LCb} 、そしてスイッチング素子Qa/Qb及び維持電極線SLに接続されているストレージキャパシタ C_{STa}/C_{STb} を含む。

【0079】

各スイッチング素子Qa/Qbは下部表示板100に設けられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線GLa/GLbに接続されており、入力端子はデータ線DLに接続されており、出力端子は液晶キャパシタ C_{LCa}/C_{LCb} 及びストレージキャパシタ C_{STa}/C_{STb} に接続されている。

10

液晶キャパシタ C_{LCa}/C_{LCb} の補助的な役割を果たすストレージキャパシタ C_{STa}/C_{STb} は、下部表示板100に設けられた維持電極線SLと画素電極PEが絶縁体を間に挟んで重合して構成され、維持電極線SLには共通電圧Vcomなどの所定の電圧が印加される。しかし、ストレージキャパシタ C_{STa} 、 C_{STb} は副画素電極PEa、PEbが絶縁体を媒介として直上の前段ゲート線と重合するように構成してもよい。

【0080】

液晶キャパシタ C_{LCa} 、 C_{LCb} などについては上述したので、詳細な説明を省略する。

次に、このような液晶表示装置の動作について図10及び図11を参照して詳細に説明する。

20

図10は図9に示した画素を含む液晶表示装置の駆動信号を示したタイミング図であり、図11は図10に示した駆動信号によって表示される画像を1つのフレームの間に表示した概略図である。

【0081】

図9に示した画素を含む液晶表示装置では、信号制御部600が入力映像信号R、G、Bを受信して副画素PXaに対する正規映像データNaと副画素PXbに対する正規映像データNb及びインパルスデータIを含む出力映像信号DATに変換してデータ駆動部500に伝送する。

信号制御部600はM個の束の入力映像信号R、G、Bを受けて各M個の束の正規映像データNa、Nbに変換し、1つの束のインパルスデータIを生成してM個の束の入力映像信号R、G、Bが入力される時間と実質的に同一な時間の間に(2M+1)個の束の出力映像信号DATを出力する(Mは自然数)。したがって、水平同期開始信号STHの周波数は水平同期信号Hsyncの周波数の(2M+1)/M倍である。また、出力映像信号DATが同期されるデータクロック信号HCLKの周波数は入力映像信号R、G、Bが同期されるメインクロックMCLKの周波数の(2M+1)/M倍であり得る。例えば、図10にはMを3として示した。

30

【0082】

データ駆動部500は1つの副画素行の出力映像信号DATを受信し、各出力映像信号DATに対応する階調電圧を選択することによって出力映像信号DATをアナログデータ電圧Vdに変換した後、これを当該データ線DLに印加する。

40

階調電圧生成部800で1つの階調電圧集合を作って、正規映像データNa、Nbを互いに異ならせて各画素PXa、PXbに互いに異なる電圧を印加することができる。しかし、正規映像データNa、Nbは同一でありながら2つの副画素PXa、PXbに対する階調電圧集合を別に作り、これを交互にデータ駆動部500に提供することができ、また、データ駆動部500でこれを交互に選択することによって、2つの副画素PXa、PXbに互いに異なる電圧を印加することもできる。但し、この時、2つの副画素PXa、PXbの合成ガンマ曲線が正面での基準ガンマ曲線に近く映像信号を補正したり、階調電圧集合を作ることが好ましい。例えば、正面での合成ガンマ曲線は、この液晶表示板組立体に最も適するように決められた正面での基準ガンマ曲線と一致するようにし、側面での合成ガンマ曲線は正面での基準ガンマ曲線と最も近くする。

50

【0083】

インパルスデータIに対しても階調電圧生成部800は別途の階調電圧集合を生成することができ、正規映像データNa、Nb用階調電圧集合を使用することもできる。

図10に示したように、データ駆動部500は第1～第6水平周期の間に第1～第3番目画素行の各副画素PXa、PXbに対するデータ電圧Vdを1Hごとに順に当該データ線DLに印加する。

【0084】

ゲート駆動部400もこれに同期して第1～第6水平周期の間に第1～第3番目画素行の副画素PXa、PXbに各々接続されているゲート線GLa、GLbにゲート信号 g_{1a} - g_{3b} を1Hごとに順に印加して、これらゲート線GLa、GLbに各々接続されているスイッチング素子Qa、Qbを導通させる。その結果、データ線DLに印加された正規映像データNa、Nbに相当するデータ電圧Vdが導通したスイッチング素子Qa、Qbを通じて当該副画素PXa、PXbに各々印加される。

10

【0085】

そして、データ駆動部500は第7水平周期TIの間にインパルスデータIに対するデータ電圧Vdをデータ線DLに印加する。

第7水平周期TIでゲート駆動部400はゲート信号 g_{kb} 、 g_{k+1b} 、 g_{k+2b} を各々 $k \sim (k+2)$ 番目画素行の副画素PXbに接続されたゲート線GLbに同時に印加して、このゲート線GLbに接続されたスイッチング素子Qbを導通させる。その結果、データ線DLに印加されたインパルスデータIに対応するデータ電圧Vdが導通したスイッチング素子Qbを通じて当該画素PXbに印加される。

20

【0086】

このような方式で3画素行ごとに6水平周期の間に正規映像データNa、Nbに対応するデータ電圧Vdを当該副画素PXa、PXbに印加し、1水平周期の間にインパルスデータIに対応するデータ電圧Vdを当該副画素PXbに印加する。1つのフレームの間に全ての副画素PXaに正規映像データNaに対応するデータ電圧Vdを印加し、全ての副画素PXbに正規映像データNb及びインパルスデータIに対応するデータ電圧Vdを1回ずつ印加して、一つのフレームの正規映像及びインパルス映像を表示する。

【0087】

図11に正規映像及びインパルス映像が1つのフレームの間に表示される過程が示されている。図4と同様に、 k は $n/4$ とし(n は縦解像度)、表示されるパターンは図4と実質的に同一なので、これについての詳細な説明は省略する。ただし、斜線の部分のようにインパルス映像が表示されている領域の副画素PXaには正規映像が表示されているので、この領域での輝度が図4に示されている同一な領域における輝度に比べて高い。

30

【0088】

本実施例ではインパルス映像を副画素PXbに表示することと説明したが、これと反対に、インパルス映像を副画素PXaに表示することもできる。

このようにインパルス映像を2つの副画素PXa、PXbのうちのいずれか1つに表示し、他の副画素には正規映像を表示することによって、ブラリングを防止しながら輝度低下を減らすことができる。また、複数行の副画素にインパルス映像を同時に表示することで、インパルス駆動のための周波数の増加が相対的に少ないので画素電圧の充電率を高めることができる。

40

【0089】

図2～図4に示した液晶表示装置の多くの特徴が図8～図11に示した液晶表示装置にも適用できる。

以下では図9に示した画素を有する液晶表示装置におけるインパルス映像を表示するための他の駆動方法について図12を参照して詳細に説明する。

図12は本発明の他の実施例による液晶表示装置の駆動信号の他の例を示したタイミング図である。

【0090】

50

図 1 2 に示したタイミング度は 3 画素行単位でデータ電圧の極性が変わる行反転である場合の駆動信号に関する。

図 1 2 に示したように、データ駆動部 5 0 0 は第 1 ~ 第 6 水平周期の間に第 1 ~ 第 3 番目画素行の各副画素 PXa、PXb に対する正極性のデータ電圧を 1 H ごとに順に当該データ線 DL に印加する。

【 0 0 9 1 】

ゲート駆動部 4 0 0 もこれに同期して第 1 ~ 第 6 水平周期の間に第 1 ~ 第 3 番目画素行の副画素 PXa、PXb に各々接続されているゲート線 GLa、GLb にゲート信号 $g_{1a} - g_{3b}$ を 1 H ごとに順に印加して、これらゲート線 GLa、GLb に各々接続されているスイッチング素子 Qa、Qb を導通させる。その結果、データ線 DL に印加された正規映像データ Na、Nb に相当する正極性のデータ電圧 Vd が導通したスイッチング素子 Qa、Qb を通じて当該副画素 PXa、PXb に各々印加される。

10

【 0 0 9 2 】

そして、データ駆動部 5 0 0 は第 7 水平周期の間にインパルスデータ I に対するデータ電圧 Vd をデータ線 DL に印加する。

第 7 水平周期でゲート駆動部 4 0 0 はゲート信号 g_{kb} 、 g_{k+1b} 、 g_{k+2b} を各々 $k \sim (k + 2)$ 番目画素行の副画素 PXb に接続されたゲート線 GLb に同時に印加して、このゲート線 GLb に接続されたスイッチング素子 Qb を導通させる。その結果、データ線 DL に印加されたインパルスデータ I に対応するデータ電圧 Vd が導通したスイッチング素子 Qb を通じて当該画素 PXb に印加される。

20

【 0 0 9 3 】

その後、データ駆動部 5 0 0 は所定時間 TC の間に所定の負極性データ電圧を印加する。しかし、いずれのゲート線にもゲートオン電圧 Von を印加しない。ここで、所定時間 TC は 1 水平周期と同一であってもよく、これと異なってもよい。また、所定の負極性データ電圧は第 4 画素行の副画素 PXa に印加される正規映像データ Na に対する負極性データ電圧に基づいて決められてもよく、一定の値を有してもよい。

【 0 0 9 4 】

このような方式で 3 画素行ごとに 6 水平周期の間に正規映像データ Na、Nb に対応するデータ電圧 Vd を当該副画素 PXa、PXb に印加し、1 水平周期の間にインパルスデータ I に対応するデータ電圧 Vd を当該副画素 PXb に印加し、所定時間 TC の間に直前データ電圧 Vd の極性と異なる極性のデータ電圧を印加して先充電する。1 つのフレームの間に全ての副画素 PXa に正規映像データ Na に対応するデータ電圧 Vd を印加し、全ての副画素 PXb に正規映像データ Nb 及びインパルスデータ I に対応するデータ電圧 Vd を 1 回ずつ印加して、1 つのフレームの正規映像及びインパルス映像を表示する。

30

【 0 0 9 5 】

その結果、図 1 2 に示したように、副画素 PXa、PXb には正極性と負極性の画素電圧 Vp が 3 画素行ごとに交互に充電され、極性が変わる時、所定時間 TC の間に次に変わる極性を有する所定のデータ電圧でデータ線 DL を先充電するので、画素電圧 Vp の充電率が高まる。

図 1 0 及び図 1 1 に示した液晶表示装置の多くの特徴が図 1 2 に示した液晶表示装置にも適用できる。

40

【 0 0 9 6 】

次に、図 9 に示した画素を有する液晶表示装置でインパルス映像を表示するための他の駆動方法について図 1 3 を参照して詳細に説明する。

図 1 3 は本発明の他の実施例による液晶表示装置の駆動信号の他の例を示したタイミング図である。

信号制御部 6 0 0 は入力映像信号 R、G、B を副画素 PXa、PXb に対する正規映像データに変換するが、インパルスデータは別途に作らない。

【 0 0 9 7 】

階調電圧生成部 8 0 0 は 2 つの副画素 PXa、PXb に対する階調電圧集合を別に作り、これを交互にデータ駆動部 5 0 0 に提供したり、データ駆動部 5 0 0 でこれを交互に選択する

50

。

データ駆動部 500 は、図 5 ~ 図 7 を参照して既に説明したように、一定の時間の間にデータ駆動部 500 の全ての出力端子を内部で互いに接続するチャージシェアリング機能を有している。データ駆動部 500 からのデータ電圧のうちのその半分が正極性で、残り半分は負極性であれば、全体データ線 DL のうちの半分は正極性のデータ電圧が充電され、残り半分は負極性のデータ電圧が充電される。したがって、データ駆動部 500 が全ての出力端子を接続すれば、データ線 DL の電荷が互いに再配列されながら、データ駆動部 500 の出力端子には正極性と負極性の中間値であるほぼ共通電圧 V_{com} のレベルを有する電荷共有電圧 I がかかる。

【0098】

10

電荷を共有する状態でゲート駆動部 400 がゲートオン電圧 V_{on} を所定画素行の副画素 P_{Xb} に印加して、電荷共有電圧 I が所定画素行の副画素 P_{Xb} に印加されるようにする。電荷共有電圧 I はインパルスデータ電圧として使用される。

図 13 に示すように、1H 区間はロード信号 $LOAD$ がローレベルであるデータ電圧出力区間とハイレベルであるチャージシェアリング区間に分けられる。

【0099】

データ駆動部 500 は信号制御部 600 から 1 つの画素行の正規映像データを受信し、データ電圧出力区間のうちの前半部で階調電圧生成部 800 からの副画素 P_{Xa} に対する階調電圧集合から正規映像データに対応する階調電圧を選択してデータ電圧 N_a としてデータ線 DL に印加する。

20

ゲート駆動部 400 は副画素 P_{Xa} に接続されているゲート線 GL_a にゲートオン電圧 V_{on} を印加して、データ線 DL に印加されたデータ電圧 N_a を当該副画素 P_{Xa} に印加する。

【0100】

そして、データ電圧出力区間の後半部で階調電圧生成部 800 が副画素 P_{Xb} に対する階調電圧集合をデータ駆動部 500 に提供するように構成でき、データ駆動部 500 がこれを選択することによって副画素 P_{Xb} に対するデータ電圧 N_b をデータ線 DL に印加するように構成する。

再び、ゲート駆動部 400 は副画素 P_{Xb} に接続されているゲート線 GL_b にゲートオン電圧 V_{on} を印加してデータ線 DL に印加されたデータ電圧 N_b を当該副画素 P_{Xb} に印加する。

【0101】

30

その後、ロード信号 $LOAD$ がハイレベルになれば、チャージシェアリング区間が始まり、データ駆動部 500 は全体データ線 DL の電荷を共有し、その結果、電荷共有電圧 I がデータ線 DL にかかる。

これと同時に、ゲート駆動部 400 は所定の画素行（例えば、 k 番目画素行）の副画素 P_{Xb} に接続されているゲート線 GL_b にゲートオン電圧 V_{on} を印加して当該副画素 P_{Xb} に電荷共有電圧 I を印加させる。

【0102】

1 水平周期を単位としてこのような過程を繰り返すことによって、全ての副画素 P_{Xa} 、 P_{Xb} に正規映像及び電荷共有電圧 I によるインパルス映像を 1 つのフレームの間に表示する。

40

図 13 に示したように、複数の水平周期の間に 1 つの画素行の副画素 P_{Xb} に電荷共有電圧 I を印加したり、複数の画素行の副画素 P_{Xb} に電荷共有電圧 I を同時に印加したりすることができる。その結果、電荷共有区間が短くても電荷共有電圧 I を副画素 P_{Xb} に十分に充電することができる。

【0103】

データ電圧出力区間で副画素 P_{Xa} 、 P_{Xb} にデータ電圧 N_a 、 N_b を各々印加する区間の長さは互いに同一でなくてもよい。

このように本実施例によれば、別途のインパルスデータを生成せずデータ駆動部 500 の出力端子で電荷共有を通じてインパルス映像のための電圧を供給するので、信号制御部 600 及びデータ駆動部 500 の動作が簡単で、階調電圧生成部 800 が別途の階調

50

電圧集合を作る必要がない。また、データ電圧の極性が行反転または点反転である場合、データ線DLが共通電圧Vonレベルに十分に充電されているので、画素電圧の充電率も高めることができる。

【0104】

図10及び図11に示した液晶表示装置の多くの特徴が図13に示した液晶表示装置にも適用できる。

以下では図8に示した2つの副画素が互いに同一の時間に互いに異なるデータ線を通じて別個のデータ電圧の印加を受ける本発明の他の実施例による液晶表示装置について図14を参照して詳細に説明する。

【0105】

図14は本発明の他の実施例による液晶表示装置の1つの画素に対する等価回路図である。

図14に示すように、本実施例による液晶表示装置は複数のゲート線GL、複数対のデータ線DLa、DLb及び複数の維持電極線SLを含む信号線と、これに接続された複数の画素PXを含む。

【0106】

各画素PXは一对の副画素PXc、PXdを含み、各副画素PXc/PXdは各々当該ゲート線GL及びデータ線DLa/DLbに接続されているスイッチング素子Qc/Qdと、これに接続された液晶キャパシタ C_{LCc}/C_{LCd} 、そしてスイッチング素子Qc/Qd及び維持電極線SLに接続されているストレージキャパシタ C_{STc}/C_{STd} を含む。

各スイッチング素子Qc/Qdもまた、下部表示板100に備えられている薄膜トランジスタなどの3端子素子で、その制御端子はゲート線GLと接続されており、入力端子はデータ線DLa/DLbと接続されており、出力端子は液晶キャパシタ C_{LCc}/C_{LCd} 及びストレージキャパシタ C_{STc}/C_{STd} と接続されている。

【0107】

液晶キャパシタ C_{LCc} 、 C_{LCd} とストレージキャパシタ C_{STc} 、 C_{STd} などについては前述したために詳細な説明を省略する。

次に、このような液晶表示装置の動作に対して図15を参照して詳細に説明する。

図15は図14に示した画素を含む液晶表示装置の駆動信号を示したタイミング図である。

【0108】

図14に示した画素を含む液晶表示装置では、信号制御部600が1つの画素行の入力映像信号R、G、Bを受信して副画素PXaに対する正規映像データNaと副画素PXbに対する正規映像データNbを含む出力映像信号DATに変換したり、副画素PXaに対する正規映像データNaと副画素PXbに対するインパルスデータIを含む出力映像信号DATに変換してデータ駆動部500に伝送する。

【0109】

データ駆動部500は1つの画素行の出力映像信号DATを受信し、各出力映像信号DATに対応する階調電圧を選択することによって出力映像信号DATをアナログデータ電圧Vda、Vdbに変換した後、これを当該データ線DLa、DLbに各々印加する。

階調電圧生成部800で1つの階調電圧集合を作って、正規映像データNa、Nbを互いに異ならせて各画素PXa、PXbに互いに異なる電圧を印加することができる。2つの副画素PXa、PXbの合成ガンマ曲線が正面での基準ガンマ曲線に近く映像信号を補正したり、階調電圧集合を作ったりすることが好ましい。例えば、正面での合成ガンマ曲線は、この液晶表示板組立体に最も適するように決められた正面での基準ガンマ曲線と一致させ、側面での合成ガンマ曲線が正面での基準ガンマ曲線と最も近くなるようにする。

【0110】

図15に示したように、データ駆動部500は第1番目画素行の各副画素PXa、PXbに対する正規映像データNa、Nbに各々対応するデータ電圧Vda、Vdbを当該データ線DLa、DLbに各々印加する。

10

20

30

40

50

ゲート駆動部 400 は第 1 番目画素行の副画素 PXa、PXb に接続されているゲート線 GL にゲート信号 g_1 を印加して、このゲート線 GL に接続されているスイッチング素子 Qa、Qb を同時に導通させる。その結果、データ線 DLa、DLb に各々印加されているデータ電圧 Vda、Vdb が導通したスイッチング素子 Qa、Qb を通じて当該副画素 PXa、PXb に各々印加される。

【0111】

そして、データ駆動部 500 は k 番目画素行の各副画素 PXa、PXb に対する正規映像データ Na 及びインパルスデータ I に各々対応するデータ電圧 Vda、Vdb を当該データ線 DLa、DLb に各々印加する。

ゲート駆動部 400 は k 番目画素行の副画素 PXa、PXb に接続されているゲート線 GL にゲート信号 g_k を印加して、このゲート線 GL に接続されているスイッチング素子 Qa、Qb を同時に導通させる。その結果、データ線 DLa、DLb に各々印加されているデータ電圧 Vda、Vdb が導通したスイッチング素子 Qa、Qb を通じて当該副画素 PXa、PXb に各々印加される。

【0112】

このような方式で、1 水平周期ごとに交互に 1 つの画素行の副画素 PXa、PXb には正規映像データ Na、Nb に対応するデータ電圧 Vda、Vdb を各々印加し、他の 1 つの画素行の副画素 PXa、PXb には正規映像データ Na とインパルスデータ I に各々対応するデータ電圧 Vda、Vdb を各々印加する。1 つのフレームの間に全ての副画素 PXa に正規映像データ Na に対応するデータ電圧 Vda を印加し、全ての副画素 PXb に正規映像データ Nb 及びインパルスデータ I に対応するデータ電圧 Vda を 1 回ずつ印加して 1 つのフレームの正規映像及びインパルス映像を表示する。

【0113】

図 9 ~ 図 11 に示した液晶表示装置の多くの特徴が図 14 及び図 15 に示した液晶表示装置にも適用できる。

以下では図 8 に示した 2 つの副画素のうちの 1 つの副画素のみスイッチング素子を通じてデータ電圧の印加を受けて、他の 1 つの副画素は容量性結合されている本発明の他の実施例による液晶表示装置について図 16 を参照して詳細に説明する。

【0114】

図 16 は本発明の他の実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

図 16 に示すように、本実施例による液晶表示装置は複数のゲート線 GL と複数のデータ線 DL を含む信号線と、これに接続されている複数の画素 PX を含む。

各画素 PX は一対の第 1 及び第 2 副画素 PXe、Pxf と 2 つの副画素 PXe、Pxf との間に接続されている結合キャパシタ Ccp を含む。

【0115】

第 1 副画素 PXe は当該ゲート線 GL 及びデータ線 DL に接続されているスイッチング素子 Q と、これに接続された第 1 液晶キャパシタ C_{LCe} 及びストレージキャパシタ C_{ST} を含み、第 2 副画素 Pxf は結合キャパシタ Ccp と接続されている第 2 液晶キャパシタ C_{LCf} を含む。

スイッチング素子 Q はまた下部表示板 100 に設けられている薄膜トランジスタなどの 3 端子素子で、その制御端子はゲート線 GL と接続されており、入力端子はデータ線 DL と接続されており、出力端子は液晶キャパシタ C_{LCe} 、ストレージキャパシタ C_{STe} 及び結合キャパシタ Ccp と接続されている。

【0116】

スイッチング素子 Q はゲート線 GL からのゲート信号によってデータ線 DL からのデータ電圧を第 1 液晶キャパシタ C_{LCe} 及び結合キャパシタ Ccp に印加し、結合キャパシタ Ccp はこの電圧の大きさを覚えて第 2 液晶キャパシタ C_{LCf} に伝達する。

ストレージキャパシタ C_{STe} に共通電圧 Vcom が印加され、キャパシタ C_{LCe} 、 C_{STe} 、 C_{LCf} 、 C_{cp} と、その静電容量を同一図面符号で示すと、第 1 液晶キャパシタ C_{LCe} に充電された電圧 Ve と第 2 液晶キャパシタ C_{LCf} に充電された電圧 Vf は次のような関係を有する。

【0117】

10

20

30

40

50

$$V_f = V_e \times (C_{cp} / (C_{cp} + C_{LCf}))$$

$C_{cp} / (C_{cp} + C_{LCf})$ の値が 1 より小さいために第 2 液晶キャパシタ C_{LCf} に充電された電圧 V_f は第 1 液晶キャパシタ C_{LLe} に充電された電圧 V_e に比べて常に小さい。この関係はストレージキャパシタ C_{STE} に印加された電圧が共通電圧 V_{com} でなくても同様に成立する。

【0118】

第 1 液晶キャパシタ C_{LLe} の電圧 V_e と第 2 液晶キャパシタ C_{LCf} の電圧 V_f の適正な比率は結合キャパシタ C_{cp} の静電容量を調節することによって得られる。

次に、このような液晶表示装置の動作について図 17 を参照して詳細に説明する。

図 17 は図 16 に示した画素を含む液晶表示装置の駆動信号を示したタイミング図である。

10

【0119】

図 16 に示した画素を含む液晶表示装置では、信号制御部 600 が 1 つの画素行の入力映像信号 R、G、B を受信して正規映像データ N またはインパルスデータ I からなる出力映像信号 DAT に変換してデータ駆動部 500 に伝送する。

データ駆動部 500 は 1 つの画素行の出力映像信号 DAT を受信し、各出力映像信号 DAT に対応する階調電圧を選択することによって出力映像信号 DAT をアナログデータ電圧 V_d に変換した後、これを当該データ線 DL に印加する。

【0120】

図 17 に示したように、データ駆動部 500 は第 1 番目画素行の正規映像データ N に対応するデータ電圧 V_d を当該データ線 DL に印加する。

20

ゲート駆動部 400 は第 1 番目画素行のゲート線 GL にゲート信号 g_1 を印加して、このゲート線 GL に接続されているスイッチング素子 Q を導通させる。その結果、データ線 DL に印加されているデータ電圧 V_d が導通したスイッチング素子 Q を通じて当該副画素 PXa に印加される。

【0121】

そして、データ駆動部 500 は k 番目画素行のインパルスデータ I に対応するデータ電圧 V_d を当該データ線 DL に印加する。

ゲート駆動部 400 は k 番目画素行のゲート線 GL にゲート信号 g_k を印加して、このゲート線 GL に接続されているスイッチング素子 Q を導通させる。その結果、データ線 DL に印加されているデータ電圧 V_d が導通したスイッチング素子 Q を通じて当該副画素 PXa に印加される。

30

【0122】

このような方式で、1 水平周期ごとに交互に 1 つの画素行の副画素 PXa には正規映像データ N に対応するデータ電圧 V_d を印加し、他の 1 つの画素行の副画素 PXa にはインパルスデータ I に対応するデータ電圧 V_d を印加する。1 つのフレームの間に全ての副画素 PXa に正規映像データ N 及びインパルスデータ I に対応するデータ電圧 V_d を 1 回ずつ印加して 1 つのフレームの正規映像及びインパルス映像を表示する。

【0123】

図 14 及び図 15 に示した液晶表示装置の多くの特徴が図 16 及び図 17 に示した液晶表示装置にも適用できる。

40

本発明によれば、複数の画素行にインパルス映像を同時に表示することによってインパルス映像を表示するための駆動時間を相対的に減らすことができるので、画素電圧の充電率を高めることができ、その結果、充電率不足によるフリッカー発生を最小化することができる。また、インパルス映像を 1 つの副画素に表示し、他の副画素に正規映像を表示することによってブラリングを防止しながら、輝度低下を減らすことができる。

【0124】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求範囲で定のしている本発明の基本概念を利用した当業者の多様な変形及び改良形態もまた本発明の権利範囲に属する。

50

【図面の簡単な説明】

【 0 1 2 5 】

【図 1】本発明の 1 つの実施例による液晶表示装置のブロック図である。

【図 2】本発明の 1 つの実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

【図 3】本発明の 1 つの実施例による液晶表示装置の駆動信号を示したタイミング図である。

【図 4】図 3 に示した駆動信号によって表示される画像を 1 フレームの間に表示した概略図である。

【図 5】本発明の 1 つの実施例によるデータ駆動部のブロック図である。

10

【図 6】図 5 に示したチャージシェアリング部の回路図に対する一例である。

【図 7】本発明の 1 つの実施例によるチャージシェアリング時、ロード信号、ゲートクロック信号、反転信号によって任意の一つのデータ線を通る電圧に対する波形図である。

【図 8】本発明の他の実施例による液晶表示装置の 2 つの副画素に対する等価回路図である。

【図 9】本発明の他の実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

【図 10】図 9 に示した画素を含む液晶表示装置の駆動信号を示したタイミング図である。

【図 11】図 10 に示した駆動信号によって表示される画像を 1 フレームの間に表示した概略図である。

20

【図 12】本発明の他の実施例による液晶表示装置の駆動信号の他の例を示したタイミング図である。

【図 13】本発明の他の実施例による液晶表示装置の駆動信号の他の例を示したタイミング図である。

【図 14】本発明の他の実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

【図 15】図 14 に示した画素を含む液晶表示装置の駆動信号を示したタイミング図である。

【図 16】本発明の他の実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

30

【図 17】図 16 に示した画素を含む液晶表示装置の駆動信号を示したタイミング図である。

【符号の説明】

【 0 1 2 6 】

3 液晶層

1 0 0 下部表示板

1 9 1 画素電極

2 0 0 上部表示板

2 3 0、C F 色フィルター

40

2 7 0 共通電極

3 0 0 液晶表示板組立体

4 0 0 ゲート駆動部

5 0 0 データ駆動部

5 1 0 シフトレジスター部

5 2 0 ラッチ

5 3 0 デジタル - アナログ変換機

5 4 0 バッファ

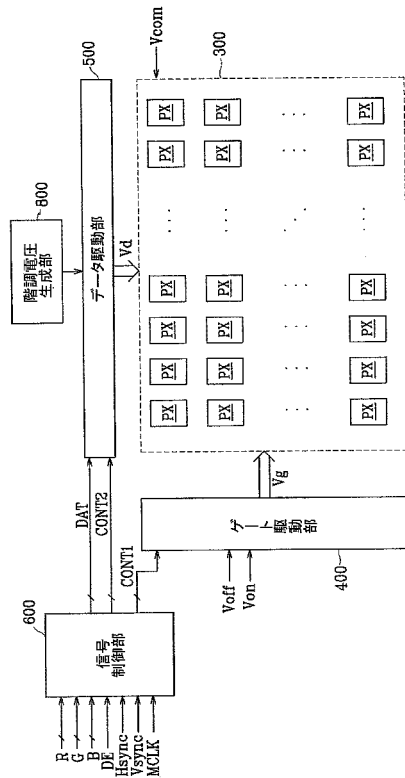
5 5 0 チャージシェアリング部

6 0 0 信号制御部

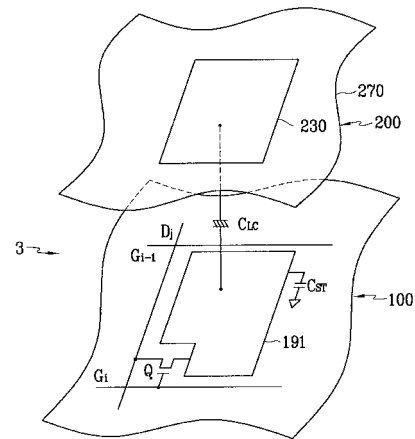
50

8 0 0	階調電圧生成部	
G i	ゲート線	
D j	データ線	
C _{LC}	液晶キャパシタ	
C _{ST}	ストレージキャパシタ	
C E	共通電極	
C O N T 1	ゲート制御信号	
C O N T 2	データ制御信号	
C P V	ゲートクロック信号	
C R、C S	キャリア信号	10
D A T	映像信号	
D E	データイネーブル信号	
D O U T	データ線の電圧	
H C L K	データクロック信号	
H s y n c	水平同期信号	
I	インパルスデータ電圧	
L O A D	ロード信号	
M C L K	メインクロック信号	
N	正規映像データ電圧	
N a、N b	正規映像データ	20
O E	出力イネーブル信号	
O I E	インパルスデータ用波形	
O E N	正規映像データ用波形	
P 1	正規映像データ用パルス	
P 2	インパルスデータ用パルス	
P E	画素電極	
P E a、P E b	副画素電極	
P X	画素	
P X a、P X b	副画素	
Q	スイッチング素子	30
R V S	反転信号	
S L	維持電極線	
S T V	走査開始信号	
V c o m	共通電圧	
V d	アナログデータ電圧	
V e	第1液晶キャパシタの電圧	
V f	第2液晶キャパシタの電圧	
V g	ゲート信号	
V g m	階調電圧	
V o n	ゲートオン電圧	40
V o f f	ゲートオフ電圧	
V s y n c	垂直同期信号	

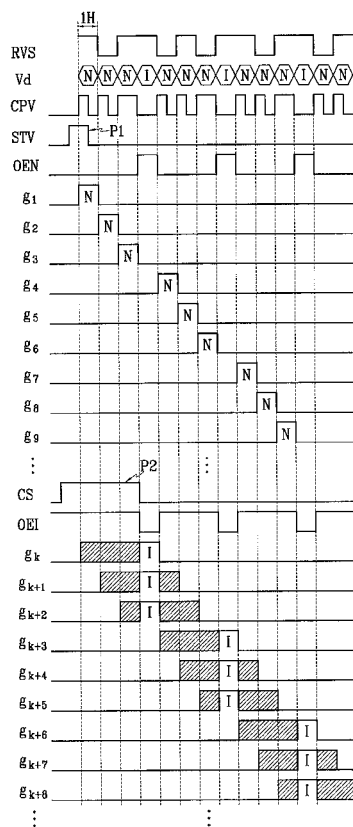
【図 1】



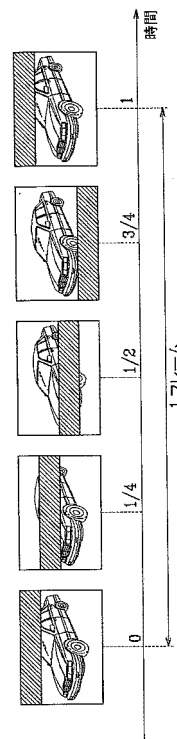
【図 2】



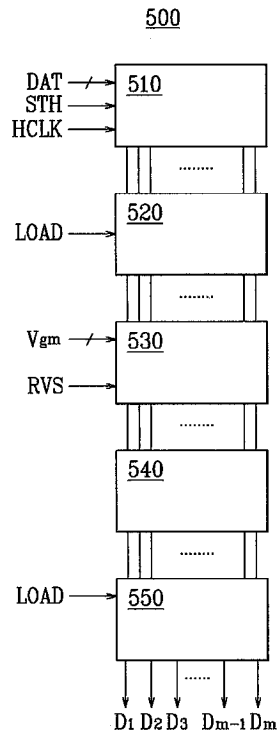
【図 3】



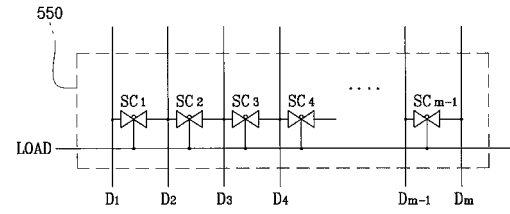
【図 4】



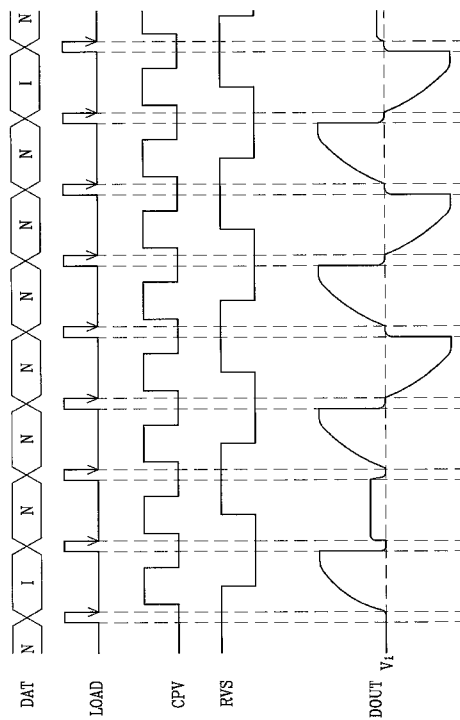
【図 5】



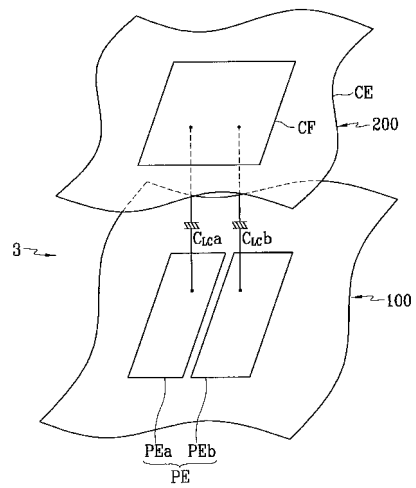
【図 6】



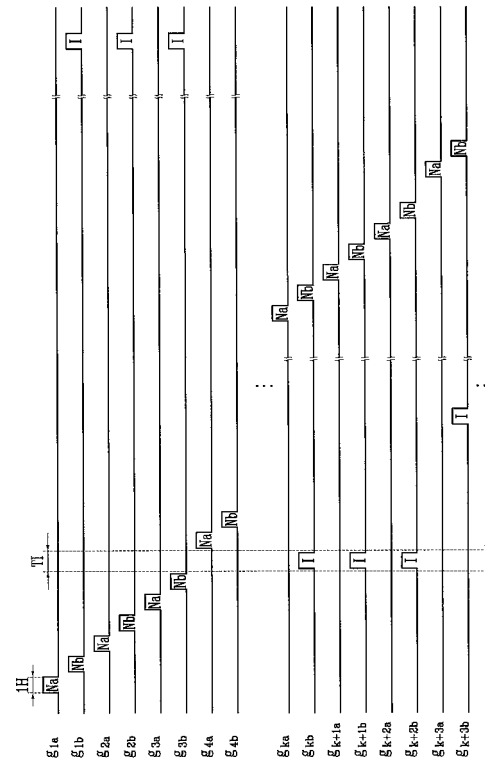
【図 7】



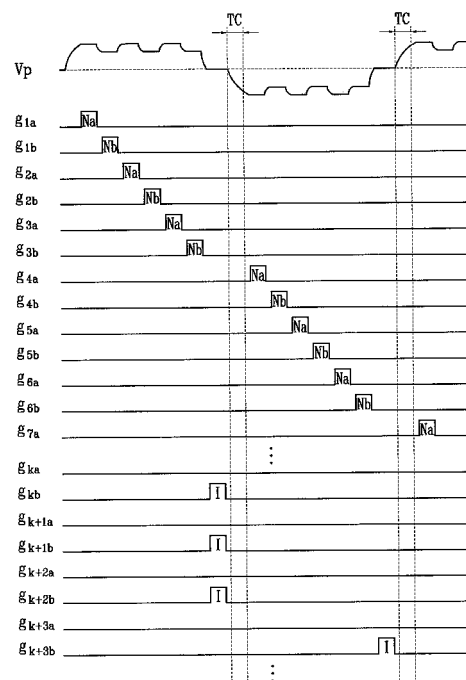
【図 8】



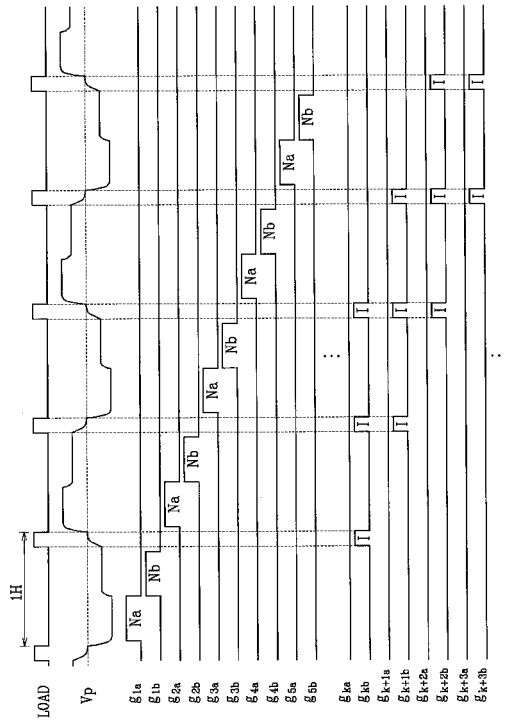
【 図 1 0 】



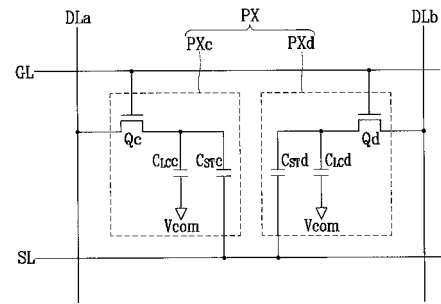
【 図 1 2 】



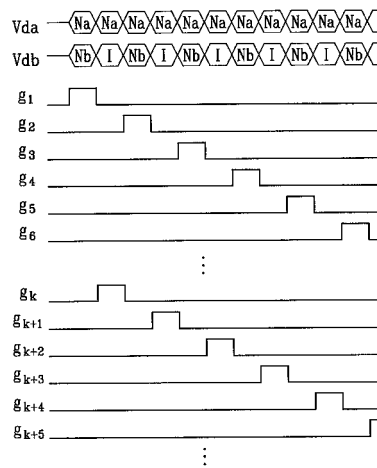
【図 13】



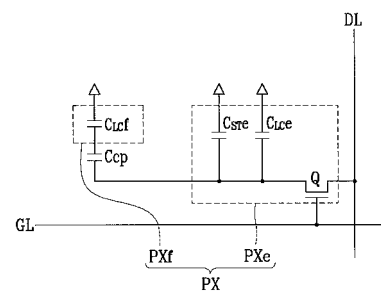
【図 14】



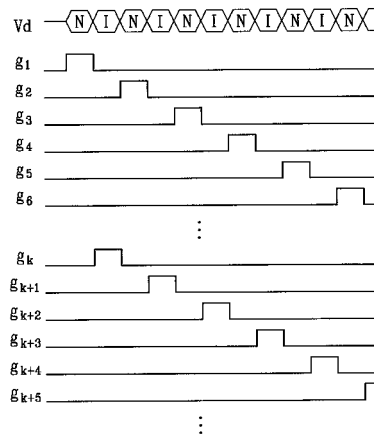
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 K
G 0 9 G	3/20	6 5 0 M
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 1 1 E

(72)発明者 洪 淳 洸

大韓民国京畿道城南市盆唐区九美洞ムジゲマウルエルジーアパート 2 0 3 棟 1 5 0 1 号

(72)発明者 金 太 星

大韓民国京畿道水原市靈通区靈通洞シンナムシル信元アパート 6 4 2 棟 1 5 0 1 号

(72)発明者 朴 宰 亨

大韓民国京畿道龍仁市器興区農書洞山 2 4 番地

(72)発明者 申 秉 赫

大韓民国ソウル市松坡区新川洞ザンミアパート 1 0 棟 1 1 0 2 号

審査官 安藤 達哉

(56)参考文献 特開 2 0 0 3 - 1 4 0 1 1 3 (J P , A)

特開 2 0 0 1 - 1 8 4 0 3 4 (J P , A)

特開平 0 4 - 0 9 7 1 2 6 (J P , A)

特開 2 0 0 4 - 0 1 2 8 7 2 (J P , A)

特開 2 0 0 4 - 0 6 2 1 4 6 (J P , A)

特開 2 0 0 3 - 0 6 6 9 1 8 (J P , A)

特開平 0 9 - 0 0 5 7 0 9 (J P , A)

特開 2 0 0 3 - 2 1 5 5 3 5 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

I P C G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3