

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成18年1月12日(2006.1.12)

【公開番号】特開2003-233333(P2003-233333A)

【公開日】平成15年8月22日(2003.8.22)

【出願番号】特願2002-339310(P2002-339310)

【国際特許分類】

<b>G 09 F</b>	<b>9/30</b>	<b>(2006.01)</b>
<b>G 02 F</b>	<b>1/1343</b>	<b>(2006.01)</b>
<b>G 02 F</b>	<b>1/136</b>	<b>(2006.01)</b>
<b>G 09 F</b>	<b>9/00</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>29/786</b>	<b>(2006.01)</b>

【F I】

G 09 F	9/30	3 4 3 Z
G 02 F	1/1343	
G 02 F	1/136	
G 09 F	9/00	3 4 6 A
G 09 F	9/00	3 4 8 Z
H 01 L	29/78	6 1 2 B
H 01 L	29/78	6 1 4

【手続補正書】

【提出日】平成17年11月17日(2005.11.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成することを特徴とするパッシブマトリクス型表示装置。

【請求項2】

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた絶縁膜と、

前記絶縁膜上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成し、

前記第1の電極は、前記絶縁膜に形成された開口部を介して前記信号線駆動回路又は前記走査線駆動回路と接続されていることを特徴とするパッシブマトリクス型表示装置。

【請求項3】

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成し、

前記第2の電極は、FPC又は配線を介して前記信号線駆動回路又は前記走査線駆動回路と接続されていることを特徴とするパッシブマトリクス型表示装置。

**【請求項4】**

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成し、

前記ロジック回路はSRAM、DRAM、フレームメモリ、タイミング生成回路、画像処理回路、CPU、DSP又はマスクROMから選択された一つ或いは複数の回路であることを特徴とするパッシブマトリクス型表示装置。

**【請求項5】**

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた絶縁膜と、

前記絶縁膜上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成し、

前記ロジック回路はSRAM、DRAM、フレームメモリ、タイミング生成回路、画像処理回路、CPU、DSP又はマスクROMから選択された一つ或いは複数の回路であつて、

前記第1の電極は、前記絶縁膜に形成された開口部を介して前記信号線駆動回路又は前記走査線駆動回路と接続されていることを特徴とするパッシブマトリクス型表示装置。

**【請求項6】**

絶縁表面を有する第1の基板上に設けられた複数のトランジスタと、

前記トランジスタ上に設けられた第1の電極と、

前記第1の電極と交差して設けられた第2の電極と、

前記第1の基板に対向する絶縁表面を有する第2の基板と、を有し、

前記複数のトランジスタは、信号線駆動回路と、走査線駆動回路と、ロジック回路とを構成し、

前記ロジック回路はSRAM、DRAM、フレームメモリ、タイミング生成回路、画像処理回路、CPU、DSP又はマスクROMから選択された一つ或いは複数の回路であつて、

前記第2の電極は、FPC又は配線を介して前記信号線駆動回路又は前記走査線駆動回路と接続されていることを特徴とするパッシブマトリクス型表示装置。

**【請求項7】**

請求項4乃至請求項6のいずれか一において、前記複数のトランジスタは前記SRAMを構成しており、前記SRAMの読み出しサイクル時間は200nsec以下であることを特徴とするパッシブマトリクス型表示装置。

**【請求項8】**

請求項4乃至請求項6のいずれか一において、前記複数のトランジスタは前記DRAMを構成しており、前記DRAMの読み出しサイクル時間は1μsec以下であることを特徴とするパッシブマトリクス型表示装置。

**【請求項9】**

請求項 4 乃至 請求項 6 のいずれか一において、前記複数のトランジスタは前記画像処理回路を構成しており、前記画像処理回路の動作周波数は 5 M H z 以上であることを特徴とするパッシブマトリクス型表示装置。

【請求項 10】

請求項 4 乃至 請求項 6 のいずれか一において、前記複数のトランジスタは前記 C P U を構成しており、前記 C P U の動作周波数は 5 M H z 以上であることを特徴とするパッシブマトリクス型表示装置。

【請求項 11】

請求項 4 乃至 請求項 6 のいずれか一において、前記複数のトランジスタは前記 D S P を構成しており、前記 D S P の動作周波数は 5 M H z 以上であることを特徴とするパッシブマトリクス型表示装置。

【請求項 12】

請求項 1 乃至 請求項 11 のいずれか一において、前記第 1 の電極は反射電極であることを特徴とするパッシブマトリクス型表示装置。

【請求項 13】

請求項 1 乃至 請求項 12 のいずれか一において、前記第 2 の電極は透明電極であることを特徴とするパッシブマトリクス型表示装置。

【請求項 14】

請求項 1 乃至 請求項 13 のいずれか一において、前記トランジスタは絶縁表面上に設けられた薄膜トランジスタであることを特徴とするパッシブマトリクス型表示装置。

【請求項 15】

絶縁表面を有する第 1 の基板と、  
前記第 1 の基板と対向する絶縁表面を有する第 2 の基板と、  
前記第 1 の基板に設けられた複数の薄膜トランジスタを有する信号線駆動回路及び走査線駆動回路と、第 1 の電極と、  
前記第 2 の基板に設けられたロジック回路と、第 2 の電極と、を有することを特徴とするパッシブマトリクス型表示装置。

【請求項 16】

絶縁表面を有する第 1 の基板と、  
前記第 1 の基板と対向する絶縁表面を有する第 2 の基板と、  
前記第 1 の基板に設けられた複数の薄膜トランジスタを有する信号線駆動回路及び走査線駆動回路と、第 1 の電極と、  
前記第 2 の基板に設けられたロジック回路と、第 2 の電極と、を有し、  
前記ロジック回路は、 S R A M 、 D R A M 、フレームメモリ、タイミング生成回路、画像処理回路、 C P U 、 D S P 又はマスク R O M から選択された一つ或いは複数の回路を構成することを特徴とするパッシブマトリクス型表示装置。

【請求項 17】

請求項 15 又は請求項 16 において、前記ロジック回路は信号線駆動回路又は走査線駆動回路上方のみに設けられることを特徴とするパッシブマトリクス型表示装置。

【請求項 18】

請求項 14 乃至 請求項 17 のいずれか一において、前記薄膜トランジスタの活性層は結晶性半導体膜を有することを特徴とするパッシブマトリクス型表示装置。

【請求項 19】

請求項 14 乃至 請求項 18 のいずれか一において、前記薄膜トランジスタの活性層は結晶性半導体膜を有し、前記結晶性半導体膜は、半導体膜に連続発振レーザ光を照射し、当該レーザ光を前記半導体膜に対して一方向に走査することによって得られたことを特徴とするパッシブマトリクス型表示装置。

【請求項 20】

請求項 19 において、前記薄膜トランジスタのチャネル長方向と前記レーザ光の走査方向とのなす角は - 3 0 ° ~ 3 0 ° であることを特徴とするパッシブマトリクス型表示装置

。

【請求項 2 1】

請求項 1 4 乃至 請求項 1 8 のいずれか一において、前記薄膜トランジスタの活性層は結晶性半導体膜を有し、前記結晶性半導体膜を構成する結晶粒は一軸方向に延在することを特徴とするパッシブマトリクス型表示装置。

【請求項 2 2】

請求項 2 1において、前記薄膜トランジスタのチャネル方向と前記一軸方向とのなす角は - 30° ~ 30° であることを特徴とするパッシブマトリクス型表示装置。

【請求項 2 3】

請求項 2 1 又は 請求項 2 2において、前記結晶粒は、短径方向の長さが 0.5 ~ 100 μm であり、長径方向の長さが 3 ~ 10000 μm であることを特徴とするパッシブマトリクス型表示装置。

【請求項 2 4】

請求項 1 乃至 請求項 2 3 のいずれか一において、前記第 1 の基板は、プラスチック基板、ガラス基板及び石英基板のいずれか一つであることを特徴とするパッシブマトリクス型表示装置。

【請求項 2 5】

請求項 1 乃至 請求項 2 4 のいずれか一において、前記第 2 の基板は、プラスチック基板、ガラス基板及び石英基板のいずれか一つであることを特徴とするパッシブマトリクス型表示装置。