

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 1월 27일 (27.01.2022) **WIPO | PCT**

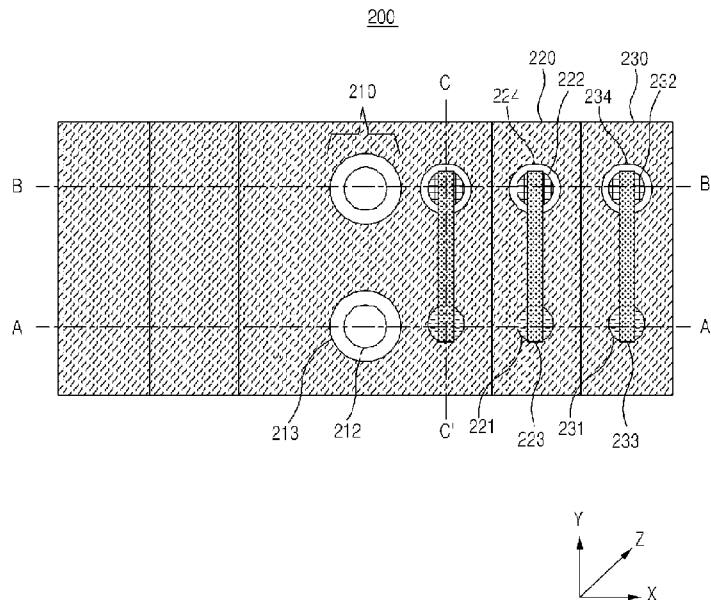


(10) 국제공개번호
WO 2022/019522 A1

- (51) 국제특허분류:
H01L 27/11582 (2017.01) *H01L 27/11573* (2017.01)
H01L 27/1157 (2017.01) *G11C 16/08* (2006.01)
H01L 29/792 (2006.01) *G11C 16/04* (2006.01)
H01L 29/66 (2006.01) *H01L 27/02* (2006.01)
H01L 27/11578 (2017.01)
- (21) 국제출원번호: PCT/KR2021/008499
- (22) 국제출원일: 2021년 7월 5일 (05.07.2021)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2020-0092124 2020년 7월 24일 (24.07.2020) KR
10-2020-0107043 2020년 8월 25일 (25.08.2020) KR
10-2020-0109573 2020년 8월 28일 (28.08.2020) KR
- (71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).
- (72) 발명자: 송윤흡 (SONG, Yun Heub); 04763 서울시 성동구 왕십리로 222, Seoul (KR). 남인호 (NAM, Inho); 04763 서울시 성동구 왕십리로 222, Seoul (KR).
- (74) 대리인: 김정훈 (KIM, Jeong Hoon); 06099 서울시 강남구 선릉로125길 14 삼성빌딩 2층 피앤티특허법률사무소, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,

(54) Title: THREE-DIMENSIONAL FLASH MEMORY HAVING IMPROVED INTEGRATION DENSITY

(54) 발명의 명칭: 집적도를 개선한 3차원 플래시 메모리



(57) Abstract: The present invention relates to a three-dimension flash memory to which an efficient word line connection structure is applied, and a method for manufacturing same, wherein a plurality of word lines are connected to a low decoder respectively through contacts of the plurality of word lines, a plurality of connection wires, and plug vias of the plurality of word lines. The row decoder and a column decoder are arranged to divide a plurality of peripheral circuit blocks such that the plurality of peripheral circuit blocks are symmetrical to each other in the plane of the three-dimensional flash memory. The three-dimension flash memory is configured in a buried type in which a common source line is buried in a substrate, in order to improve integration density.

MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 효율적인 워드 라인 연결 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법으로, 복수의 워드 라인들 각각이 복수의 워드 라인들 각각의 콘택트, 복수의 연결 배선들 및 복수의 워드 라인들 각각의 플러그 비아(Plug Via)를 통해 로우 디코더와 연결되는 것을 특징으로 한다. 3차원 플래시 메모리의 평면 내에서 복수의 주변 회로 블록들이 서로 대칭되도록 로우 디코더 및 컬럼 디코더가 복수의 주변 회로 블록들을 분할하며 배치되는 것을 특징으로 한다. 집적도를 개선하기 위해 공통의 소스 라인을 기판에 매몰되는 매몰형으로 구성한다.

명세서

발명의 명칭: 집적도를 개선한 3차원 플래시 메모리

기술분야

- [1] 아래의 실시예들은 3차원 플래시 메모리에 관한 것으로, 보다 상세하게 집적도를 개선한 3차원 플래시 메모리에 대한 기술이다.

배경기술

- [2] 플래시 메모리는 전기적으로 소거가능하며 프로그램 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, F-N 터널링(Fowler-Nordheimtunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어한다.
- [3] 최근 플래시 메모리에는, 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 메모리 셀 스트링의 수직 방향의 길이를 늘려 집적도를 증가시키는 3차원 구조가 적용되었다. 이러한 기존의 3차원 플래시 메모리를 나타낸 도 1을 참조하면, 3차원 플래시 메모리(100)는 기판(110)에 수직 방향으로 형성된 채널층(120), 채널층(120)을 감싸도록 형성된 전하 저장층(130), 전하 저장층(130)에 연결되며 수평 방향으로 적층된 복수의 워드 라인들(140) 및 복수의 워드 라인들(140)에 교번하며 개재되는 복수의 절연층들(150)을 포함하는 구조를 갖는다. 이하, 데이터의 저장 및 판독과 직접적으로 관련된 구성요소인 전하 저장층(130), 채널층(120) 및 복수의 워드 라인들(140)은 메모리 셀 스트링을 구성할 수 있다.
- [4] 이러한 기존의 3차원 플래시 메모리(100)는, 복수의 워드 라인들(140)의 하부에 배치되며 복수의 워드 라인들(140)에 대한 선택 동작을 수행하는 로우 디코더(Row Decoder)(160)를 더 포함할 수 있다.
- [5] 이와 같은 구조의 3차원 플래시 메모리(100)에서, 복수의 워드 라인들(140) 각각은 복수의 워드 라인들(140) 각각의 콘택트(141)와 연결되는 외곽 배선(161)을 통해 로우 디코더(160)와 연결되게 된다. 이에, 외곽 배선(161)이 복수의 워드 라인들(140)의 평면을 벗어나는 연결 경로를 갖기 때문에, 기존의 3차원 플래시 메모리(100)에서는 동작 속도가 지연되고 집적도가 떨어지며 복잡한 레이아웃 구조를 갖는 문제점이 발생될 수 있다.
- [6] 따라서, 기존의 3차원 플래시 메모리(100)가 갖는 문제점을 해결하기 위한 기술이 제안될 필요가 있다.
- [7] 또한, 최근 플래시 메모리에는 기판에 적어도 하나의 주변 회로가 배치되는 COP(Cell On Peripheral) 구조가 적용되고 있다.
- [8] 이와 같은 구조로 인해 적어도 하나의 주변 회로의 배선 복잡도가 증가되는 바, 적어도 하나의 주변 회로가 로우 디코더(Row Decoder) 및 컬럼 디코더(Column Decoder)와 함께 배치되는 레이아웃(Layout)을 효율적으로 해야 할 필요가 있다.

- [9] 따라서, 아래의 실시예들은 효율적인 레이아웃을 위한 구조가 적용된 3차원 플래시 메모리를 제안하고자 한다.
- [10] 또한, 기존의 3차원 플래시 메모리를 나타낸 도 15a 및 15b를 참조하면, 3차원 플래시 메모리(1500)는 기판(1510)에 일 방향(일례로, 수직 방향인 Z 방향)으로 연장 형성되는 채널층(1521) 및 채널층(1521)을 감싸도록 형성된 전하 저장층(1522)을 포함하는 복수의 메모리 셀 스트링들(120), 복수의 메모리 셀 스트링들(1520)에 대해 수직 방향으로 연결되는 복수의 워드 라인들(1530) 및 단차를 갖도록 기판(1510)의 상부로 복수의 메모리 셀 스트링들(1520)의 높이만큼 연장 형성되는 공통의 소스 라인(1540)을 포함하는 구조를 갖는다.
- [11] 이 때, 공통의 소스 라인(1540)은 복수의 메모리 셀 스트링들(1520)에 대한 소스 전극의 기능뿐만 아니라, 복수의 메모리 셀 스트링들(1520)이 임의의 개수로 그룹핑된 복수의 메모리 블록들(1521, 1522) 별로 복수의 워드 라인들(1530)을 분리하는 기능과 복수의 메모리 블록들(1521, 1522) 내에서 복수의 워드 라인들(1530)의 상단에 위치하는 SSL(String selection line)(1531)을 분리하는 기능을 갖는다.
- [12] 한편, 설명된 바와 같이 공통의 소스 라인(1540)이 기판(1510) 상 단차를 갖도록 형성되기 때문에, 기존의 3차원 플래시 메모리는 소스 라인의 제조 공정 복잡도가 높고, 셀 집적도가 저하되는 단점을 갖는다.
- [13] 따라서, 공통의 소스 라인이 갖는 기능들을 보장하는 가운데 소스 라인의 구조를 변경하여, 기존의 3차원 플래시 메모리가 갖는 단점을 해결하는 기술이 제안될 필요가 있다.

발명의 상세한 설명

기술적 과제

- [14] 일 실시예들은 동작 속도 지연을 방지하고 집적도를 향상시키며 단순한 레이아웃 구조를 갖고자, 복수의 워드 라인들로부터 로우 디코더까지의 연결 경로를 복수의 워드 라인들의 평면 내에 배치하여 연결 경로의 길이를 최소화하는 구조의 3차원 플래시 메모리를 제안한다.
- [15] 보다 상세하게, 일 실시예들은 복수의 워드 라인들 각각이 복수의 워드 라인들 각각의 콘택트, 복수의 연결 배선들 및 복수의 워드 라인들 각각의 플러그 비아(Plug Via)를 통해 로우 디코더와 연결되는 구조의 3차원 플래시 메모리를 제안한다.
- [16] 일 실시예들은 효율적인 레이아웃을 위한 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안한다.
- [17] 보다 상세하게, 일 실시예들은 3차원 플래시 메모리의 평면 내에서 복수의 주변 회로 블록들이 서로 대칭되도록 로우 디코더 및 컬럼 디코더가 복수의 주변 회로 블록들을 분할하며 배치됨으로써, 효율적인 레이아웃을 위한 구조를 구현하는 3차원 플래시 메모리 및 그 제조 방법을 제안한다.

[18] 일 실시예들은 기존의 3차원 플래시 메모리가 갖는 단점을 해결하고자, 소스 라인의 제조 공정 복잡도를 낮추고, 셀 집적도를 향상시키는 3차원 플래시 메모리 및 그 제조 방법을 제안한다.

[19] 보다 상세하게, 일 실시예들은 공통의 소스 라인을 기판에 매몰되는 매몰형으로 구성하는 3차원 플래시 메모리 및 그 제조 방법을 제안한다.

기술적 해결방법

[20] 일 실시예에 따르면, 효율적인 워드 라인 연결 구조가 적용된 3차원 플래시 메모리는, 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링; 상기 적어도 하나의 메모리 셀 스트링과 수직으로 연결되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들의 하부에 위치하는 로우 디코더(Row Decoder)를 포함하고, 상기 복수의 워드 라인들 각각은, 상기 복수의 워드 라인들 각각의 콘택트(Contact)와 연결되는 플러그 비아(Plug Via)를 통해 상기 로우 디코더와 연결되는 것을 특징으로 한다.

[21] 일측에 따르면, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들의 평면 상에서 상기 복수의 워드 라인들 각각을 관통하며 상기 로우 디코더와 접촉되는 것을 특징으로 할 수 있다.

[22] 다른 일측에 따르면, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들 각각과 평면 상에서 격리되는 구조를 갖는 것을 특징으로 할 수 있다.

[23] 또 다른 일측에 따르면, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들 각각과의 사이에 형성되는 산화막에 의해 상기 복수의 워드 라인들 각각과 평면 상에서 격리되는 것을 특징으로 할 수 있다.

[24] 또 다른 일측에 따르면, 상기 복수의 워드 라인들 각각의 플러그 비아가 상기 복수의 워드 라인들 각각의 콘택트와 연결되는 복수의 연결 배선들은, 상기 복수의 워드 라인들의 평면 내에 배치되는 것을 특징으로 할 수 있다.

[25] 일 실시예에 따르면, 효율적인 레이아웃을 위한 구조를 갖는 3차원 플래시 메모리는, 기판 상 일 방향으로 연장 형성되는 복수의 메모리 셀 스트링들을 각각 포함하는 적어도 하나의 셀 블록; 상기 기판에 COP(Cell On Peripheral) 구조가 적용됨에 따라 상기 적어도 하나의 셀 블록의 하부에 위치한 채, 적어도 하나의 주변 회로를 각각 포함하는 복수의 주변 회로 블록들; 상기 적어도 하나의 셀 블록 및 상기 복수의 주변 회로 블록들에 대한 로우 디코더(Row Decoder); 및 상기 적어도 하나의 셀 블록 및 상기 복수의 주변 회로 블록들에 대한 컬럼 디코더(Column Decoder)를 포함하고, 상기 로우 디코더 및 상기 컬럼 디코더는, 상기 복수의 주변 회로 블록들이 서로 대칭되도록 상기 복수의 주변 회로 블록들을 분할하며 배치되는 것을 특징으로 한다.

[26] 일측에 따르면, 상기 로우 디코더 및 상기 컬럼 디코더는, 상기 3차원 플래시 메모리의 평면 내에서 십자형(Cross shape)으로 배치되어, 상기 십자형에 의한

사분면(Quadrant)에 상기 복수의 주변 회로 블록들을 대칭되도록 분할하는 것을 특징으로 할 수 있다.

- [27] 다른 일측에 따르면, 상기 로우 디코더 및 상기 컬럼 디코더는, 상기 3차원 플래시 메모리의 평면 내에서 상기 로우 디코더가 수직 방향으로 위치하고 상기 컬럼 디코더가 상기 로우 디코더의 중간 지점을 가로지르며 수평 방향으로 위치함에 따라, 상기 십자형으로 배치되는 것을 특징으로 할 수 있다.
- [28] 또 다른 일측에 따르면, 상기 로우 디코더 및 상기 컬럼 디코더는, 상기 3차원 플래시 메모리의 평면 내에서 T자형으로 배치되어, 상기 T자형에 의한 두 개의 분면들에 상기 복수의 주변 회로 블록들을 대칭되도록 분할하는 것을 특징으로 할 수 있다.
- [29] 또 다른 일측에 따르면, 상기 로우 디코더 및 상기 컬럼 디코더는, 상기 3차원 플래시 메모리의 평면 내에서 상기 컬럼 디코더가 수평 방향으로 위치하고 상기 로우 디코더가 상기 컬럼 디코더의 중간 지점으로부터 일 지점까지 수직 방향으로 위치함에 따라, 상기 T자형으로 배치되는 것을 특징으로 할 수 있다.
- [30] 일 실시예에 따르면, 집적도를 개선한 3차원 플래시 메모리는, 기관 상 일 방향으로 연장 형성되는 채널층 및 전하 저장층을 각각 포함하는 복수의 메모리 셀 스트링들; 상기 복수의 메모리 셀 스트링들에 대해 수직 방향으로 연결되는 복수의 워드 라인들; 상기 기관에 매몰된 적어도 하나의 매몰형 소스 라인; 및 상기 복수의 워드 라인들을 분리하는 적어도 하나의 워드 라인 분리 슬릿(Slit)을 포함한다.
- [31] 일측에 따르면, 상기 적어도 하나의 워드 라인 분리 슬릿은, 상기 복수의 워드 라인들이 분리된 부분들이 복수의 메모리 블록들-상기 복수의 메모리 블록들은 상기 복수의 메모리 셀 스트링들이 임의의 개수로 그룹핑되어 형성됨-별로 이격되도록 상기 복수의 워드 라인들에 대해 수직 방향으로 연장 형성되어 상기 복수의 워드 라인들을 분리하는 것을 특징으로 할 수 있다.
- [32] 다른 일측에 따르면, 상기 적어도 하나의 워드 라인 분리 슬릿은, 상기 복수의 워드 라인들에 대응하는 영역의 깊이만큼 수직 방향으로 연장 형성되는 것을 특징으로 할 수 있다.
- [33] 또 다른 일측에 따르면, 상기 3차원 플래시 메모리는, 상기 복수의 워드 라인들의 상단에 위치하는 적어도 하나의 SSL(String selection line)을 분리하는 적어도 하나의 SSL 분리 슬릿을 더 포함할 수 있다.
- [34] 또 다른 일측에 따르면, 상기 적어도 하나의 워드 라인 분리 슬릿은, 상기 복수의 워드 라인들을 형성하는 전도성 물질이 삽입되는 통로로 사용되는 것을 특징으로 할 수 있다.

발명의 효과

- [35] 일 실시예들은 복수의 워드 라인들로부터 로우 디코더까지의 연결 경로를 복수의 워드 라인들의 평면 내에 배치하여 연결 경로의 길이를 최소화하는

구조의 3차원 플래시 메모리를 제안할 수 있다.

- [36] 보다 상세하게, 일 실시예들은 복수의 워드 라인들 각각이 복수의 워드 라인들 각각의 콘택트, 복수의 연결 배선들 및 복수의 워드 라인들 각각의 플러그 비아(Plug Via)를 통해 로우 디코더와 연결되는 구조의 3차원 플래시 메모리를 제안할 수 있다.
- [37] 따라서, 일 실시예들은 동작 속도 지연을 방지하고 집적도를 향상시키며 단순한 레이아웃 구조를 갖는 3차원 플래시 메모리를 제안할 수 있다.
- [38] 일 실시예들은 효율적인 레이아웃을 위한 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.
- [39] 보다 상세하게, 일 실시예들은 3차원 플래시 메모리의 평면 내에서 복수의 주변 회로 블록들이 서로 대칭되도록 로우 디코더 및 컬럼 디코더가 복수의 주변 회로 블록들을 분할하며 배치됨으로써, 효율적인 레이아웃을 위한 구조를 구현하는 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.
- [40] 일 실시예들은 소스 라인의 제조 공정 복잡도를 낮추고, 셀 집적도를 향상시키는 3차원 플래시 메모리 및 그 제조 방법을 제안함으로써, 기존의 3차원 플래시 메모리가 갖는 단점을 해결할 수 있다.
- [41] 보다 상세하게, 일 실시예들은 공통의 소스 라인을 기판에 매몰되는 매몰형으로 구성하는 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.
- [42] 이에, 일 실시예들은 매몰형 소스 라인이 기판을 통해 메모리 셀 스트링과 연결되는 3차원 플래시 메모리 및 그 제조 방법을 제안함으로써, 소스 라인이 메모리 셀 스트링과 연결되는 배선이 제거되어 배선 레이아웃 설계를 단순화하는 효과를 도모할 수 있다.

도면의 간단한 설명

- [43] 도 1은 기존의 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.
- [44] 도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [45] 도 3은 도 2에 도시된 3차원 플래시 메모리의 A-A'의 단면을 나타낸 X-Z 단면도이다.
- [46] 도 4는 도 2에 도시된 3차원 플래시 메모리의 B-B'의 단면을 나타낸 X-Z 단면도이다.
- [47] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 C-C'의 단면을 나타낸 Y-Z 단면도이다.
- [48] 도 6은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [49] 도 7a 내지 7e는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Y 평면도이다.
- [50] 도 8a 내지 8d는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 A-A'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다.

- [51] 도 9a 내지 9d는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 B-B'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다.
- [52] 도 10a 내지 10e는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 C-C'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 Y-Z 단면도이다.
- [53] 도 11은 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [54] 도 12는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [55] 도 13은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [56] 도 14는 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [57] 도 15a는 기존의 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [58] 도 15b는 기존의 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.
- [59] 도 16a는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [60] 도 16b는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.
- [61] 도 17은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [62] 도 18a 내지 18f는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다.
- [63] 도 19a는 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [64] 도 19b는 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.
- [65] 도 20은 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [66] 도 21a 내지 21f는 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다.

발명의 실시를 위한 최선의 형태

- [67] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [68] 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [69]

- [70] 도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이고, 도 3은 도 2에 도시된 3차원 플래시 메모리의 A-A'의 단면을 나타낸 X-Z 단면도이며, 도 4는 도 2에 도시된 3차원 플래시 메모리의 B-B'의 단면을 나타낸 X-Z 단면도이고, 도 5는 일 실시예에 따른 3차원 플래시 메모리의 C-C'의 단면을 나타낸 Y-Z 단면도이다.
- [71] 도 2 내지 도 5를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(200)는 적어도 하나의 메모리 셀 스트링(210), 복수의 워드 라인들(220, 230) 및 로우 디코더(240)를 포함할 수 있다.
- [72] 적어도 하나의 메모리 셀 스트링(210)은 기판(211) 상 일 방향(예컨대, Z 방향)으로 연장 형성되며, 채널층(212) 및 채널층(212)을 감싸는 전하 저장층(213)으로 구성될 수 있다. 채널층(212)은 단결정질의 실리콘 또는 폴리 실리콘(Poly-silicon)으로 형성될 수 있으며, 전하 저장층(213)은, 복수의 워드 라인들(220, 230)을 통해 유입되는 전류로부터 전하를 저장하는 구성요소로서, 일례로, ONO(Oxide-Nitride-Oxide)의 구조로도 형성될 수 있다. 이하, 적어도 하나의 메모리 셀 스트링(210) 각각은 기판(211)에 대해 직교하는 일 방향(예컨대, Z 방향)으로 연장 형성되는 수직 요소만을 포함하는 것으로 설명되나, 이에 제한되거나 한정되지 않고 기판(211)과 평행하는 전하 저장층(213)의 수평 요소(미도시)를 더 포함할 수 있다.
- [73] 로우 디코더(240)는 복수의 워드 라인들(220, 230)의 하부에 배치되며 복수의 워드 라인들(220, 230)에 대한 선택 동작을 수행할 수 있다. 로우 디코더(240)의 기능 및 배치 위치는 기존에 공지된 로우 디코더와 동일하므로 상세한 설명을 생략하기로 한다.
- [74] 복수의 워드 라인들(220, 230)은 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Au(구리) 또는 Au(금)과 같은 도전성 물질로 형성되어 워드 라인의 기능을 담당할 수 있다. 이러한 복수의 워드 라인들(220, 230)은 로우 디코더(240)와의 연결을 위해 일부분이 계단 형상을 갖게 되며, 복수의 워드 라인들(220, 230) 각각은 계단 형상에 형성된 콘택트(221, 231)를 포함할 수 있다.
- [75] 특히, 일 실시예에 따른 복수의 워드 라인들(220, 230) 각각은, 콘택트(221, 231)와 연결되는 플러그 비아(222, 232)를 통해 로우 디코더(240)와 연결되는 것을 특징으로 한다.
- [76] 보다 상세하게, 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)가 로우 디코더(240)와 접촉되도록 구성됨에 따라, 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 222)와 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)가 복수의 연결 배선들(223, 233)을 통해 연결됨으로써, 복수의 워드 라인들(220, 230) 각각은 콘택트(221, 222), 연결 배선(223, 233) 및 플러그 비아(222, 232)를 경유하며 로우 디코더(240)와 연결될 수 있다.
- [77] 이 때, 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 222)와 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)는 물론, 복수의 연결 배선들(223,

- 233)이 복수의 워드 라인들(220, 230)의 평면 내에 배치됨으로써, 복수의 워드 라인들(220, 230)로부터 로우 디코더(240)까지의 연결 경로가 복수의 워드 라인들(220, 230)의 평면을 벗어나지 않으며 짧은 거리를 갖게 될 수 있다.
- [78] 더 나아가, 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232) 및 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231)가 복수의 워드 라인들(220, 230)의 평면 상 형성되는 위치가, 복수의 연결 배선들(223, 233) 각각의 길이(223-1, 233-1)를 최소화하도록 조절됨으로써, 복수의 워드 라인들(220, 230)로부터 로우 디코더(240)까지의 연결 경로가 최단 거리를 갖게 될 수 있다.
- [79] 여기서, 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)는, 복수의 워드 라인들(220, 230)의 평면 상에서 복수의 워드 라인들(220, 230) 각각을 관통하며 로우 디코더(240)와 접촉되는 구성요소로서, 복수의 워드 라인들(220, 230) 각각과 평면 상에서 격리되는 구조를 가질 수 있다. 일례로, 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)는 복수의 워드 라인들(220, 230) 각각과의 사이에 형성되는 산화막(224, 234)에 의해 복수의 워드 라인들(220, 230) 각각과 평면 상에서 격리될 수 있다.
- [80] 이처럼 일 실시예에 따른 3차원 플래시 메모리(200)는, 복수의 워드 라인들(220, 230) 각각이 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231), 복수의 연결 배선들(223, 233) 및 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)를 통해 로우 디코더(240)와 연결되어, 연결 경로를 복수의 워드 라인들(220, 230)의 평면 내에 배치하여 길이를 최소화하는 구조를 가짐으로써, 이를 통해 동작 속도 지연을 방지하고 집적도를 향상시키며 레이아웃 구조를 단순화하는 효과를 도모할 수 있다.
- [81] 3차원 플래시 메모리(200)의 제조 공정에 대한 상세한 설명은 아래의 도 6 내지 10e를 참조하며 기재하기로 한다.
- [82]
- [83] 도 6은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 7a 내지 7e는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Y 평면도이며, 도 8a 내지 8d는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 A-A'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이고, 도 9a 내지 9d는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 B-B'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이며, 도 10a 내지 10e는 도 7a 내지 7e에 도시된 3차원 플래시 메모리의 C-C'의 단면을 통해 3차원 플래시 메모리의 제조 방법을 설명하기 위한 Y-Z 단면도이다. 이하, 후술되는 제조 방법은 도 2에 설명된 3차원 플래시 메모리(200)를 제조하기 위한 것으로서, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.
- [84] 도 6을 참조하면, 단계(S610)에서 제조 시스템은, 도 7a, 8a, 9a, 10a와 같이

기관(211) 상 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링(210), 적어도 하나의 메모리 셀 스트링(210)과 수직으로 연결되는 복수의 워드 라인들(220, 230) 및 복수의 워드 라인들(220, 230)의 하부에 위치하는 로우 디코더(240)를 포함하는 반도체 구조체를 준비한다.

[85] 여기서, 반도체 구조체의 상부에는 상부 절연층(Insulation)이 형성되어 있으며, 설명의 편의 상 도 7a 내지 7e에서는 상부 절연층이 도시되지 않는다.

[86] 이어서, 단계(S620)에서 제조 시스템은, 도 7b, 8b, 10b와 같이 반도체 구조체에서 복수의 워드 라인들(220, 230) 각각을 노출시키도록 복수의 워드 라인들(220, 230) 각각에 대한 콘택트 홀(250, 260)을 일 방향으로 연장 형성한다.

[87] 그 다음, 단계(S630)에서 제조 시스템은, 도 7c, 9b, 10c와 같이 반도체 구조체에서 로우 디코더(240)가 노출되도록 복수의 워드 라인들(220, 230)의 평면 상에서 복수의 워드 라인들(220, 230)을 관통하는 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280)을 일 방향으로 연장 형성한다.

[88] 그 후, 단계(S640)에서 제조 시스템은, 복수의 워드 라인들(220, 230) 각각에 대한 콘택트 홀(250, 260) 및 비아 홀 내(270, 280)에 도전성 물질로 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231) 및 플러그 비아(222, 232)를 각각 연장 형성하고 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231) 및 플러그 비아(222, 232)를 서로 연결하여, 복수의 워드 라인들(220, 230) 각각을 로우 디코더(240)와 연결한다.

[89] 보다 상세하게, 단계(S640)에서 제조 시스템은, 도 7d, 8c, 9c, 10d와 같이 복수의 워드 라인들(220, 230) 각각에 대한 콘택트 홀(250, 260) 내에 도전성 물질로 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231)를 형성하고, 복수의 워드 라인들(220, 230)의 평면 상에서 복수의 워드 라인들(220, 230) 각각을 관통하는 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280) 내에 도전성 물질로 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)를 연장 형성하여 로우 디코더(240)와 접촉시킨 뒤, 도 7e, 8d, 9d, 10e와 같이 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231) 및 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232) 사이를 복수의 연결 배선들(223, 233)로 연결함으로써, 복수의 워드 라인들(220, 230) 각각을 로우 디코더(240)와 연결할 수 있다.

[90] 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)를 연장 형성하여 로우 디코더(240)와 접촉시키는 과정에서, 제조 시스템은, 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280) 내에서 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)가 복수의 워드 라인들(220, 230) 각각과 평면 상에서 격리되는 구조를 갖도록 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)를 연장 형성할 수 있다.

[91] 일례로, 제조 시스템은 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280) 내에 내부 홀을 포함하는 산화막(224, 234)을 연장 형성한 뒤, 복수의 워드

라인들(220, 230) 각각의 산화막(224, 234)에 의해 복수의 워드 라인들(220, 230) 각각과 평면 상에서 격리되도록 복수의 워드 라인들(220, 230) 각각의 산화막(224, 234)의 내부 홀에 도전성 물질로 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)를 연장 형성할 수 있다.

[92] 이 때, 단계(S640)에서 제조 시스템은, 복수의 워드 라인들(220, 230) 각각의 플러그 비아(222, 232)가 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 231)와 연결되는 복수의 연결 배선들(223, 233)이 복수의 워드 라인들(220, 230) 평면 내에 배치되도록 복수의 워드 라인들(220, 230) 각각의 콘택트(221, 222) 및 플러그 비아(222, 232)를 서로 연결함으로써, 복수의 워드 라인들(220, 230)로부터 로우 디코더(240)까지의 연결 경로가 복수의 워드 라인들(220, 230)의 평면을 벗어나지 않으며 짧은 거리를 갖도록 할 수 있다.

[93] 또한, 제조 시스템은 단계들(S620, S630) 이전에 복수의 워드 라인들(220, 230) 각각에 대한 콘택트 홀(250, 260) 및 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280)이 복수의 워드 라인들(220, 230)의 평면 상 형성되는 위치를 복수의 연결 배선들(223, 233) 각각의 길이가 최소화되도록 결정한 뒤, 결정된 위치에 따라 단계들(S620, S630)에서 복수의 워드 라인들(220, 230) 각각에 대한 콘택트 홀(250, 260) 및 복수의 워드 라인들(220, 230) 각각에 대한 비아 홀(270, 280)을 연장 형성함으로써, 복수의 워드 라인들(220, 230)로부터 로우 디코더(240)까지의 연결 경로가 최단 거리를 갖게 될 수 있다.

[94]

[95] 도 11은 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.

[96] 도 11을 참조하면, 일 실시예에 따른 3차원 플래시 메모리(1100)는, 적어도 하나의 셀 블록(1110), 복수의 주변 회로 블록들(1120, 1130, 1140, 1150), 로우 디코더(Row Decoder)(1160) 및 컬럼 디코더(Column Decoder)(1170)를 포함한다.

[97] 적어도 하나의 셀 블록(1110)은, 기판 상 일 방향(예컨대, 수직 방향)으로 연장 형성되는 복수의 메모리 셀 스트링들(미도시)을 포함할 수 있다. 이에, 적어도 하나의 셀 블록(1110)은, 기판 내에 형성된 복수의 메모리 셀 스트링들의 트랜지스터를 더 포함할 수 있다.

[98] 여기서, 복수의 메모리 셀 스트링들 각각은, 일 방향으로 연장 형성된 채널층(미도시), 채널층을 감싸도록 일 방향으로 연장 형성된 전하 저장층(미도시) 및 채널층과 전하 저장층에 대해 수직으로 연결되는 복수의 워드 라인들(미도시)로 구성될 수 있다. 채널층은 단결정질 실리콘(Single crystal silicon) 또는 다결정 실리콘(Poly-silicon)으로 형성될 수 있으며, 기판(미도시)을 시드로 이용하는 선택적 에피택셜 성장 공정 또는 상전이 에피택셜 공정 등으로 형성될 수 있다. 또한, 채널층은 내부가 빈 튜브 형태로 형성되어 내부에 매립막(미도시)을 더 포함할 수도 있다. 전하 저장층은 복수의 워드 라인들을 통해 유입되는 전류로부터 전하를 저장하는 메모리 기능을 갖는 구성요소로서, 일례로, ONO(Oxide-Nitride-Oxide)의 구조로 형성될 수 있다. 복수의 워드

라인들은, 전류를 공급하기 위한 도전성 물질(예컨대, W, Ti, Ta, Cu 또는 Au 등)로 형성될 수 있으며, 그 사이에 절연 물질(일례로, Al_2O_3 , HfO_2 , TiO_2 , La_2O_5 , BaZrO_3 , Ta_2O_5 , ZrO_2 , Gd_2O_3 또는 Y_2O_3 등)로 형성되는 복수의 절연층들(미도시)이 개재될 수 있다.

- [99] 이 때, 적어도 하나의 셀 블록(1110)의 기판에 COP(Cell On Peripheral) 구조가 적용됨에 따라, 적어도 하나의 셀 블록(1110)의 하부에는 적어도 하나의 주변 회로를 각각 포함하는 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)이 위치할 수 있다. 따라서, 복수의 주변 회로 블록들(1120, 1130, 1140, 1150) 각각은 적어도 하나의 주변 회로의 트랜지스터를 더 포함할 수 있다.
- [100] 로우 디코더(1160) 및 컬럼 디코더(1170)는, 적어도 하나의 셀 블록(1110)의 하부에 위치하는, 적어도 하나의 셀 블록(1110) 및 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)에 대한 디코더로서, 로우 디코더(1160)는 적어도 하나의 셀 블록(1110)에 포함되는 복수의 메모리 셀 스트링들의 로우 선택을 담당할 수 있으며, 컬럼 디코더(1170)는 적어도 하나의 셀 블록(1110)에 포함되는 복수의 메모리 셀 스트링들의 컬럼 선택을 담당할 수 있다.
- [101] 특히, 로우 디코더(1160) 및 컬럼 디코더(1170)는, 3차원 플래시 메모리(1100)의 평면 내에서 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)이 서로 대칭되도록 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)을 분할하며 배치되는 것을 특징으로 한다.
- [102] 보다 상세하게, 로우 디코더(1160) 및 컬럼 디코더(1170)는 3차원 플래시 메모리(1100)의 평면 내에서 십자형(Cross shape)으로 배치됨으로써, 십자형에 의한 사분면(Quadrant)에 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)을 대칭되도록 분할할 수 있다.
- [103] 예를 들어, 3차원 플래시 메모리(1100)의 평면 내에서 로우 디코더(1160)가 수직 방향으로 위치하고 컬럼 디코더(1170)가 로우 디코더(1160)의 중간 지점을 가로지르며 수평 방향으로 위치함에 따라, 로우 디코더(1160) 및 컬럼 디코더(1170)는 십자형으로 배치될 수 있다. 이에, 로우 디코더(1160) 및 컬럼 디코더(1170)는, 십자형에 의한 사분면에 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)을 대칭되도록 분할할 수 있다.
- [104] 보다 구체적인 예를 들면, 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)은 로우 디코더(1160) 및 컬럼 디코더(1170)가 형성하는 십자형에 의한 사분면에 각각 하나씩 배치됨으로써, 서로 대칭될 수 있다(예컨대, 제1 주변 회로 블록(1120)은 제1 사분면에 배치되고, 제2 주변 회로 블록(1130)은 제2 사분면에 배치되며, 제3 주변 회로 블록(1140)은 제3 사분면에 배치되고, 제4 주변 회로 블록(1150)은 제4 사분면에 배치됨으로써, 제1 주변 회로 블록(1120), 제2 주변 회로 블록(1130), 제3 주변 회로 블록(1140) 및 제4 주변 회로 블록(1150)이 서로 대칭되며 분할된 채 위치할 수 있음).
- [105] 이상, 로우 디코더(1160) 및 컬럼 디코더(1170)가 십자형으로 배치되는 것으로

설명되었으나, 이에 제한되거나 한정되지 않고 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)을 대칭되도록 분할시키는 다양한 형상을 갖도록 배치될 수 있다. 로우 디코더(1160) 및 컬럼 디코더(1170)가 형성하는 다른 형상에 대해서는 아래의 도 13을 참조하여 설명하기로 한다.

- [106] 이처럼 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)이 서로 대칭되며 분할된 채 위치함에 따라, 복수의 주변 회로 블록들(1120, 1130, 1140, 1150) 각각에 포함되는 적어도 하나의 주변 회로의 트랜지스터는, 3차원 플래시 메모리(1100)의 평면 내에서 로우 디코더(1160) 및 컬럼 디코더(1170)에 의해 서로 대칭되도록 위치할 수 있다. 따라서, 복수의 주변 회로 블록들(1120, 1130, 1140, 1150) 각각에 포함되는 적어도 하나의 주변 회로의 트랜지스터가 로우 디코더(1160) 및 컬럼 디코더(1170)까지 연결되는 배선은 최적화된 레이아웃에 따라 최소화된 길이를 갖게 될 수 있다.
- [107] 또한, 도면에는 도시되지 않았지만, 적어도 하나의 셀 블록(1110)이 복수 개 구비되는 경우, 로우 디코더(1160) 및 컬럼 디코더(1170)는 복수의 셀 블록들이 서로 대칭되도록 복수의 셀 블록들을 분할하며 배치될 수도 있다. 이러한 경우, 복수의 셀 블록들이 로우 디코더(1160) 및 컬럼 디코더(1170)에 의해 분할되는 것은, 복수의 주변 회로 블록들(1120, 1130, 1140, 1150)이 로우 디코더(1160) 및 컬럼 디코더(1170)에 의해 분할되는 것과 동일하게 이루어질 수 있다. 다만, 복수의 주변 회로 블록들(1120, 1130, 140, 1150)은 로우 디코더(1160) 및 컬럼 디코더(1170)와 동일한 평면(복수의 셀 블록들의 하부)에 위치하는 반면, 복수의 셀 블록들은 로우 디코더(1160) 및 컬럼 디코더(1170)와 다른 평면(복수의 셀 블록들은 로우 디코더(1160) 및 컬럼 디코더(1170)의 상부에 위치함)에 위치한다는 점에서 차이가 있을 뿐이다.
- [108] 복수의 셀 블록들이 로우 디코더(1160) 및 컬럼 디코더(1170)에 의해 분할되는 경우, 복수의 셀 블록들 각각에 포함되는 복수의 메모리 셀 스트링들 각각의 트랜지스터는, 3차원 플래시 메모리(1100)의 평면 내에서 로우 디코더(1160) 및 컬럼 디코더(1170)에 의해 서로 대칭되도록 위치할 수 있다. 따라서, 복수의 셀 블록들 각각에 포함되는 복수의 메모리 셀 스트링들 각각의 트랜지스터가 로우 디코더(1160) 및 컬럼 디코더(1170)까지 연결되는 배선은 최적화된 레이아웃에 따라 최소화된 길이를 갖게 될 수 있다.
- [109] 설명된 3차원 플래시 메모리(1100)에 대한 제조 방법의 상세한 설명은 아래의 도 12를 참조하여 기재하기로 한다.
- [110]
- [111] 도 12는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다. 이하, 3차원 플래시 메모리 제조 방법을 수행하는 주체로는, 자동화 및 기계화된 제조 시스템이 사용될 수 있으며, 후술되는 단계들(S1210 내지 S1220)을 통해 제조되는 3차원 플래시 메모리는 도 11을 참조하여 상술된 구조를 갖게 될 수 있다.

- [112] 도 12를 참조하면, 단계(S1210)에서 제조 시스템은, 3차원 플래시 메모리의 평면 내에서 로우 디코더 및 컬럼 디코더를 십자형(Cross shape)으로 배치하여, 복수의 주변 회로 블록들이 형성될 영역들을 십자형에 의한 사분면에 대칭되도록 분할할 수 있다. 일례로, 제조 시스템은 3차원 플래시 메모리의 평면 내에서 로우 디코더가 수직 방향으로 위치하도록 생성하고 컬럼 디코더가 로우 디코더의 중간 지점을 가로지르며 수평 방향으로 위치하도록 생성할 수 있다.
- [113] 이에, 단계(S1220)에서 제조 시스템은, 로우 디코더 및 컬럼 디코더에 의해 서로 대칭되도록 복수의 주변 회로 블록들을 영역들에 분할하며 형성할 수 있다.
- [114] 그 후, 단계(S1230)에서 제조 시스템은, 복수의 주변 회로 블록들의 상부에 일 방향으로 연장 형성되는 복수의 메모리 셀 스트링들을 각각 포함하는 적어도 하나의 셀 블록을 형성할 수 있다.
- [115] 이상, 단계(S1210)에서 제조 시스템은 로우 디코더 및 컬럼 디코더를 십자형으로 배치하는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 3차원 플래시 메모리의 평면 내에서 복수의 주변 회로 블록들이 형성될 영역들이 서로 대칭되도록 영역들을 분할하는 것을 전제로, 다양한 형상으로 로우 디코더 및 컬럼 디코더를 생성할 수 있다.
- [116]
- [117] 도 13은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이다.
- [118] 도 13을 참조하면, 일 실시예에 따른 3차원 플래시 메모리(1300)는, 적어도 하나의 셀 블록(1310), 복수의 주변 회로 블록들(1320, 1330), 로우 디코더(Row Decoder)(1340) 및 컬럼 디코더(Column Decoder)(1350)를 포함한다.
- [119] 적어도 하나의 셀 블록(1310)은, 기판 상 일 방향(예컨대, 수직 방향)으로 연장 형성되는 복수의 메모리 셀 스트링들(미도시)을 포함할 수 있다. 이에, 적어도 하나의 셀 블록(1310)은, 기판 내에 형성된 복수의 메모리 셀 스트링들의 트랜지스터를 더 포함할 수 있다.
- [120] 여기서, 복수의 메모리 셀 스트링들 각각은, 일 방향으로 연장 형성된 채널층(미도시), 채널층을 감싸도록 일 방향으로 연장 형성된 전하 저장층(미도시) 및 채널층과 전하 저장층에 대해 수직으로 연결되는 복수의 워드 라인들(미도시)로 구성될 수 있다. 채널층은 단결정질 실리콘(Single crystal silicon) 또는 다결정 실리콘(Poly-silicon)으로 형성될 수 있으며, 기판(미도시)을 시드로 이용하는 선택적 에피택셜 성장 공정 또는 상전이 에피택셜 공정 등으로 형성될 수 있다. 또한, 채널층은 내부가 빈 튜브 형태로 형성되어 내부에 매립막(미도시)을 더 포함할 수도 있다. 전하 저장층은 복수의 워드 라인들을 통해 유입되는 전류로부터 전하를 저장하는 메모리 기능을 갖는 구성요소로서, 일례로, ONO(Oxide-Nitride-Oxide)의 구조로 형성될 수 있다. 복수의 워드 라인들은, 전류를 공급하기 위한 도전성 물질(예컨대, W, Ti, Ta, Cu 또는 Au 등)로 형성될 수 있으며, 그 사이에 절연 물질(일례로, Al_2O_3 , HfO_2 , TiO_2 , La_2O_5 ,

BaZrO₃, Ta₂O₅, ZrO₂, Gd₂O₃ 또는 Y₂O₃ 등)로 형성되는 복수의 절연층들(미도시)이 개재될 수 있다.

- [121] 이 때, 적어도 하나의 셀 블록(1310)의 기판에 COP(Cell On Peripheral) 구조가 적용됨에 따라, 적어도 하나의 셀 블록(1310)의 하부에는 적어도 하나의 주변 회로를 각각 포함하는 복수의 주변 회로 블록들(1320, 1330)이 위치할 수 있다. 따라서, 복수의 주변 회로 블록들(1320, 1330) 각각은 적어도 하나의 주변 회로의 트랜지스터를 더 포함할 수 있다.
- [122] 로우 디코더(1340) 및 컬럼 디코더(1350)는, 적어도 하나의 셀 블록(1310)의 하부에 위치하는, 적어도 하나의 셀 블록(1310) 및 복수의 주변 회로 블록들(1320, 1330)에 대한 디코더로서, 로우 디코더(1340)는 적어도 하나의 셀 블록(1310)에 포함되는 복수의 메모리 셀 스트링들의 로우 선택을 담당할 수 있으며, 컬럼 디코더(1350)는 적어도 하나의 셀 블록(1310)에 포함되는 복수의 메모리 셀 스트링들의 컬럼 선택을 담당할 수 있다.
- [123] 특히, 로우 디코더(1340) 및 컬럼 디코더(1350)는, 3차원 플래시 메모리(1300)의 평면 내에서 복수의 주변 회로 블록들(1320, 1330)이 서로 대칭되도록 복수의 주변 회로 블록들(1320, 1330)을 분할하며 배치되는 것을 특징으로 한다.
- [124] 보다 상세하게, 로우 디코더(1340) 및 컬럼 디코더(1350)는 3차원 플래시 메모리(1300)의 평면 내에서 T자형으로 배치됨으로써, T자형에 의한 두 개의 분면들에 복수의 주변 회로 블록들(1320, 1330)을 대칭되도록 분할할 수 있다.
- [125] 예를 들어, 3차원 플래시 메모리(1300)의 평면 내에서 컬럼 디코더(1350)가 수평 방향으로 위치하고 로우 디코더(1340)가 컬럼 디코더(1350)의 중간 지점으로부터 일 지점까지 수직 방향으로 위치함에 따라, 로우 디코더(1340) 및 컬럼 디코더(1350)는 T자형으로 배치될 수 있다. 이에, 로우 디코더(1340) 및 컬럼 디코더(1350)는, T자형에 의한 두 개의 분면들에 복수의 주변 회로 블록들(1320, 1330)을 대칭되도록 분할할 수 있다.
- [126] 보다 구체적인 예를 들면, 복수의 주변 회로 블록들(1320, 1330)은 로우 디코더(1340) 및 컬럼 디코더(1350)가 형성하는 T자형에 의한 두 개의 분면들에 각각 하나씩 배치됨으로써, 서로 대칭될 수 있다(예컨대, 제1 주변 회로 블록(1320)은 T자형에 의한 좌측 분면에 배치되고, 제2 주변 회로 블록(1330)은 T자형에 의한 우측 분면에 배치됨으로써, 제1 주변 회로 블록(1320) 및 제2 주변 회로 블록(1330)이 서로 대칭되며 분할된 채 위치할 수 있음).
- [127] 이상, 로우 디코더(1340) 및 컬럼 디코더(1350)가 T자형으로 배치되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 복수의 주변 회로 블록들(1320, 1330)을 대칭되도록 분할시키는 다양한 형상을 갖도록 배치될 수 있다.
- [128] 이처럼 복수의 주변 회로 블록들(1320, 1330)이 서로 대칭되며 분할된 채 위치함에 따라, 복수의 주변 회로 블록들(1320, 1330) 각각에 포함되는 적어도 하나의 주변 회로의 트랜지스터는, 3차원 플래시 메모리(1300)의 평면 내에서 로우 디코더(1340) 및 컬럼 디코더(1350)에 의해 서로 대칭되도록 위치할 수

있다. 따라서, 복수의 주변 회로 블록들(1320, 1330) 각각에 포함되는 적어도 하나의 주변 회로의 트랜지스터가 로우 디코더(1340) 및 컬럼 디코더(1350)까지 연결되는 배선은 최적화된 레이아웃에 따라 최소화된 길이를 갖게 될 수 있다.

[129] 또한, 도면에는 도시되지 않았지만, 적어도 하나의 셀 블록(1310)이 복수 개 구비되는 경우, 로우 디코더(1340) 및 컬럼 디코더(1350)는 복수의 셀 블록들이 서로 대칭되도록 복수의 셀 블록들을 분할하며 배치될 수도 있다. 이러한 경우, 복수의 셀 블록들이 로우 디코더(1340) 및 컬럼 디코더(1350)에 의해 분할되는 것은, 복수의 주변 회로 블록들(1320, 1330)이 로우 디코더(1340) 및 컬럼 디코더(1350)에 의해 분할되는 것과 동일하게 이루어질 수 있다. 다만, 복수의 주변 회로 블록들(1320, 1330)은 로우 디코더(1340) 및 컬럼 디코더(1350)와 동일한 평면(복수의 셀 블록들의 하부)에 위치하는 반면, 복수의 셀 블록들은 로우 디코더(1340) 및 컬럼 디코더(1350)와 다른 평면(복수의 셀 블록들은 로우 디코더(1340) 및 컬럼 디코더(1350)의 상부에 위치함)에 위치한다는 점에서 차이가 있을 뿐이다.

[130] 복수의 셀 블록들이 로우 디코더(1340) 및 컬럼 디코더(1350)에 의해 분할되는 경우, 복수의 셀 블록들 각각에 포함되는 복수의 메모리 셀 스트링들 각각의 트랜지스터는, 3차원 플래시 메모리(1300)의 평면 내에서 로우 디코더(1340) 및 컬럼 디코더(1350)에 의해 서로 대칭되도록 위치할 수 있다. 따라서, 복수의 셀 블록들 각각에 포함되는 복수의 메모리 셀 스트링들 각각의 트랜지스터가 로우 디코더(1340) 및 컬럼 디코더(1350)까지 연결되는 배선은 최적화된 레이아웃에 따라 최소화된 길이를 갖게 될 수 있다.

[131] 설명된 3차원 플래시 메모리(1300)에 대한 제조 방법의 상세한 설명은 아래의 도 14를 참조하여 기재하기로 한다.

[132]

[133] 도 14는 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다. 이하, 3차원 플래시 메모리 제조 방법을 수행하는 주체로는, 자동화 및 기계화된 제조 시스템이 사용될 수 있으며, 후술되는 단계들(S1410 내지 S1420)을 통해 제조되는 3차원 플래시 메모리는 도 13을 참조하여 상술된 구조를 갖게 될 수 있다.

[134] 도 14를 참조하면, 단계(S1410)에서 제조 시스템은, 3차원 플래시 메모리의 평면 내에서 로우 디코더 및 컬럼 디코더를 T자형으로 배치하여, 복수의 주변 회로 블록들이 형성될 영역들을 T자형에 의한 두 개의 분면들에 대칭되도록 분할할 수 있다. 일례로, 제조 시스템은 3차원 플래시 메모리의 평면 내에서 컬럼 디코더가 수평 방향에 위치하도록 생성하고 로우 디코더가 컬럼 디코더의 중간 지점으로부터 일 지점까지 수직 방향으로 위치하도록 생성할 수 있다.

[135] 이에, 단계(S1420)에서 제조 시스템은, 로우 디코더 및 컬럼 디코더에 의해 서로 대칭되도록 복수의 주변 회로 블록들을 영역들에 분할하며 형성할 수 있다.

[136] 그 후, 단계(S1430)에서 제조 시스템은, 복수의 주변 회로 블록들의 상부에 일

방향으로 연장 형성되는 복수의 메모리 셀 스트링들을 각각 포함하는 적어도 하나의 셀 블록을 형성할 수 있다.

- [137] 이상, 단계(S1410)에서 제조 시스템은 로우 디코더 및 컬럼 디코더를 T자형으로 배치하는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 3차원 플래시 메모리의 평면 내에서 복수의 주변 회로 블록들이 형성될 영역들이 서로 대칭되도록 영역들을 분할하는 것을 전제로, 다양한 형상으로 로우 디코더 및 컬럼 디코더를 생성할 수 있다.
- [138]
- [139] 도 16a는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이고, 도 16b는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.
- [140] 도 16a 내지 16b를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(1600)는 기판(1610), 복수의 메모리 셀 스트링들(1620), 복수의 워드 라인들(1630), 적어도 하나의 매몰형 소스 라인(1640) 및 적어도 하나의 워드 라인 분리 슬릿(Slit)(1650)을 포함한다.
- [141] 기판(1610)은 단결정질의 실리콘(Single crystal silicon) 또는 폴리 실리콘(Poly-silicon)으로 형성될 수 있다.
- [142] 복수의 메모리 스트링들(1620) 각각은 기판(1610) 상 일 방향(예컨대, Z 방향)으로 연장 형성되며 그 상부에 배치되는 드레인 라인(미도시)을 포함한 채널층(1621) 및 전하 저장층(1622)을 포함할 수 있다. 채널층(1621)은 단결정질의 실리콘 또는 폴리 실리콘으로 형성될 수 있으며, 전하 저장층(1622)은, 채널층(1621)을 감싸도록 형성된 채 복수의 워드 라인들(1630)을 통해 유입되는 전류로부터 전하를 저장하는 구성요소로서, 일례로, ONO(Oxide-Nitride-Oxide)의 구조로 형성될 수 있다. 이하, 전하 저장층(1622)이 기판(1610)에 대해 직교하는 일 방향(예컨대, Z 방향)으로 연장 형성(기판(210)에 대해 수직 방향으로 연장 형성)되는 수직 요소만을 포함하는 것으로 설명되나, 이에 제한되거나 한정되지 않고 기판(1610)과 평행하며 복수의 워드 라인(1630)들과 접촉되는 수평 요소도 더 포함할 수 있다.
- [143] 이와 같은 채널층(1621) 및 전하 저장층(1622)은, 복수의 워드 라인들(1630)에 대응하는 복수의 메모리 셀들을 구성하는 바 메모리 셀 스트링으로 명명될 수 있다.
- [144] 복수의 워드 라인들(1630)은 복수의 메모리 셀 스트링들(1620)에 대해 수직 방향으로 연결된 채 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리) 또는 Au(금)과 같은 전도성 물질로 형성되어 워드 라인의 기능을 담당할 수 있다. 마찬가지로, 복수의 워드 라인들(1630) 사이에는 복수의 메모리 셀 스트링들(1620)에 대해 수직 방향으로 연결되는 복수의 절연층들(1660)이 절연 특성을 갖는 다양한 물질로 형성되어 복수의 워드 라인들(1630)과 교번하며 개재될 수 있다.
- [145] 적어도 하나의 매몰형 소스 라인(1640)은 기판(1610)에 매몰된 채 복수의 메모리 셀 스트링들(1620)에 대한 소스 전극으로 사용되며, 기판(1610)과

구분되는 전도성 물질로 형성될 수 있다. 이 때, 적어도 하나의 매물형 소스 라인(1640)은 기판(1610)에서 복수의 메모리 셀 스트링들(1620)이 형성되는 영역을 제외한 영역에 매몰된 채 형성될 수 있다.

[146] 예를 들어, 적어도 하나의 매물형 소스 라인(1610)은 기판(1610)의 일부 영역에 불순물이 도핑되어 소스 전극의 기능을 담당하도록 형성되는 것이 아닌, 기판(1610)을 구성하는 물질인 단결정질의 실리콘 또는 폴리 실리콘과 구분되도록 독립적인 전도성 물질(일례로, W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리) 또는 Au(금) 등)로 수평 방향인 일 방향(예컨대, Y 방향)으로 기판(1610)에 매몰되며 연장 형성될 수 있다.

[147] 이처럼 적어도 하나의 매물형 소스 라인(1640)은 기판(1610)의 상부로 높이를 갖는 단차없이 기판(1610)에 매몰되며 형성됨으로써, 도 15a 및 15b를 참조하여 설명된 기판의 상부로 높이를 갖는 단차있는 공통의 소스 라인과 비교하여 그 제조 공정의 복잡도가 현저히 낮아질 수 있다.

[148] 또한, 적어도 하나의 매물형 소스 라인(1640)은 복수의 메모리 셀 스트링들(1620)에 의해 공통의 소스 전극으로 사용될 수 있는 조건을 만족시키는 아래 최소화된 폭을 가질 수 있다. 일례로, 적어도 하나의 매물형 소스 라인(1640)은 복수의 메모리 셀 스트링들(1620)에 의해 공통의 소스 전극으로 사용될 수 있는 전류, 전압 특성과 관련된 조건을 만족시키는 것을 전제로 가장 최소화된 폭을 가질 수 있다.

[149] 따라서, 일 실시예에 따른 3차원 플래시 메모리(1600)는 기존 공통의 소스 라인의 폭과 비교하여 현저하게 좁아진 폭의 적어도 하나의 매물형 소스 라인(1640)을 포함함으로써, 복수의 메모리 셀 스트링들(1620)의 셀 집적도를 향상시킬 수 있다.

[150] 또한, 적어도 하나의 매물형 소스 라인(1640)은 복수의 메모리 셀 스트링들(1620)과 연결됨에 있어, 기판(1610)을 경유할 수 있다. 예를 들어, 적어도 하나의 매물형 소스 라인(1640)은 기판(1610)에 매몰된 배선(미도시)을 통해 복수의 메모리 셀 스트링들(1620)과 연결될 수 있다.

[151] 이에, 일 실시예에 따른 3차원 플래시 메모리(1600)는 메모리 셀 스트링의 상부에 배치되는 외부 배선을 통해 공통의 소스 라인이 메모리 셀 스트링과 연결되는 기존의 3차원 플래시 메모리에 비교하여 배선 레이아웃 설계를 단순화하는 효과를 도모할 수 있다.

[152] 이 때, 적어도 하나의 매물형 소스 라인(1640)의 상부에는 후술되는 적어도 하나의 워드 라인 분리 슬릿(Slit)(1650)이 위치할 수 있으나 이에 제한되거나 한정되지 않고, 하나의 워드 라인 분리 슬릿(Slit)(1650)은 기판(1610) 상에서 적어도 하나의 매물형 소스 라인(1640)의 위치와 무관하게 위치할 수 있다.

[153] 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인들(1630)을 분리하는 구성요소로서, 보다 상세하게, 복수의 워드 라인들(1630)이 분리된 부분들(1631, 1632)이 복수의 메모리 블록들(1611, 1612)별로 이격되도록 복수의

워드 라인들(1630)에 대해 수직 방향으로 연장 형성되어 복수의 워드 라인들(1630)을 분리할 수 있다. 여기서, 복수의 메모리 블록들(1611, 1612)은 복수의 메모리 셀 스트링들(1620)이 임의의 개수로 그룹핑되어 형성될 수 있다.

[154] 이 때, 적어도 하나의 워드 라인 분리 슬릿(1650)이 복수의 워드 라인들(1630)에 대해 수직 방향으로 연장 형성되는 깊이는, 복수의 워드 라인들(1630)에 대응하는 영역의 깊이만큼일 수 있다. 즉, 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인들(1630)에 대응하는 영역의 깊이만큼 수직 방향으로 연장 형성된 채 복수의 워드 라인들(1630)을 분리하며 잘라냄으로써, 복수의 워드 라인들(1630)이 분리된 부분들(1631, 1632)이 서로 연결되지 않도록 할 수 있다.

[155] 이하, 적어도 하나의 워드 라인 분리 슬릿(1650)이 복수의 워드 라인들(1630)을 분리한다는 것은, 복수의 워드 라인들(1630)이 분리된 부분들(1631, 1632)을 복수의 메모리 블록들(1611, 1612)에 대응시키며 서로 전기적으로 분리하는 것을 의미한다. 이에, 적어도 하나의 워드 라인 분리 슬릿(1650)은 내부 공간이 빈 트렌치(Trench) 또는 홀(Hole)의 형상으로 형성되는 가운데, 그 내부 공간에 절연 물질이 충전된 구조를 가질 수 있다.

[156] 또한, 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인들(1630)을 형성하는 전도성 물질이 삽입되는 통로로 사용될 수도 있다. 보다 상세하게, 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인(1630)이 형성 완료되기 이전까지 내부 공간이 빈 트렌치 또는 홀의 형상을 유지하여 복수의 워드 라인들(1630)을 형성하는 과정에서 전도성 물질이 삽입되는 통로로 사용된 이후에, 복수의 워드 라인들(1630)이 형성된 이후에 절연막이 내부 공간에 충전된 구조를 갖게 될 수 있다.

[157] 또한, 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인들(1630)을 분리할 수 있는 조건을 만족시키는 아래 최소화된 폭을 가질 수 있다.

[158] 이러한 경우, 복수의 워드 라인들(1630) 및 적어도 하나의 매몰형 소스 라인(1640)이 단일 공정으로 동시에 형성된다면, 적어도 하나의 워드 라인 분리 슬릿(1650)은 복수의 워드 라인들(1630) 및 적어도 하나의 매몰형 소스 라인(1640)을 형성하는 전도성 물질이 삽입되는 통로로 사용되기 위하여 적어도 하나의 매몰형 소스 라인(1640)의 상부에 위치할 수 있다(기판(1610) 상 적어도 하나의 워드 라인 분리 슬릿(1650)의 하단에 위치하는 영역에 적어도 하나의 매몰형 소스 라인(1640)이 위치함).

[159] 그러나 이에 제한되거나 한정되지 않고, 3차원 플래시 메모리(1600)는 복수의 워드 라인들(1630)을 형성하는 전도성 물질이 삽입되는 통로로 별도의 구성요소를 포함할 수 있다. 이에 대한 상세한 설명은 도 19를 참조하여 기재하기로 한다.

[160] 또한, 3차원 플래시 메모리(1600)는 적어도 하나의 SSL 분리 슬릿(1670)을 더 포함할 수 있다. 적어도 하나의 SSL 분리 슬릿(1670)은 복수의 워드

라인들(1630)의 상단에 위치하는 적어도 하나의 SSL(String selection line)(280)을 분리하는 구성요소로서, 보다 상세하게, 복수의 메모리 블록들(1611, 1612) 각각 내에서 적어도 하나의 SSL(1633)이 분리된 부분들(1681, 1682)이 서로 이격되도록 적어도 하나의 SSL(1680)에 대해 수직 방향으로 연장 형성되어 적어도 하나의 SSL(1680)을 분리할 수 있다.

[161] 이 때, 적어도 하나의 SSL 분리 슬릿(1670)이 적어도 하나의 SSL(1680)에 대해 수직 방향으로 연장 형성되는 깊이는, 적어도 하나의 SSL(1680)에 대응하는 영역의 깊이만큼일 수 있다. 즉, 적어도 하나의 SSL 분리 슬릿(1670)은 적어도 하나의 SSL(1680)에 대응하는 영역의 깊이만큼 수직 방향으로 연장 형성된 채 적어도 하나의 SSL(1680)을 분리하며 잘라냄으로써, 적어도 하나의 SSL(1680)이 분리된 부분들(1681, 1682)이 서로 연결되지 않도록 할 수 있다.

[162] 이하, 적어도 하나의 SSL 분리 슬릿(1670)이 적어도 하나의 SSL(1680)을 분리한다는 것은, 적어도 하나의 SSL(1680)이 분리된 부분들(1681, 1682)을 서로 전기적으로 분리하는 것을 의미한다. 이에, 적어도 하나의 SSL 분리 슬릿(1670)은 내부 공간을 갖는 트렌치(Trench) 또는 홀(Hole)의 형상으로 형성되는 가운데, 그 내부 공간에 절연 물질이 충전된 구조를 가질 수 있다.

[163] 또한, 적어도 하나의 SSL 분리 슬릿(1670)은 적어도 하나의 SSL(1680)을 분리할 수 있는 조건을 만족시키는 아래 최소화된 폭을 가질 수 있다.

[164] 이와 같은 구조의 적어도 하나의 워드 라인 분리 슬릿(1650) 및 적어도 하나의 SSL 분리 슬릿(1670)을 포함하는 3차원 플래시 메모리(1600)의 제조 방법에 대해서는 아래의 도 17을 참조하여 설명하기로 한다.

[165]

[166] 도 17은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 18a 내지 18f는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다. 이하, 도 17 및 18a 내지 18f를 참조하여 설명되는 제조 방법은 도 16a 내지 16b를 참조하여 설명된 3차원 플래시 메모리(1600)를 제조하기 위한 것으로서, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.

[167] 도 17 및 18a 내지 18f를 참조하면, 단계(S1710)에서 제조 시스템은, 도 18a와 같이 반도체 구조체(1800)를 준비한다. 여기서, 반도체 구조체(1800)는 기판(1810) 상 일 방향으로 연장 형성되는 채널층(1821) 및 전하 저장층(1822)을 각각 포함하는 복수의 메모리 셀 스트링들(1820), 복수의 메모리 셀 스트링들(1820)에 대해 수직 방향으로 연결되는 복수의 희생층들(1830), 기판(1810)에 매몰된 적어도 하나의 매몰형 소스 라인(1840) 및 적어도 하나의 워드 라인 분리 슬릿(1850)을 포함한다.

[168] 이러한 반도체 구조체(1800)를 준비함에 있어, 제조 시스템은 기판(1810)과 구분되는 전도성 물질로 적어도 하나의 매몰형 소스 라인(1840)을 기판(1810)에 매몰 형성할 수 있으며, 복수의 메모리 셀 스트링들(1820)과 적어도 하나의

매몰형 소스 라인(1840)을 기관(1810)을 통해(보다 정확하게는 기관(1810)에 매몰된 배선(미도시)을 통해) 연결할 수 있다.

- [169] 이 때, 적어도 하나의 매몰형 소스 라인(1840)을 매몰 형성함에 있어, 제조 시스템은 적어도 하나의 매몰형 소스 라인(1840)이 복수의 메모리 셀 스트링들(1820)에 의해 공통의 소스 전극으로 사용될 수 있는 조건을 만족시키는 아래 최소화된 폭을 갖도록 적어도 하나의 매몰형 소스 라인(1840)을 기관(1810)에 매몰 형성할 수 있다.
- [170] 또한, 반도체 구조체(1800)를 준비함에 있어, 제조 시스템은 복수의 희생층들(1830)이 분리된 부분들(1831, 1832)이 복수의 메모리 블록들(1811, 1812)별로 이격되도록 적어도 하나의 워드 라인 분리 슬릿(1850)을 복수의 희생층들(1830)에 대해 수직 방향으로 연장 형성하여 복수의 희생층들(1830)을 분리할 수 있다.
- [171] 이 때, 단계(S1710)에서 준비되는 반도체 구조체(1800)에 포함되는 적어도 하나의 워드 라인 분리 슬릿(1850)은 후술되는 단계들(S1720 내지 S1730)에서 통로로 사용되어야 하므로, 내부 공간이 빈 트렌치 또는 홀의 형상으로 형성되어 있을 수 있다.
- [172] 이어서, 단계(S1720)에서 제조 시스템은, 도 18b와 같이 반도체 구조체(1800)에서 적어도 하나의 워드 라인 분리 슬릿(1850)을 통해 복수의 희생층들(1830)을 제거한다.
- [173] 도면 상에서는 적어도 하나의 워드 라인 분리 슬릿(1850)이 반도체 구조체(1800)를 준비하는 과정에서 이미 반도체 구조체(1800)에 형성되어 있는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고, 단계(S1710)에서 적어도 하나의 워드 라인 분리 슬릿(1850)이 형성되지 않은 반도체 구조체(1800)가 준비된 이후, 단계(S1710) 이후의 별도의 단계(미도시)를 통해 적어도 하나의 워드 라인 분리 슬릿(1850)이 반도체 구조체(1800)에 형성될 수도 있다.
- [174] 그 다음, 단계(S1730)에서 제조 시스템은, 적어도 하나의 워드 라인 분리 슬릿(1850)을 이용하여, 복수의 희생층들(1830)이 제거된 공간(1833)에 복수의 워드 라인들(1834)을 형성한다. 일례로, 제조 시스템은 도 18c와 같이 적어도 하나의 워드 라인 분리 슬릿(1850)을 통로로 이용하여, 복수의 희생층들(1830)이 제거된 공간(1833)에 전도성 물질을 삽입함으로써, 복수의 워드 라인들(1834)을 형성할 수 있다.
- [175] 여기서, 적어도 하나의 워드 라인 분리 슬릿(1850)은 반도체 구조체(1800)를 준비하는 단계(S1710)에서 복수의 희생층들(1830)을 분리하는 구조를 갖게 됨에 따라, 복수의 워드 라인들(1834)을 형성하는 단계(S1730)가 수행된 이후에 복수의 워드 라인들(1834)을 분리하게 될 수 있다. 즉, 적어도 하나의 워드 라인 분리 슬릿(1850)은 복수의 워드 라인들(1834)이 분리된 부분들(1835, 1836)이 복수의 메모리 블록들(1811, 1812)별로 이격되도록 복수의 워드 라인들(1834)에 대해 수직 방향으로 연장 형성되어 복수의 워드 라인들(1834)을 분리할 수 있다.

- [176] 그 후, 도 17에 도시된 플로우 차트 상 별도의 단계로 도시되지는 않았으나, 제조 시스템은, 도 18d와 같이 복수의 워드 라인들(1834)이 형성된 이후에 적어도 하나의 워드 라인 분리 슬릿(1850) 내에 절연막을 충전할 수 있다.
- [177] 또한, 도 17에 도시된 플로우 차트 상 별도의 단계로 도시되지는 않았으나, 제조 시스템은, 단계(S1730) 이후에 복수의 워드 라인들(1834)의 상단에 위치하는 적어도 하나의 SSL(String selection line)(1860)을 분리하는 적어도 하나의 SSL 분리 슬릿(1870)을 형성할 수 있다. 보다 상세하게, 제조 시스템은 복수의 메모리 블록들(1811, 1812) 각각 내에서 적어도 하나의 SSL(1860)이 분리된 부분들(1861, 1862) 서로 이격되도록 적어도 하나의 SSL 분리 슬릿(1870)을 적어도 하나의 SSL(1860)에 대해 수직 방향으로 연장 형성하여 적어도 하나의 SSL(1860)을 분리할 수 있다.
- [178] 이 때, 제조 시스템은 적어도 하나의 워드 라인 분리 슬릿(1850)이 형성되는 것과 유사한 과정을 통해 적어도 하나의 SSL 분리 슬릿(1870)을 형성할 수 있다. 일례로, 제조 시스템은 도 18e와 같이 내부가 빈 트렌치 또는 홀의 형상을 갖는 적어도 하나의 SSL 분리 슬릿(1870)의 내부 공간을 형성한 뒤, 도 18f와 같이 그 내부 공간에 절연막을 충전하여 적어도 하나의 SSL 분리 슬릿(1870)을 형성할 수 있다.
- [179] 이상, 적어도 하나의 매몰형 소스 라인(1840)과 복수의 워드 라인들(1834)이 각기 다른 단계(공정)를 통해 형성되는 것으로 설명되었으나, 적어도 하나의 매몰형 소스 라인(1840)과 복수의 워드 라인들(1834)은 동일한 단계(공정)를 통해 일괄적으로 형성될 수 있다.
- [180] 예를 들어, 제조 시스템은 단계(S1710)에서 적어도 하나의 매몰형 소스 라인(1840) 대신에 적어도 하나의 매몰형 희생 라인을 포함하는 반도체 구조체(1800)를 준비함으로써, 단계(S1720)에서 적어도 하나의 워드 라인 분리 슬릿(1850)을 통해 복수의 희생층들(1830)과 적어도 하나의 매몰형 희생 라인을 제거할 수 있다. 이를 위해, 적어도 하나의 워드 라인 분리 슬릿(1850)은 적어도 하나의 매몰형 희생 라인의 상부에 위치할 수 있다. 이어서, 제조 시스템은 단계(S1730)에서 적어도 하나의 워드 라인 분리 슬릿(1850)을 통해, 복수의 희생층들(1830)이 제거된 공간과 적어도 하나의 매몰형 희생 라인이 제거된 공간에 각각 전도성 물질을 주입함으로써, 복수의 워드 라인들(1834)과 적어도 하나의 매몰형 소스 라인(1840)을 동시에 형성할 수 있다.
- [181]
- [182] 도 19a는 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Y 평면도이고, 도 19b는 다른 일 실시예에 따른 3차원 플래시 메모리는 나타낸 X-Z 단면도이다.
- [183] 도 19a 내지 19b를 참조하면, 다른 일 실시예에 따른 3차원 플래시 메모리(1900)는 도 16을 참조하여 설명된 3차원 플래시 메모리(1600)와 동일하게 기판(1910), 복수의 메모리 셀 스트링들(1920), 복수의 워드 라인들(1930), 적어도

하나의 매물형 소스 라인(1940), 적어도 하나의 워드 라인 분리 슬릿(1950) 및 적어도 하나의 SSL 분리 슬릿(1960)의 구성요소들을 포함하나, 적어도 하나의 워드 라인 형성용 패턴(1970)을 더 포함한다는 점에서만 차별화된다.

- [184] 적어도 하나의 워드 라인 형성용 패턴(1970)은 복수의 워드 라인들(1930)을 형성하는 전도성 물질이 삽입되는 통로로 사용되도록 복수의 워드 라인들(1930)에 대해 수직 방향으로 연장 형성될 수 있다. 이를 위해, 적어도 하나의 워드 라인 형성용 패턴(1970)은 복수의 워드 라인들(1930)에 대응하는 영역만큼의 깊이를 가지며 복수의 워드 라인들(1930)에 대해 수직 방향으로 연장 형성될 수 있으며, 3차원 플래시 메모리(1900)의 평면 상에서 임의의 위치에 배치될 수 있다.
- [185] 이처럼 적어도 하나의 워드 라인 형성용 패턴(1970)이 포함됨에 따라, 3차원 플래시 메모리(1900)에 포함되는 적어도 하나의 워드 라인 분리 슬릿(1950)은 복수의 워드 라인들(1930)을 형성하는 전도성 물질이 삽입되는 통로로 사용되지 않을 수 있다.
- [186]
- [187] 도 20은 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 21a 내지 21f는 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다. 이하, 도 20 및 21a 내지 21f를 참조하여 설명되는 제조 방법은 도 19a 내지 19b를 참조하여 설명된 3차원 플래시 메모리(1900)를 제조하기 위한 것으로서, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.
- [188] 도 20 및 21a 내지 21f를 참조하면, 단계(S2010)에서 제조 시스템은, 도 21a와 같이 반도체 구조체(2100)를 준비한다. 여기서, 반도체 구조체(2100)는 기판(2110) 상 일 방향으로 연장 형성되는 채널층(2121) 및 전하 저장층(2122)을 각각 포함하는 복수의 메모리 셀 스트링들(2120), 복수의 메모리 셀 스트링들(2120)에 대해 수직 방향으로 연결되는 복수의 희생층들(2130), 기판(2110)에 매몰된 적어도 하나의 매물형 소스 라인(2140) 및 적어도 하나의 워드 라인 분리 슬릿(2150)을 포함한다.
- [189] 이러한 반도체 구조체(2100)를 준비함에 있어, 제조 시스템은 기판(2110)과 구분되는 전도성 물질로 적어도 하나의 매물형 소스 라인(2140)을 기판(2110)에 매몰 형성할 수 있으며, 복수의 메모리 셀 스트링들(2120)과 적어도 하나의 매물형 소스 라인(2140)을 기판(2110)을 통해(보다 정확하게는 기판(2110)에 매몰된 배선(미도시)을 통해) 연결할 수 있다.
- [190] 이 때, 적어도 하나의 매물형 소스 라인(2140)을 매몰 형성함에 있어, 제조 시스템은 적어도 하나의 매물형 소스 라인(2140)이 복수의 메모리 셀 스트링들(2120)에 의해 공통의 소스 전극으로 사용될 수 있는 조건을 만족시키는 아래 최소화된 폭을 갖도록 적어도 하나의 매물형 소스 라인(2140)을 기판(2110)에 매몰 형성할 수 있다.

- [191] 또한, 반도체 구조체(2100)를 준비함에 있어, 제조 시스템은 복수의 희생층들(2130)이 분리된 부분들(2131, 2132)이 복수의 메모리 블록들(2111, 2112)별로 이격되도록 적어도 하나의 워드 라인 분리 슬릿(2150)을 복수의 희생층들(2130)에 대해 수직 방향으로 연장 형성하여 복수의 희생층들(2130)을 분리할 수 있다.
- [192] 이 때, 단계(S2010)에서 준비되는 반도체 구조체(2100)에 포함되는 적어도 하나의 워드 라인 분리 슬릿(2150)은 후술되는 단계들(S2030 내지 S2040)에서 통로로 사용될 필요가 없으므로 내부 공간에 절연막이 충전된 형상으로 형성될 수 있다.
- [193] 이어서, 단계(S2020)에서 제조 시스템은, 도 21b와 같이 반도체 구조체(2100)에 복수의 희생층들(2130)에 대해 수직 방향으로 적어도 하나의 워드 라인 형성용 패턴(2160)을 연장 형성한다. 적어도 하나의 워드 라인 형성용 패턴(2160)은 후술되는 단계들(S2030 내지 S2040)에서 통로로 사용되어야 하므로, 내부 공간이 빈 트렌치 또는 홀의 형상을 가질 수 있다.
- [194] 그 다음, 단계(S2030)에서 제조 시스템은, 도 21c와 같이 적어도 하나의 워드 라인 형성용 패턴(2160)을 통해 복수의 희생층들(2130)을 제거한다.
- [195] 그 다음, 단계(S2040)에서 제조 시스템은, 적어도 하나의 워드 라인 형성용 패턴(2160)을 이용하여, 복수의 희생층들(2130)이 제거된 공간(2133)에 복수의 워드 라인들(2134)을 형성한다. 일례로, 제조 시스템은 도 21d와 같이 적어도 하나의 워드 라인 형성용 패턴(2160)을 통로로 이용하여, 복수의 희생층들(2130)이 제거된 공간(2133)에 전도성 물질을 삽입함으로써, 복수의 워드 라인들(2134)을 형성할 수 있다.
- [196] 여기서, 적어도 하나의 워드 라인 분리 슬릿(2150)은 반도체 구조체(2100)를 준비하는 단계(S2010)에서 복수의 희생층들(2130)을 분리하는 구조를 갖게 됨에 따라, 복수의 워드 라인들(2134)을 형성하는 단계(S2140)가 수행된 이후에 복수의 워드 라인들(2134)을 분리하게 될 수 있다. 즉, 적어도 하나의 워드 라인 분리 슬릿(2150)은 복수의 워드 라인들(2134)이 분리된 부분들(2135, 2136)이 복수의 메모리 블록들(2111, 2112)별로 이격되도록 복수의 워드 라인들(2134)에 대해 수직 방향으로 연장 형성되어 복수의 워드 라인들(2134)을 분리할 수 있다.
- [197] 또한, 단계(S2040)에서 제조 시스템은 복수의 워드 라인들(2134)을 형성한 뒤에, 적어도 하나의 워드 라인 형성용 패턴(2160)의 빈 내부 공간에 절연막을 충전할 수 있다.
- [198] 그 후, 도 20에 도시된 플로우 차트 상 별도의 단계로 도시되지는 않았으나, 제조 시스템은, 단계(S2040) 이후에 복수의 워드 라인들(2134)의 상단에 위치하는 적어도 하나의 SSL(String selection line)(2170)을 분리하는 적어도 하나의 SSL 분리 슬릿(2180)을 형성할 수 있다. 보다 상세하게, 제조 시스템은 복수의 메모리 블록들(2111, 2112) 각각 내에서 적어도 하나의 SSL(2170)이 분리된 부분들(2171, 2172) 서로 이격되도록 적어도 하나의 SSL 분리

슬릿(2180)을 적어도 하나의 SSL(2170)에 대해 수직 방향으로 연장 형성하여 적어도 하나의 SSL(2170)을 분리할 수 있다.

- [199] 이 때, 제조 시스템은 적어도 하나의 워드 라인 분리 슬릿(2150)이 형성되는 것과 유사한 과정을 통해 적어도 하나의 SSL 분리 슬릿(2180)을 형성할 수 있다. 일례로, 제조 시스템은 도 21e와 같이 빈 트렌치 또는 홀의 형상을 갖는 적어도 하나의 SSL 분리 슬릿(2180)의 내부 공간을 형성한 뒤, 도 21f와 같이 그 내부 공간에 절연막을 충전하여 적어도 하나의 SSL 분리 슬릿(2180)을 형성할 수 있다.
- [200] 이상, 적어도 하나의 매몰형 소스 라인(2150)과 복수의 워드 라인들(2134)이 각기 다른 단계(공정)를 통해 형성되는 것으로 설명되었으나, 적어도 하나의 매몰형 소스 라인(750)과 복수의 워드 라인들(734)은 동일한 단계(공정)를 통해 일괄적으로 형성될 수 있다.
- [201] 예를 들어, 제조 시스템은 단계(S2010)에서 적어도 하나의 매몰형 소스 라인(2150) 대신에 적어도 하나의 매몰형 희생 라인을 포함하는 반도체 구조체(2100)를 준비함으로써, 단계(S2030)에서 적어도 하나의 워드 라인 형성용 패턴(2160)을 통해 복수의 희생층들(2130)과 적어도 하나의 매몰형 희생 라인을 제거할 수 있다. 이를 위해, 적어도 하나의 워드 라인 형성용 패턴(2160)은 적어도 하나의 매몰형 희생 라인의 상부에 위치할 수 있다. 이어서, 제조 시스템은 단계(S2040)에서 적어도 하나의 워드 라인 형성용 패턴(2160)을 통해, 복수의 희생층들(2130)이 제거된 공간과 적어도 하나의 매몰형 희생 라인이 제거된 공간에 각각 전도성 물질을 주입함으로써, 복수의 워드 라인들(2134)과 적어도 하나의 매몰형 소스 라인(2140)을 동시에 형성할 수 있다.
- [202] 또한, 이상 적어도 하나의 워드 라인 분리 슬릿(2150)이 형성된 이후에 적어도 하나의 워드 라인 형성용 패턴(2160)이 형성되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 적어도 하나의 워드 라인 형성용 패턴(2160)이 형성된 이후에 적어도 하나의 워드 라인 분리 슬릿(2150)이 형성될 수도 있다.
- [203] 예를 들어, 제조 시스템은 단계(S2010)에서 적어도 하나의 워드 라인 분리 슬릿(2150)이 형성되지 않은 반도체 구조체(2100)를 준비하고 단계들(S2120 내지 S2140)을 수행한 이후에, 적어도 하나의 워드 라인 분리 슬릿(2150) 및 적어도 하나의 SSL 분리 슬릿(2180)을 형성할 수 있다.
- [204]
- [205] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [206] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도

후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 효율적인 워드 라인 연결 구조가 적용된 3차원 플래시 메모리에 있어서, 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링; 상기 적어도 하나의 메모리 셀 스트링과 수직으로 연결되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들의 하부에 위치하는 로우 디코더(Row Decoder)를 포함하고, 상기 복수의 워드 라인들 각각은, 상기 복수의 워드 라인들 각각의 콘택트(Contact)와 연결되는 플러그 비아(Plug Via)를 통해 상기 로우 디코더와 연결되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 2] 제1항에 있어서, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들의 평면 상에서 상기 복수의 워드 라인들 각각을 관통하며 상기 로우 디코더와 접촉되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 3] 제2항에 있어서, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들 각각과 평면 상에서 격리되는 구조를 갖는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 4] 제3항에 있어서, 상기 복수의 워드 라인들 각각의 플러그 비아는, 상기 복수의 워드 라인들 각각과의 사이에 형성되는 산화막에 의해 상기 복수의 워드 라인들 각각과 평면 상에서 격리되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 5] 제1항에 있어서, 상기 복수의 워드 라인들 각각의 플러그 비아가 상기 복수의 워드 라인들 각각의 콘택트와 연결되는 복수의 연결 배선들은, 상기 복수의 워드 라인들의 평면 내에 배치되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 6] 효율적인 레이아웃을 위한 구조를 갖는 3차원 플래시 메모리에 있어서, 기판 상 일 방향으로 연장 형성되는 복수의 메모리 셀 스트링들을 각각 포함하는 적어도 하나의 셀 블록; 상기 기판에 COP(Cell On Peripheral) 구조가 적용됨에 따라 상기 적어도 하나의 셀 블록의 하부에 위치한 채, 적어도 하나의 주변 회로를 각각 포함하는 복수의 주변 회로 블록들; 상기 적어도 하나의 셀 블록 및 상기 복수의 주변 회로 블록들에 대한

로우 디코더(Row Decoder); 및

상기 적어도 하나의 셀 블록 및 상기 복수의 주변 회로 블록들에 대한
컬럼 디코더(Column Decoder)

를 포함하고,

상기 로우 디코더 및 상기 컬럼 디코더는,

상기 복수의 주변 회로 블록들이 서로 대칭되도록 상기 복수의 주변 회로
블록들을 분할하며 배치되는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 7]

제6항에 있어서,

상기 로우 디코더 및 상기 컬럼 디코더는,

상기 3차원 플래시 메모리의 평면 내에서 십자형(Cross shape)으로

배치되어, 상기 십자형에 의한 사분면(Quadrant)에 상기 복수의 주변 회로
블록들을 대칭되도록 분할하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 8]

제7항에 있어서,

상기 로우 디코더 및 상기 컬럼 디코더는,

상기 3차원 플래시 메모리의 평면 내에서 상기 로우 디코더가 수직

방향으로 위치하고 상기 컬럼 디코더가 상기 로우 디코더의 중간 지점을
가로지르며 수평 방향으로 위치함에 따라, 상기 십자형으로 배치되는

것을 특징으로 하는 3차원 플래시 메모리.

[청구항 9]

제6항에 있어서,

상기 로우 디코더 및 상기 컬럼 디코더는,

상기 3차원 플래시 메모리의 평면 내에서 T자형으로 배치되어, 상기

T자형에 의한 두 개의 분면들에 상기 복수의 주변 회로 블록들을
대칭되도록 분할하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 10]

제9항에 있어서,

상기 로우 디코더 및 상기 컬럼 디코더는,

상기 3차원 플래시 메모리의 평면 내에서 상기 컬럼 디코더가 수평

방향으로 위치하고 상기 로우 디코더가 상기 컬럼 디코더의 중간

지점으로부터 일 지점까지 수직 방향으로 위치함에 따라, 상기 T자형으로
배치되는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 11]

집적도를 개선한 3차원 플래시 메모리에 있어서,

기판 상 일 방향으로 연장 형성되는 채널층 및 전하 저장층을 각각
포함하는 복수의 메모리 셀 스트링들;

상기 복수의 메모리 셀 스트링들에 대해 수직 방향으로 연결되는 복수의
워드 라인들;

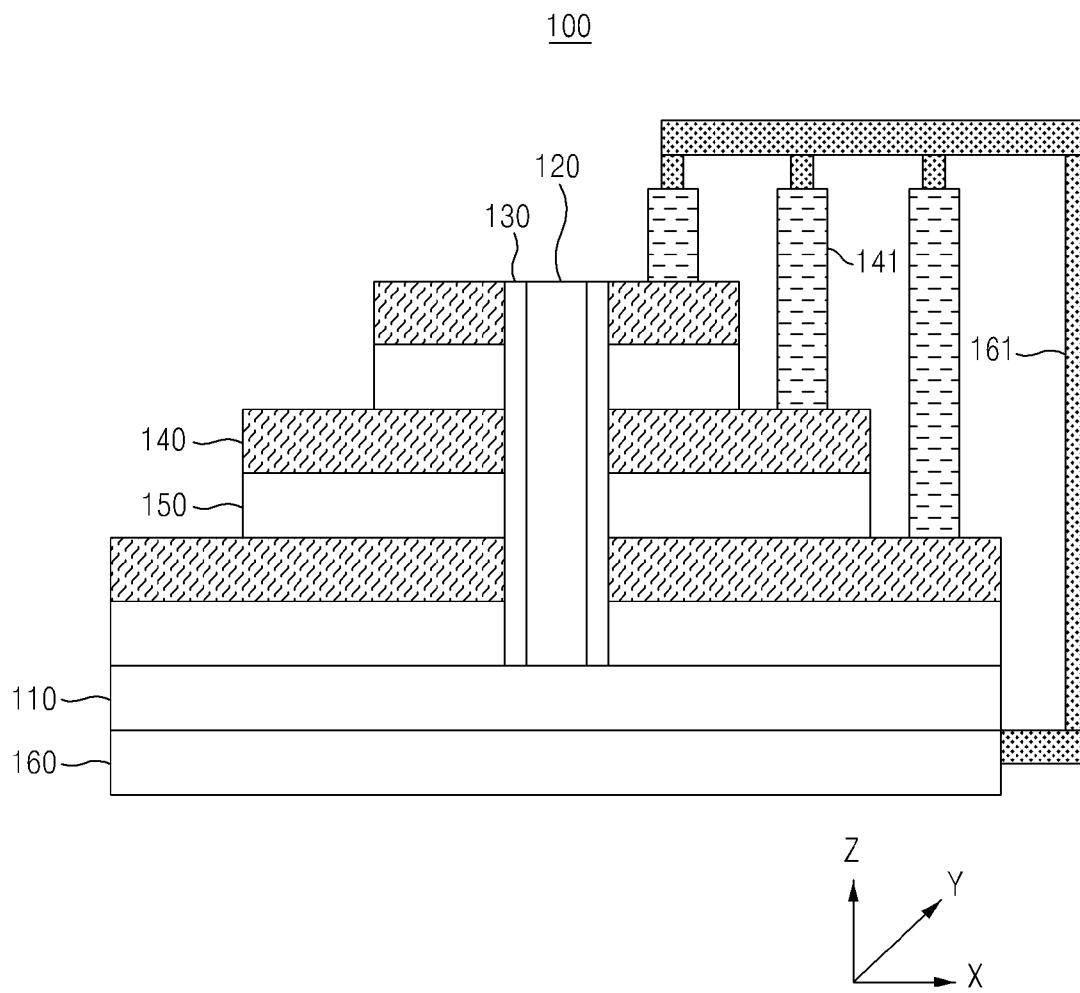
상기 기판에 매몰된 적어도 하나의 매몰형 소스 라인; 및

상기 복수의 워드 라인들을 분리하는 적어도 하나의 워드 라인 분리
슬릿(Slit)

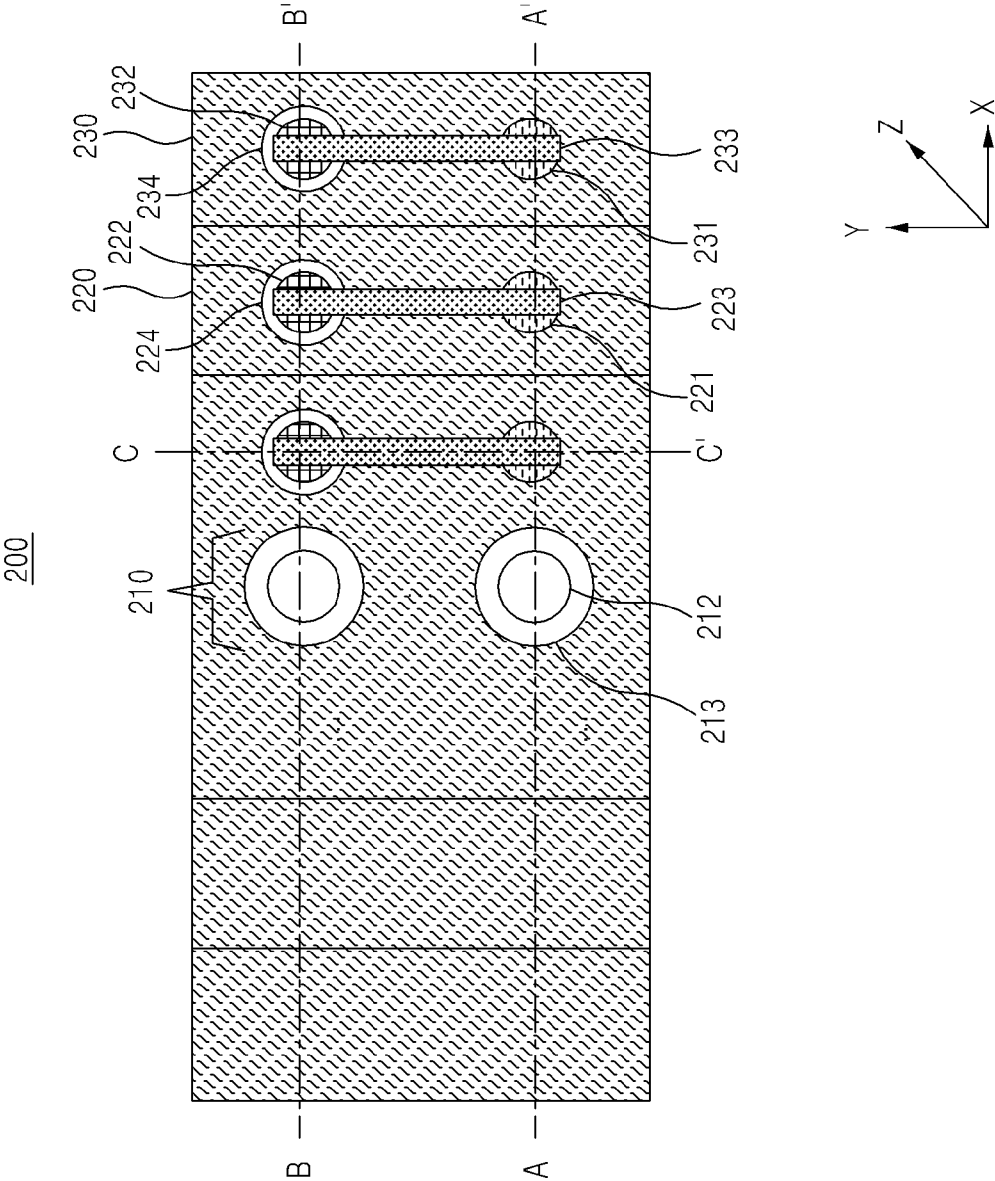
을 포함하는 3차원 플래시 메모리.

- [청구항 12] 제11항에 있어서,
상기 적어도 하나의 워드 라인 분리 슬릿은,
상기 복수의 워드 라인들이 분리된 부분들이 복수의 메모리 블록들-상기 복수의 메모리 블록들은 상기 복수의 메모리 셀 스트링들이 임의의 개수로 그룹핑되어 형성됨-별로 이격되도록 상기 복수의 워드 라인들에 대해 수직 방향으로 연장 형성되어 상기 복수의 워드 라인들을 분리하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 13] 제12항에 있어서,
상기 적어도 하나의 워드 라인 분리 슬릿은,
상기 복수의 워드 라인들에 대응하는 영역의 깊이만큼 수직 방향으로 연장 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 14] 제12항에 있어서,
상기 복수의 워드 라인들의 상단에 위치하는 적어도 하나의 SSL(String selection line)을 분리하는 적어도 하나의 SSL 분리 슬릿을 더 포함하는 3차원 플래시 메모리.
- [청구항 15] 제11항에 있어서,
상기 적어도 하나의 워드 라인 분리 슬릿은,
상기 복수의 워드 라인들을 형성하는 전도성 물질이 삽입되는 통로로 사용되는 것을 특징으로 하는 3차원 플래시 메모리.

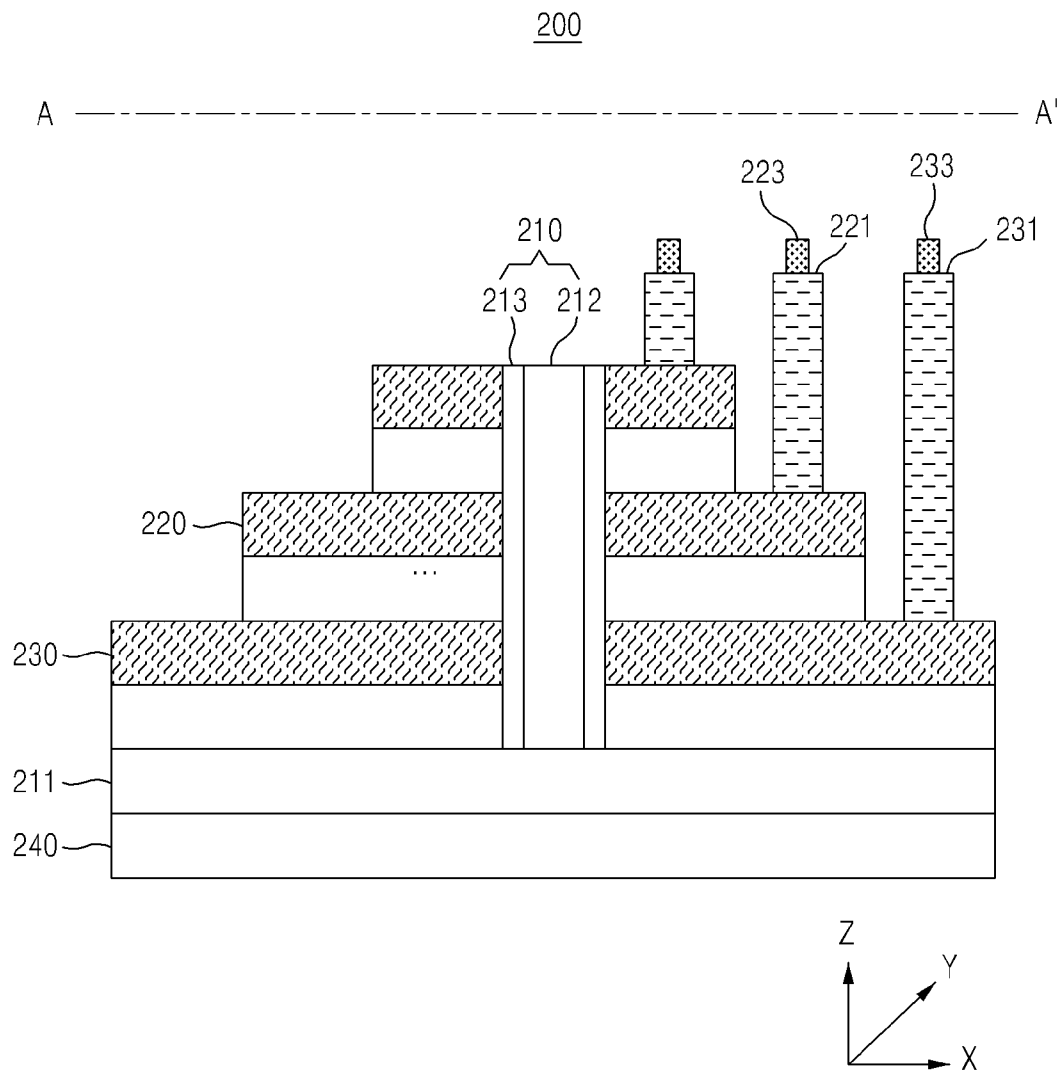
[도1]



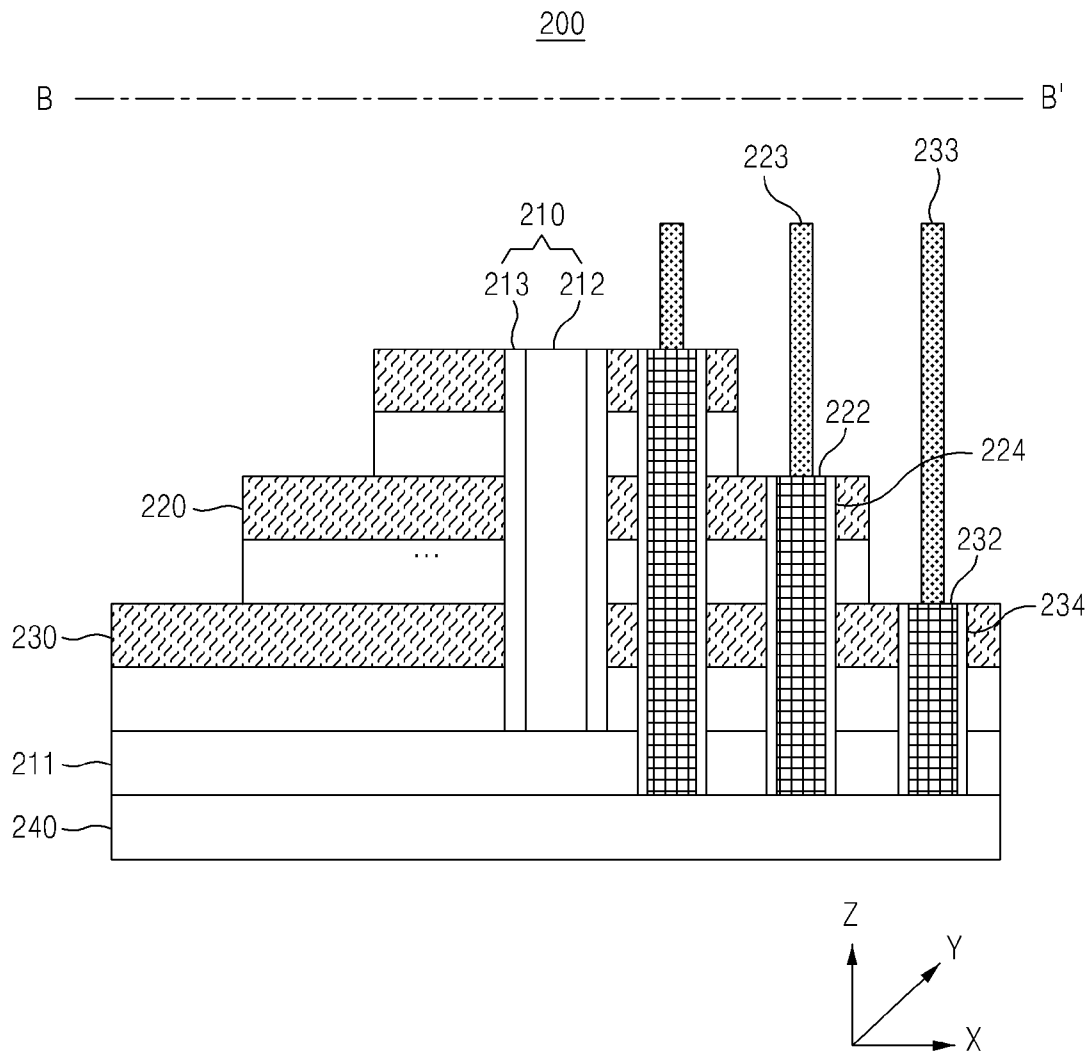
[도2]



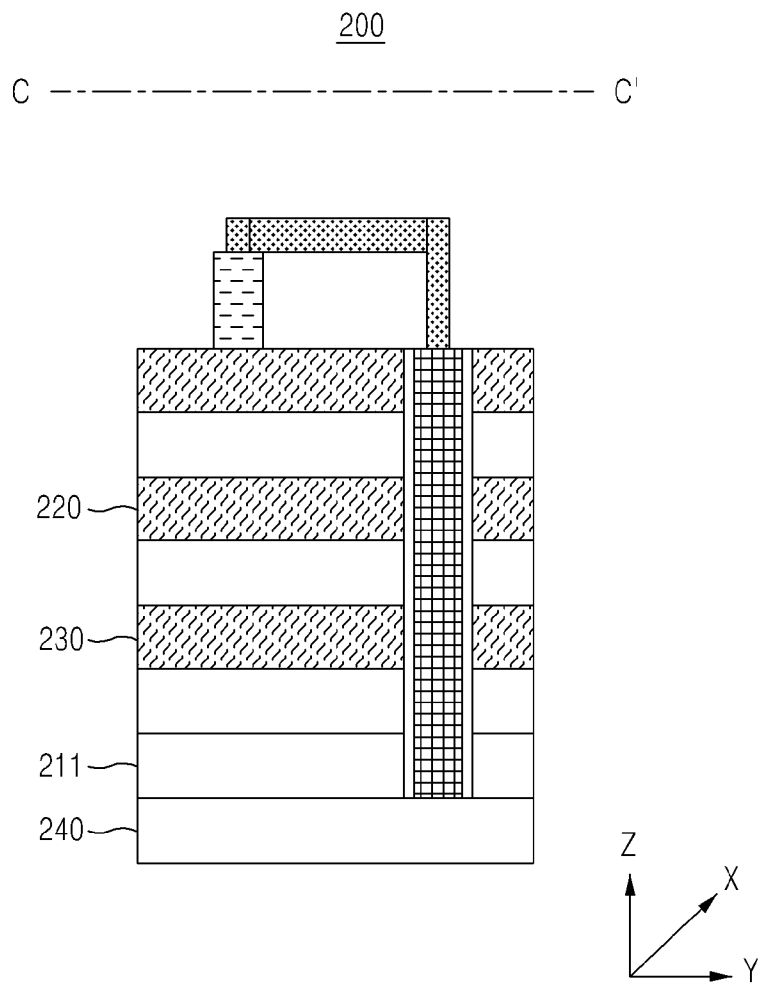
[도3]



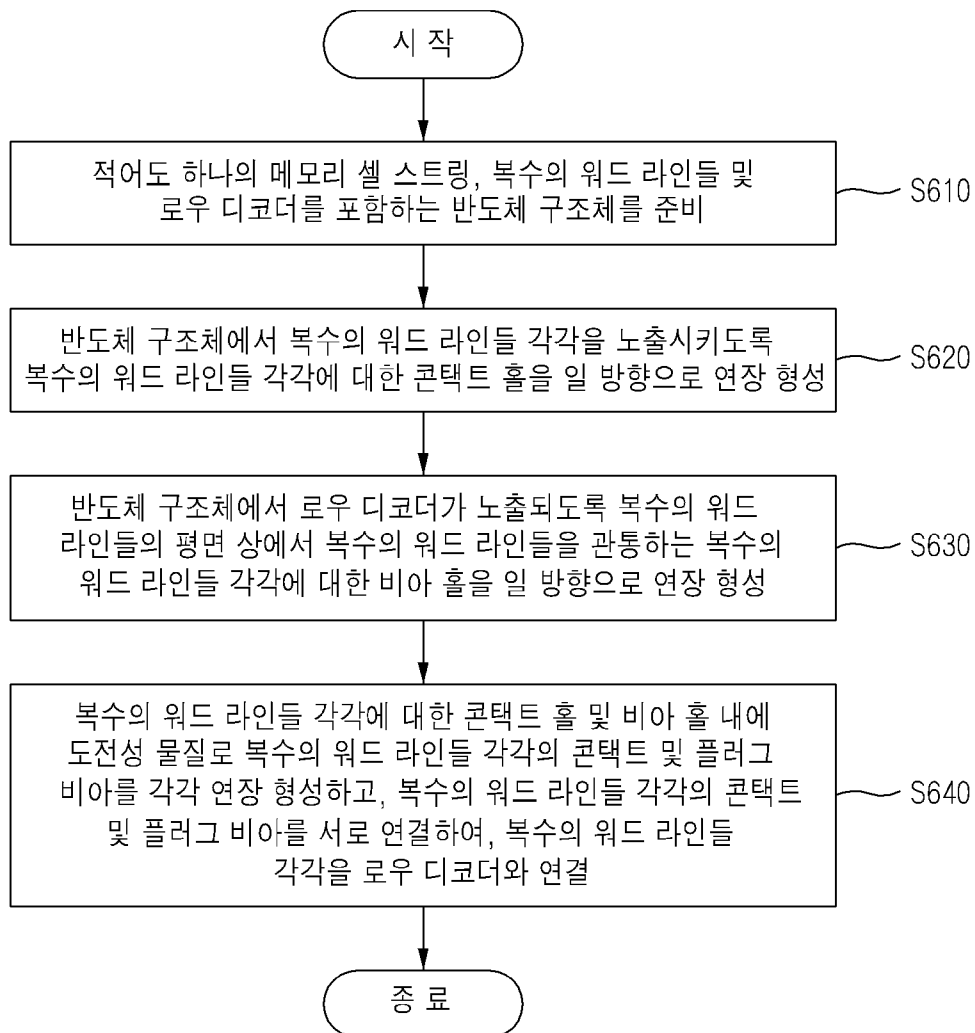
[도4]



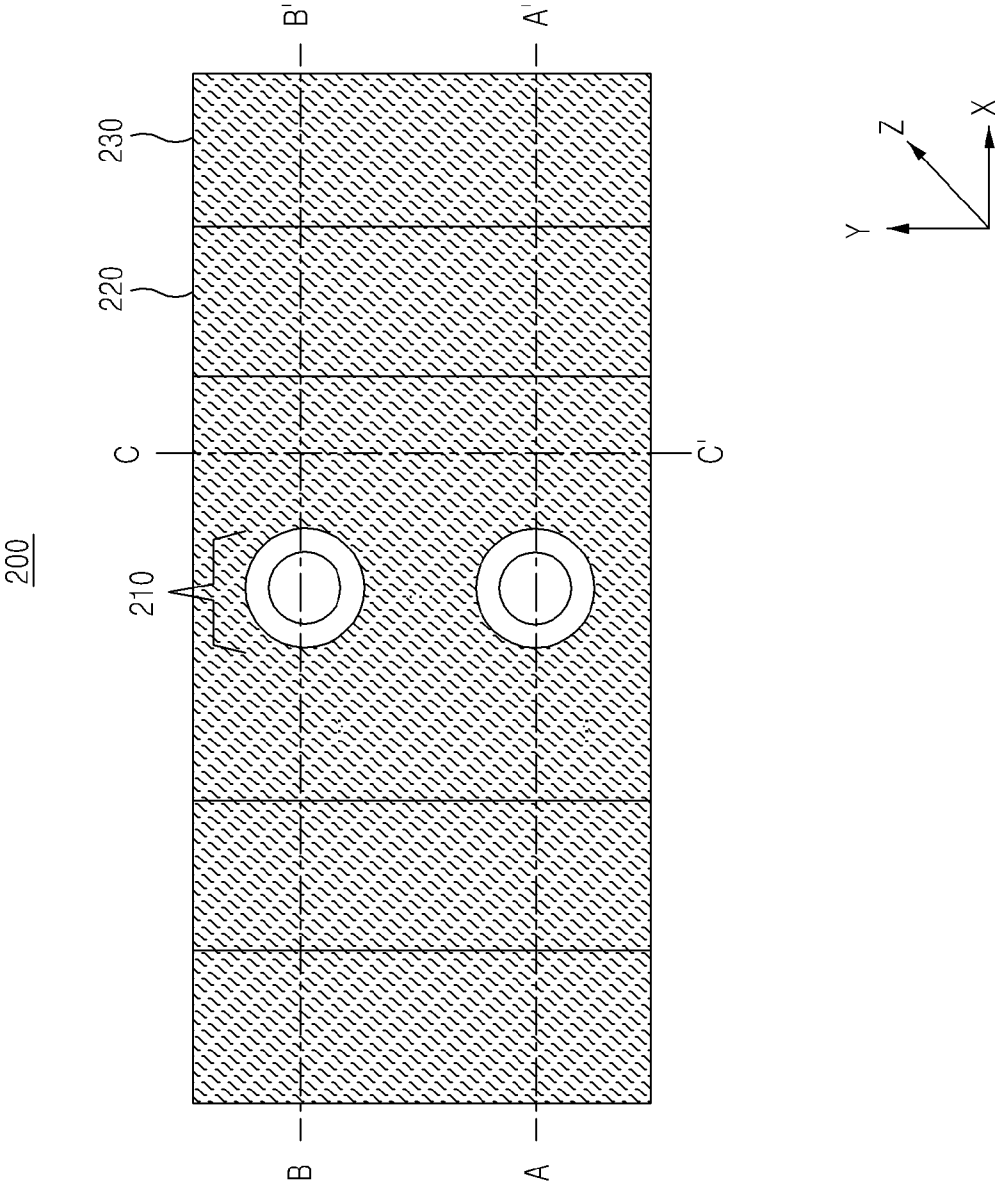
[도5]



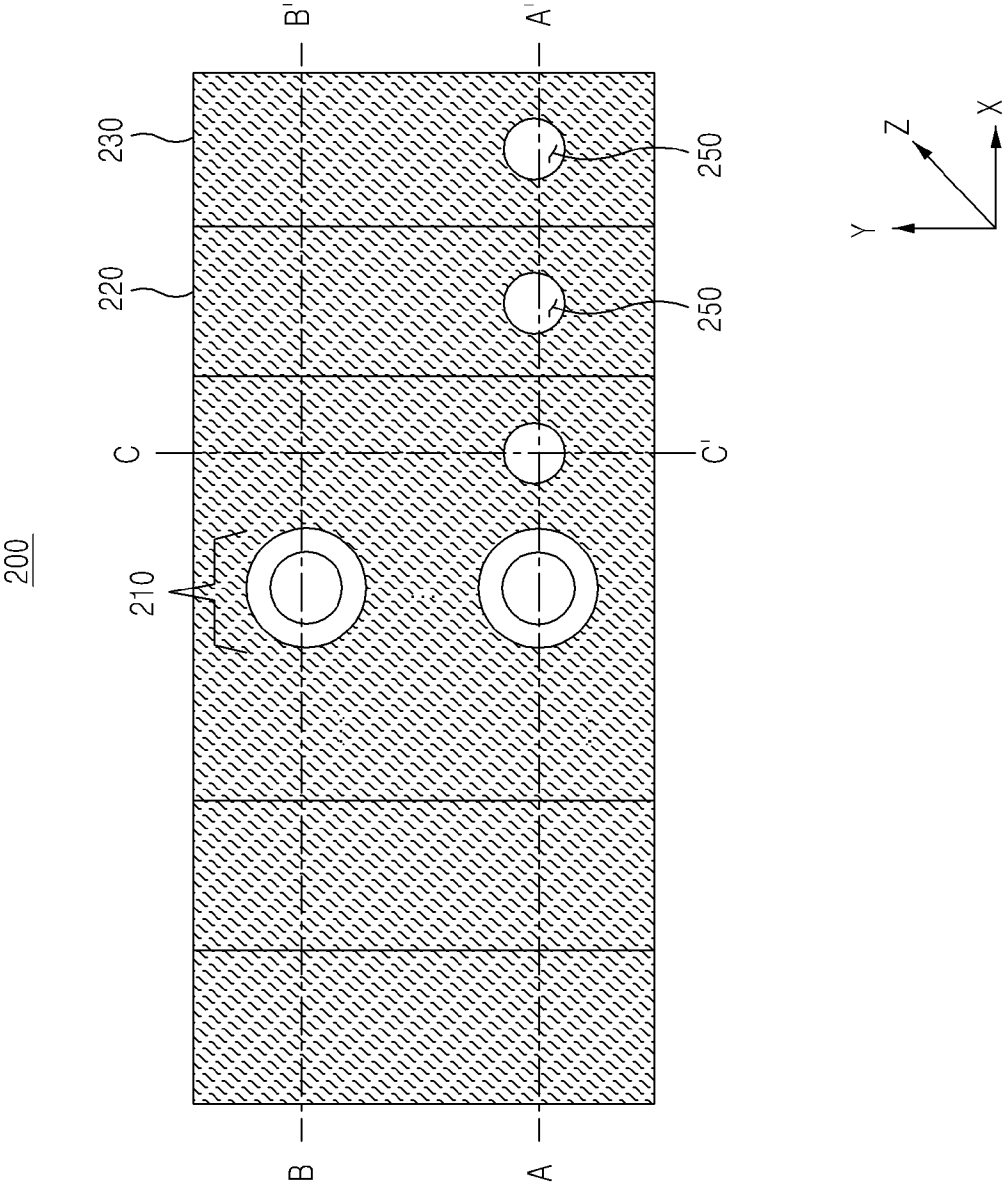
[도6]



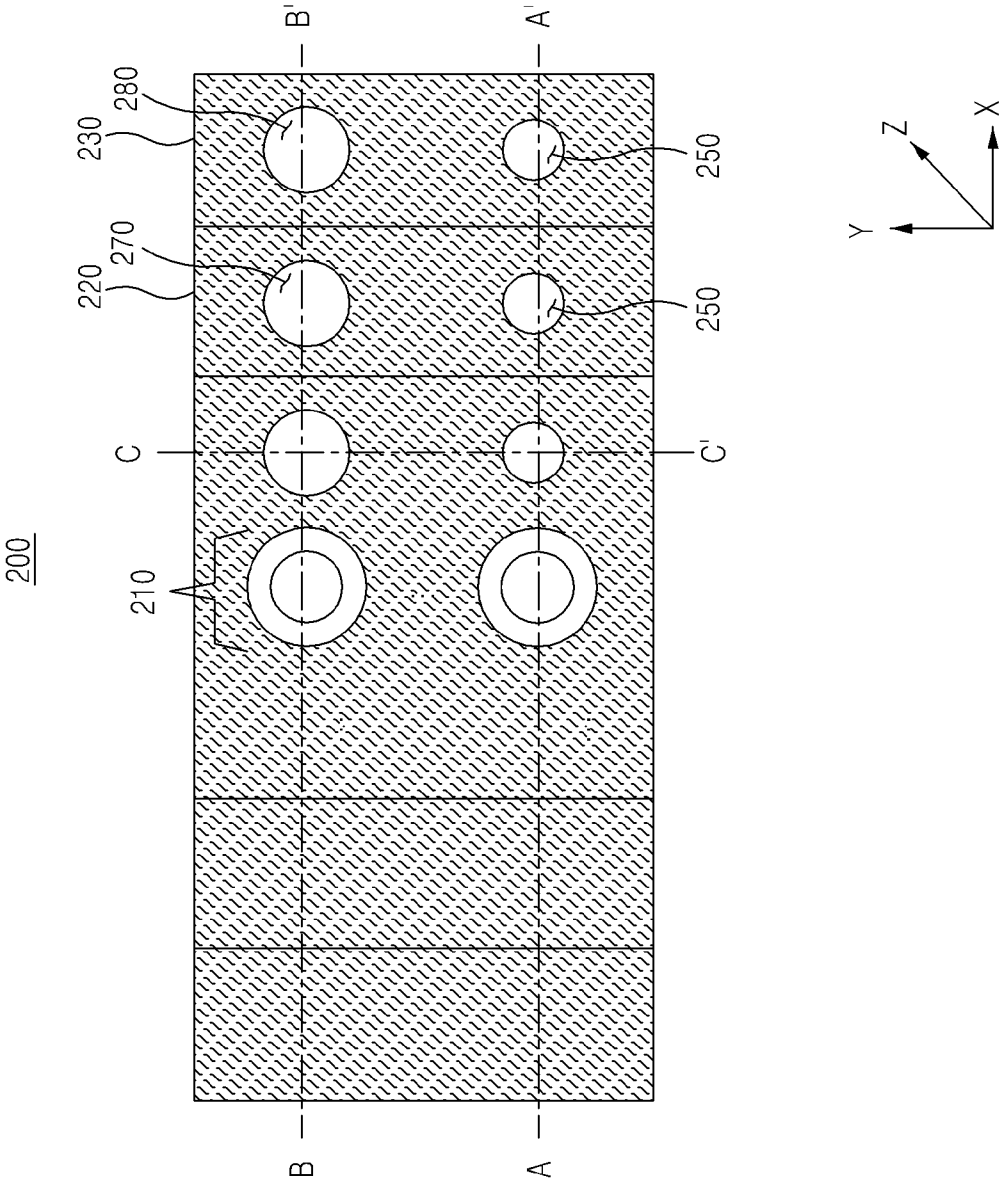
[도7a]



[도7b]

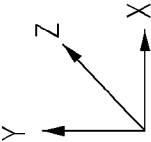
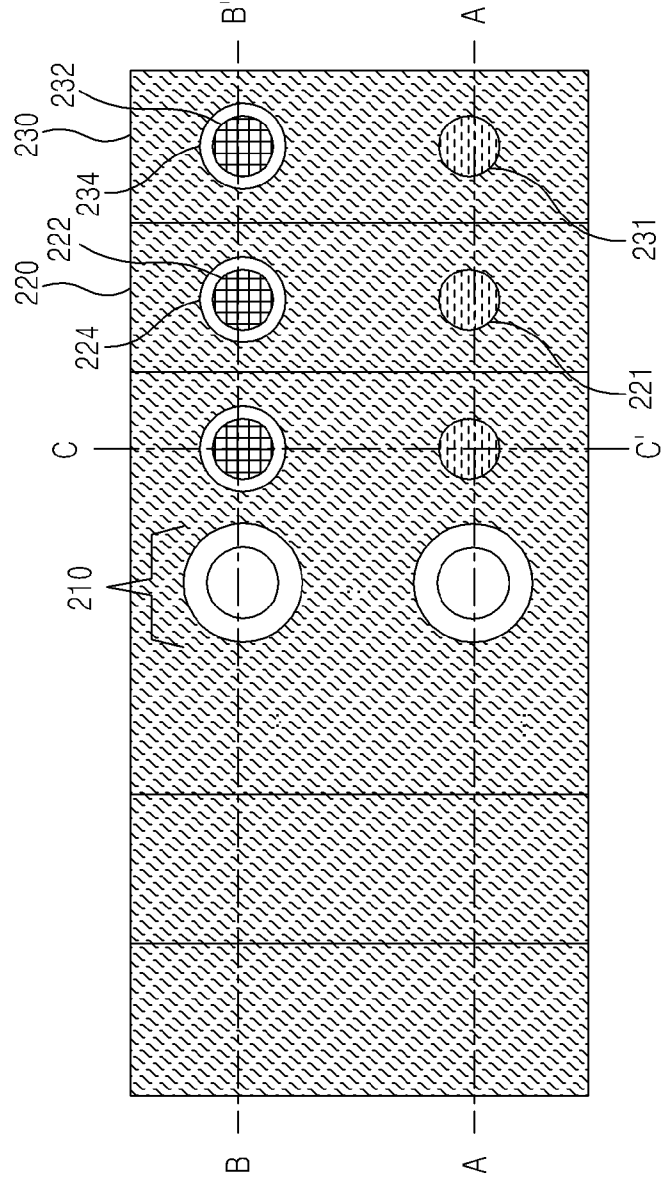


[도7c]

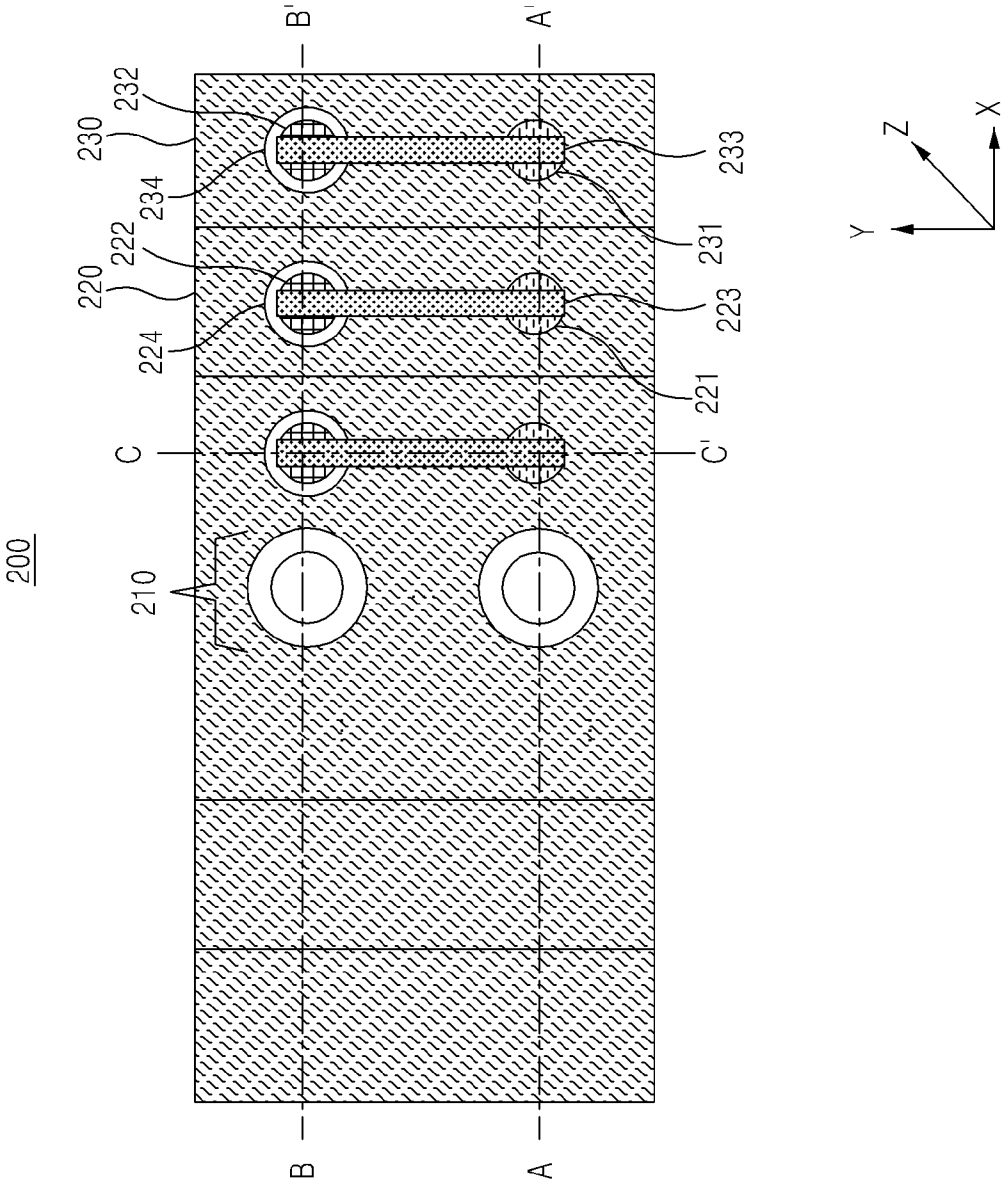


[도7d]

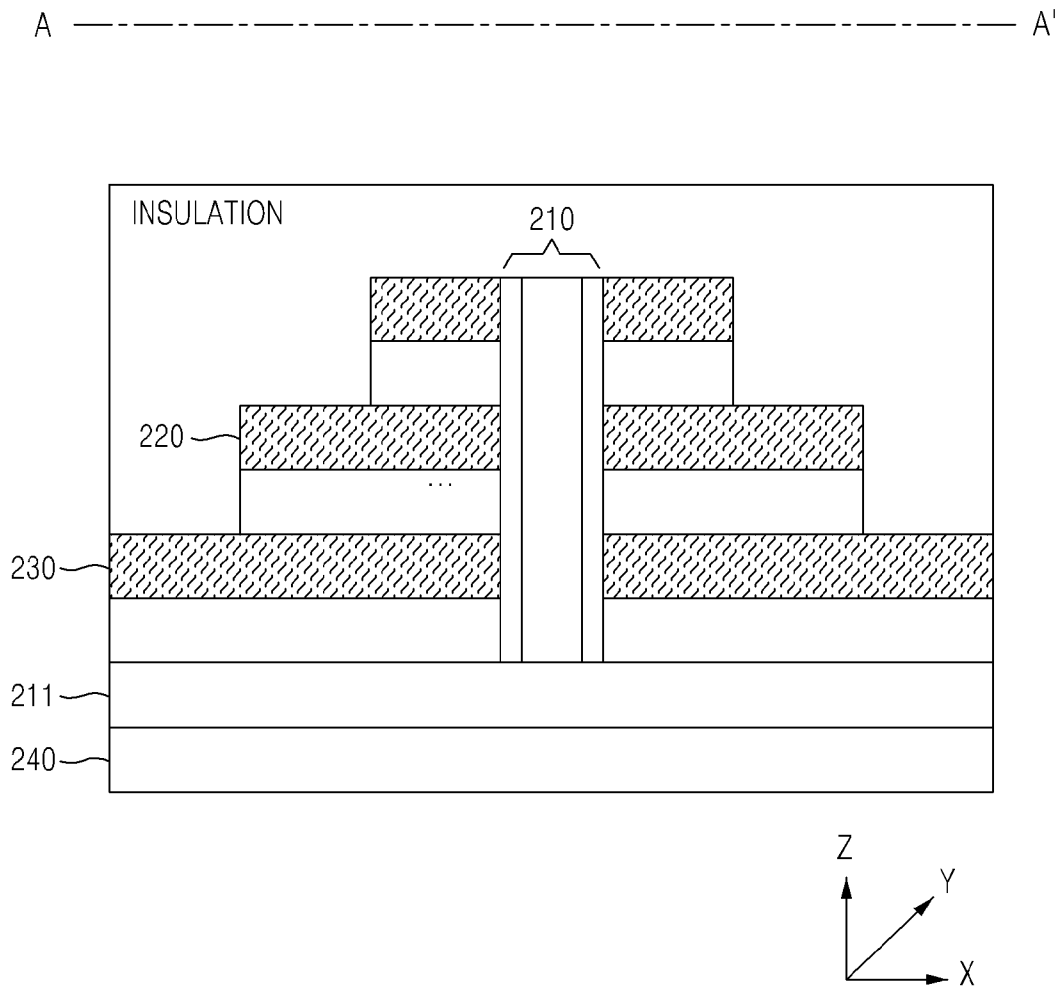
200



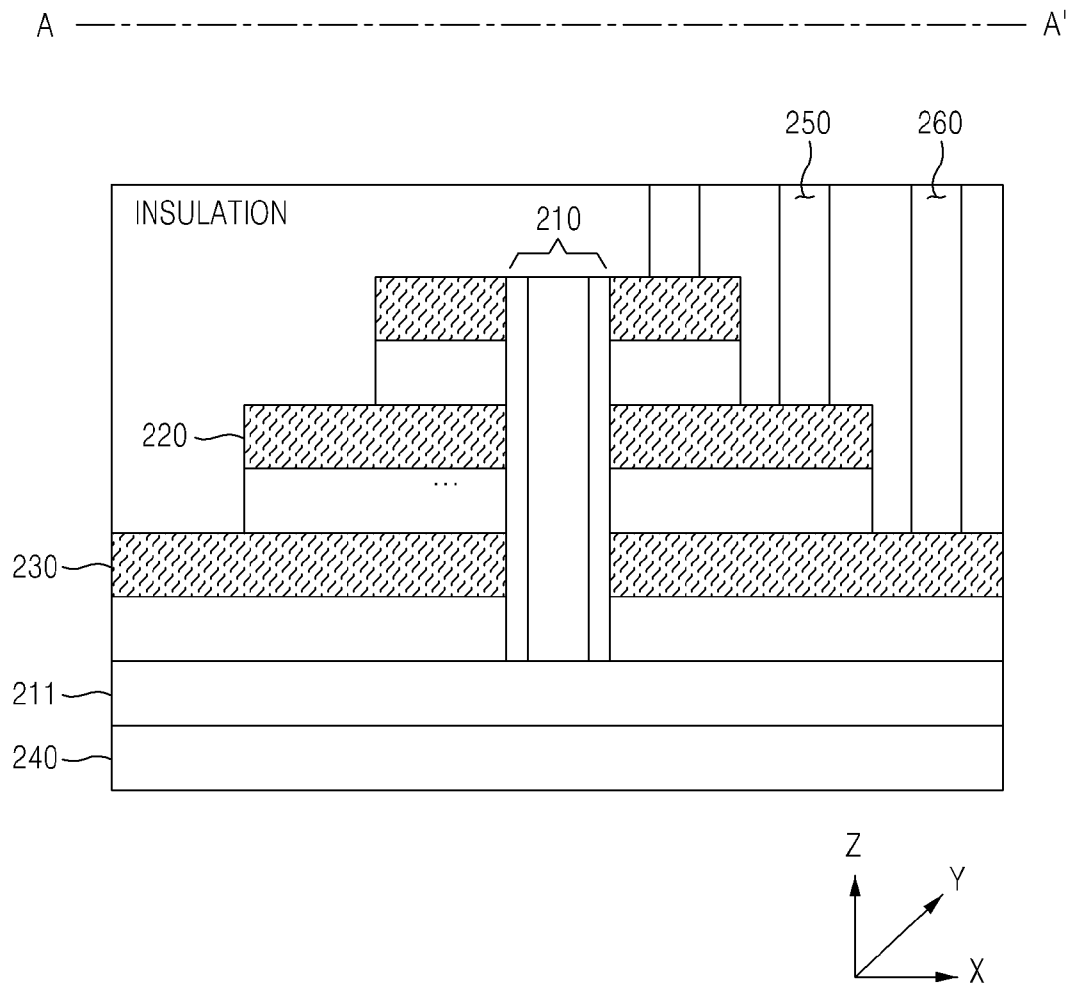
[도7e]



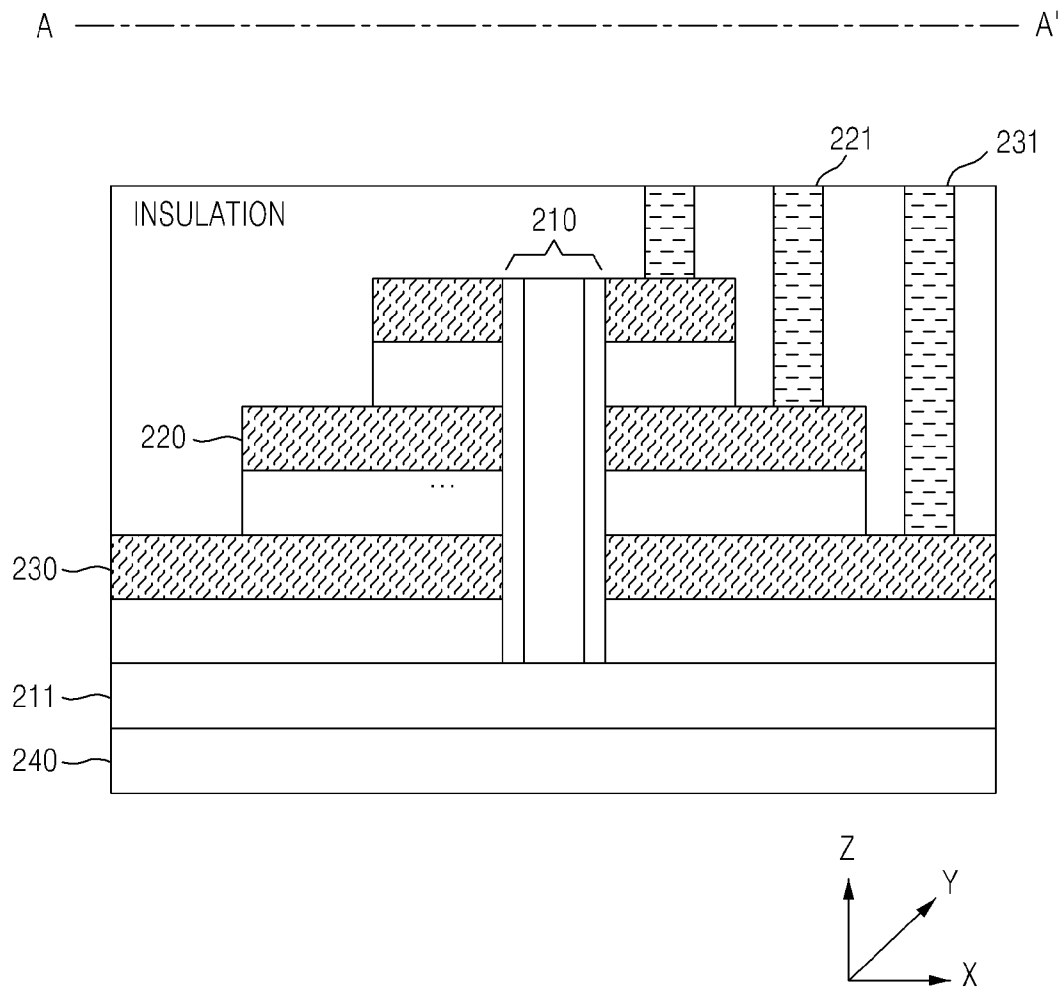
[도8a]



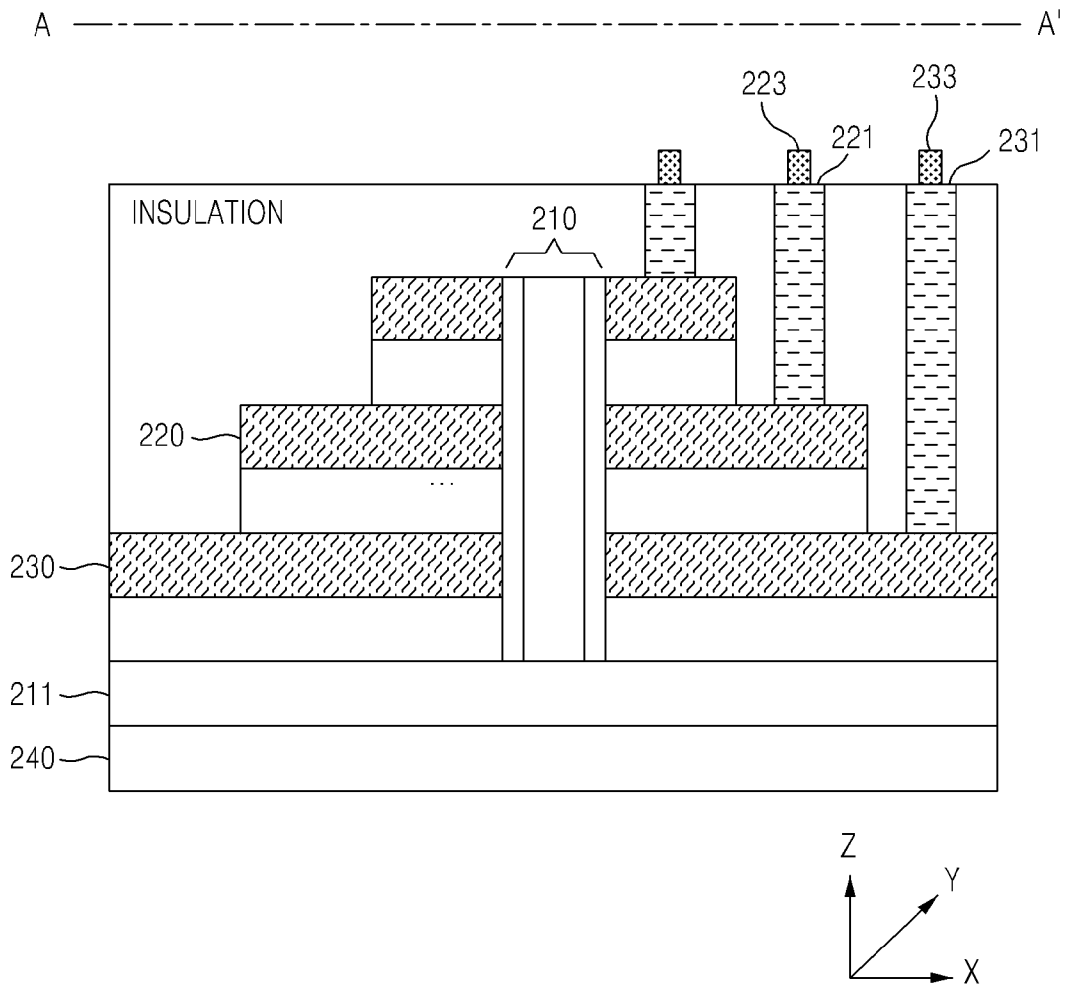
[도8b]



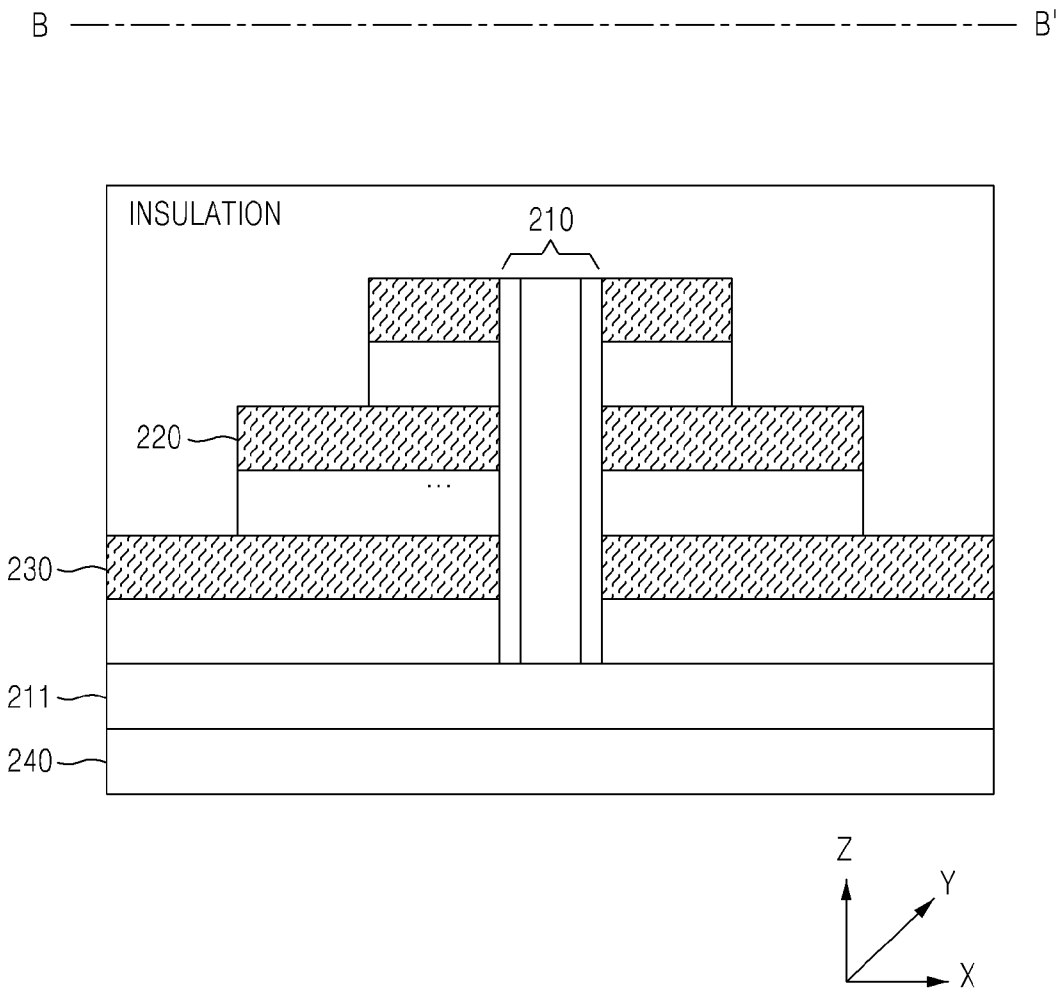
[도8c]



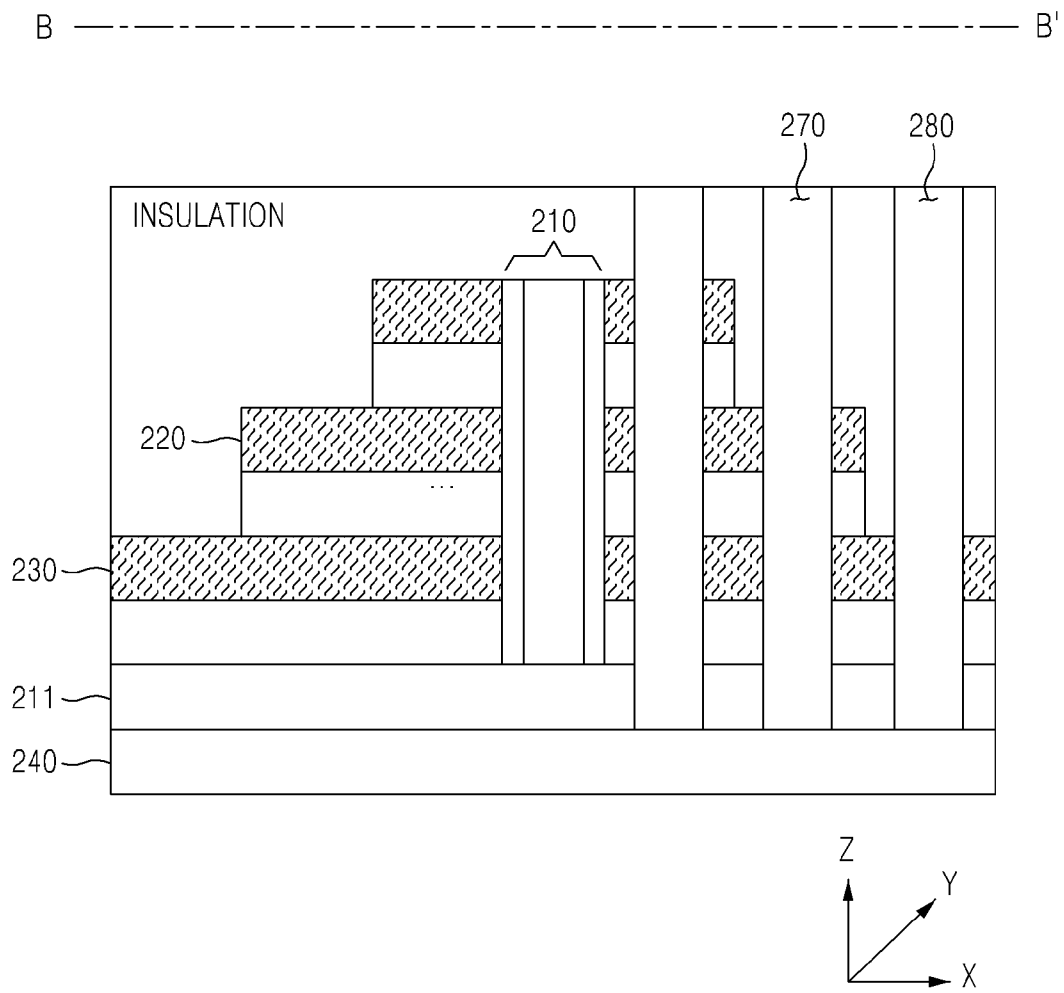
[도8d]



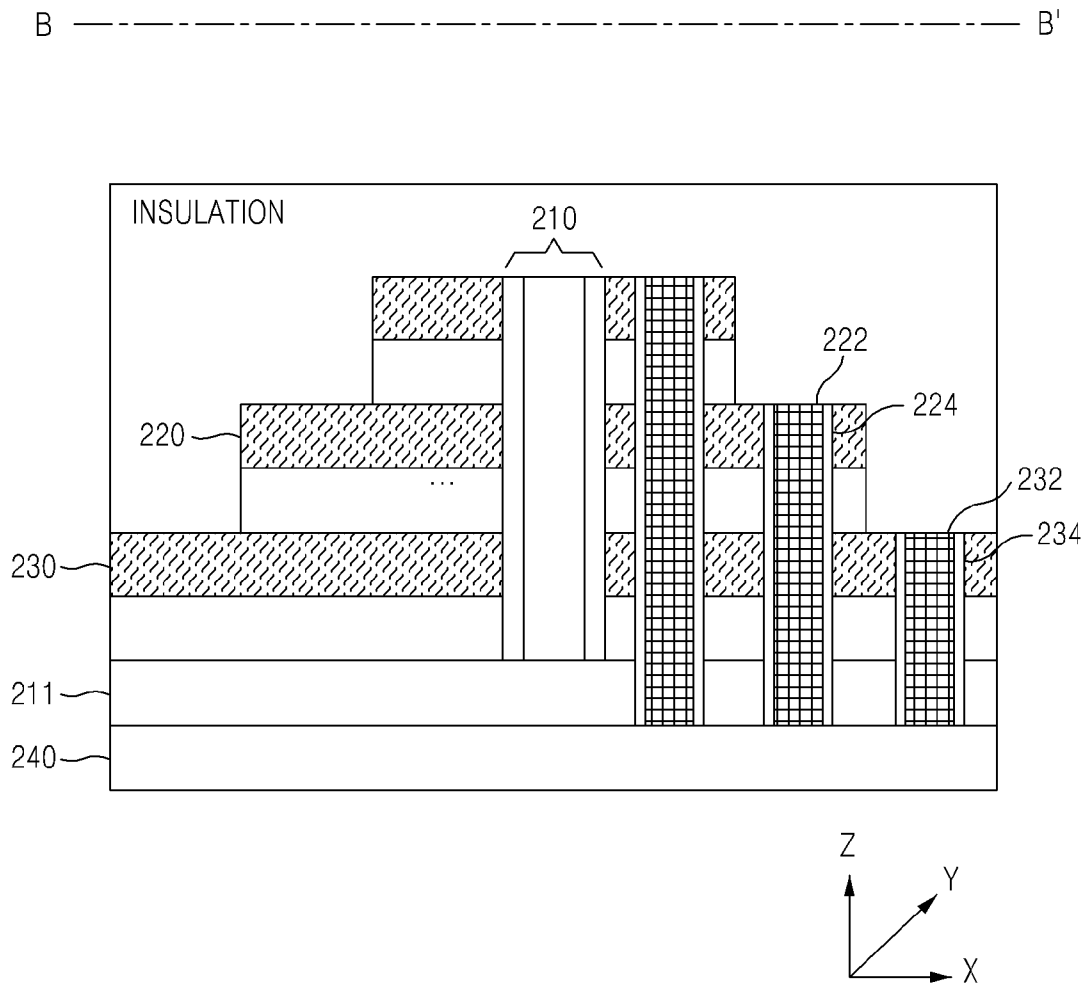
[도9a]



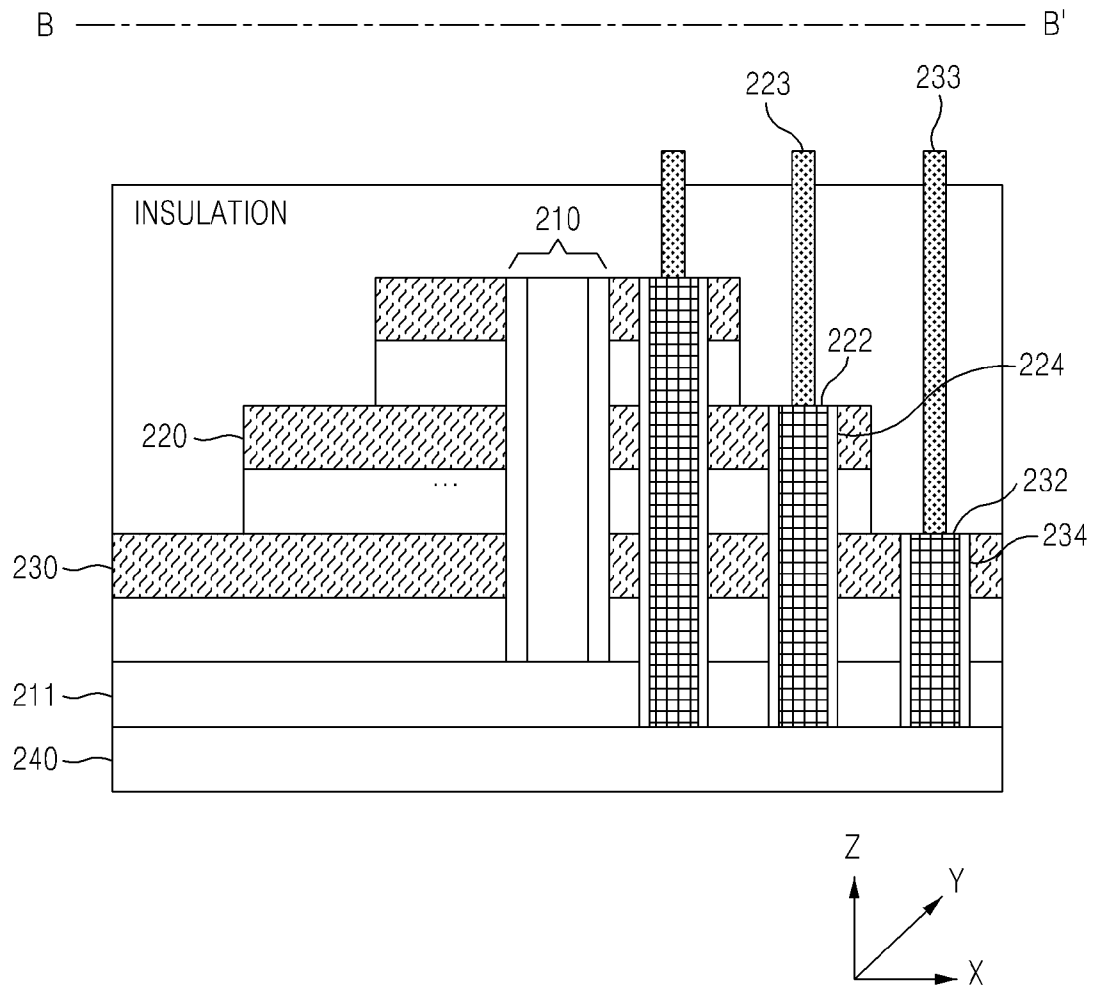
[도9b]



[도9c]

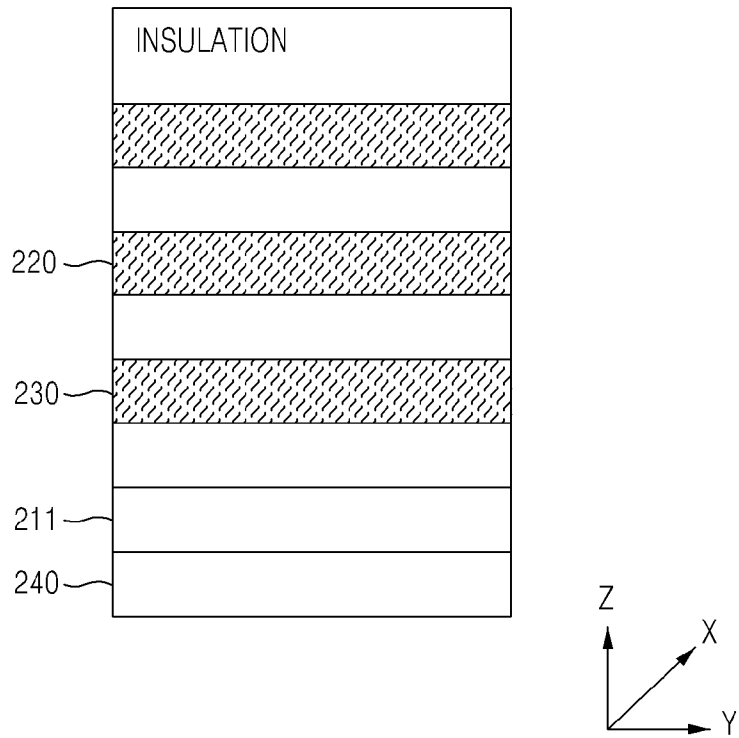


[도9d]



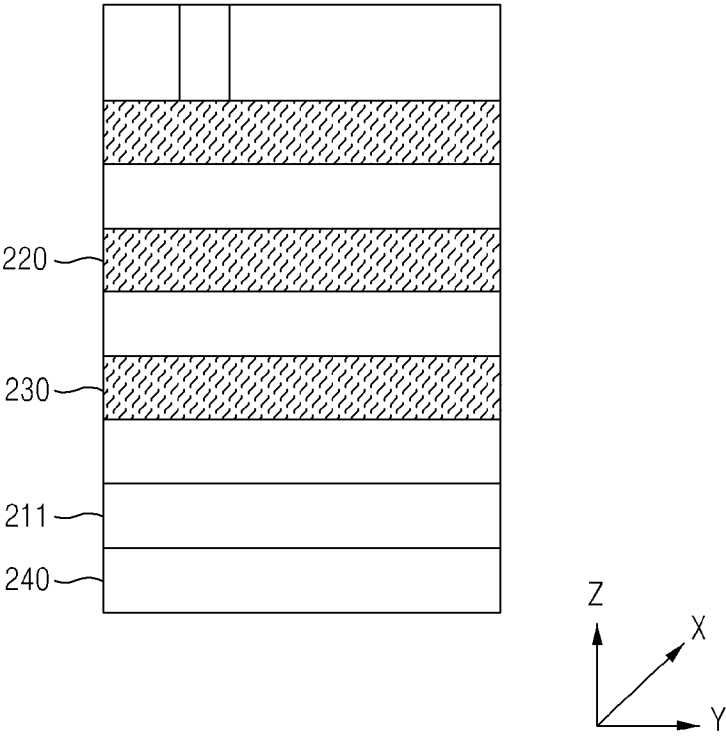
[도 10a]

C ----- C'



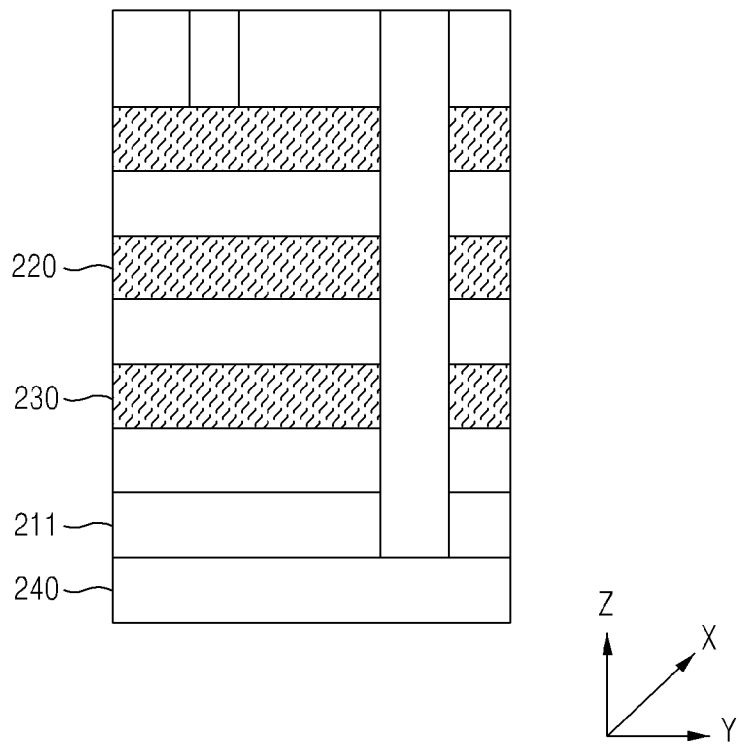
[도 10b]

C ----- C'

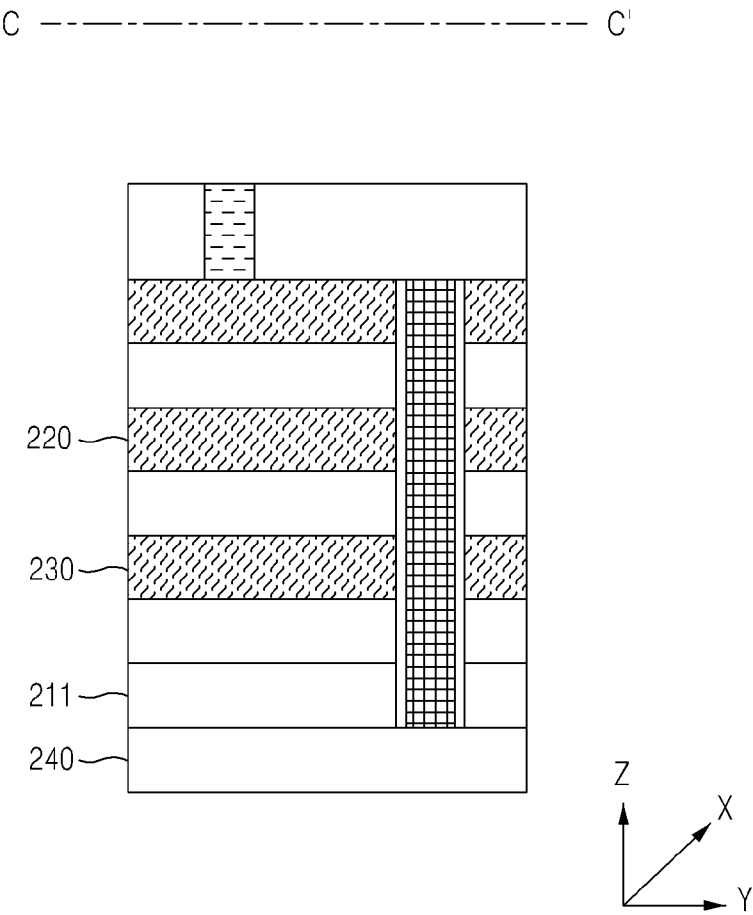


[도 10c]

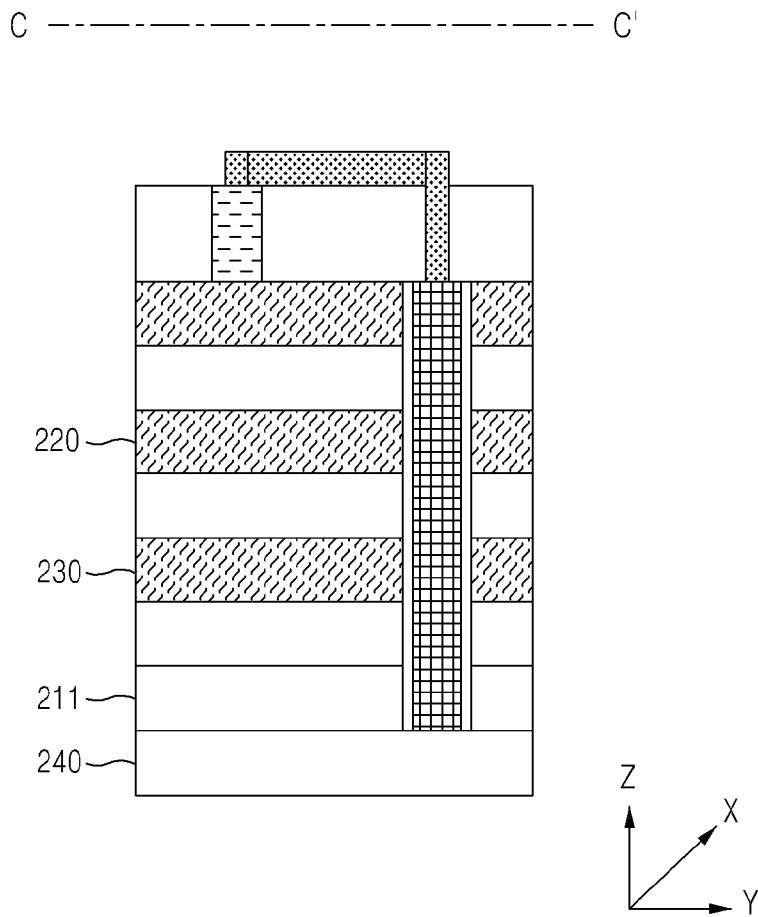
C ----- C'



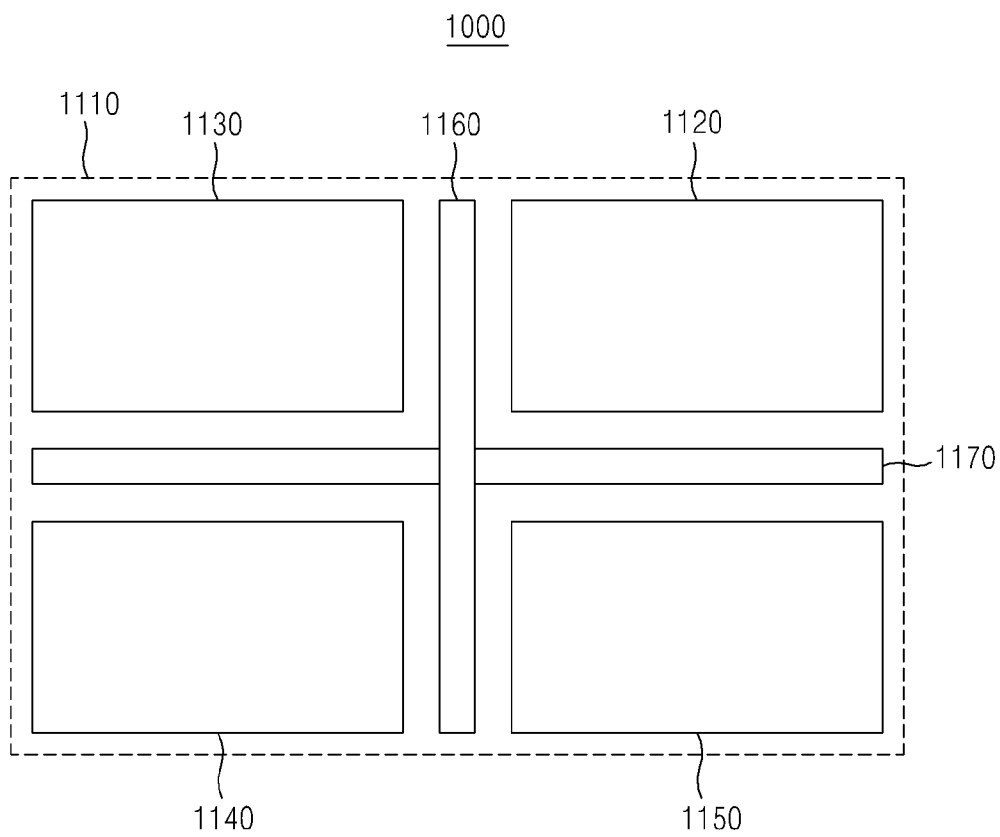
[도10d]



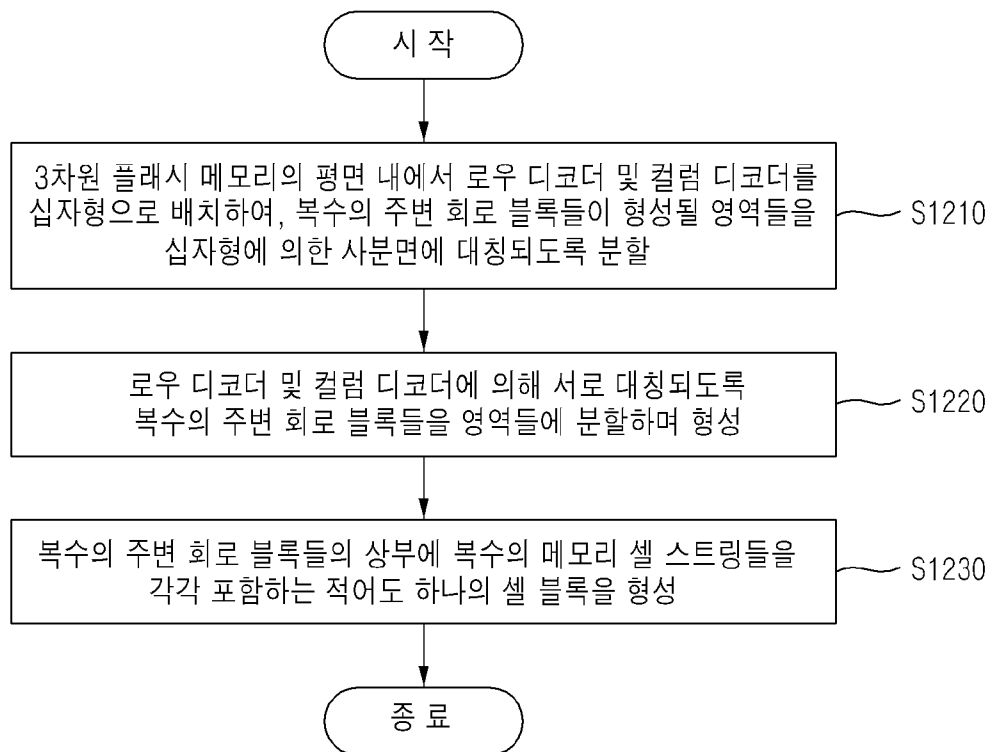
[도10e]



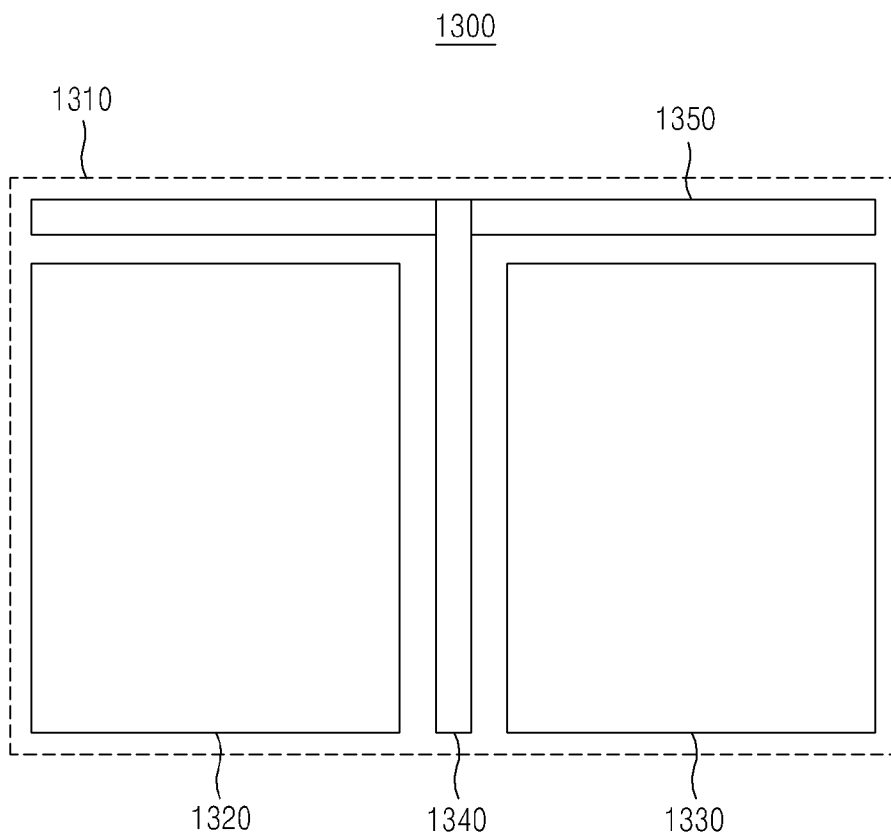
[도11]



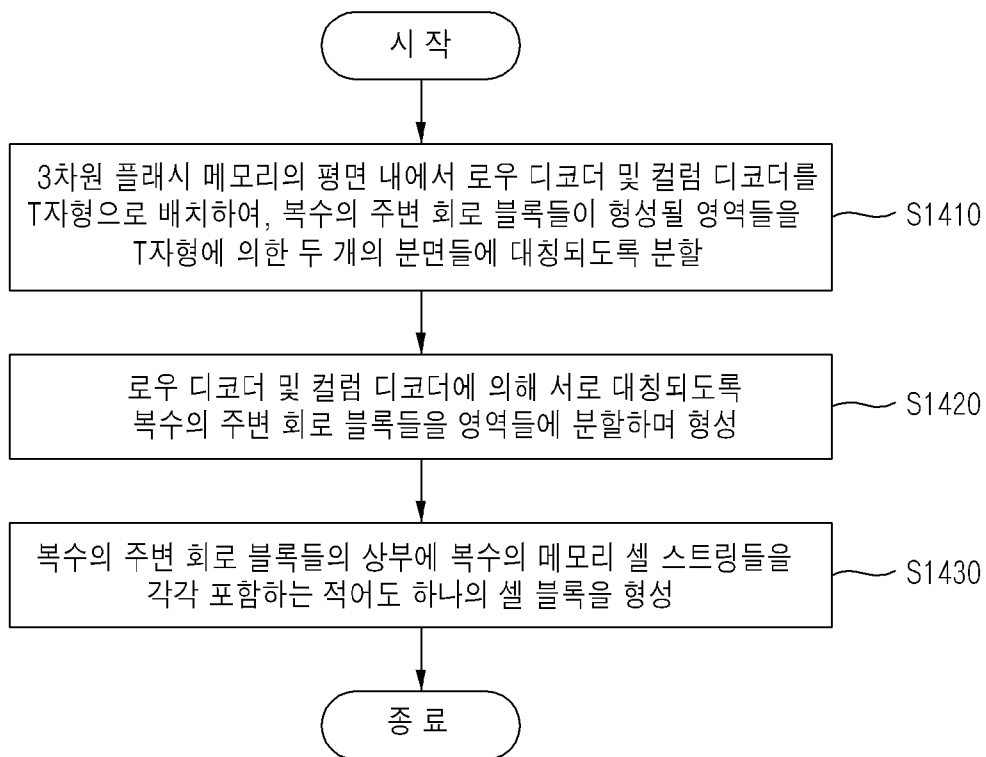
[도12]



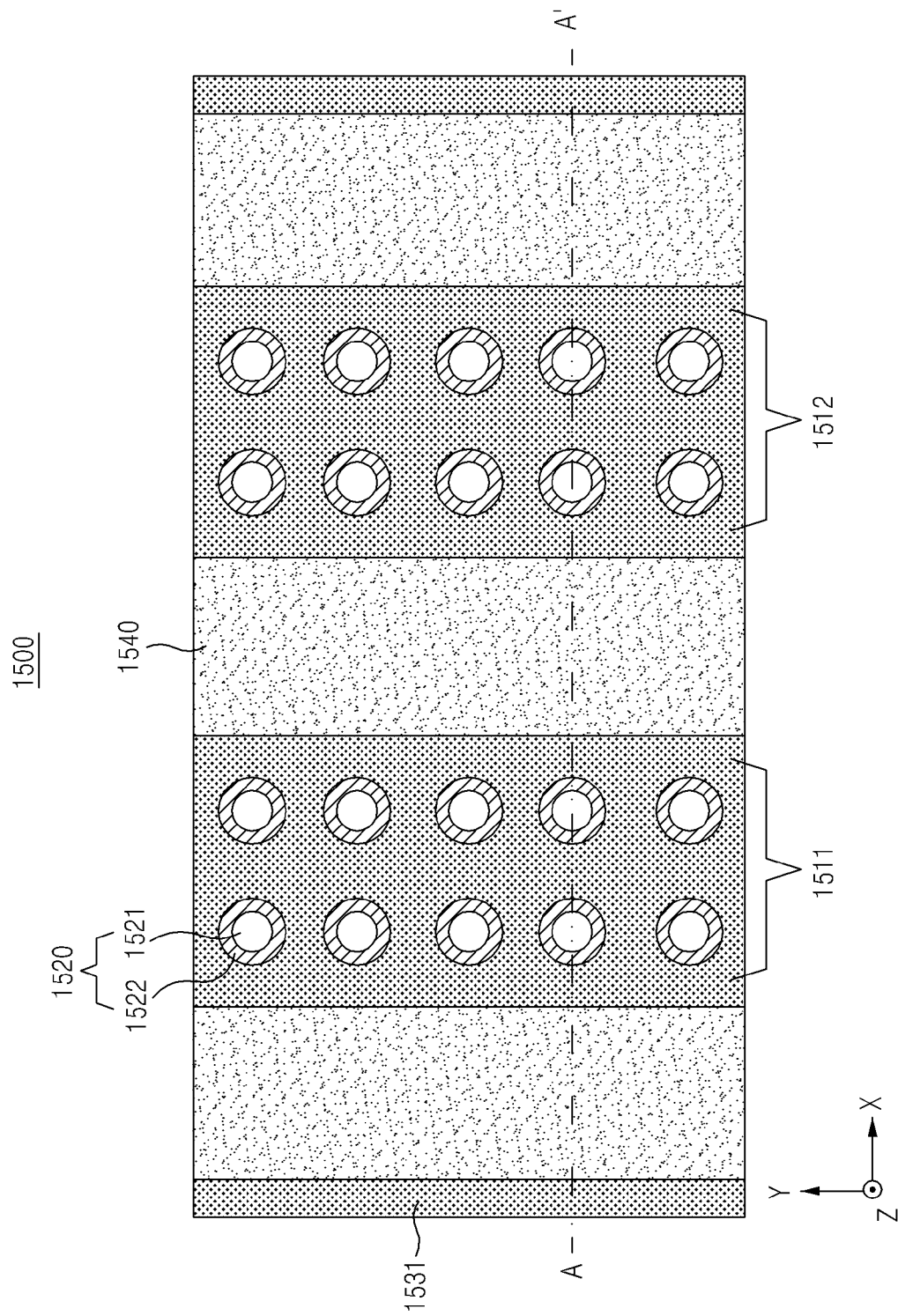
[도13]



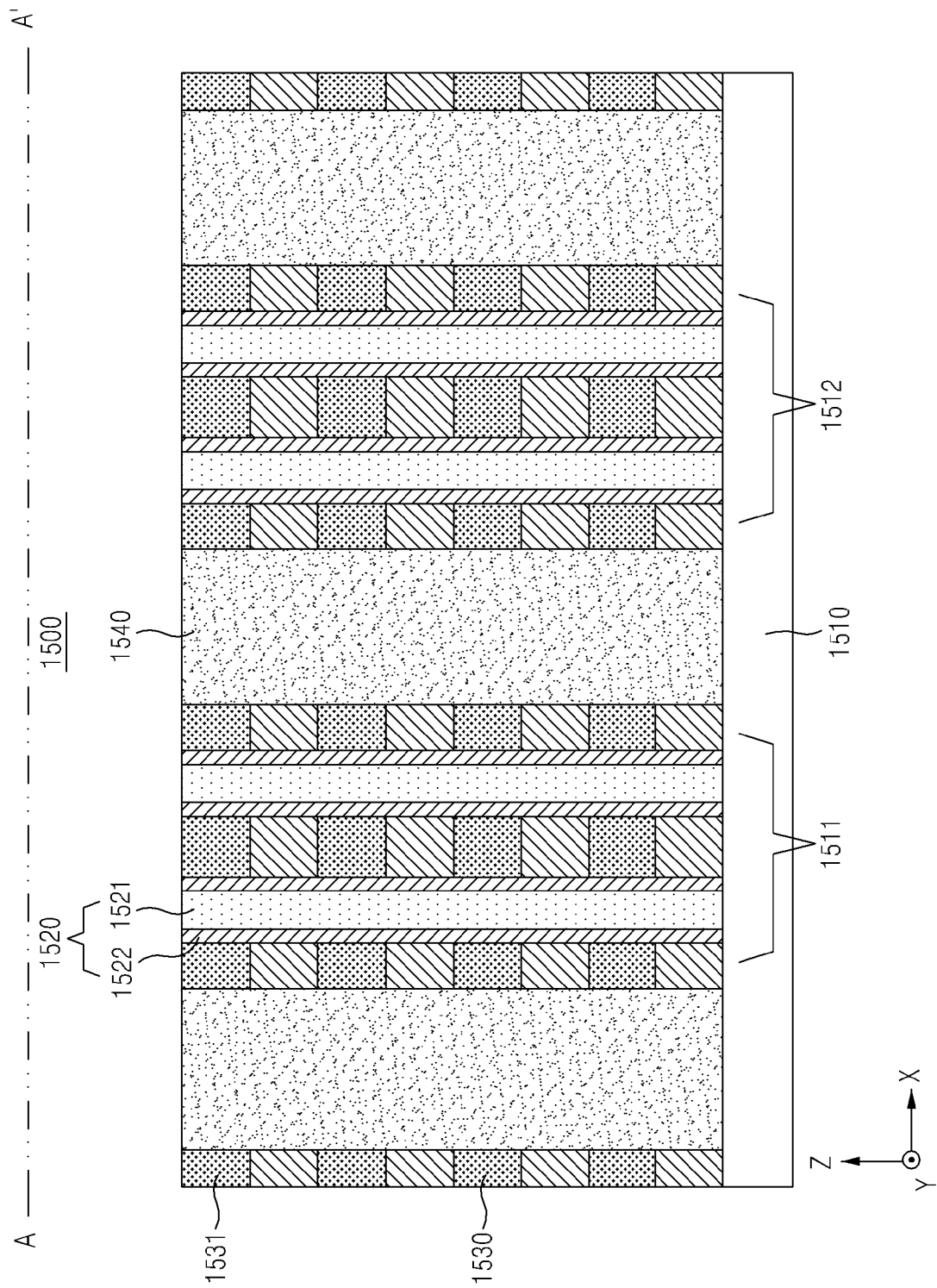
[도14]



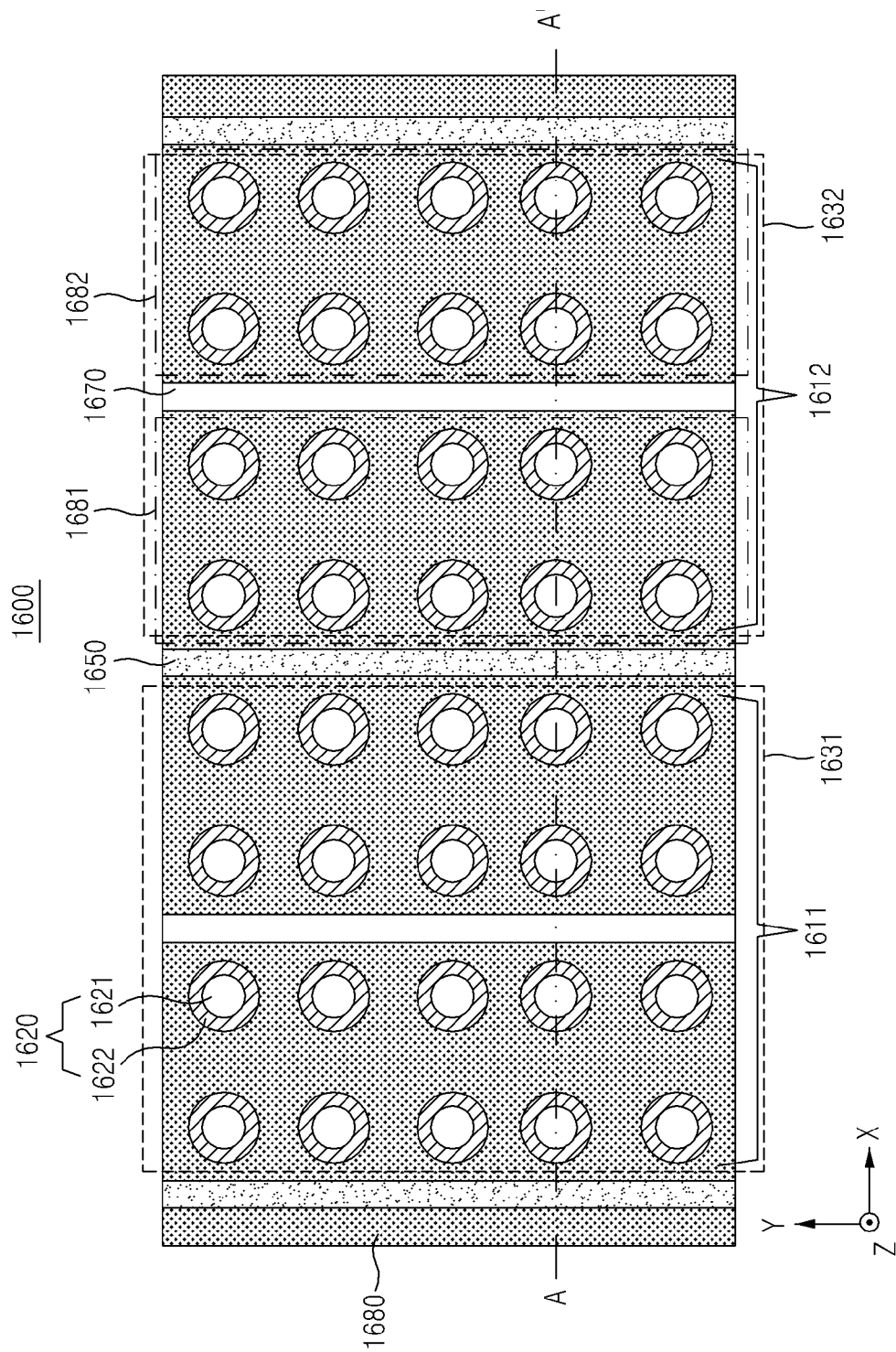
[도 15a]



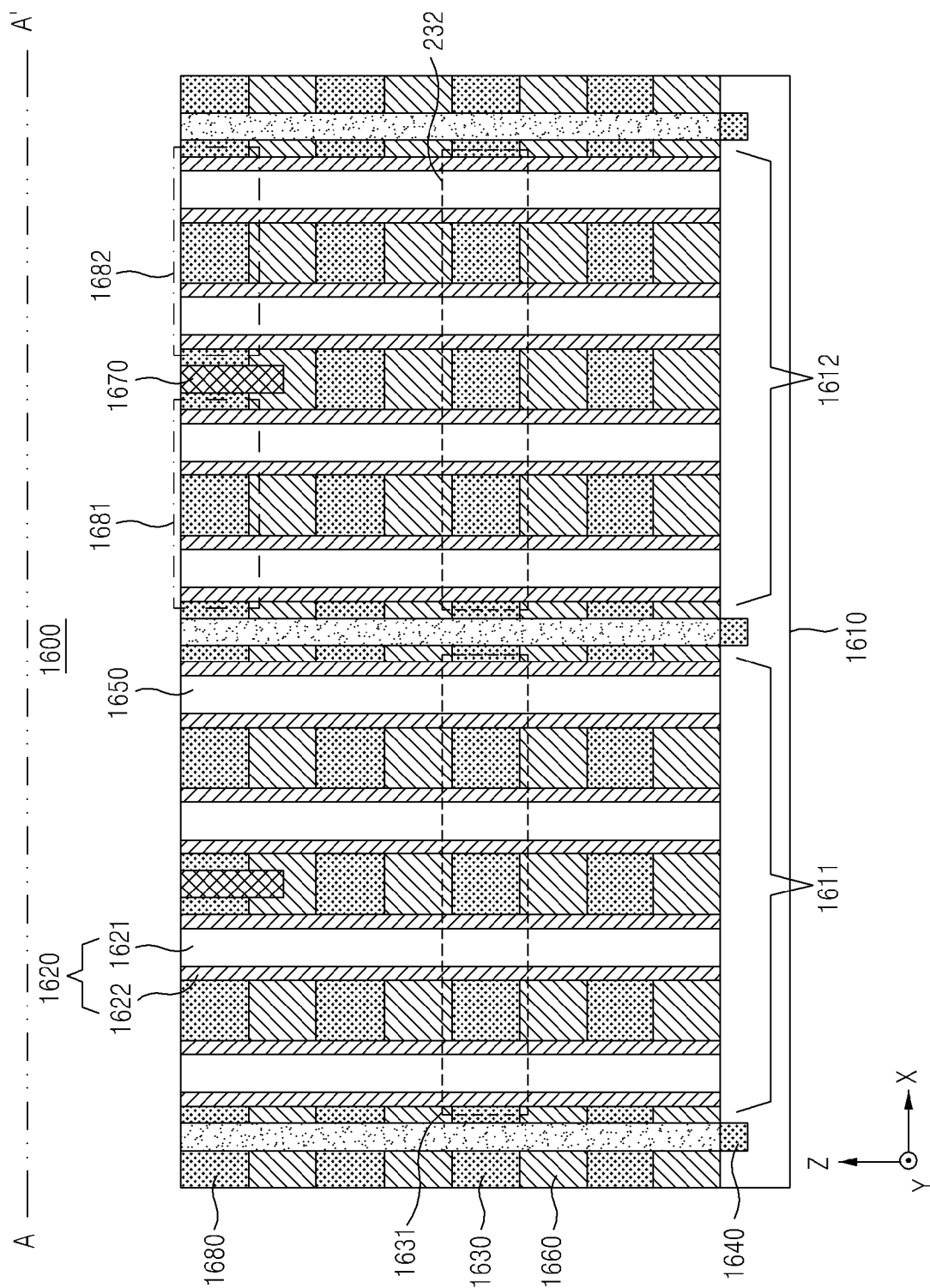
[도 15b]



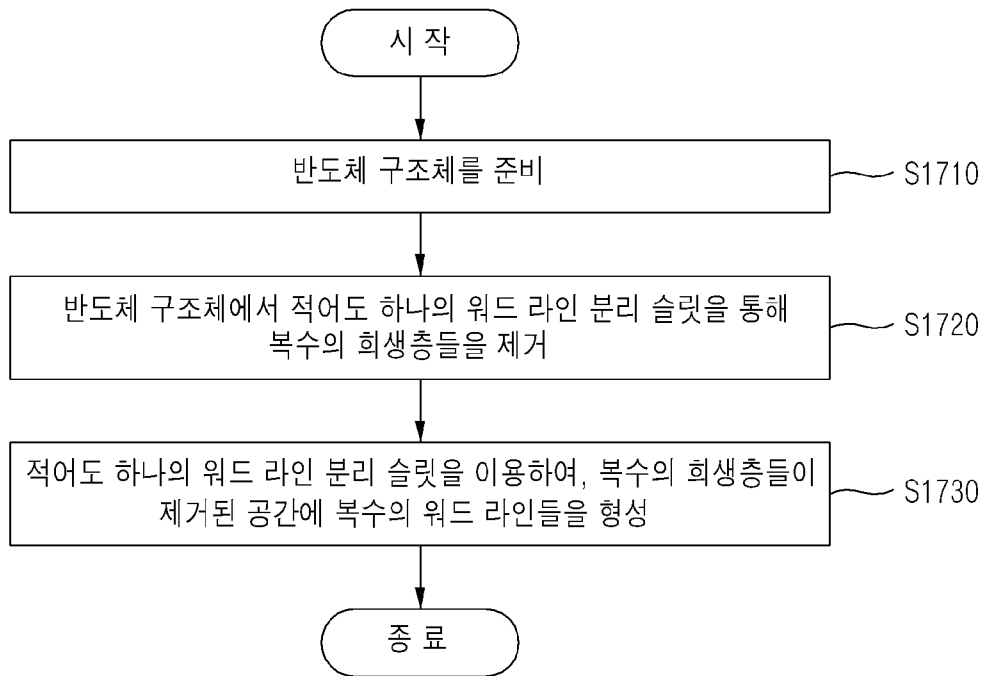
[도 16a]



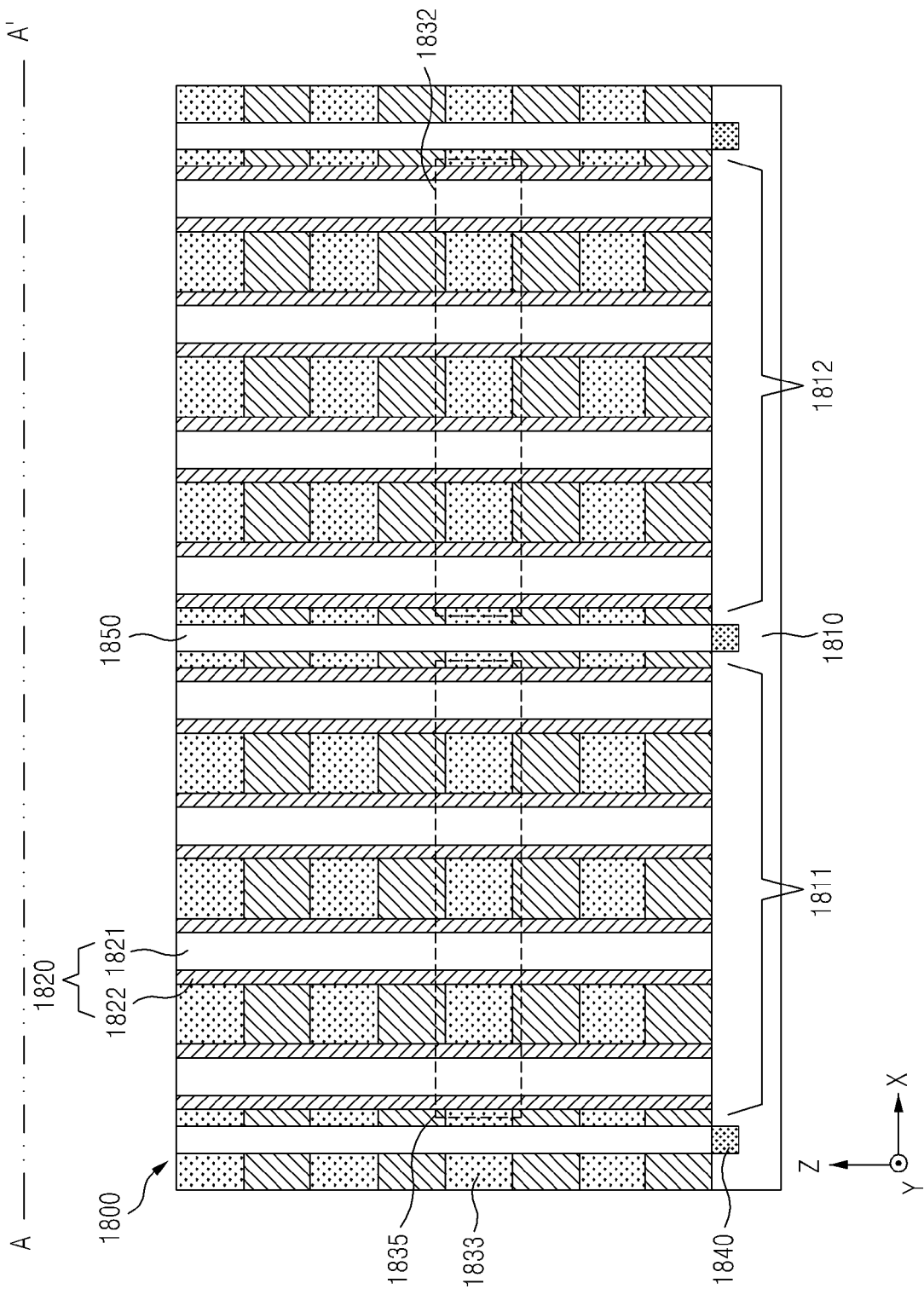
[도16b]



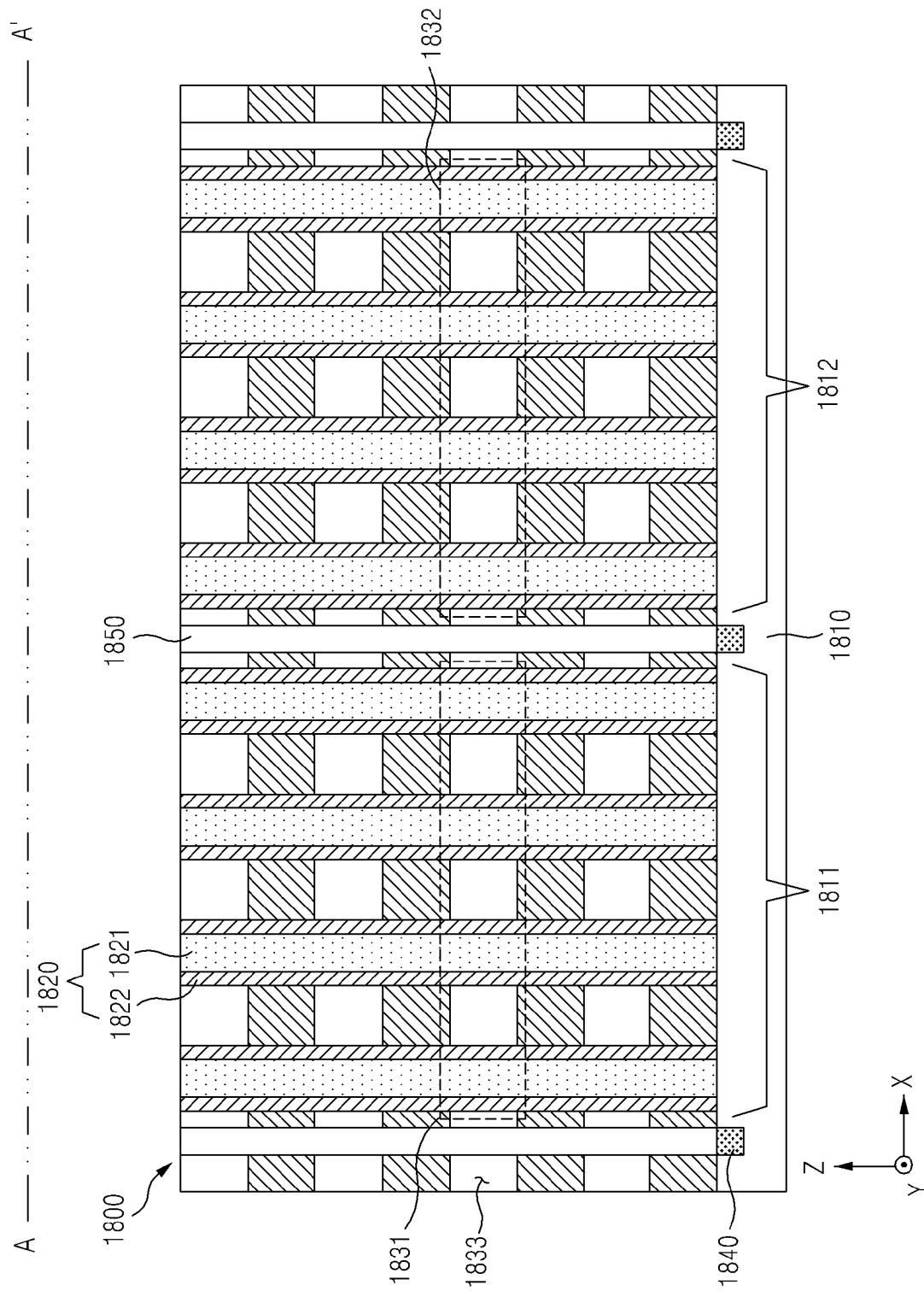
[도17]



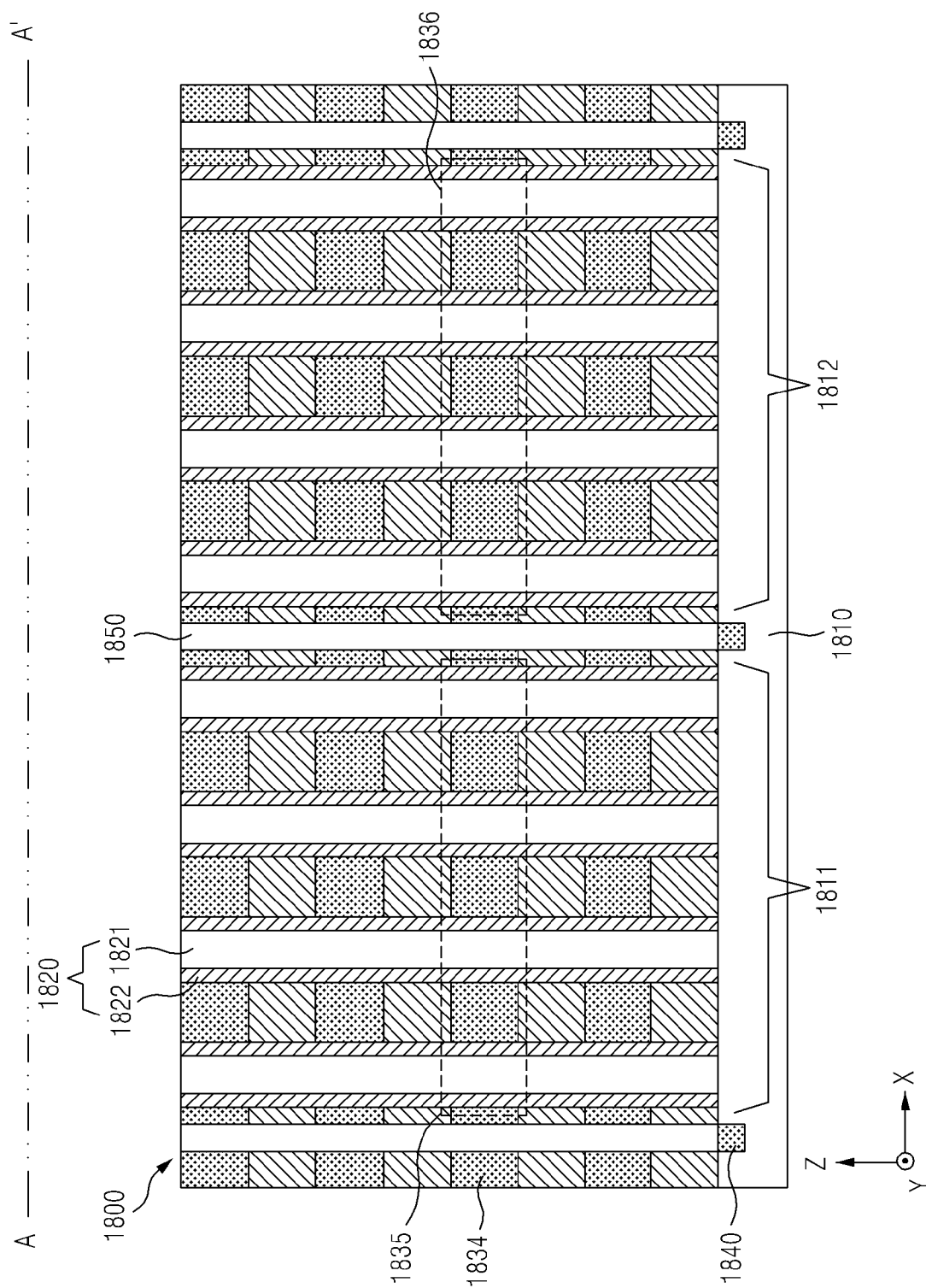
[도 18a]



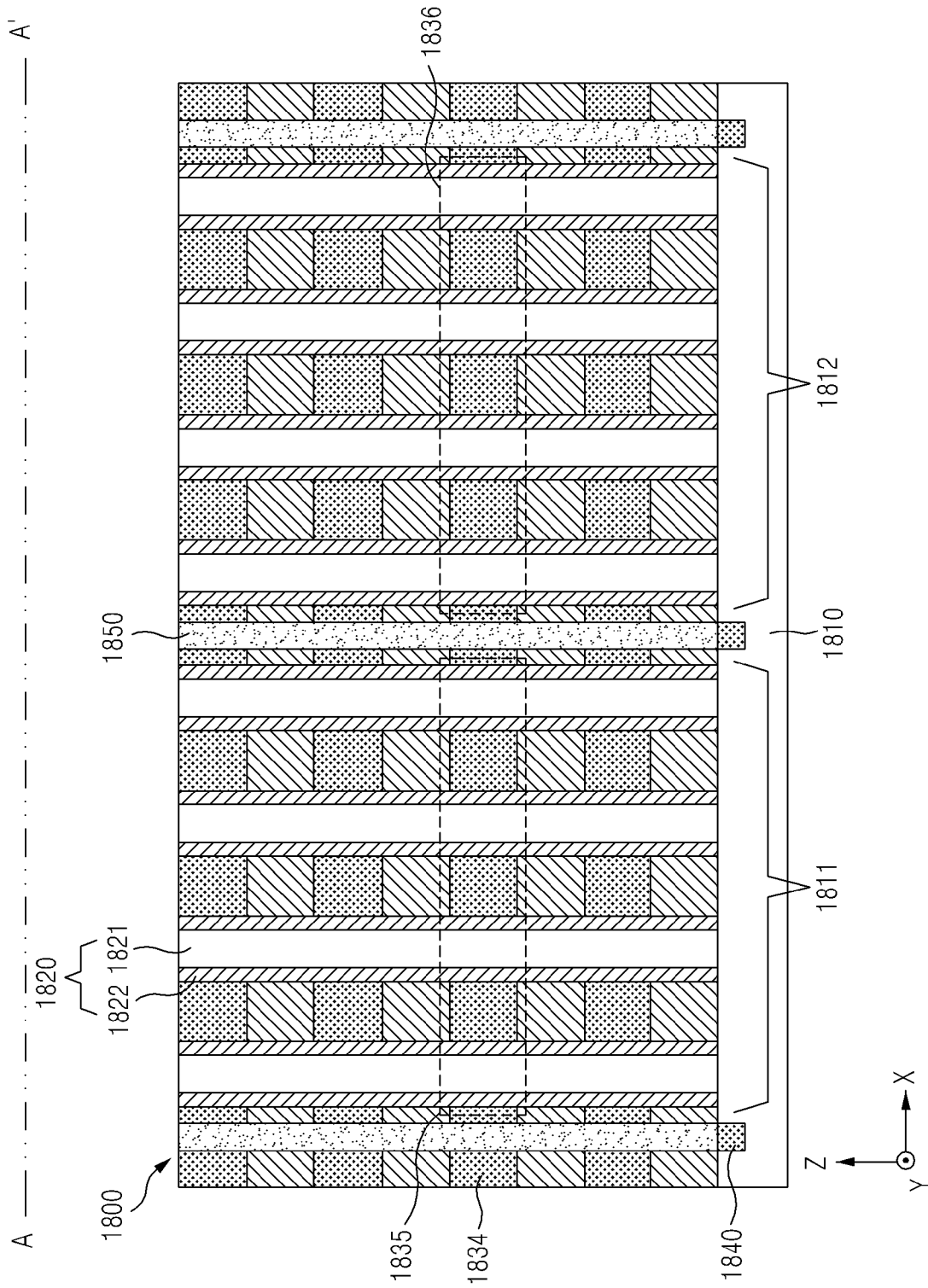
[도 18b]



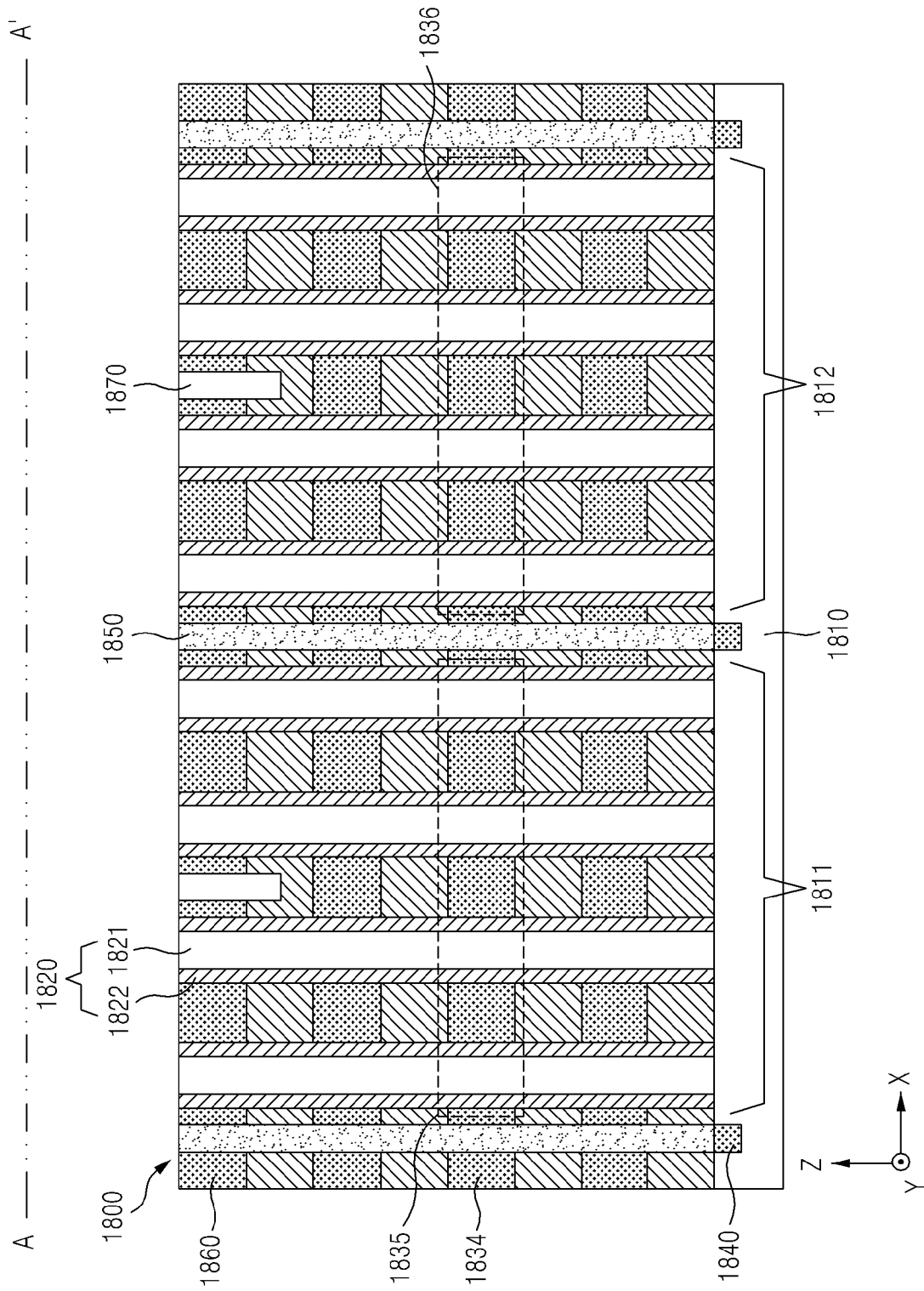
[도 18c]



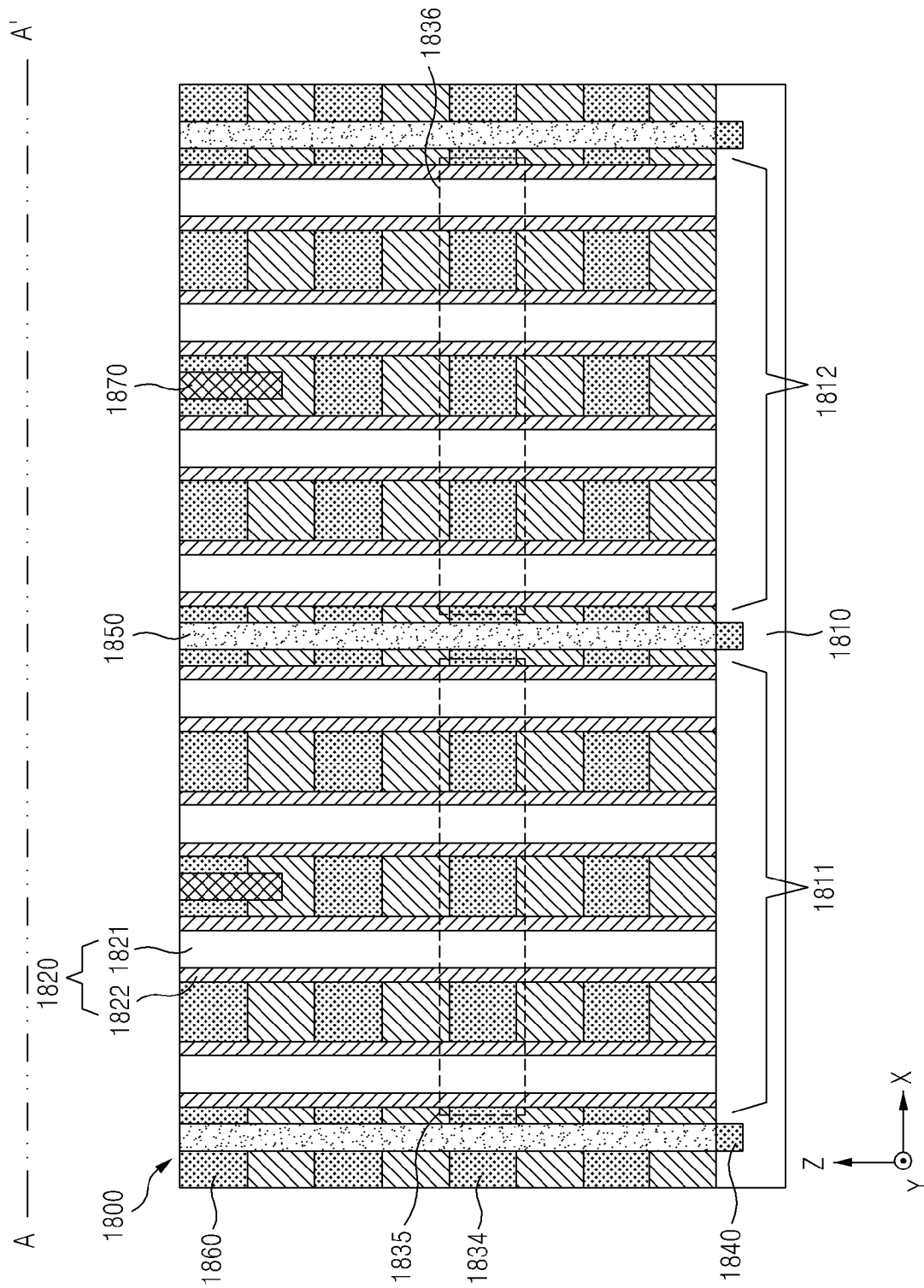
[도18d]



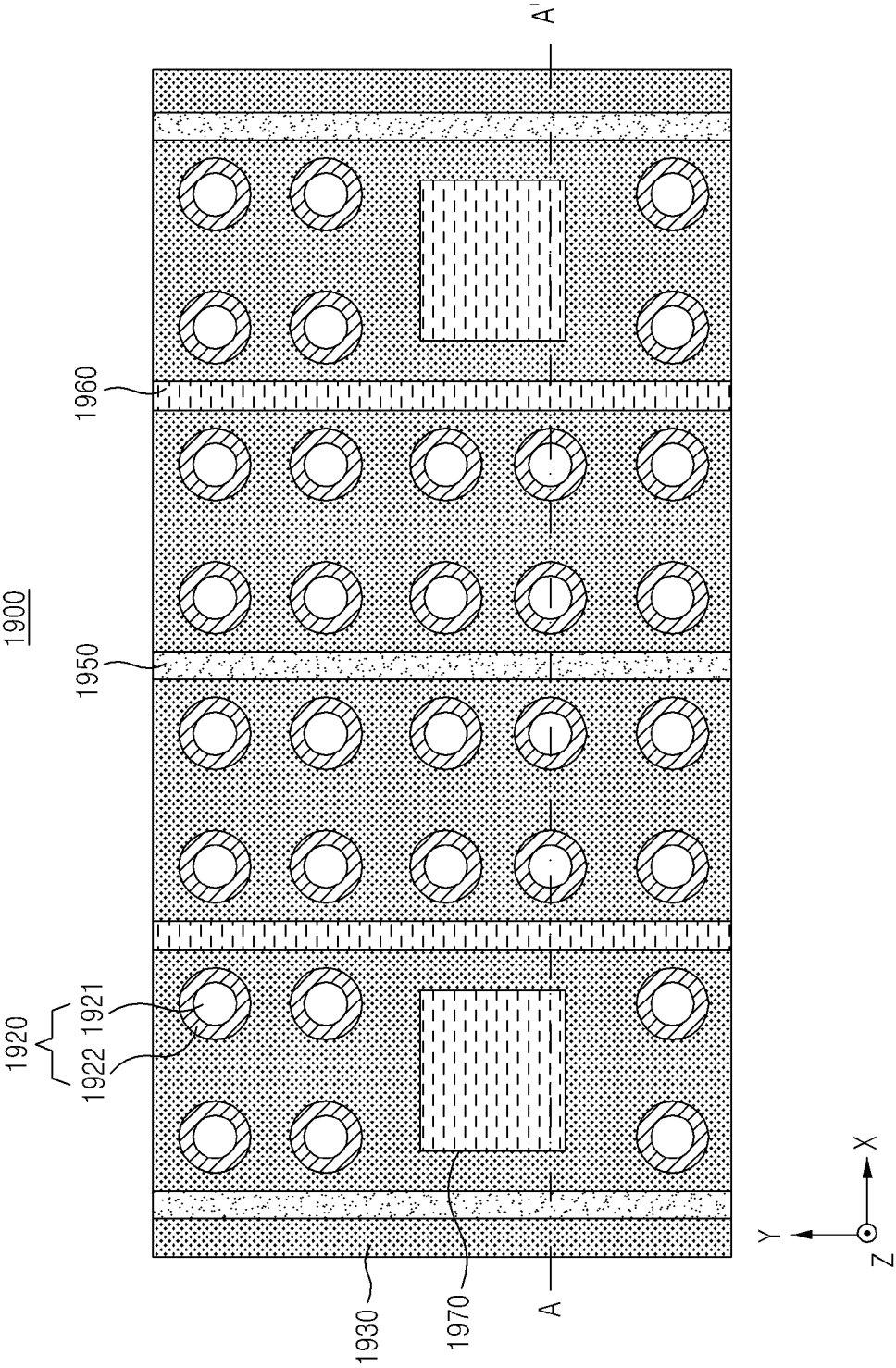
[도 18e]



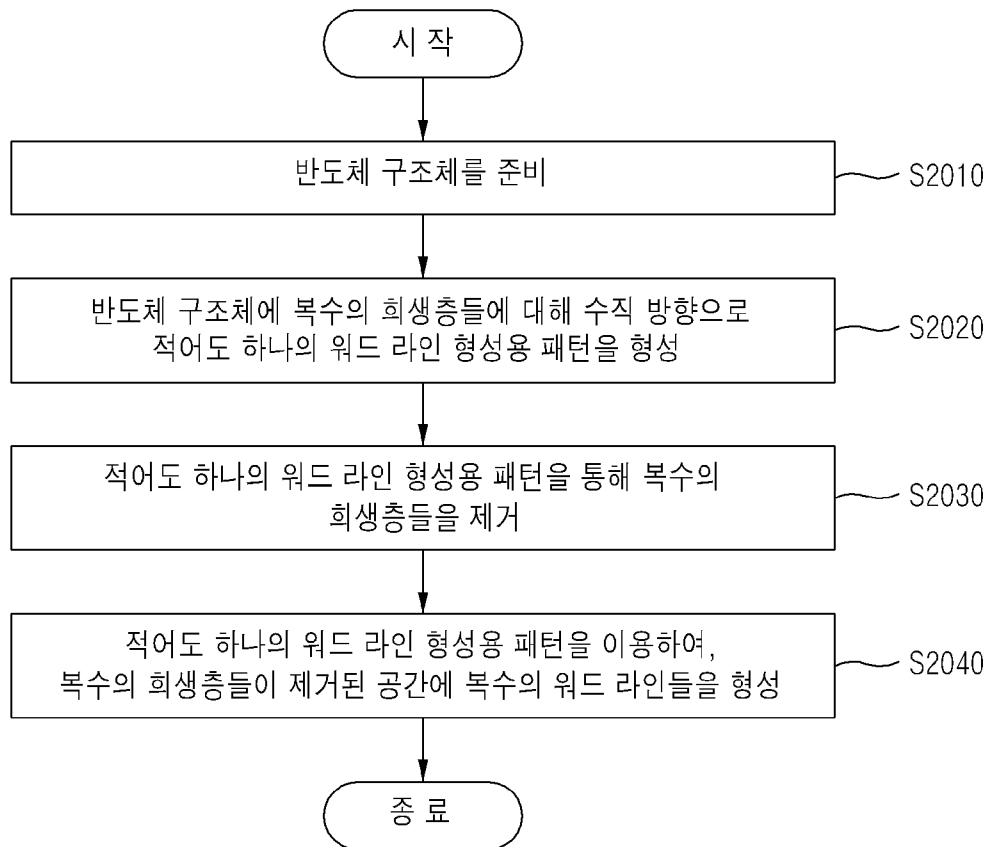
[도18f]



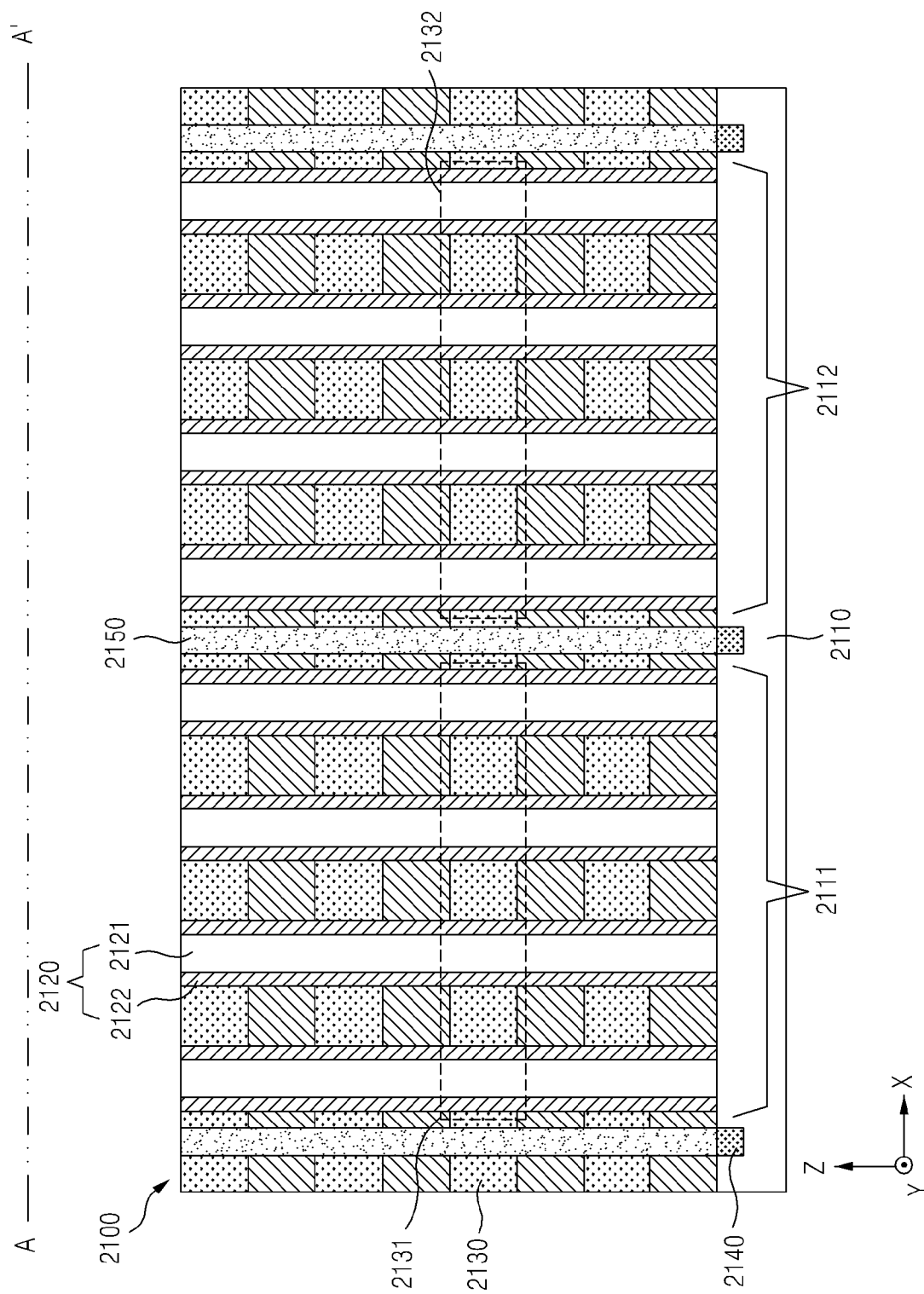
[도 19a]



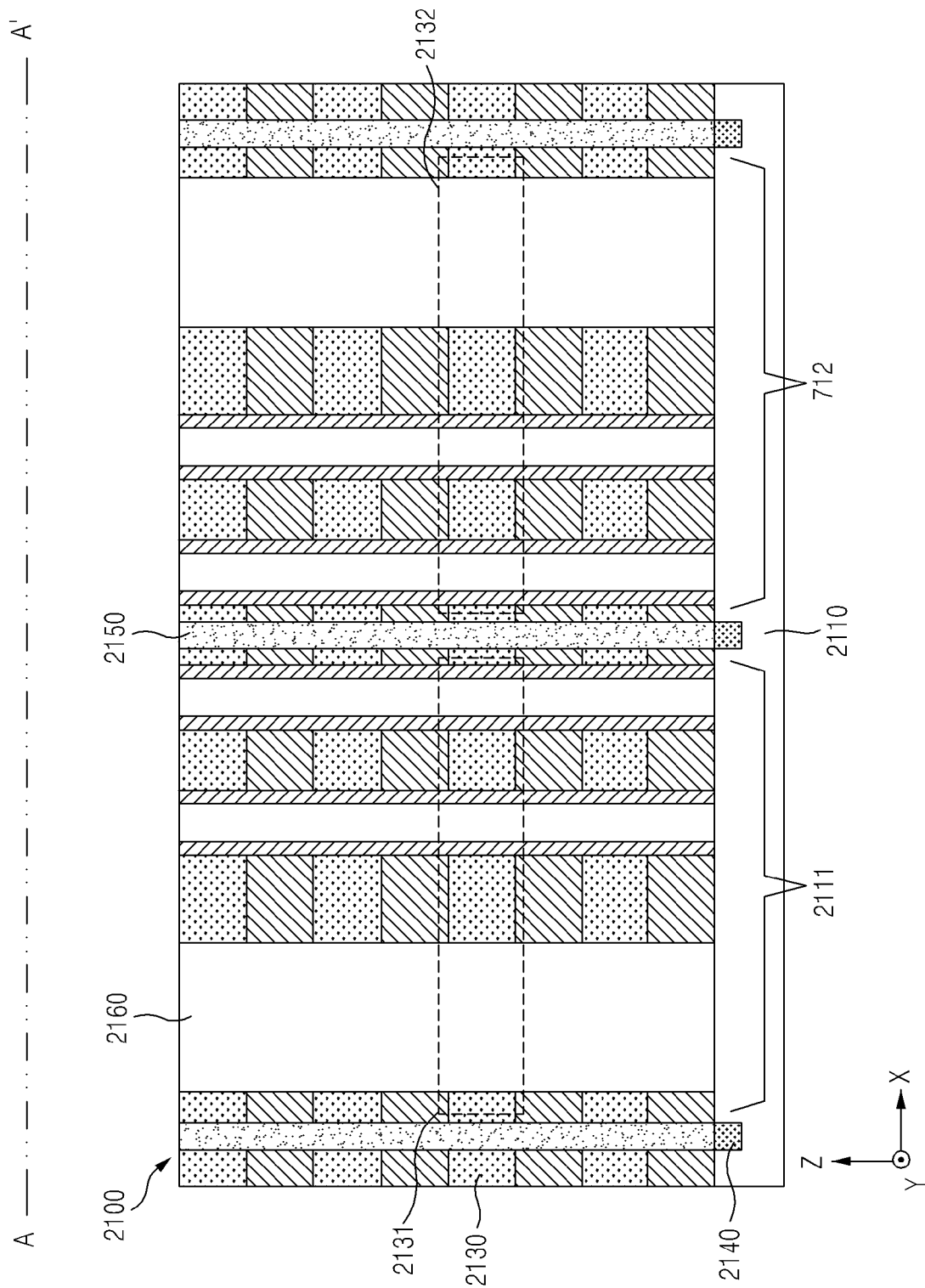
[도20]



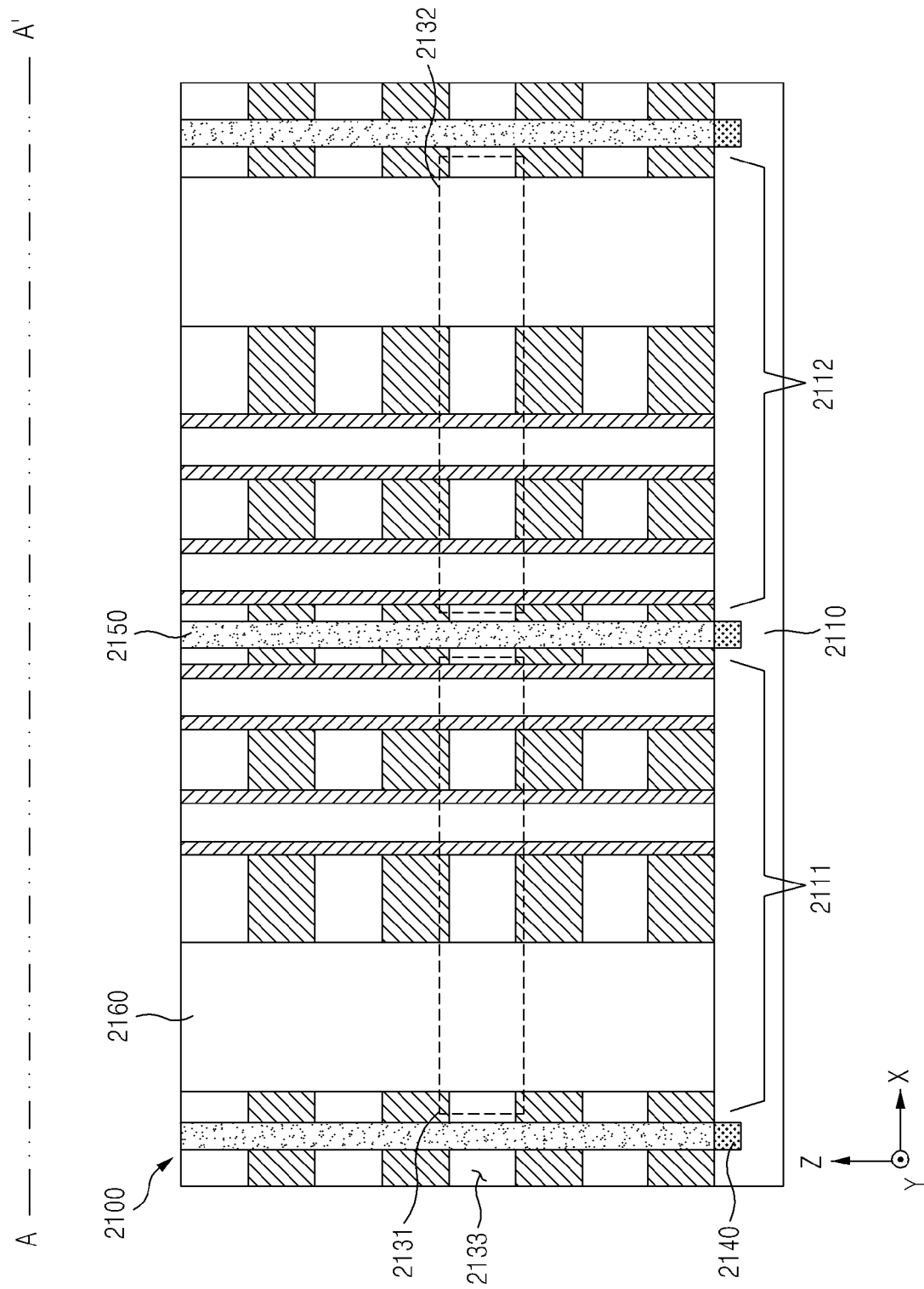
[도21a]



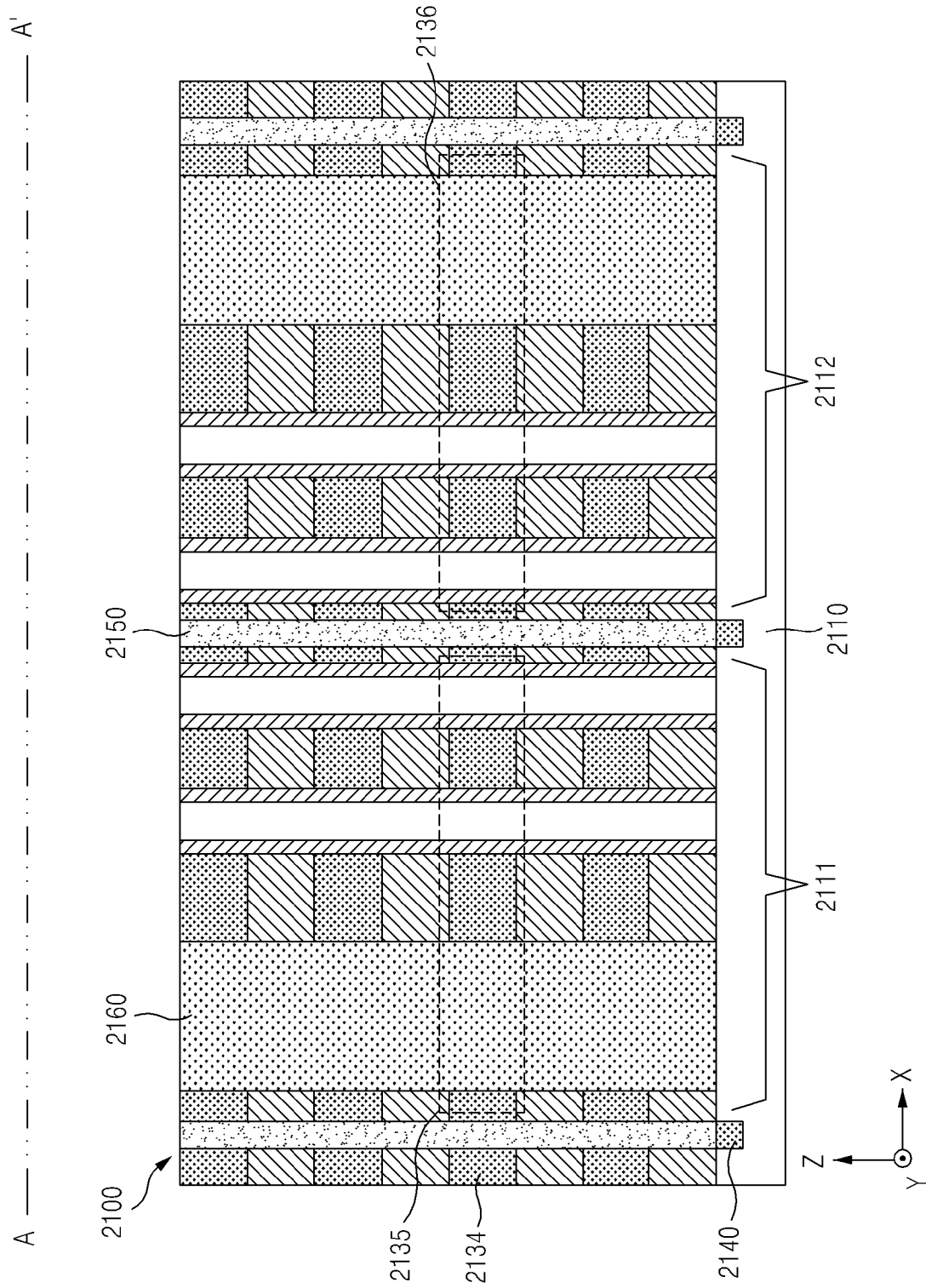
[도21b]



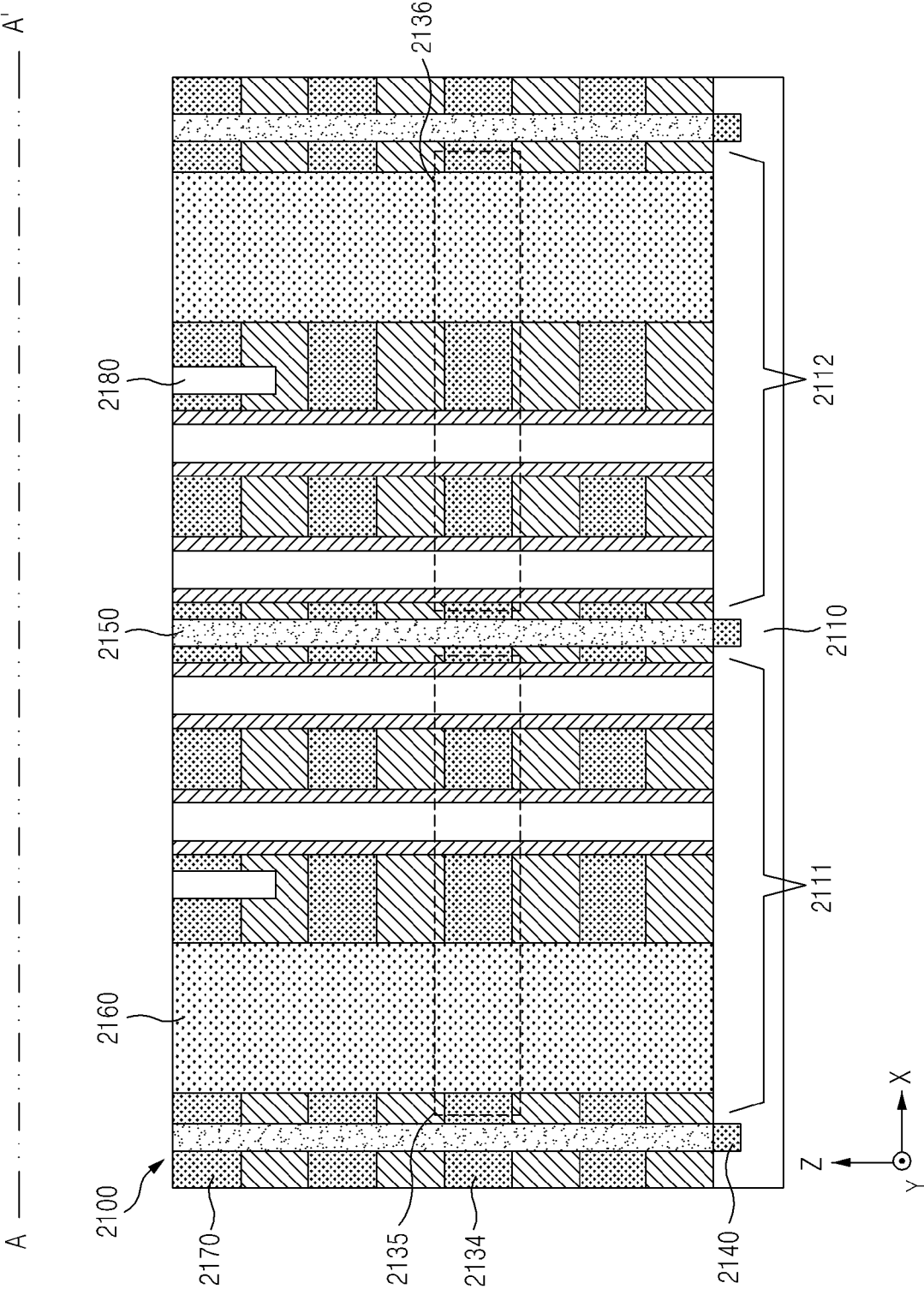
[도21c]



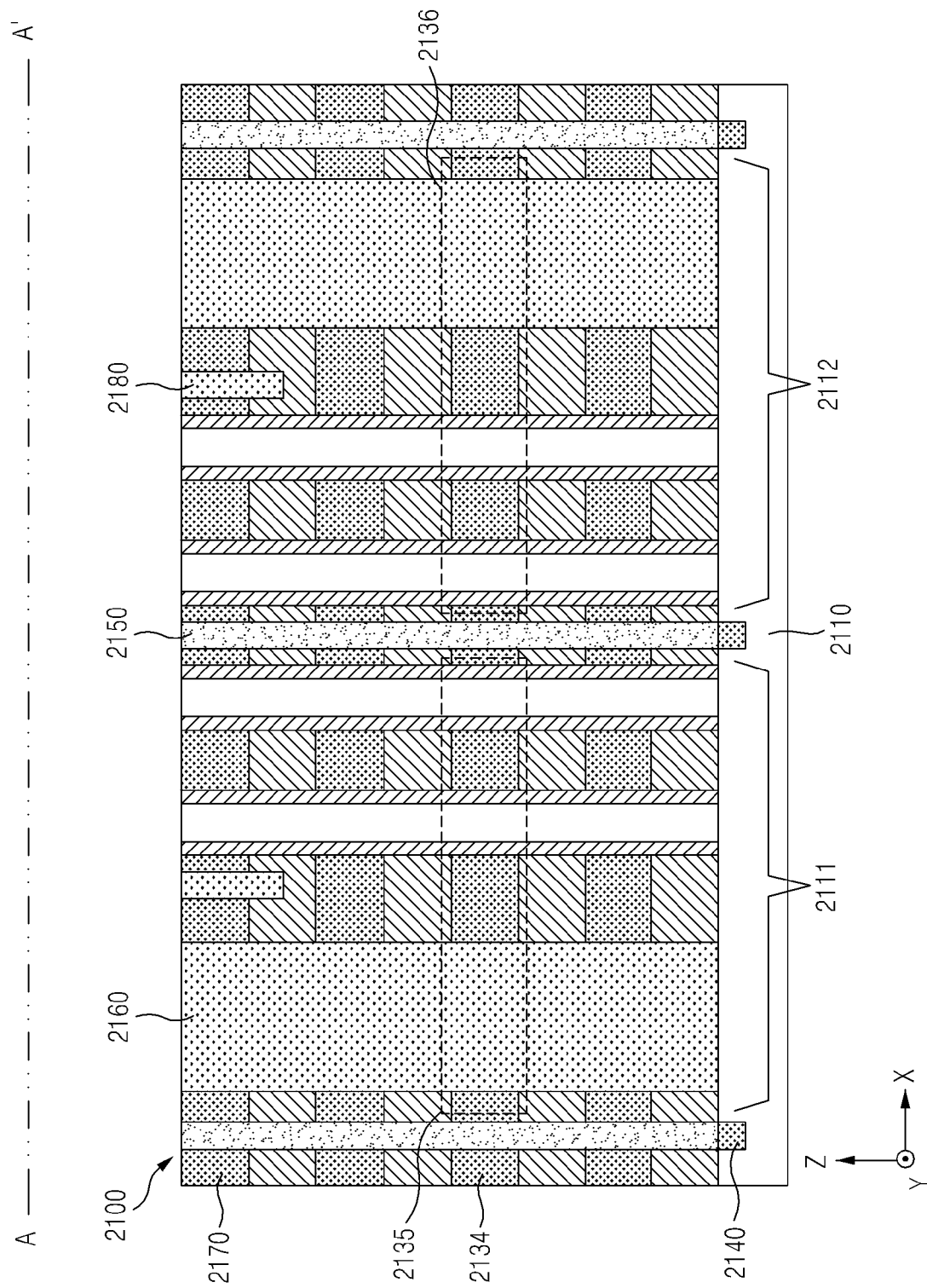
[도21d]



[도21e]



[도21f]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008499

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/11582(2017.01)i; H01L 27/1157(2017.01)i; H01L 29/792(2006.01)i; H01L 29/66(2006.01)i; H01L 27/11578(2017.01)i; H01L 27/11573(2017.01)i; G11C 16/08(2006.01)i; G11C 16/04(2006.01)i; H01L 27/02(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 27/11582(2017.01); G11C 11/15(2006.01); H01L 21/8242(2006.01); H01L 21/8246(2006.01); H01L 23/522(2006.01); H01L 27/08(2006.01); H01L 27/108(2006.01); H01L 27/11519(2017.01); H01L 27/11524(2017.01); H01L 27/11556(2017.01); H01L 27/11565(2017.01); H01L 29/78(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 플러그(plug), 수직(vertical), 단차(stair), 채널(channel)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2019-0026418 A (SK HYNIX INC.) 13 March 2019 (2019-03-13) See paragraphs [0023]-[0027], [0033], [0056]-[0058] and [0069] and figures 1-5.	1-5
A		6-15
Y	US 2020-0227347 A1 (SK HYNIX INC.) 16 July 2020 (2020-07-16) See paragraphs [0066]-[0075] and figures 8-10.	1-5
Y	JP 10-256512 A (HITACHI, LTD. et al.) 25 September 1998 (1998-09-25) See paragraphs [0006]-[0011], claim 29 and figures 1 and 24-25.	6-10
Y	JP 60-027160 A (NIPPON TELEGR & TELEPH CORP.) 12 February 1985 (1985-02-12) See pages 2-3 and figure 2.	6-10
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 October 2021		Date of mailing of the international search report 28 October 2021
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008499**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-038686 A (SAMSUNG ELECTRONICS CO., LTD.) 27 February 2014 (2014-02-27) See paragraphs [0067]-[0070] and figure 13.	6-10
X	KR 10-2018-0042358 A (SANDISK TECHNOLOGIES LLC) 25 April 2018 (2018-04-25) See paragraphs [0157], [0168]-[0174] and [0196]-[0215] and figures 62-66.	11-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/008499

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2019-0026418	A	13 March 2019	CN	109427814	A	05 March 2019
				US	10141326	B1	27 November 2018
US	2020-0227347	A1	16 July 2020	CN	111446257	A	24 July 2020
				KR	10-2020-0088988	A	24 July 2020
				SG	10201909445	A	28 August 2020
				US	10930587	B2	23 February 2021
				JP	3202188	B2	27 August 2001
JP	10-256512	A	25 September 1998	None			
JP	60-027160	A	12 February 1985	None			
JP	2014-038686	A	27 February 2014	CN	103594107	A	19 February 2014
				DE	102013108516	A1	20 February 2014
				KR	10-2014-0023806	A	27 February 2014
				TW	201409466	A	01 March 2014
				US	2014-0050020	A1	20 February 2014
				US	9047966	B2	02 June 2015
				US	9047966	B2	02 June 2015
KR	10-2018-0042358	A	25 April 2018	CN	108140643	A	08 June 2018
				US	2017-0148800	A1	25 May 2017
				US	2017-0148810	A1	25 May 2017
				US	2017-0148811	A1	25 May 2017
				US	9799670	B2	24 October 2017
				US	9831266	B2	28 November 2017
				US	9917100	B2	13 March 2018
				WO	2017-087048	A1	26 May 2017
				WO	2017-087670	A1	26 May 2017

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/11582(2017.01)i; H01L 27/1157(2017.01)i; H01L 29/792(2006.01)i; H01L 29/66(2006.01)i; H01L 27/11578(2017.01)i; H01L 27/11573(2017.01)i; G11C 16/08(2006.01)i; G11C 16/04(2006.01)i; H01L 27/02(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/11582(2017.01); G11C 11/15(2006.01); H01L 21/8242(2006.01); H01L 21/8246(2006.01); H01L 23/522(2006.01); H01L 27/08(2006.01); H01L 27/108(2006.01); H01L 27/11519(2017.01); H01L 27/11524(2017.01); H01L 27/11556(2017.01); H01L 27/11565(2017.01); H01L 29/78(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 플러그(plug), 수직(vertical), 단차(stair), 채널(channel)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2019-0026418 A (에스케이하이닉스 주식회사) 2019.03.13 단락 [0023]-[0027], [0033], [0056]-[0058], [0069] 및 도면 1-5	1-5 6-15
Y	US 2020-0227347 A1 (SK HYNIX INC.) 2020.07.16 단락 [0066]-[0075] 및 도면 8-10	1-5
Y	JP 10-256512 A (HITACHI, LTD. 등) 1998.09.25 단락 [0006]-[0011], 청구항 29 및 도면 1, 24-25	6-10
Y	JP 60-027160 A (NIPPON TELEGR & TELEPH CORP.) 1985.02.12 페이지 2-3 및 도면 2	6-10
Y	JP 2014-038686 A (SAMSUNG ELECTRONICS CO., LTD.) 2014.02.27 단락 [0067]-[0070] 및 도면 13	6-10
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년10월28일(28.10.2021)		국제조사보고서 발송일 2021년10월28일(28.10.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2018-0042358 A (센디스크 테크놀로지스 엘엘씨) 2018.04.25 단락 [0157], [0168]-[0174], [0196]-[0215] 및 도면 62-66	11-15

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0026418 A	2019/03/13	CN 109427814 A	2019/03/05
		US 10141326 B1	2018/11/27
US 2020-0227347 A1	2020/07/16	CN 111446257 A	2020/07/24
		KR 10-2020-0088988 A	2020/07/24
		SG 10201909445 A	2020/08/28
		US 10930587 B2	2021/02/23
JP 10-256512 A	1998/09/25	JP 3202188 B2	2001/08/27
JP 60-027160 A	1985/02/12	없음	
JP 2014-038686 A	2014/02/27	CN 103594107 A	2014/02/19
		DE 102013108516 A1	2014/02/20
		KR 10-2014-0023806 A	2014/02/27
		TW 201409466 A	2014/03/01
		US 2014-0050020 A1	2014/02/20
		US 9047966 B2	2015/06/02
KR 10-2018-0042358 A	2018/04/25	CN 108140643 A	2018/06/08
		US 2017-0148800 A1	2017/05/25
		US 2017-0148810 A1	2017/05/25
		US 2017-0148811 A1	2017/05/25
		US 9799670 B2	2017/10/24
		US 9831266 B2	2017/11/28
		US 9917100 B2	2018/03/13
		WO 2017-087048 A1	2017/05/26
		WO 2017-087670 A1	2017/05/26