



## 【特許請求の範囲】

## 【請求項 1】

同一特性の 2 つの MOS トランジスタにより構成されるカレントミラー回路と、  
前記 2 つの MOS トランジスタのうち、一方のトランジスタの出力側に接続された、第 1 のトランジスタであるディプレッション型トランジスタと、前記 2 つの MOS トランジスタのうち他方のトランジスタの出力側に接続された、第 2 のトランジスタであるエンハンスメント型トランジスタにより構成されるペア MOS トランジスタと、

前記第 1 のトランジスタまたは前記第 2 のトランジスタの出力側に接続された第 3 のトランジスタと、

該第 3 のトランジスタの出力側に接続された該第 3 のトランジスタの負荷と、により構成され、

前記第 3 のトランジスタと前記負荷の接続点から出力される電圧が、前記第 2 のトランジスタのゲートに印加され、

前記第 1 のトランジスタのドレイン電流と、前記第 2 のトランジスタのドレイン電流が同一となるときの、前記第 1 のトランジスタのゲート電圧と、前記第 2 のトランジスタのゲート電圧との差を出力電圧する基準電圧発生回路において、

前記第 1 のトランジスタのゲートとソースが接続され、

前記第 1 のトランジスタと前記第 2 のトランジスタのソースが接地され、前記第 2 のトランジスタのゲート電圧を出力電圧とすることを特徴とする基準電圧発生回路。

## 【請求項 2】

前記第 1 のトランジスタと前記第 2 のトランジスタにおいて、それぞれのチャンネルは同一の導電型で形成され、それぞれのゲートは異なる導電型不純物で形成され、前記それぞれのゲートのゲートサイズが異なることを特徴とする請求項 1 に記載の基準電圧発生回路。

## 【請求項 3】

前記第 1 のトランジスタのチャンネル幅  $W_d$  とチャンネル長  $L_d$  の比  $S_d$  を  $S_d = W_d / L_d$  とし、前記第 2 のトランジスタのチャンネル幅  $W_e$  とチャンネル長  $L_e$  の比  $S_e$  を  $S_e = W_e / L_e$  とし、前記  $S_e$  と前記  $S_d$  の比を  $S_e / S_d$  としたとき、

前記  $S_e / S_d$  が、0.3 から 0.67 であることを特徴とする請求項 1 または 2 記載の基準電圧発生回路。

## 【請求項 4】

前記カレントミラー回路を構成する前記 2 つの MOS トランジスタは、低スレッショルド電圧のトランジスタであること特徴とする請求項 1 ないし 3 のいずれか一項に記載の基準電圧発生回路。

## 【請求項 5】

前記第 3 のトランジスタは、前記カレントミラー回路を構成する MOS トランジスタと同一の特性であり、前記第 3 のトランジスタの負荷に流れる負荷電流が前記第 1 のトランジスタのドレイン電流と等しいことを特徴とする請求項 1 ないし 4 のいずれか一項に記載の基準電圧発生回路。

## 【請求項 6】

前記第 1 のトランジスタのドレイン電圧と、前記第 2 のトランジスタのドレイン電圧を略同電位とする回路を備えたことを特徴とする請求項 1 ないし 5 のいずれか一項に記載の基準電圧発生回路。

## 【請求項 7】

前記第 1 のトランジスタのドレイン電圧と、前記第 2 のトランジスタのドレイン電圧を略同電位とする回路は、前記第 1 のトランジスタのドレインと前記カレントミラー回路の一方の出力側との間に配設された第 4 のトランジスタと、

前記第 2 のトランジスタのドレインと前記カレントミラー回路の他方の出力側との間に配設された第 5 のトランジスタで構成され、

前記第 4 のトランジスタと前記第 5 のトランジスタのゲートが共通接続され、

10

20

30

40

50

共通接続された前記ゲートには、前記第3のトランジスタと前記負荷との接続点の電圧、または該電圧に比例した電圧が印加されることを特徴とする請求項6に記載の基準電圧発生回路。

【請求項8】

前記第4のトランジスタと前記第5のトランジスタは、低スレッシュホールド電圧のトランジスタであることを特徴とする請求項7に記載の基準電圧発生回路。

【請求項9】

前記第4のトランジスタと前記第5のトランジスタは、ディプレッション型トランジスタであることを特徴とする請求項7に記載の基準電圧発生回路。

【請求項10】

前記第4のトランジスタと前記第5のトランジスタは、導電型不純物ゲートを有するトランジスタであることを特徴とする請求項7に記載の基準電圧発生回路。

【請求項11】

前記カレントミラー回路は、同一特性の2つのMOSトランジスタにより構成される代わりに、2組の、スレッシュホールド電圧の異なる2つのMOSトランジスタを直列接続した回路により構成され、

2組の前記回路において、前記スレッシュホールド電圧の高い方のMOSトランジスタは電源電圧側に配置されたことを特徴とする請求項1ないし10のいずれか一項に記載の基準電圧発生回路。

【請求項12】

記第3のトランジスタの負荷を定電流源したことを特徴とする請求項1ないし11のいずれか一項に記載の基準電圧発生回路。

【請求項13】

前記第3のトランジスタのゲートは、負荷を定電流源とした第6のトランジスタを介して、前記ペアMOSトランジスタの一方の出力側に接続されることを特徴とする請求項1ないし12のいずれか一項に記載の基準電圧発生回路。

【請求項14】

前記第6のトランジスタのゲートは、負荷を抵抗とする前記第3のトランジスタを介して前記ペアMOSトランジスタの一方の出力側に接続されることを特徴とする請求項1ないし13のいずれか一項に記載の基準電圧発生回路。

【請求項15】

該基準電圧発生回路は、前記第3のトランジスタと前記負荷との接続点の電圧と比例した電圧、または前記第6のトランジスタと前記負荷との接続点の電圧と比例した電圧を出力電圧とする請求項1ないし14のいずれか一項に記載の基準電圧発生回路。

【請求項16】

該基準電圧発生回路は、前記第3のトランジスタまたは前記第6のトランジスタと接続され、カレントミラー回路を構成する第7のトランジスタを備え、

前記第7のトランジスタのドレイン電流を出力することを特徴とする請求項1ないし15のいずれか一項に記載の基準電圧発生回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧発生回路に関し、さらに詳細には低電圧動作が可能でかつ温度特性が優れた基準電圧発生回路に係る。

【背景技術】

【0002】

MOSトランジスタを用いて温度特性の良好な基準電圧を発生する回路の従来技術文献として、特開2001-284464号公報(特許文献1)がある。ここでは、ゲート電極の仕事関数差を利用してスレッシュホールド電圧の異なるMOSトランジスタを製造し、そのスレッシュホールド電圧の差を取り出して基準電圧とする発明が開示されている。

10

20

30

40

50

## 【0003】

具体的には、基板やチャネルドープの濃度をペアMOSトランジスタ間で等しくし、同一電導型で不純物濃度の異なる半導体ゲートを持つペアMOSトランジスタによる、正の温度係数を持つVPTAT電圧源と、異種導電型の半導体ゲートを持つペアMOSトランジスタによる、負の温度係数を持つVPN電圧源とを組み合わせることにより、所望の基準電圧 $V_{ref} = V_{PN} + V_{PTAT}$ を生成するようにしたものである。

## 【0004】

図1は、前記公報の図18において開示された基準電圧発生回路である。図1のトランジスタM31、M32、M33およびM34はNMOSトランジスタであり、各トランジスタの基板やチャネルドープの不純物濃度が等しく、n型基板のpウエル内に形成され、各トランジスタ間の基板電位がソース電位と等しくしてある。さらに、各トランジスタのチャネル幅とチャネル長も等しくなっている。

10

## 【0005】

トランジスタM31は、高濃度n型ゲートのディプレッション型トランジスタであって、ゲートとソースが接続されて定電流源となっている。トランジスタ12は、低濃度n型ゲートを持ち、トランジスタM34と抵抗R31で構成されるソース接地回路15によりゲート電位が与えられている。トランジスタM33は、p型ゲートを持つエンハンスメント型トランジスタであって、ゲートとドレインが接続されて、ソースが接地されている。

## 【0006】

ペアMOSトランジスタであるトランジスタM31とトランジスタM33には、同一の電流が流れるため、トランジスタM33のゲート-ソース間電圧 $V_2$ は負の温度係数を持つ電圧源VPNである。

20

## 【0007】

また、ペアMOSトランジスタであるトランジスタM31とトランジスタM32にも同様に、同一の電流が流れるため、トランジスタM32のゲート-ソース間電圧 $V_{gs}$ は、正の温度係数を持つ電圧源VPTATとなる。

## 【0008】

出力電圧 $V_3$ は、トランジスタM33のゲート-ソース間電圧 $V_2$ とトランジスタM32のゲート-ソース間電圧 $V_{gs}$ の和であるから、 $V_3 = V_{PN} + V_{PTAT}$ となる。尚このとき各トランジスタの温度特性は、高濃度n型ゲート、低濃度n型ゲートおよびp型ゲートの不純物濃度を変えることで任意に設定可能である。

30

## 【0009】

図2は、前記公報の図22において開示されている別の基準電圧発生回路である。図2のトランジスタM21、M22、M23およびM24は、NMOSトランジスタであって、基板やチャネルドープの不純物濃度が等しく、n型基板のpウエル内に形成され、各トランジスタ間の基板電位がソース電位と等しくしてある。さらに、トランジスタM21とトランジスタM22においてチャネル幅とチャネル長の比が等しく、トランジスタM23とトランジスタM24においてチャネル幅とチャネル長の比が等しくなっている。

## 【0010】

トランジスタM21は、高濃度n型ゲートのディプレッション型トランジスタであり、ゲートとソースが接続されて定電流源となっている。トランジスタM22は、高濃度p型ゲートを持ち、NMOSトランジスタであるトランジスタM25と抵抗R21、抵抗R22により構成されるソース接地回路25によりゲート電位が与えられている。

40

## 【0011】

トランジスタM23は、高濃度n型ゲートのディプレッション型トランジスタであり、トランジスタM24は、低濃度n型ゲートのディプレッション型トランジスタである。トランジスタM24のゲートとソースは接続されて定電流源となっている。

## 【0012】

ペアMOSトランジスタであるトランジスタM21とトランジスタM22には同一の電

50

流が流れるため、トランジスタM22のゲート-ソース間電圧V1は、負の温度特性を持つ電圧源V<sub>PN</sub>となる。

【0013】

また、ペアMOSトランジスタであるトランジスタM23とトランジスタM24にも同一の電流が流れるため、トランジスタM23のゲート-ソース間電圧V<sub>gs</sub>は、正の温度係数を持つ電圧源V<sub>PTAT</sub>となる。

【0014】

出力電圧V3は、トランジスタM22のゲート-ソース間電圧V1を抵抗R21と抵抗R22で分圧した電圧と、トランジスタM23のゲート-ソース間電圧V<sub>gs</sub>の和であるから、出力電圧 $V3 = V_{PN} \times R22 / (R21 + R22) + V_{PTAT}$ となる。尚このとき、各トランジスタの温度特性は、高濃度n型ゲート、低濃度n型ゲートおよび高濃度p型ゲートの不純物濃度を変えることで任意に設定可能である。

10

【特許文献1】特開2001-284464号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、図1に示される従来例では、電源電圧として、出力電圧V3に対し、トランジスタM14のゲート-ソース間電圧と、トランジスタM11のソース-ドレイン間電圧を加えた電圧が必要となり、電源電圧を高くしなければならないという問題点がある。

20

【0016】

また、図2に示される従来例では、出力電圧V3自体が低電圧であるため、電源電圧も低電圧とすることができる。しかしながら、電源電圧には、出力電圧V3にトランジスタM23のゲート-ソース間電圧とトランジスタM25のソース-ドレイン間電圧、さらに抵抗R21における電圧降下分を加えた電圧が必要となる。

【0017】

また、図2に示される例では、出力電圧V3の出力インピーダンスが高いため、出力電圧V3を抵抗で分圧して任意の電圧を取得することができない。

【0018】

本発明は、このような点を鑑みて、これらを解決すべくなされたものであり、低電圧電源で動作可能であり、出力インピーダンスの低く、さらには安定した基準電圧を供給可能基準電圧発生回路を提供することを目的としている。

30

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明の基準電圧発生回路は次の如き構成を採用した。

【0020】

本発明の基準電圧発生回路は、同一特性の2つのMOSトランジスタにより構成されるカレントミラー回路と、前記2つのMOSトランジスタのうち、一方のトランジスタの出力側に接続された、第1のトランジスタであるディプレッション型トランジスタと、前記2つのMOSトランジスタのうち他方のトランジスタの出力側に接続された、第2のトランジスタであるエンハンスメント型トランジスタにより構成されるペアMOSトランジスタと、前記第1のトランジスタまたは前記第2のトランジスタの出力側に接続された第3のトランジスタと、該第3のトランジスタの出力側に接続された該第3のトランジスタの負荷と、により構成され、前記第3のトランジスタと前記負荷の接続点から出力される電圧が、前記第2のトランジスタのゲートに印加され、前記第1のトランジスタのドレイン電流と、前記第2のトランジスタのドレイン電流が同一となるときの、前記第1のトランジスタのゲート電圧と、前記第2のトランジスタのゲート電圧との差を出力電圧とする基準電圧発生回路において、前記第1のトランジスタのゲートとソースが接続され、前記第1のトランジスタと前記第2のトランジスタのソースが接地され、前記第2のトランジスタのゲート電圧を出力電圧とする構成とすることができる。

40

50

## 【0021】

これにより、本発明の基準電圧発生回路は、入力電圧と出力電圧の差が小さくなり、低電源電圧で動作可能となる。さらに、出力インピーダンスが低くなる。

## 【0022】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第1のトランジスタと前記第2のトランジスタにおいて、それぞれのチャンネルは同一の導電型で形成され、それぞれのゲートは異なる導電型不純物で形成され、前記それぞれのゲートのゲートサイズが異なる構成とすることができる。

## 【0023】

これにより、本発明の基準電圧発生回路では、各トランジスタの製造プロセスの変動による出力電圧のばらつきが小さくなる。

## 【0024】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第1のトランジスタのチャンネル幅 $W_d$ とチャンネル長 $L_d$ の比 $S_d$ を $S_d = W_d / L_d$ とし、前記第2のトランジスタのチャンネル幅 $W_e$ とチャンネル長 $L_e$ の比 $S_e$ を $S_e = W_e / L_e$ とし、前記 $S_e$ と前記 $S_d$ の比を $S_e / S_d$ としたとき、前記 $S_e / S_d$ が、0.3から0.67である構成とすることができる。

## 【0025】

これにより、各トランジスタの温度特性が小さくなり、安定した出力電圧を出力する。

## 【0026】

さらに、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記カレントミラー回路を構成する前記MOSトランジスタは、低スレッシュホールド電圧のトランジスタである構成とすることができる。

## 【0027】

これにより、本発明の基準電圧発生回路は、低電源電圧で動作可能となる。

## 【0028】

さらに、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記カレントミラー回路は、2組の、スレッシュホールド電圧の異なる2つのMOSトランジスタを直列接続した回路により構成され、2組の前記回路において、前記スレッシュホールド電圧の高い方のMOSトランジスタは電源電圧側に配置された構成とすることができる。

## 【0029】

これにより、カレントミラー回路の精度が向上し、ミラー電流精度が向上する。

## 【0030】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第1のトランジスタのドレイン電圧と、前記第2のトランジスタのドレイン電圧を略同電位とする回路を備えた構成とすることができる。

## 【0031】

これにより、前記ディプレッション型トランジスタである第1のトランジスタ $M_1$ と、前記エンハンスメント型トランジスタである第2のトランジスタ $M_2$ におけるチャンネル長変調効果の影響を低減する。

## 【0032】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第1のトランジスタのドレイン電圧と、前記第2のトランジスタのドレイン電圧を略同電位とする回路は、前記第1のトランジスタのドレインと前記カレントミラー回路を構成する一方のMOSトランジスタの出力側との間に配設された第4のトランジスタと、前記第2のトランジスタのドレインと前記カレントミラー回路を構成する他方のMOSトランジスタの出力側との間に配設された第5のトランジスタで構成され、前記第4のトランジスタと前記第5のトランジスタのゲートが共通接続され、共通接続された前記ゲートには、前記第3のトランジスタと前記負荷との接続点の電圧、または該電圧に比例した電圧が印加される構成とすることができる。

10

20

30

40

50

## 【0033】

これにより、前記ディプレッション型トランジスタである第1のトランジスタM1と、前記エンハンスメント型トランジスタである第2のトランジスタM2におけるチャネル長変調効果の影響を低減する。

## 【0034】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第4のトランジスタと前記第5のトランジスタは、低スレッショルド電圧のトランジスタである構成とすることができる。

## 【0035】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第4のトランジスタと前記第5のトランジスタは、ディプレッション型トランジスタである構成とすることができる。

10

## 【0036】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第4のトランジスタと前記第5のトランジスタは、導電型不純物ゲートを有するトランジスタである構成とすることができる。

## 【0037】

これにより、本発明の基準電圧発生回路は、低電源電圧で動作可能となる。

## 【0038】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第3のトランジスタは、前記カレントミラー回路を構成するMOSトランジスタと同一の特性であり、前記第3のトランジスタの負荷に流れる負荷電流が前記第1のトランジスタのドレイン電流と等しい構成とすることができる。

20

## 【0039】

これにより、カレントミラー回路の精度が向上し、ミラー電流精度が向上する。

## 【0040】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、記第3のトランジスタの負荷を定電流源した構成とすることができる。

## 【0041】

これにより、前記第3のトランジスタの負荷電流を、前記第1のトランジスタと同一にする。

30

## 【0042】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第3のトランジスタのゲートは、負荷を定電流源とした第6のトランジスタを介して、前記ペアMOSトランジスタの一方の出力側に接続される構成とすることができる。

## 【0043】

これにより、前記カレントミラー回路を構成するトランジスタのドレイン電圧が等しくなり、ミラー電流精度が向上する。

## 【0044】

また、本発明の基準電圧発生回路は、上記目的を達成するために、さらに、前記第6のトランジスタのゲートは、負荷を抵抗とする前記第3のトランジスタを介して前記ペアMOSトランジスタの一方の出力側に接続される構成とすることができる。

40

## 【0045】

これにより、前記第3のトランジスタの負荷電流を、前記第1のトランジスタのドレイン電流と同一とする。

## 【0046】

本発明の基準電圧発生回路は、上記目的を達成するために、さらに、該基準電圧発生回路は、前記第3のトランジスタと前記負荷との接続点の電圧と比例した電圧を出力電圧とする構成とすることができる。

## 【0047】

50

これにより、本発明の基準電圧発生回路は、低電圧の基準電圧を取得することが可能となる。

【0048】

本発明の基準電圧発生回路は、上記目的を達成するために、さらに、該基準電圧発生回路は、前記第3のトランジスタまたは前記第6のトランジスタと接続され、カレントミラー回路を構成する第7のトランジスタを備え、前記第7のトランジスタのドレイン電流を出力する構成とすることができる。

【0049】

これにより、本発明の基準電圧発生回路は、基準電圧を出力するとともに、定電流を出力することが可能となる。

10

【発明の効果】

【0050】

本発明の基準電圧発生回路によれば、低電源電圧で動作可能であり、さらには出力インピーダンスを低くし、安定した基準電圧を供給することができる。

【発明を実施するための最良の形態】

【0051】

本発明の基準電圧発生回路は、ディプレッション型トランジスタのゲートとソースが接続され、前記ディプレッション型トランジスタとエンハンスメント型トランジスタのソースが接地された状態で、前記エンハンスメント型トランジスタのゲート電圧を出力電圧とするものである。以下に図面を参照して本発明の実施例について詳細に説明する。

20

【実施例1】

【0052】

図3は、本発明の基準電圧発生回路の実施例1を示す回路図である。図1に示す基準電圧発生回路30は、トランジスタM1、M2、M5およびM6と、ゲート電極の仕事関数差を用いて製造したペアMOSトランジスタであるトランジスタM3、M4と、抵抗R1、R2で構成されている。ここで、トランジスタM1、M2、M5およびM6は同一特性を有するPMOSトランジスタである。トランジスタM3は、n型ゲートを有するディプレッション型のNMOSトランジスタであり、トランジスタM4はp型ゲートを有するエンハンスメント型のNMOSトランジスタである。

【0053】

トランジスタM1とトランジスタM2は、それぞれのソースとゲートが共通接続されており、共通接続されたソースには電源電圧 $V_{in}$ が印加されている。そして、共通接続されたゲートがトランジスタM2のドレインに接続され、カレントミラー回路を構成している。

30

【0054】

トランジスタM1のドレインには、トランジスタM3のドレインが接続されている。そして、トランジスタM2のドレインには、トランジスタM4のドレインが接続されている。トランジスタM3のゲートとソースは接続されて接地されており、定電流源を構成している。トランジスタM4のソースは接地され、トランジスタM4のゲートは、トランジスタM5のドレインと抵抗R1の接続点に接続されている。

40

【0055】

トランジスタM5のドレインは抵抗R1の一端に接続され、直列接続された抵抗R1と抵抗R2を介して接地されている。そして、トランジスタM5のソースには、電源電圧 $V_{in}$ が印加され、ゲートはトランジスタM1のドレインに接続されている。ここで、トランジスタM5、抵抗R1および抵抗R2は、抵抗R1と抵抗R2をトランジスタM5の負荷とするソース接地回路35を構成している。

【0056】

トランジスタM6のソースには電源電圧 $V_{in}$ が印加され、トランジスタM6のゲートは、トランジスタM5のゲートと共通接続されている。そして、トランジスタM6のドレインは、電流出力端子PBIA5に接続されている。

50

## 【 0 0 5 7 】

次に、図 3 に示す基準電圧発生回路 3 0 の動作を説明する。

## 【 0 0 5 8 】

トランジスタ M 1 のドレイン電流  $I_1$  は、トランジスタ M 4 のドレイン電流  $I_4$  と等しくなる。ここで、トランジスタ M 1、トランジスタ M 2 は同一特性であり、それぞれのドレイン電流  $I_1$ 、 $I_2$  は等しい。また、 $I_1 = I_3$ 、 $I_2 = I_4$  であるから、トランジスタ M 4 のドレイン電流  $I_4$  は、トランジスタ M 3 のドレイン電流  $I_3$  と等しくなる。

## 【 0 0 5 9 】

また、ソース接地回路 3 5 を構成するトランジスタ M 5 のゲートにはトランジスタ M 3 のドレインが接続されている。そして、ソース接地回路 3 5 の出力はトランジスタ M 4 のゲートに接続され、トランジスタ M 4 のドレイン電流  $I_4$  がトランジスタ M 3 のドレイン電流  $I_3$  と等しくなるようトランジスタ M 4 のゲート電圧を供給する負帰還ループを形成している。この結果、トランジスタ M 4 のゲート電圧は、定電流源を構成するトランジスタ M 3 のドレイン電流  $I_3$  で決定される電圧に設定される。そして、このトランジスタ M 4 のゲート電圧が、基準電圧発生回路 3 0 の出力電圧である基準電圧  $V_{refH}$  となる。

10

## 【 0 0 6 0 】

このとき、電源電圧  $V_{in}$  は、基準電圧  $V_{refH}$  とトランジスタ M 5 のソース - ドレイン間電圧の和、またはトランジスタ M 2 のゲート - ソース間電圧およびトランジスタ M 4 のドレイン - ソース間電圧の和のどちらか大きいほうの電圧となる。

## 【 0 0 6 1 】

ここで、後者の電圧に関しては、トランジスタ M 1 とトランジスタ M 2 に低スレッシュホールド電圧のトランジスタを採用すれば、この後者の電圧を容易に低く抑えることができる。よって、本実施例での電源電圧  $V_{in}$  は、基準電圧  $V_{refH}$  とトランジスタ M 5 のソース - ドレイン間電圧の和となる。尚、ここで述べる低スレッシュホールド電圧とは、0.2 から 0.5 V 程度を示す。

20

## 【 0 0 6 2 】

このとき、トランジスタ M 5 のソース - ドレイン間電圧は、0.3 V 以下にすることが可能である。よって、基準電圧発生回路 3 0 において、電源電圧  $V_{in}$  を低電圧とすることができる。また、電源電圧  $V_{in}$  (入力電圧) と基準電圧  $V_{refH}$  (出力電圧) が極めて近い値となり、入力電圧と出力電圧との差が小さくなるので、電源効率を向上させることが可能となる。

30

## 【 0 0 6 3 】

さらに、基準電圧  $V_{refH}$  は、ソース接地回路 3 5 の出力電圧として出力されるので、出力インピーダンスが低くなる。よって、基準電圧  $V_{refH}$  を抵抗  $R_1$  と抵抗  $R_2$  で分圧し、基準電圧  $V_{refH}$  に比例し、かつ基準電圧  $V_{refH}$  よりも低い電圧を基準電圧  $V_{refL}$  として供給することも可能である。

## 【 0 0 6 4 】

なお、トランジスタ M 5 は、カレントミラー回路を構成しているトランジスタ M 1 およびトランジスタ M 2 と同一特性のトランジスタであり、トランジスタ M 5 のドレイン電流  $I_5$  が、ドレイン電流  $I_1$  と等しくなるように抵抗  $R_1$  と抵抗  $R_2$  の抵抗値が設定されている。このため、トランジスタ M 5 のゲート電圧は、トランジスタ M 1 およびトランジスタ M 2 のゲート電圧と等しくなる。

40

## 【 0 0 6 5 】

ここで、トランジスタ M 1 のドレインとトランジスタ M 5 のゲートは接続されており、トランジスタ M 1 のドレイン電圧と、トランジスタ M 5 のゲート電圧は同電位である。また、トランジスタ M 2 のドレインは、共通接続されたトランジスタ M 1 とトランジスタ M 2 のゲートに接続されており、トランジスタ M 2 のドレイン電圧は、トランジスタ M 1 およびトランジスタ M 2 のゲート電圧と同電位である。すなわち、トランジスタ M 2 のドレイン電圧は、トランジスタ M 5 のゲート電圧と同電位である。

## 【 0 0 6 6 】

50

よって、トランジスタM1のドレイン電圧とトランジスタM2のドレイン電圧は同電位である。これにより、トランジスタM1およびトランジスタM2において、ドレイン電圧の差により生じるドレイン電流の誤差をなくすることができる。すなわち、チャネル長変調効果によるミラー電流の誤差をなくし、カレントミラー回路の精度を向上させることができる。

【0067】

また、カレントミラー回路の精度が向上すれば、トランジスタM3のドレイン電流の変動が小さくなり、このドレイン電流I3により決定されるトランジスタM4のゲート電圧(基準電圧VrefH)が安定する。よって、基準電圧発生回路30は、安定した基準電圧VrefHを生成することができる。

10

【0068】

また、トランジスタM5とトランジスタM6のゲートとソースは共通接続されており、共通接続されたソースには電源電圧Vinが印加されている。共通接続されたゲートは、トランジスタM1のドレインに接続されている。

【0069】

トランジスタM5のドレイン電流I5は、ドレイン電流I1と等しくなるよう設定されているので、トランジスタM5のドレイン電圧は、トランジスタM1のドレイン電圧と同電位である。よって、トランジスタM5とトランジスタM6はカレントミラー回路を構成し、トランジスタM6のドレイン電流I6は、トランジスタM5のドレイン電流I5と等しい定電流となる。

20

【0070】

ここで、トランジスタM6のドレインを電流出力端子PBIASに接続することにより、出力電流として、定電流であるトランジスタM6のドレイン電流I6を得る。尚このとき、抵抗R1と抵抗R2の温度特性は小さいほうが好ましく、この温度特性が小さいほど、温度変化に影響しない安定した定電流を得ることができる。

【0071】

尚、本実施例においては、ゲート電極の仕事関数差を用いて製造したペアMOSトランジスタを用いた例を示したが、それに限定されるものではなく、例えばトランジスタM3がディプレッション型トランジスタであり、トランジスタM4がエンハンスメント型トランジスタであれば同様の機能を実現することができる。

30

【0072】

次に、基準電圧発生回路30の温度特性について説明する。

【0073】

図4は、ディプレッション型トランジスタとエンハンスメント型トランジスタのドレイン電流Idとゲート-ソース間電圧Vgsとの関係を示した図である。

【0074】

ディプレッション型トランジスタのゲートとソースを接続した場合のドレイン電流は、図4に示すId1である。このドレイン電流Id1をエンハンスメント型トランジスタに提供した場合のエンハンスメント型トランジスタのゲート電圧は、図4に示すVrefHである。

40

【0075】

ここで、図3に示す基準電圧発生回路30におけるトランジスタM3がディプレッション型トランジスタ、トランジスタM4がエンハンスメント型トランジスタである。よって、図4に示す関係を、基準電圧発生回路30に当てはめれば、図3の示す基準電圧発生回路30の基準電圧VrefHは、トランジスタM3とトランジスタM4におけるドレイン電流が一致した時のゲート電圧の差となる。

【0076】

通常のディプレッション型トランジスタの構造は、NMOSトランジスタの場合、チャネル領域に不純物をドーピングし、あらかじめnチャネルを形成しておき、ゲート-ソース間電圧Vgsが0Vでもドレイン電流が流れるようになっている。これに対し、通常のエン

50

ハンスメント型のNMOSトランジスタの場合では、ゲート・ソース間電圧 $V_{gs}$ がスレッシュホールド電圧となったとき、チャンネル領域にnチャンネルが形成されてドレイン電流が流れ出すようになっている。

【0077】

このように、ディプレッション型トランジスタとエンハンスメント型トランジスタにおいて、チャンネル領域の製造プロセスが異なると、製造プロセスの変動によりそれぞれのゲート電圧が独立して変動してしまう。その結果、ディプレッション型トランジスタのゲート電圧とエンハンスメント型トランジスタのゲート電圧の差が大きく変動する。

【0078】

そこで、基板やチャンネル領域の製造プロセスは、ディプレッション型トランジスタとエンハンスメント型トランジスタ共に同一とし、ゲートにドーブする不純物の電導型と濃度を変えることで、ディプレッション型トランジスタとエンハンスメント型トランジスタを製造すると、製造プロセスが変動しても、ディプレッション型トランジスタのゲート電圧とエンハンスメント型トランジスタのゲート電圧の差はほとんど変動しないことが知られている。

【0079】

ただし、図3の基準電圧発生回路30におけるディプレッション型であるトランジスタM3とエンハンスメント型であるトランジスタM4では、チャンネル幅とチャンネル長が同一となっている。この場合には、トランジスタM3のゲート電圧とトランジスタM4のゲート電圧の差は温度特性を持つようになる。

【0080】

図5は、各ゲートサイズ比における温度特性の実験データを示す図である。ここで、ゲートサイズ比とは、ディプレッション型トランジスタのチャンネル幅 $W_d$ とチャンネル長 $L_d$ の比 $S_d$ を $W_d / L_d$ とし、エンハンスメント型トランジスタのチャンネル幅 $W_e$ とチャンネル長 $L_e$ の比 $S_e$ を $W_e / L_e$ としたときの、 $S_d$ と $S_e$ の比 $S_e / S_d$ を示すものである。図5では、センター温度25度において、ゲートサイズ比が1.0、0.67、0.5、0.45の各々の場合における温度特性を示している。

【0081】

図5に示す実験データより、ゲートサイズ比が1.0のときの温度係数は-545ppm、ゲートサイズ比が0.67のときの温度係数は-191ppm、ゲートサイズ比が0.5のときの温度係数は+60ppm、ゲートサイズ比が0.45のときの温度係数は+154ppmであることがわかった。

【0082】

図6は、各ゲートサイズ比と温度係数の関係を示した図である。図6において、実線は実験データであり、一点鎖線はゲートサイズ比が1.0の時の温度係数と、ゲートサイズ比が0.45の時の温度係数を直線で結んだものである。

【0083】

図5および図6から、ゲートサイズ比が0.5から0.67の間に温度係数の最小点があり、さらに類推すると、0.54から0.58で温度係数が最小となり、そのときの温度係数は約40ppmになることがわかった。

【0084】

そこで、基準電圧発生回路30において、トランジスタM3のチャンネル幅 $W_{d3}$ とチャンネル長 $L_{d3}$ の比 $S_{d3}$ を $W_{d3} / L_{d3}$ とし、トランジスタM4のチャンネル幅 $W_{e4}$ とチャンネル長 $L_{e4}$ の比 $S_{e4}$ を $W_{e4} / L_{e4}$ としたときの、 $S_{d3}$ と $S_{e4}$ の比 $S_{e3} / S_{d4}$ を0.5から0.67、さらに望ましくは0.54から0.58の間に設定することで、出力基準電圧 $V_{refH}$ の温度特性をもっとも良くすることができる。

【0085】

図7は、本発明の実施例2の基準電圧発生回路40を示す回路図である。実施例2の基準電圧発生回路40において、実施例1の基準電圧発生回路30と異なる点は、カレントミラー回路にトランジスタM7とトランジスタM8が追加された点と、トランジスタM3

10

20

30

40

50

およびトランジスタM4のドレインとカレントミラー回路との間に、トランジスタM9およびトランジスタM10が追加された点である。ここで、トランジスタM7とトランジスタM8は、同一特性を持つPMOSトランジスタであり、トランジスタM9とトランジスタM10はNMOSトランジスタである。

【0086】

実施例2においてトランジスタM1とトランジスタM2は、低スレッシュホールド電圧のトランジスタであり、トランジスタM7とトランジスタM8のスレッシュホールド電圧は、トランジスタM1とトランジスタM2のスレッシュホールド電圧よりも高いものとする。

【0087】

以下に、実施例2の基準電圧発生回路40における実施例1の基準電圧発生回路30との相違点についてのみ説明する。 10

【0088】

トランジスタM7とトランジスタM8のソースは共通接続され、そのソースには電源電圧 $V_{in}$ が印加されている。トランジスタM7とトランジスタM1は直列接続されており、トランジスタM7のドレインはトランジスタM1のソースに接続されている。また、トランジスタM8とトランジスタM2は直列接続されており、トランジスタM8のドレインはトランジスタM2のソースに接続されている。そして、トランジスタM1、トランジスタM2、トランジスタM7およびトランジスタM8のゲートは共通接続され、そのゲートはトランジスタM2のドレインに接続されている。

【0089】

本実施例のカレントミラー回路では、トランジスタM7とトランジスタM8が同一特性のトランジスタであるから、トランジスタM7のドレイン電圧とトランジスタM8のドレイン電圧は同電位となる。このため、電源電圧 $V_{in}$ に変動があった場合でも、トランジスタM7とトランジスタM8においてその変動を吸収することができる。よって、トランジスタM1とトランジスタM2のドレイン電圧は、電源電圧 $V_{in}$ の変動に影響されずに同電位となる。 20

【0090】

このため、本実施例のカレントミラー回路は、チャンネル長変調効果によるミラー電流の誤差をなくし、極めて精度の良いカレントミラー回路とすることができる。また、カレントミラー回路の精度が向上すれば、トランジスタM3のドレイン電流の変動が小さくなり、このドレイン電流 $I_3$ により決定されるトランジスタM4のゲート電圧(基準電圧 $V_{refH}$ )が安定する。よって、基準電圧発生回路40は、安定した基準電圧 $V_{refH}$ を生成することができる。尚このとき、トランジスタM7とトランジスタM8を低スレッシュホールド電圧のトランジスタとすれば、電源電圧 $V_{in}$ はほとんど増加しないか、あるいはわずかな増加とすることができる。 30

【0091】

トランジスタM9は、トランジスタM1のドレインとトランジスタM3のドレインの間に接続されている。トランジスタM10は、トランジスタM2のドレインとトランジスタM4のドレインの間に接続されている。トランジスタM9とトランジスタM10のゲートは、トランジスタM4のゲートと共通接続されており、トランジスタM9およびトランジスタM10のゲート電圧はソース接地回路35の出力により供給されている。 40

【0092】

本実施例の基準電圧発生回路40によれば、トランジスタM3のドレイン電圧は、基準電圧 $V_{refH}$ からトランジスタM9のゲート-ソース間電圧を引いた電圧であり、トランジスタM4のドレイン電圧は基準電圧 $V_{refH}$ からトランジスタM10のゲート-ソース間電圧を引いた電圧となる。その結果、電源電圧 $V_{in}$ に変動があった場合でも、トランジスタM3およびトランジスタM4のドレイン電圧はほぼ変動しない。このため、トランジスタM3とトランジスタM4におけるチャンネル長変調効果による影響を改善することができる。

【0093】

すなわち、トランジスタM3ではドレイン電流の変動がなくなり、トランジスタM3のドレイン電流により決定されるトランジスタM4のゲート電圧(基準電圧 $V_{refH}$ )の変動がなくなる。このため、電源電圧 $V_{in}$ の変動に対してさらに安定した基準電圧 $V_{refH}$ を生成することが可能となる。

【0094】

また、トランジスタM9とトランジスタM10を低スレッショルド電圧のトランジスタとすることで、トランジスタM3とトランジスタM4のドレイン電圧をより高くすることができる。

【0095】

さらに、トランジスタM9とトランジスタM10にディプレッション型トランジスタを用いると、さらにトランジスタM3とトランジスタM4のドレイン電圧を高くすることができる。尚この場合、電源電圧 $V_{in}$ の増加を抑えるため、トランジスタM9とトランジスタM10のゲートを基準電圧 $V_{refH}$ よりも低い電位としても良い。例えば図7に示すように、基準電圧 $V_{refH}$ を抵抗 $R1$ と抵抗 $R2$ で分圧した電圧 $V_{refL}$ をトランジスタM9およびトランジスタM10のゲートへ印加しても良い。

10

【0096】

また、トランジスタM9とトランジスタM10は、導電型不純物ゲートを有するトランジスタとしても良い。本実施例では、トランジスタM9とトランジスタM10のゲートを高濃度n型とすれば、トランジスタM9とトランジスタM10はディプレッション型トランジスタとなる。

20

【0097】

図8は、本発明の実施例3の基準電圧発生回路50を示す回路図である。実施例3の基準電圧発生回路50において、実施例1の基準電圧発生回路30と異なる点は、トランジスタM5の負荷を、直列接続された抵抗 $R1$ と抵抗 $R2$ の代わりに、トランジスタM12とした点である。トランジスタM12はn型ゲートを有するディプレッション型のNMOSトランジスタである。

【0098】

トランジスタM12は、トランジスタM3と同一の特性であることが望ましく、トランジスタM12のドレインはトランジスタM5のドレインに接続され、トランジスタM12のソースは接地されている。トランジスタM12は、そのゲートがドレインと接続されて、定電流源を構成しており、ここで発生するトランジスタM12のドレイン電流は、トランジスタM3のドレイン電流と等しくなる。

30

【0099】

また、トランジスタM5は、カレントミラー回路を構成するトランジスタM1およびトランジスタM2と同一特性であるから、トランジスタM5のドレイン電流とトランジスタM1およびトランジスタM2のドレイン電流と等しくなる。その結果、実施例1で説明したように、トランジスタM1およびトランジスタM2のドレイン電圧が同電位となり、チャネル長変調効果を抑制し、ミラー電流精度を向上させることができる。よって、より安定した基準電圧 $V_{refH}$ を生成することができる。

【0100】

図9は、本発明の実施例4の基準電圧発生回路60を示す回路図である。実施例4の基準電圧発生回路60において、実施例1の基準電圧発生回路30と異なる点は、カレントミラー回路とソース接地回路35の間に、トランジスタM13とトランジスタM14で構成された反転増幅回路65が追加されている点である。

40

【0101】

トランジスタM13は、カレントミラー回路を構成するトランジスタM1およびトランジスタM2と同一特性のPMOSトランジスタであって、トランジスタM14を負荷としている。トランジスタM14は、トランジスタM3と同一特性のn型ゲートを有するディプレッション型トランジスタであって、そのゲートとソースが接続されて接地され、定電流源を構成している。

50

## 【0102】

本実施例におけるカレントミラー回路の出力であるトランジスタM2のドレインは、反転増幅回路65の入力であるトランジスタM13のゲートが接続されている。さらに、反転増幅回路65の出力であるトランジスタM13のドレインは、ソース接地回路35の入力であるトランジスタM5のゲートに接続されている。ここで、トランジスタM1、M2、M5およびM13は同一特性であり、それぞれのドレイン電圧は同電位である。

## 【0103】

ソース接地回路35の出力であるトランジスタM5のドレインは、トランジスタM4のゲートに接続されている。そしてトランジスタM4では、ソース接地回路35の出力により、そのドレイン電流I4がトランジスタM3のドレイン電流I3と等しくなるようゲート電圧が供給される。

10

## 【0104】

このように、カレントミラー回路の出力は、カレントミラー回路を構成するトランジスタと同一特性のトランジスタを有する2段の増幅回路を介して、トランジスタM4のゲートへ供給されている。よって、電源電圧V<sub>in</sub>に変動があった場合でも、この変動はこれらの増幅回路に吸収されることになり、トランジスタM1とトランジスタM2のドレイン電圧は、電源電圧V<sub>in</sub>の変動に影響されずに同電位となる。

## 【0105】

その結果、実施例3で説明したように、カレントミラー回路におけるチャネル長変調効果を抑制し、ミラー電流精度を向上させることができる。よって、より安定した基準電圧V<sub>refH</sub>を生成することができる。

20

## 【0106】

なお、本実施例においては、反転増幅回路65とソース接地回路35のうち、反転増幅回路65を初段の増幅回路としたが、ソース接地回路35を初段の増幅回路とすることもできる(図示せず)。

## 【0107】

その場合、カレントミラー回路の出力であるトランジスタM2のドレインは、ソース接地回路35の入力であるトランジスタM5のゲートに接続され、ソース接地回路35の出力であるトランジスタM5のドレインが、反転増幅回路65の入力であるトランジスタM13のゲートに接続される。

30

## 【0108】

反転増幅回路65の出力であるトランジスタM13のドレインは、トランジスタM4のゲートに接続される。そしてトランジスタM4では、反転増幅回路65の出力により、そのドレイン電流I4がトランジスタM3のドレイン電流I3と等しくなるようゲート電圧が供給される。

## 【0109】

図10は、本発明の実施例5の基準電圧発生回路70を示す回路図である。実施例5の基準電圧発生回路70は、実施例4の基準電圧発生回路60に、実施例2で説明した高精度のカレントミラー回路を組み合わせたものである。

## 【0110】

このため、実施例5の基準電圧発生回路70においても、実施例2および実施例4で説明した効果と同様の効果を得ることができる。すなわち、基準電圧発生回路70では、カレントミラー回路におけるチャネル長変調効果を抑制してミラー電流精度を向上させ、安定した基準電圧V<sub>refH</sub>を生成することができる。

40

## 【0111】

以上に説明したように、本発明によれば、低電源電圧で動作可能な基準電圧発生回路を提供することができる。また、本発明によれば入力電圧(電源電圧)と出力電圧(基準電圧)の電圧差が極めて小さく、電源効率の良い基準電圧発生回路を提供することができる。また、本発明によれば、出力インピーダンスの小さい基準電圧発生回路を提供することができる。

50

## 【0112】

さらに、本発明によれば、チャンネル長変調効果を抑制し、ミラー電流精度を向上させることにより安定した基準電圧  $V_{refH}$  を生成することが可能な基準電圧発生回路を提供することができる。

## 【0113】

以上、各実施例に基づき本発明の説明を行ってきたが、上記実施例にあげた形状、その他の要素との組み合わせなど、ここで示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することが可能であり、その応用形態に応じて適切に定めることができる。

## 【産業上の利用可能性】

10

## 【0114】

本発明は、低電圧動作可能で、かつ安定した基準電圧を供給可能な基準電圧発生回路であって、定電圧を発生する回路に応用することができる。

## 【図面の簡単な説明】

## 【0115】

【図1】特開2001-284464号公報の図18において開示された基準電圧発生回路である。

【図2】特開2001-284464号公報の図22において開示された基準電圧発生回路である。

【図3】本発明の基準電圧発生回路の実施例1を示す回路図である。

20

【図4】ディプレッション型トランジスタとエンハンスメント型トランジスタのドレイン電流  $I_d$  とゲート-ソース間電圧  $V_{gs}$  との関係を示した図である。

【図5】各ゲートサイズ比における温度特性を示した図である。

【図6】各ゲートサイズ比と温度係数の関係を示した図である。

【図7】本発明の実施例2の基準電圧発生回路40を示す回路図である。

【図8】本発明の実施例3の基準電圧発生回路50を示す回路図である。

【図9】本発明の実施例4の基準電圧発生回路60を示す回路図である。

【図10】本発明の実施例5の基準電圧発生回路70を示す回路図である。

## 【符号の説明】

30

## 【0116】

15、25、35 ソース接地回路

30、40、50、60、70 基準電圧発生回路

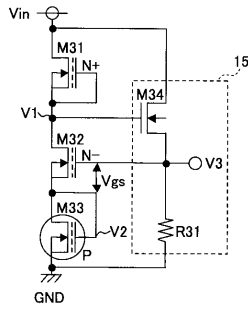
65 反転増幅回路

M1～M14、M21～M25、M31～M34 トランジスタ

R1、R2、R21、R22、R31 抵抗

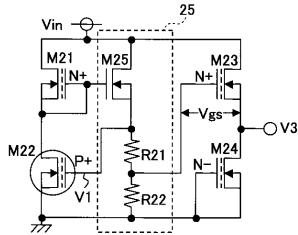
【 図 1 】

特開2001-284464号公報の図18において開示された基準電圧発生回路



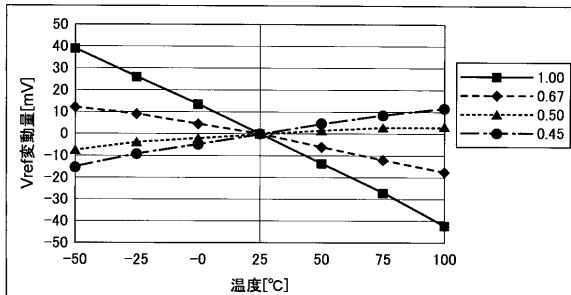
【 図 2 】

特開2001-284464号公報の図22において開示された基準電圧発生回路



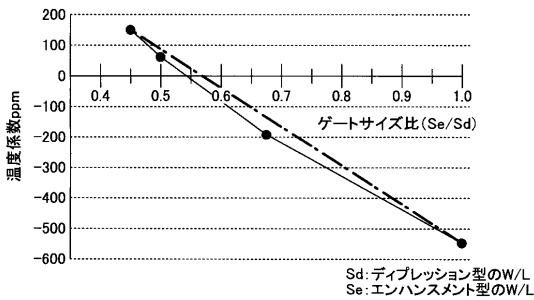
【 図 5 】

各ゲートサイズ比における温度特性を示した図



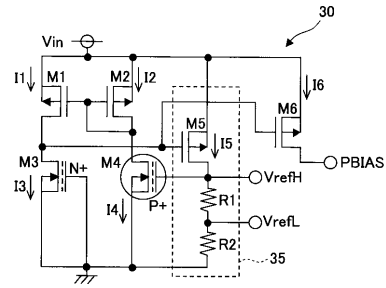
【 図 6 】

各ゲートサイズ比と温度係数の関係を示した図



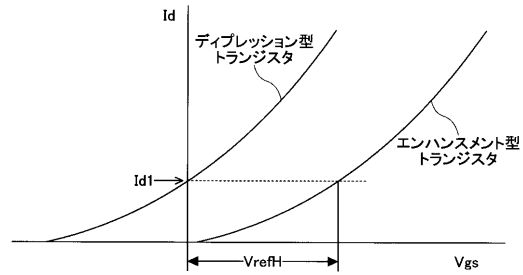
【 図 3 】

本発明の基準電圧発生回路の実施例1を示す回路図



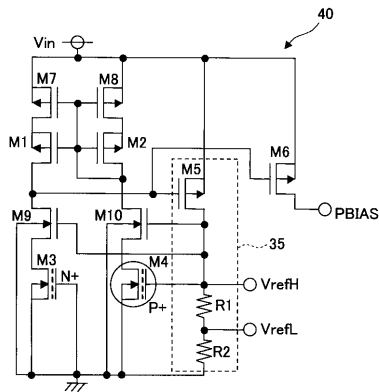
【 図 4 】

ディプレッション型トランジスタとエンハンスメント型トランジスタのドレイン電流Idとゲートソース間電圧Vgsとの関係を示した図



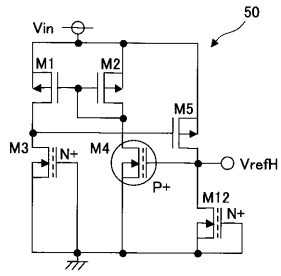
【 図 7 】

本発明の実施例2の基準電圧発生回路40を示す回路図



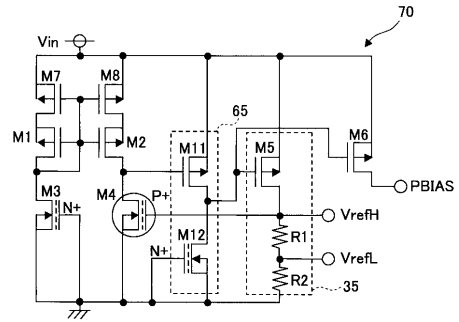
【 図 8 】

本発明の実施例3の基準電圧発生回路50を示す回路図



【 図 1 0 】

本発明の実施例5の基準電圧発生回路70を示す回路図



【 図 9 】

本発明の実施例4の基準電圧発生回路60を示す回路図

