

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H03H 9/54 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200510105173.0

[43] 公开日 2006年4月5日

[11] 公开号 CN 1756076A

[22] 申请日 2005.9.28

[21] 申请号 200510105173.0

[30] 优先权

[32] 2004.9.28 [33] JP [31] 2004-282848

[71] 申请人 富士通媒体部品株式会社

地址 日本神奈川县

共同申请人 富士通株式会社

[72] 发明人 岩城匡郁 堤润 西原时弘

坂下武 谷口真司 横山刚

上田政则 宫下勉

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李辉

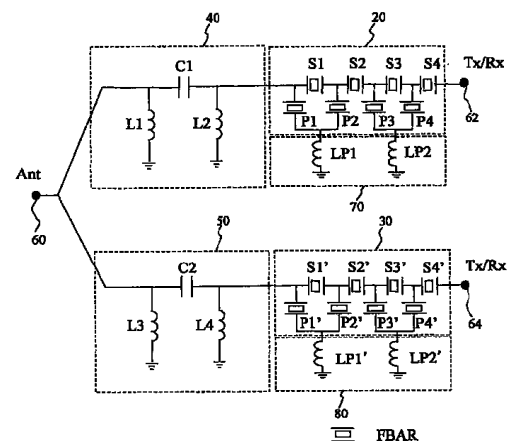
权利要求书 2 页 说明书 18 页 附图 30 页

## [54] 发明名称

双工器

## [57] 摘要

双工器包括：第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器；第一和第二集成无源器件，置于公共端子与第一和第二滤波器之间；以及基板，第一和第二滤波器以及第一和第二集成无源器件安装在其上。该基板包括用于实现连接在第一和第二滤波器与地之间的电感的导电图案。第一和第二集成无源器件包括连接到第一和第二滤波器的电感器。



- 1、一种双工器，其包括：  
第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器；  
5 第一和第二集成无源器件，置于公共端子与第一和第二滤波器之间；  
以及  
基板，第一和第二滤波器以及第一和第二集成无源器件安装在其上，  
该基板包括用于实现连接在第一和第二滤波器与地之间的电感的导  
电图案，  
10 第一和第二集成无源器件包括连接到第一和第二滤波器的电感器。
- 2、如权利要求1所述的双工器，其中：  
第二滤波器具有比第一滤波器的中心频率高的中心频率；并且  
连接到第二集成无源器件的第二滤波器端接有串联支路谐振器。
- 3、如权利要求1所述的双工器，其中，第一和第二集成无源器件包  
15 括第一和第二滤波器共用的电感器。
- 4、如权利要求1所述的双工器，其中，第一和第二滤波器分别是发  
送和接收滤波器。
- 5、如权利要求1所述的双工器，其中：  
第一和第二集成无源器件包括用于建立第一滤波器与第二滤波器之  
20 间的相位匹配的相位匹配电路；并且  
所述基板包括多层基板，所述导电图案包括形成在该多层基板内的  
图案。
- 6、如权利要求5所述的双工器，其中，第一和第二滤波器以及第一  
和第二集成无源器件面向下安装在基板上。
- 25 7、一种双工器，其包括：  
第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器；  
第一和第二相位匹配电路，置于公共端子与第一和第二滤波器之间；  
以及  
电感器，包括在第一和第二相位匹配电路中的至少一个中，并连接

到地和公共端子，

其中，满足  $C_p \times C_s < 1/(R \times 2 \pi f_0)^2$ ，其中  $C_p$  和  $C_s$  是第一和第二滤波器之一的与第一和第二相位匹配电路中的所述至少一个相关联并与其最靠近的串联支路谐振器和并联支路谐振器的电容， $R$  是该双工器的端接电阻， $f_0$  是第一和第二滤波器中的所述一个的中心频率。

8、一种双工器，其包括：

第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器；

第一和第二相位匹配电路，置于公共端子与第一和第二滤波器之间；

以及

电感器，包括在第一和第二相位匹配电路中的至少一个中并连接到地和公共端子，

其中，第一和第二滤波器之一的与第一和第二相位匹配电路中的所述至少一个相关联并且与其最靠近的串联支路谐振器的膜区的面积比其他串联支路谐振器的膜区的面积要小。

9、如权利要求 1 所述的双工器，其中，还包括电容器，该电容器被包括在第一和第二相位匹配电路中的所述至少一个中，并连接在所述公共端子与第一和第二滤波器中与第一和第二相位匹配电路中的所述至少一个相关联的一个滤波器之间。

## 双工器

## 5 技术领域

本发明总体上涉及用于移动通信和高频射频通信（如移动电话、PHS以及无线 LAN）的使用膜体声学谐振器（film bulk acoustic resonator）（以下称为 FBAR）的滤波器。更具体来说，本发明涉及一种配备有由按梯型形式布置并连接的多个 FBAR 构成的滤波器的双工器。

10

## 背景技术

近来，对这样的滤波器器件进行了大量的开发，即，这种滤波器器件用于高频通信，并通过组合具有压电材料的 SAW 或 BAW（SAW 是表面声波的缩写，BAW 是体声波的缩写）而能够允许特定频率范围内的电信号通过。与电介质滤波器或陶瓷滤波器相比，利用 SAW 或 BAW 的滤波器器件具有小外部尺寸和陡下降特性，并因此适合于诸如便携式电话（其需要具有紧凑的尺寸和宽比较带宽）的移动通信的组件。典型地，如上所述的 SAW 或 BAW 滤波器可以是其中按梯型形式布置并连接有多个谐振器的梯型滤波器。图 1 示出了示例性的梯型滤波器。

20 如所公知的，通过简单地改变梯型形式的级数以及并联与串联支路中的谐振器电容比，可以容易地控制梯型滤波器的插入损耗和带外衰减。此外，对梯型滤波器的设计顺序也很简单。根据这些观点，广泛使用梯型滤波器。日本专利 2800905 号（文献 1）公开了一种更灵活地改变梯型滤波器性能的方法。该方法向并联或串联的谐振器增加电感。在 SAW 或  
25 BAW 的实际使用中，通过多层基板的暴露表面或内表面上的导电图案或导线实现该电感。图 2 和 3 是具有上述附加电感的滤波器的等效电路。

双工器是 SAW 或 BAW 的梯型滤波器的一种应用组件。双工器用于具有按不同频率同时发送和接收信号的功能的通信设备，如 CDMA 系统。双工器起到抑制发送信号与接收信号之间的干扰并只允许所需频率范围

内的信号通过其间的功能。通常，双工器具有将发送滤波器、接收滤波器以及相匹配电路集成到单个组件中的布置。发送滤波器和接收滤波器用作允许相应信号通过其间的带通滤波器，并连接到天线。在此情况下，发送信号与接收信号可能相互干扰。充当相位匹配电路的移相器用于解决该干扰。移相器是在等效电路中具有电感与电容的组合的电器件。如图4所示，日本专利2905094号（文献2）公开了一种使用SAW或BAW的双工器，其中把形成在多层基板中的导电图案的分布常数线（distributed-constant line）用作移相器。日本专利3487692号（文献3）或日本专利申请2001-127588号公报（文献4）公开了一种集总参数型的电感与电容器件的组合（如线绕线圈、片式电感器以及片式电容器），可以将其与基板或帽一起使用。

然而，常规技术存在以下问题。如文献3所述，文献1所公开的方法将导电图案用于相位线，其占据了二维或三维空间。例如，用于2GHz频率范围内的WCDMA频带的双工器需要0.6 mm厚25 mm长的两个导电图案，以将发送滤波器和接收滤波器的相位偏移180度，其中一导电图案由具有9.5的介电常数、0.1 mm的宽度并具有 $50\ \Omega$ 的特性阻抗的氧化铝制成。如所描述的，通常将附加电感用于改进梯型滤波器的性能。当通过导电图案实现该附加电感时，必须将导电图案相互分开足够距离，这是因为多个导电图案的靠近布置会导致电感的耦合并劣化希望的滤波特性。然而，导电图案的分离布置不能实现双工器的紧凑封装。

如果如文献2和3所述使用片式电感器、线绕线圈和/或片式电容器，则实现具有如文献2和3所述的集总参数型电感和电容的移相器的技术，可以实现与带有多个导电图案的移相器相比的紧凑移相器。然而，即使使用现有1005-尺寸多用途芯片元件（ $1.0 \times 0.5 \times 0.5$  [mm]），其封装也如文献2所述具有 $8 \times 5.1 \times 2.5$  [mm]大的尺寸。不能说上述尺寸很小，因为现有5 mm或8 mm的双工器。此外，芯片数量将增加无源元件的数量个，因此生产成本也将增加。

## 发明内容

鉴于以上情况提出了本发明，其提供了具有改进特性的紧凑双工器。

根据本发明一个方面，提供了一种双工器，其包括：第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器（FBAR）；第一和第二集成无源器件（IPD），置于公共端子与第一和第二滤波器之间；以及  
5 基板，第一和第二滤波器以及第一和第二集成无源器件安装在其上，该基板包括用于实现连接在第一和第二滤波器与地之间的电感的导电图案，第一和第二集成无源器件包括连接到第一和第二滤波器的电感器。

根据本发明另一方面，提供了一种双工器，其包括：第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器（FBAR）；第一和第  
10 二相位匹配电路（IPD），置于公共端子与第一和第二滤波器之间；以及电感器，包括在第一和第二相位匹配电路中的至少一个中，并连接到地和公共端子，其中，满足  $C_p \times C_s < 1/(R \times 2\pi f_0)^2$ ，其中  $C_p$  和  $C_s$  是第一和第二滤波器之一的与第一和第二相位匹配电路中的所述至少一个相关联并与其最靠近的串联支路谐振器和并联支路谐振器的电容， $R$  是该双  
15 工器的端接电阻， $f_0$  是第一和第二滤波器中的所述一个的中心频率。

根据本发明又一方面，提供了一种双工器，其包括：第一和第二滤波器，包括按梯型形式布置的多个膜体声学谐振器（FBAR）；第一和第  
20 二相位匹配电路（IPD），置于公共端子与第一和第二滤波器之间；以及电感器，包括在第一和第二相位匹配电路中的至少一个中并连接到地和公共端子，其中，第一和第二滤波器之一的与第一和第二相位匹配电路中的所述至少一个相关联并且与其最靠近的串联支路谐振器的膜区的面积比其他串联支路谐振器的膜区的面积要小。

### 附图说明

25 结合附图阅读时，根据以下详细说明，本发明的其他目的、特征以及优点将变得更加显见，在附图中：

图 1 是梯型滤波器的电路图；

图 2 示出了其中把附加电应用于图 1 所示的梯型滤波器的电路；

图 3 示出了其中把附加电应用于图 2 所示的梯型滤波器的电路；

- 图 4 示出了在文献 2 中提出的双工器；
- 图 5 示出了在文献 3 和 4 中提出的双工器；
- 图 6 是根据本发明第一实施例的双工器的基本结构的框图；
- 图 7A 和 7B 是图 6 所示的双工器的剖视图和平面图；
- 5 图 8A 和 8B 是图 6 所示的第一 FBAR 滤波器的剖视图；
- 图 9 是根据本发明第一实施例的双工器的电路图；
- 图 10 是本发明第一实施例中所用的第一 IPD 的平面图；
- 图 11A 和 11B 示出了通过本发明第一实施例中所用的第一和第二 IPD 实现的滤波器；
- 10 图 12A 是配备有低通滤波器的双工器的频率特性的图；
- 图 12B 是配备有高通滤波器的双工器的频率特性的图；
- 图 13A 是配备有低通滤波器的双工器的反射特性的施密斯圆图 (Smith chart)；
- 图 13B 是配备有高通滤波器的双工器的反射特性的施密斯圆图；
- 15 图 14 是可以在第一和第二 IPD 中使用的高通滤波器的另一示例性结构的电路图；
- 图 15 示出了第一和第二 IPD 的电路构成以及用于端接这些 IPD 的结构；
- 图 16 示出了第一和第二 IPD 的电路构成以及用于端接这些 IPD 的结
- 20 构；
- 图 17 示出了第一和第二 IPD 的电路构成以及用于端接这些 IPD 的结构；
- 图 18 示出了第一和第二 IPD 的电路构成以及用于端接这些 IPD 的结构；
- 25 图 19 示出了图 15 和 16 所示的结构变型例；
- 图 20 示出了其中把电感加入第一和第二 IPD 的布置；
- 图 21A 和 21B 是本发明第一实施例中所用的第一 IPD 的平面图和剖面图；
- 图 22A 到 22D 示出了多个集总参数型元件，其中，图 22A 示出了  $\pi$

-型 L-C-L 电路,图 22B 示出了 T-型 C-L-C 电路,图 22C 示出了 T-型 L-C-L 电路,图 22D 示出了  $\pi$ -型 C-L-C 电路;

图 23 是带有由图 22A 所示的集总参数型电路形成的移相器的滤波器的电路图;

5 图 24A 是从天线端子 Ant 看到的图 23 所示的滤波器的反射特性的施密斯圆图;

图 24B 是图 23 所示的滤波器的通带特性的图;

图 25A 到 25F 示出了多个集总参数型元件,其中,图 25A 分别示出了串联和并联连接的电容器与电感器;图 25B 分别示出了串联和并联连接的电感器与电容器;图 25C 示出了并联连接的电感器;图 25D 示出了  
10 并联连接的电容器;图 25E 示出了串联连接的电感器;以及图 25F 示出了串联连接的电容器;

图 26 是带有由图 25A 所示的集总参数型电路形成的移相器的滤波器的电路图;

15 图 27 是带有由图 25C 所示的集总参数型电路形成的移相器的滤波器的电路图;

图 28A 和 28B 是从天线端子 Ant 看到的图 26 所示的滤波器的施密斯圆图,其中,图 28A 涉及其中标记 3 的电阻分量  $\text{Re}\{Z\}$  小于 1 的布置,而图 28B 涉及其中标记 3 的电阻分量  $\text{Re}\{Z\}$  大于 1 的布置;

20 图 29A 和 29B 分别是图 28A 和 28B 所示的滤波器的通带特性的图;

图 30A 和 30B 是从天线端子 Ant 看到的图 27 所示的滤波器的施密斯圆图,其中,图 30A 涉及其中标记 3 的  $\text{Re}\{Z\}$  小于 1 的布置,而图 30B 涉及其中标记 3 的电阻分量  $\text{Re}\{Z\}$  大于 1 的布置;

图 31A 和 31B 是图 30A 和 30B 所示的滤波器的通带特性的图;

25 图 32 是根据本发明第二实施例的双工器的电路图;

图 33 是根据本发明第三实施例的双工器的电路图;

图 34A 是本发明第二和第三实施例中所用的第一滤波器的平面图;  
以及

图 34B 是沿图 34A 中所示的线 X-X' 截取的剖视图。



## 具体实施方式

下面参照附图描述本发明的多个实施例。

### (第一实施例)

5 图 6 示出了根据本发明一实施例的双工器的基本结构。该双工器具有第一 FBAR 滤波器 20、第二 FBAR 滤波器 30、第一集成无源器件（以下简称 IPD）40 以及第二 IPD 50。这些结构元件密封在封装 10 内。天线端子 60 和发送端子 62/接收端子 64（Tx/Rx）接合到封装 10。在第一 FBAR 滤波器 20 和第二 FBAR 滤波器 30 分别是发送滤波器和接收滤波器的情况下，端子 62 和 64 分别是发送端子和接收端子。第一 IPD 40 置于  
10 天线端子 60 与第一 FBAR 滤波器 20 之间。类似地，第二 IPD 50 置于天线端子 60 与第二 FBAR 滤波器 30 之间。如稍后要详细描述，封装 10 具有导电图案（该导电图案在第一 FBAR 滤波器 20 与地之间实现了电感）和在第二 FBAR 滤波器 30 与地之间的电感器。第一 IPD 40 和第二  
15 IPD 50 中的每一个都具有相应的电感器。本双工器具有这样的布置，即，其中，通过置于封装 10 上的多个电感器和置于第一 IPD 40 和第二 IPD 50 中的多个电感器的分布布置实现了该双工器所需的电感。该布置实现了具有高滤波性能的紧凑双工器。

图 7A 是图 6 所示的双工器的剖视图，图 7B 是其平面图。图 7A 的  
20 剖视图是沿经过图 7B 的第一 FBAR 滤波器 20 和第一 IPD 40 的线所截取的。封装 10 具有由多层组成的多层结构，该多层例如由陶瓷层叠制成。该多层结构被称为基本结构。封装 10 具有腔 12，该腔 12 中容纳有第一 FBAR 滤波器 20、第二 FBAR 滤波器 30、第一 IPD 40 以及第二 IPD 50。通过凸点（bump）15 将这些元件倒装接合到形成在腔 12 的底面上的互  
25 连图案。在封装 10 内和封装 10 上设有导电图案 14。导电图案 14 产生封装 10 内的元件之间的连接，如在第一 IPD 40 与第一 FBAR 滤波器 20 之间的连接、在第二 IPD 50 与第二 FBAR 滤波器 30 之间的连接。导电图案 14 还起到实现了连接在第一 FBAR 滤波器 20 与地以及第二 FBAR 滤波器 30 与地之间的电感的作用。在封装 10 的背面上设有脚焊盘 16。脚

焊盘 16 是由置于封装 10 的底部上的导电物质制成的构图信号和接地端子。在封装 10 的侧面上形成有垛部 (castellation) 18。垛部 18 是由形成在封装 10 的侧面上的多个凹槽和置于这些凹槽内的导电物质组成的导电路径。尽管为方便起见在图 7A 和 7B 略去了导电图案 14, 但是它起到在封装 10 的多层之间进行电连接的作用并充当图 6 (其中, 图案 14 连接到位于封装 10 的背侧的脚焊盘 16) 所示的端子 60、62 以及 64。在图 7A 和 7B 所示的结构中, 垛部 18 形成在封装 10 的 3 个外表面上。然而, 垛部 18 的布置并不限于外表面或 3 个外表面。盖 19 置于封装 10 的顶部, 以将腔 12 中的元件气密地密封起来。

图 8A 和 8B 示出了第一 FBAR 滤波器 20 和第二 FBAR 滤波器 30 的结构。更具体来说, 图 8A 是 FBAR 滤波器 20 和 30 的平面图, 图 8B 是沿图 8A 所示的线 X-X' 所截取的剖视图。以下, 假设图 8A 和 8B 示出了第一 FBAR 滤波器 20 的结构。第一 FBAR 滤波器 20 具有多个 FBAR。每个 FBAR 都具有其上形成有叠层结构的由硅或玻璃制成的公共基板 21。该叠层结构由上电极膜 24、压电膜 23 以及下电极膜 22 组成。为各 FBAR 设置的腔 27 形成在基板 21 中并位于与上电极膜 24 相对的下电极膜 22 的正下方。弹性能被限制在腔 27 内。下电极膜 22 可以具有双层结构。下电极膜 22 的两层中的一层面对腔 27 并可以具有 Cr 膜, 而另一层置于下层上并可以是 Ru 膜。上电极膜 24 具有用于调节第一 FBAR 滤波器 20 的中心频率的两个调节层。第一 FBAR 滤波器 20 具有四个串联支路谐振器 S1-S4 和并联支路谐振器 P1-P4。并联支路谐振器 P1-P4 连接到形成在压电膜 23 上的地图案 28。可以把上电极膜 24 的相对端用作输入/输出端子。

由此构成的包括第一 FBAR 滤波器 20 的双工器具有图 9 所示的等效电路。在并联支路谐振器 P1 和 P2 与地之间设有附加电感器 LP1, 在并联支路谐振器 P3 和 P4 与地之间设有附加电感器 LP2。将附加电感器 LP1 和 LP2 一起称为附加电感电路 70。附加电感器 LP1 和 LP2 的使用使得可以调节第一 FBAR 滤波器 20 的通带范围。由图 7A 所示的导电图案形成附加电感器 LP1 和 LP2。按与形成第一 FBAR 滤波器 20 相同的方式形成

第二 FBAR 滤波器 30。第二 FBAR 滤波器 30 具有四个串联支路谐振器  $S1' - S4'$ 、4 个并联支路谐振器  $P1' - P4'$  以及由附加电感器  $LP1'$  和  $LP2'$  组成的附加电感电路 80。

第一 IPD 40 具有电感器 L1 和 L2 以及电容器 C1，这些元件是集总参数电路型的，并充当滤波器（图 9 中的  $\pi$  型高通滤波器）。类似地，第二 IPD 50 具有集总参数电路型的电感器 L3、L4 以及电容器 C2，并充当滤波器（图 9 中的  $\pi$  型高通滤波器）。第一 IPD 40 和第二 IPD 50 起到调节通过第一 FBAR 滤波器 20 和第二 FBAR 滤波器 30 的信号的相位的作用，以防止在它们之间发生干扰。

图 10 示出了第一 IPD 40 和第二 IPD 50 的示例性结构。在以下描述中，假设图 10 示出了第一 IPD 40 的结构。第一 IPD 40 具有支承基板 41，在该支承基板 41 设有第一电感器 L2、第二电感器 L3、电容器 C1、信号线 42、两个信号端子 43 和 44 以及两个接地端子 45 和 46。将电容器 C1 置于支承基板 41 的中央，并将电感器 L1 和 L2 布置成使得电容 C1 介于它们之间。信号端子 43 和 44 对角地布置在支承基板 41 上，并通过信号线 42 连接到电容器 C1。信号端子 43 和 44 的对角布置使得可以绕过很大地占据了芯片面积的电感器 L1 和 L2，并按最小距离将信号端子 43 和 44 连接到电容器 C1。接地端子 45 和 46 具有另一对角布置。第二 IPD 50 具有与第一 IPD 40 的结构类似的结构。

本发明的双工器具有这样的独特结构：其中，通过置于封装 10 上的附加电感器  $LP1$ 、 $LP2$ 、 $LP1'$ 、 $LP2'$  以及置于第一 IPD 40 和第二 IPD 50 中的电感器 L1 和 L2 的分布布置，实现了双工器所需的电感。该布置实现了具有高滤波性能的紧凑双工器。

优选地，如前所述，第一 IPD 40 和第二 IPD 50 是高通滤波器。第一 IPD 40 和第二 IPD 50 可以是图 11A 所示的低通滤波器或图 11B 所示的低通滤波器。要指出的是，本发明的发明者发现使用高通滤波器会带来特别的优点。

图 12A 示出了带有由低通滤波器形成的移相器的双工器的带通特性，图 12B 示出了带有由高通滤波器形成的移相器的双工器的带通特性。

通过由发明者进行的实验获得图 12A 和 12B 的频率特性。从这些图可以看出，通过使用高通滤波器获得的在等于或低于约 500 [MHz] 的频率范围内的抑制程度要优于通过低通滤波器获得的抑制程度。第一滤波器 20 和第二滤波器 30 的通带相互接近，并且这两个通带中的一个通带的上升端（rising end）与另一个通带的下降端（falling end）部分地相互重叠。

图 13A 示出了其中由低通滤波器形成移相器的发送（Tx）滤波器的反射特性，图 13B 示出了其中由高通滤波器形成移相器的发送滤波器的反射特性。通过由发明者进行的实验获得这些反射特性。一般来说，公知的是，双工器中所用的滤波器的相位随着特性阻抗变得更高而具有更小的插入损耗，并使得具有更高的双工器性能。希望使用这样的移相器：在保持了通带中的匹配的范围，该移相器具有尽可能高的特性阻抗。从图 13B 可以看出，对高通滤波器的使用没有劣化施密斯圆图的中心（50 [Ω]）附近的匹配。对高通滤波器的使用实现了具有优越的插入损耗的双工器。

从图 12B 和 13B 可以看出，除了相位匹配功能以外，对由高通滤波器形成的第一 IPD 40 和第二 IPD 50 的使用实现了在通带低侧的很好的衰减性能，以及在通带内的良好匹配和低插入损耗。

由第一 IPD 40 和第二 IPD 50 形成的高通滤波器并不限于图 9 所示的电路构成，而可以由如图 14 所示的两个电容器 C5 和 C6 以及电感器 L5 组成的 T-型高通滤波器。

存在如前所述的两种类型的高通滤波器，并且针对这两种类型中的每一种都可以使用两种端接方法。端接的意思是高通滤波器的输出跟随有 FBAR 滤波器的串联支路谐振器或其并联支路谐振器。现在假设第二 FBAR 滤波器 30 的中心频率高于第一 FBAR 滤波器 20 的中心频率。通常，具有上述关系的双工器具有充当接收滤波器的第二 FBAR 滤波器 30 和充当发送滤波器的第一 FBAR 滤波器 20。优选地，具有更高中心频率的第二 FBAR 滤波器端接带有串联支路谐振器的前级的第二 IPD。该端接比带有并联支路谐振器的要容易。

下面参照图 15 到 18 给出对在以上假设下的端接的描述。图 15 示出

了这样的实施例：其中由第二 FBAR 滤波器 30 的串联支路谐振器 S1' 端接第二 IPD ( $\pi$ -型滤波器) 50, 而由第一 FBAR 滤波器 20 的并联支路谐振器 P1 端接第一 IPD ( $\pi$ -型滤波器) 40。

图 16 示出了这样的实施例：其中，由第二 FBAR 滤波器 30 的串联支路谐振器 S1' 端接第二 IPD ( $\pi$ -型滤波器) 50, 而由第一 FBAR 滤波器 20 的串联支路谐振器 S1 端接第一 IPD ( $\pi$ -型滤波器) 40。

图 17 示出了这样的实施例：其中，由第二 FBAR 滤波器 30 的串联支路谐振器 S1' 端接第二 IPD (T-型滤波器) 50, 而由第一 FBAR 滤波器 20 的串联支路谐振器 S1 端接第一 IPD (T-型滤波器) 40。

在这些实施例中, 由具有较高中心频率的第二 FBAR 滤波器 30 的并联支路谐振器 P1 端接第二 IPD 50, 而由具有较低中心频率的第一 FBAR 滤波器的串联支路谐振器 S1 或并联支路谐振器 P1 端接第一 IPD 40。

在图 15 和 16 所示的结构中, 通过如图 19 所示的公共电感器 L1' 可以形成第一 IPD 40 和第二 IPD 50 的电感器 L1 和 L3。使用公共电感器 L1' 有助于减小第一 IPD 40 和第二 IPD 50 的尺寸。

如图 20 所示, 可以为充当移相器的高通滤波器的输出设置附加电感器 L6, 使得可以进一步改进匹配。在此情况下, 可以将电感器 L2 和附加电感器 L6 合并成电感器 L7。由此, 可以由更少数量的元件形成双工器。

图 21A 和 21B 示出了图 10 所示的第一 IPD 40 和第二 IPD 50 的结构, 更具体来说, 其中图 21A 是其平面图。为与图 10 所示的部分相同的部分赋予相同的标号。由螺旋形线圈形成电感器 L1 和 L2。图 21B 是沿图 21A 中所示的线 X-X' 所截取的剖视图。由置于支承基板 41 上的导体形成电感器 L1 和 L2, 其中该导体可以是铝。电容器 C1 是由下电极 C1c、诸如二氧化硅膜的介电膜 C1b 以及上电极 C1a 组成的 MIM 电容器。

如参照图 9 和 15 到 18 所述, 将电感器 LP1、LP2、LP1' 以及 LP2' 形成在多层封装 10 内, 其中, 这些电感器形成了置于并联支路谐振器 P1 到 P4 与地之间和梯型滤波器的并联支路谐振器 P1' 到 P4' 之间的附加电感电路 70 和 80。将电感器 L1、L2、L3 以及 L4 形成在第一 IPD 40 或第

二 IPD 50 上, 并将它们倒装安装 (面朝下接合) 在封装 10 上, 其中这些电感器形成了置于第一滤波器 20 与天线端子 60 之间和第二滤波器 30 与天线端子 60 之间的移相器 (相位匹配电路)。

第一 IPD 40 和第二 IPD 50 包括用于在第一滤波器 20 与第二滤波器 30 之间建立相位匹配的移相器 (相位匹配电路), 并且用于电感器 LP1、LP2、LP1' 以及 LP2' 的导电图案 14 形成在封装 (多层基板) 10 中。

通过上述结构, 将附加电感器 70 和 80 在空间上与移相器分离开来。与常规布置 (其中将包括电感器 L1 到 L4 的双工器用电感器形成在多层封装 10 内) 相比, 由此可以防止附加电感电路 70 和 80 的电感器 LP1、LP2、LP1' 以及 LP2' 与移相器的电感器 L1 到 L4 相耦合, 并可以防止性能劣化。此外, 仅仅通过把第一 IPD 40 或第二 IPD 50 替换成另一个就可以对移相器进行调谐。与其中安装有诸如片式电容器和片式电感器的分立元件的常规布置相比, 第一 IPD 40 和第二 IPD 50 中的每一个都具有位于相应的单块芯片上的电感器和电容器并使得可以减小尺寸。

第一滤波器 20 和第二滤波器 30 以及第一 IPD 40 和第二 IPD 50 面朝下安装在封装 (基板) 上。倒装安装 (面朝下安装) 使得在第一 IPD 40 和第二 IPD 50 与封装 10 之间存在空间, 并且该空间未充满 IPD 芯片的基板和封装 30。由此可以进一步抑制电感器 70 和 80 的电感器 LP1、LP2、LP1' 以及 LP2' 与移相器的电感器 L1 到 L4 之间的耦合。此外, 无需在安装各个元件时提供用于焊接的连接盘图案 (land pattern)。这减小了安装区域。

#### (第二实施例)

以下进一步考虑移相器的第一 IPD 40 和第二 IPD 50。要求该移相器具有匹配性能和低插入损耗。

首先, 考虑匹配性能。为了实现良好的匹配性能, 优选地, 使用由如图 22A 到 22D 所示的三个结构元件组成的集总参数型元件。图 22A 示出了  $\pi$ -型 L-C-L 电路, 其中电容器 C01 串联连接在输入端子与输出端子之间, 而电感器 L01 和 L02 并联连接在它们之间。图 22B 示出了 T-型 C-L-C 电路, 其中电容器 C01 和 C02 串联连接在输入端子与输出端子之

间，而电感器 L01 并联连接在它们之间。图 22C 示出了 T-型 L-C-L 电路，其中电感器 L01 和 L02 串联连接在输入端子与输出端子之间，而电容器 C01 并联连接在它们之间。图 22D 示出了  $\pi$ -型 C-L-C 电路，其中电感器 L01 串联连接在输入端子与输出端子之间，而电容器 C01 和 C02 并联连接在它们之间。使用这四个不同的集总参数型元件实现了任何阻抗匹配。

下面，考虑插入损耗。为了实现低插入损耗，优选地，使串联连接的结构元件尽可能地小并具有大的 Q 以实现小插入损耗。通常，电感器的 Q 值的范围是 20 到 40，而电容器的 Q 值范围是 40 到 60。从这个观点来看，优选地，使用图 22A 所示的  $\pi$ -型 L-C-L 电路，其中仅串联连接一个电容器 C01。

图 23 是用于形成应用了图 22A 所示的电路的移相器的滤波器的电路图。图 23 示出了与图 9 所示的第一滤波器 20 和第一 IPD 40 对应的电路构成。在图 23 中，由第一滤波器 20 的串联支路谐振器 S1 端接第一 IPD 40，而按不同的方式端接图 9 的结构。除了端接，图 23 所示的第一滤波器 20 和第一 IPD 40 与图 9 所示的第一滤波器 20 和第一 IPD 40 相同，并且相同的标号表示相同的元件。图 24A 是描述从图 23 所示的天线端子 (Ant)60 看到的图 23 所示的滤波器的反射特性的施密斯圆图。在图 24A 中，虚线 V 表示等于 2 的 VSWR (电压驻波比)。通常，希望 VSWR 低于 2。在图 24A 和 24B 中，标号为 1、2 以及 3 的圆分别表示滤波器的通带的低频侧、其高频侧以及其中心频率。以下，将标号为 1、2 以及 3 的圆分别称为标记 1、2 以及 3。

图 24A 表示标记 1、2 以及 3 小于等于 2 的 VSWR。即，在通带上 VSWR 低于 2。图 24B 表示标记 1 到 3 之中的差异等于 0.3 dB。从图 24A 和 24B 可以看出，图 23 所示的滤波器具有极好的滤波器性能，更具体来说，具有小 VSWR 和平坦通带特性。

已考虑了由三个元件组成的移相器。下面进一步考虑由两个元件或仅由一个元件组成的移相器。图 25A 和 25B 示出了均由两个集总常数型元件组成的移相器。图 25A 示出了这样的电路：其中电容器 C01 串联连接在输入端子与输出端子之间，而电感器 L01 并联连接在它们之间。图

25B 示出了这样的电路：其中电感器 L01 串联连接在输入端子与输出端子之间，而电容器 C01 并联连接在它们之间。图 25C 到 25F 示出了均由单个集总常数型元件组成的移相器。更具体来说，图 25C 示出了并联连接在输入端子与输出端子之间的电感器 L01。图 25D 示出了并联连接在输入端子与输出端子之间的电容器。图 25E 示出了串联连接在输入端子与输出端子之间的电感器 L01。图 25F 示出了串联连接在输入端子与输出端子之间的电容器 C01。

如在由三个元件组成的移相器的情况下，优选地，使串联连接的元件尽可能地小并使用串联连接的电容器，以实现小插入损耗。从这个观点来看，优选地，将图 25A 所示的电路用于双元件结构，而将图 25C 所示的电路用于单元件结构。

图 26 示出了应用了图 25A 所示的电路（由两个元件组成）的移相器的滤波器的电路构成。在图 26 所示的滤波器中，第一 IPD 40 具有串联连接在天线端子 60 与第一滤波器 20 之间的电容器 C1 和并联连接的电感器 L1。其他元件和连接与图 23 所示的元件和连接相同，并且相同的标号表示相同的元件。

图 27 示出了应用了图 25C 所示的电路（由单个元件组成）的移相器的另一滤波器的电路构成。在图 27 所示的滤波器中，第一 IPD 40 具有并联连接在天线端子 60 与第一滤波器 20 之间的电感器 L1。其他元件和连接与图 23 所示的元件和连接相同，并且相同的标号表示相同的元件。

图 28A 和 28B 是从天线端子 60 看到的图 26 所示的滤波器的反射特性的施密斯圆图。在图 28A 和 28B 中，虚线 V 表示等于 2 的 VSWR（电压驻波比），实线表示为 1 的电导  $g$ （也将该定义应用于稍后要描述的图 30A 和 30B）。与图 24A 和 24B 类似，将滤波器的通带的低频侧、高频侧以及中心频率分别称为标记 1、2 以及 3（也将该定义应用于稍后要描述的图 29A 到 31B）。

将归一化阻抗  $Z$  定义为通过把从天线端子 Ant 看到的第一滤波器 20 的阻抗除以第一滤波器 20 的端接电阻而得到的值。电导  $g$  是归一化阻抗  $Z$  的电阻分量  $\text{Re}\{z\}$  的倒数。当标记位于  $g=1$  的圆内部时，在标记频率下



从天线端子 Ant 看到的第一滤波器 20 的归一化阻抗  $Z$  的电阻分量  $\text{Re}\{z\}$  小于 1。相反，当标记位于  $g=1$  的圆外部时，在标记频率下从天线端子 Ant 看到的第一滤波器 20 的归一化阻抗  $Z$  的电阻分量  $\text{Re}\{z\}$  大于 1。

图 28A 示出了其中标记 3 的电阻分量  $\text{Re}\{z\}$  小于 1（即，标记 3 位于  $g=1$  的圆内部）的示例性滤波器。在此情况下，标记 1 位于其中  $\text{VSWR}=2$  的圆 V 的外部。即，标记 1 的  $\text{VSWR}$  大于 2。图 28B 示出了其中标记 3 的电阻分量  $\text{Re}\{z\}$  大于 1（即，该标记位于圆 W 外部）的示例性滤波器。在此情况下，标记 1 到 3 位于  $\text{VSWR}=2$  的圆 V 的内部。即，标记 1 到 3 的  $\text{VSWR}$  等于或小于 2。

图 29A 和 29B 示出了图 26 所示的滤波器（由应用于移相器的两个元件组成）的通带频率特性。更具体来说，图 29A 示出了图 28A（标记 3 的电阻分量  $\text{Re}\{z\}$  小于 1）所示的滤波器的通带频率特性。在此情况下，标记 1 到 3 之中的衰减差异是 0.7 dB。图 29B 示出了图 28B（标记的电阻分量  $\text{Re}\{z\}$  大于 1）所示的滤波器的通带频率特性。在此情况下，标记 1 到 3 之中的衰减差异是 0.4 dB。

图 30A 和 30B 是从天线端子 Ant 看到的图 27（将单个元件应用于移相器）所示的滤波器的反射特性的施密斯圆图。更具体来说，图 30A 示出了其中标记 3 的  $\text{Re}\{z\}$  小于 1 的示例性滤波器。在此情况下，标记 1 和 2 的  $\text{VSWR}$  大于 2。相反，图 30B 示出了其中标记 3 的  $\text{Re}\{z\}$  大于 1 的示例性滤波器。在此情况下，标记 1 到 3 的  $\text{VSWR}$  小于 2。

图 31A 和 31B 示出了图 27（将单个元件应用于移相器）所示的滤波器的通带反射特性。更具体来说，图 31A 示出了图 30A（标记 3 的  $\text{Re}\{z\}$  小于 1）所示的滤波器的通带的反射特性。在此情况下，标记 1 到 3 之中的衰减差异是 0.8 dB。图 31B 示出了图 30B（标记 3 的  $\text{Re}\{z\}$  大于 1）所示的滤波器的通带频率特性。在此情况下，标记 1 到 3 之中的衰减差异是 0.35 dB。

从图 28A 到图 31B 可以看出，在通过在通带的中心频率（标记 3）从天线 Ant 观看滤波器而获得的  $\text{Re}\{z\}$  的情况下，在从天线 Ant 看到的滤波器的反射特性中，通带的低频侧端（标记 1）或高频侧端（标记 2）的

VSWR 超过 2。此外，通带（标记 1 到 3）的衰减差异变得更大。相反，在通过在通带的中心频率（标记 3）从天线 Ant 观看滤波器而获得的  $\text{Re}\{z\}$  的情况下，在从天线 Ant 看到的滤波器的反射特性中，通带（标记 1 到 3）的 VSWR 等于或小于 2。此外，通带（标记 1 到 3）的衰减差异变得更小。

如上所述，通过把在通带的中心频率下从天线端子 Ant 观看滤波器而获得的  $\text{Re}\{z\}$  设置成大于 1，即使具有由两个元件或单个元件组成的移相器的滤波器也能够实现与由图 23 所示的三个元件组成的移相器的滤波器的特性相似的特性（通带的 VSWR 小于 2 并且衰减差异很小）。

下面给出对以下情况的描述：使得通过在通带的中心频率下从天线端子 Ant 观看滤波器而获得的  $\text{Re}\{z\}$  大于 1。在图 26 或图 27 所示的滤波器中，在通带中心频率下的  $\text{Re}\{z\}$  等于或大于从位于移相器与第一滤波器 20 之间的界面（图 26 或图 27 的 a-a' 面）观看滤波器而得到的归一化阻抗  $Z_0$  的电阻分量  $\text{Re}\{Z_0\}$ （电导的倒数）。这归因于这样的事实：图 26 所示的滤波器具有这样的布置，即，其中首先串联连接电容器  $C_1$ ，其次并联连接电感器  $L_1$ 。需要指出的是，图 26 中并联连接电感器  $L_1$ 。

即， $\text{Re}\{Z\} \geq \text{Re}\{Z_0\}$ 。因此，当满足  $\text{Re}\{Z_0\} > 1$  时，就满足  $\text{Re}\{Z\} > 1$ 。在梯型滤波器中，如下表示通过从滤波器端观看而得到的在通带中心频率下的归一化阻抗  $Z_0$  的电阻分量：

$$(\text{Re}\{Z_0\} \times R)^2 = 1 / ((2\pi f_0)^2 \times C_p \times C_s)$$

其中， $C_p$  是最靠近移相器的第一滤波器 20 的并联支路谐振器  $P_1$  的电容， $C_s$  是最靠近移相器的第一滤波器 20 的串联支路谐振器  $S_1$  的电容， $R$  是第一滤波器 20 的端接电阻， $f_0$  是通带的中心频率。

通过把  $\text{Re}\{Z_0\} > 1$  应用于上式得到下式：

$$C_p \times C_s < 1 / (R \times 2\pi f_0)^2$$

图 32 是根据本发明第二实施例的双工器的电路图。该双工器具有由单个元件组成的移相器的示例性结构。将根据图 9 所示的第一实施例的双工器的第一和第二 IPD 替换成由图 25C 所示的单个元件组成的相位匹配电路。第一滤波器 20 和第二滤波器 30 通过如图 18 所示的串联支路谐

振器 S1 和 S1' 端接第一 IPD 40 和第二 IPD 50。更接近于天线端子(Ant) 60 的第一滤波器 20 和第二滤波器 30 的串联支路谐振器 S1 和 S1' 具有如下所述的电容值。其他结构和连接与图 9 所示的结构和连接相同，因此略去对其的描述。

5 根据第二实施例的双工器包括由按梯型形式布置的多个 FBAR (S1 到 S4 和 P1 到 P4) 组成的第一滤波器 20, 和由按梯型形式布置的多个 FBAR (S1' 到 S4' 和 P1' 到 P4') 组成的第二滤波器 30。此外, 该双工器具有第一相位匹配电路(第一 IPD 40) 和第二相位匹配电路(第二 IPD 50)。第一相位匹配电路置于第一滤波器 20 与天线端子 Ant (公共端  
10 子) 之间并建立了相位匹配。第二相位匹配电路置于第二滤波器 30 与天线端子 Ant (公共端子) 之间并建立了相位匹配。此外, 双工器包括电感器 L1 和 L2, 它们分别包括在第一 IPD 40 和第二 IPD 50 中并连接在公共端子与地之间。此外, 该双工器的第一滤波器 20 和第二滤波器 30 满足  $C_p \times C_s < 1/(R \times 2\pi f_0)^2$ , 其中,  $C_p$  是最靠近第一 IPD 40 和第二 IPD 50  
15 的第一滤波器 20 和第二滤波器 30 的并联支路谐振器 P1 和 P1' 的电容,  $C_s$  是最靠近第一 IPD 40 和第二 IPD 50 的第一滤波器 20 和第二滤波器 30 的串联支路谐振器的电容, R 是第一滤波器 20 的端接电阻,  $f_0$  是通带的中心频率。

根据上述结构, 通过从天线端子 Ant 观看第一滤波器 20 和第二滤波  
20 器 30 而获得的归一化阻抗的电导 g 变得大于 1, 并使得通带中的 VSWR 小于 2。此外, 可以减小通带中的衰减差异。此外, 可以减少移相器(相位匹配电路) 的结构元件并减小安装面积。

### (第三实施例)

图 33 是根据本发明第三实施例的双工器的电路图。该双工器配备有  
25 均由图 25A 所示的两个元件组成的多个移相器。除根据第二实施例的双工器的结构以外, 本发明还包括电容器 C1 和 C2, 分别将它们置于第一 IPD 40 和第二 IPD 50 (相位匹配电路) 中并连接在天线端子 60 与第一滤波器 20 和第二滤波器 30 之间。其他结构和连接与第二实施例的结构和连接相同。图 33 所示的双工器带来了与第二实施例的双工器的优点相同

的优点。

下面进一步描述第二和第三实施例的双工器的第一滤波器 20 和第二滤波器 30。尽管以下描述具体针对第一滤波器 20，但是该描述也适用于第二滤波器 30。在第二和第三实施例中，可以使用满足  $C_p \times C_s$  的  $C_p$  与  $C_s$  之间的多个关系。在这些可用关系中，优选地，使得最靠近第一 IPD 40 的第一滤波器 20 的串联支路谐振器 S1 较小。如果可以改变除 S1 以外的电容，则因梯型布置的多级之间的阻抗差可能出现信号反射。

图 34A 是本发明第二和第三实施例中所用的各双工器的第一滤波器 20 的平面图(其中由双点划线表示压电膜 23 以描绘下电极膜 22)，图 34B 是沿图 34A 中所示的线 X-X' 所截取的剖视图。在下电极膜 22、压电膜 23 以及上电极膜 24 相交叠处存在膜区。在图 34A 和 8A 中，将调节膜 26 对准该膜区。即，其中设有调节膜 26 的区域与图 34A 和 8A 中的膜区重合。在图 34A 和 34B 中，串联支路谐振器 S1a 的膜区比其他串联支路谐振器 S2 到 S4 的膜区要小。即，最靠近第一 IPD 40 (第一相位匹配电路)的第一滤波器 20 的串联支路谐振器 S1a 的膜区面积比第一滤波器 20 的其他串联支路谐振器 S2 到 S4 的膜区要小。这将导致串联支路谐振器 S1a 的电容比其他串联支路谐振器 S2 到 S4 的电容要小。

在第二和第三实施例中，第一 IPD 40 和第二 IPD 50 中的每一个都是由两个元件或单个元件组成的相位匹配电路，第一滤波器 20 和第二滤波器 30 中的每一个都满足  $C_p \times C_s < 1/(R \times 2 \pi f_0)^2$ 。另选地，这两个相位匹配电路中的任一个以及第一滤波器 20 和第二滤波器 30 中的任一个可以满足上述条件。该另选的滤波器具有小于 2 的通带 VSWR，并可以减小通带衰减差异。此外，可以减小移相器(相位匹配电路)的安装面积。

第二到第四实施例使用第一 IPD 40 和第二 IPD 50 作为相位匹配电路，相位匹配电路不限于这些器件，只要具有相位匹配功能即可。上述通带在约 1.9 GHz 的量级上。然而，该通带并不限于上述频率量级。

本发明并不限于所具体描述的实施例，而是可以在不脱离本发明范围的情况下进行修改和变型。

本发明基于分别在 2004 年 9 月 28 日提交的日本专利申请

2004-282848 号公报，通过引用将全部公开内容并入于此。

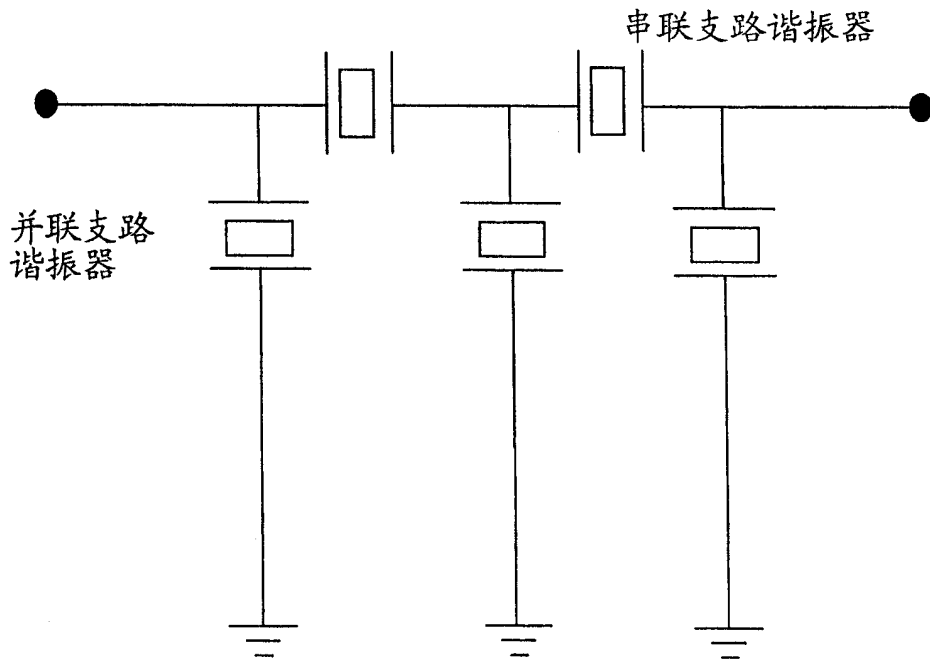


图 1

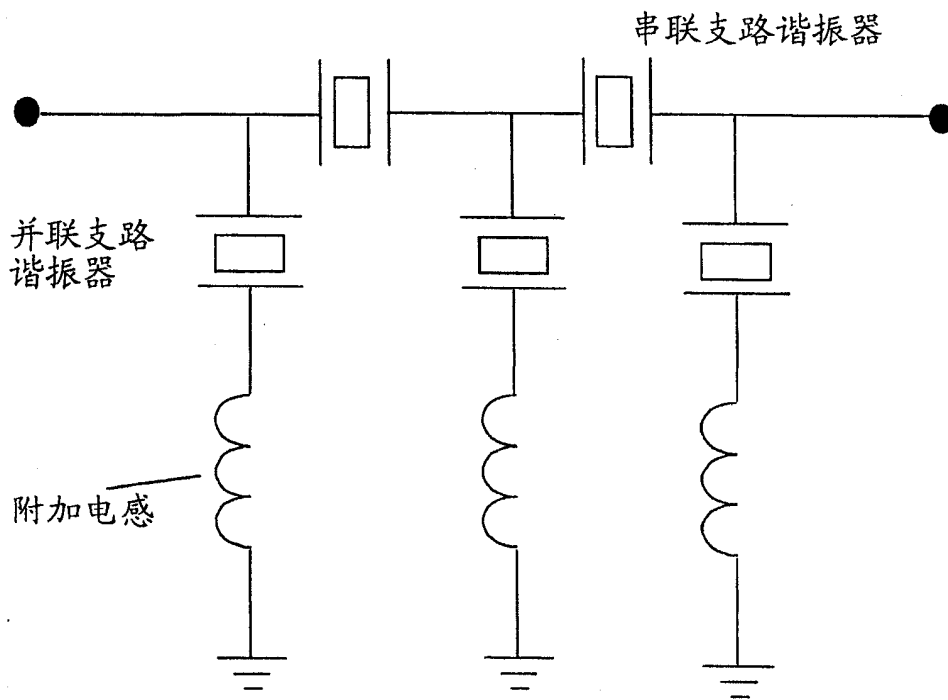


图 2

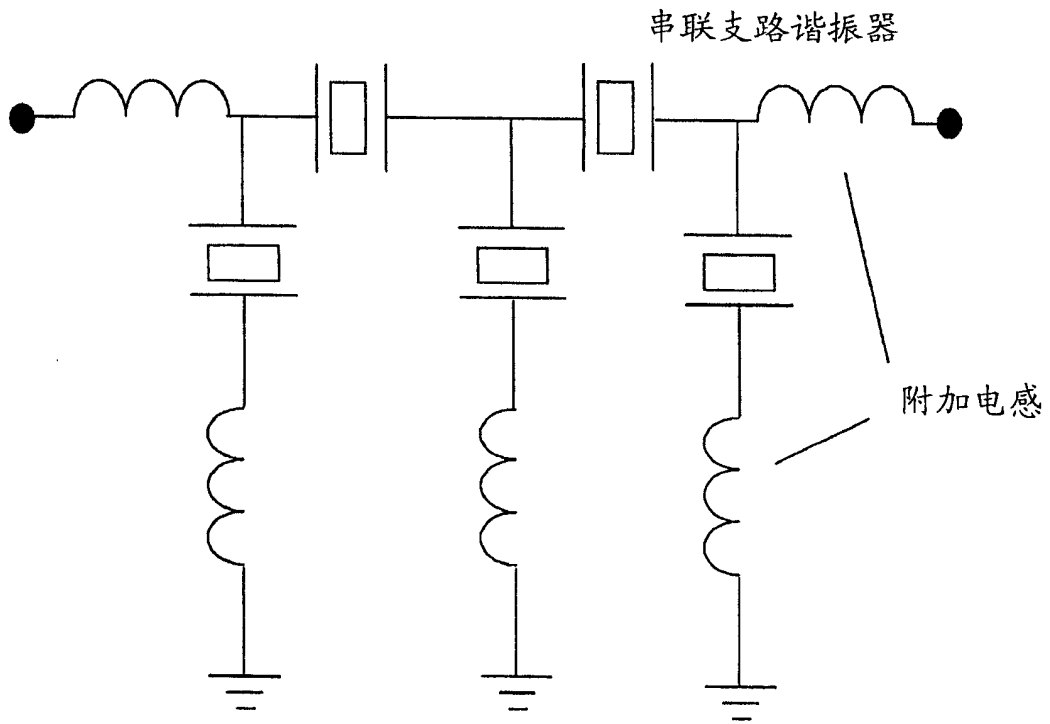


图 3

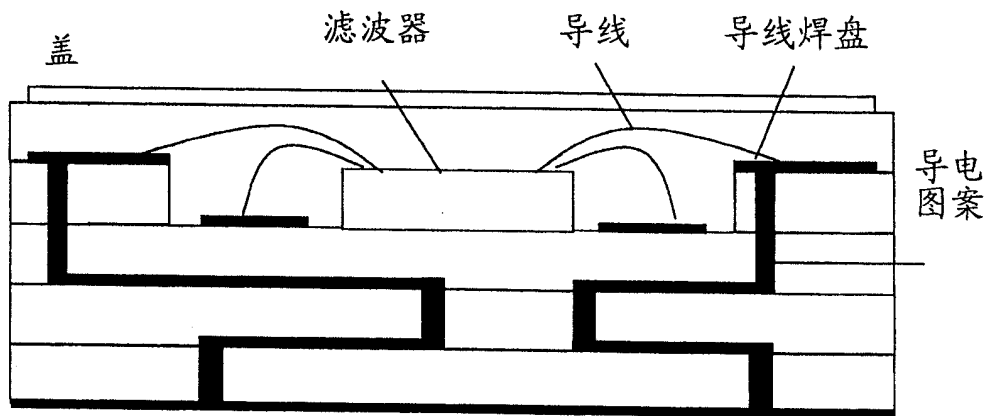


图 4

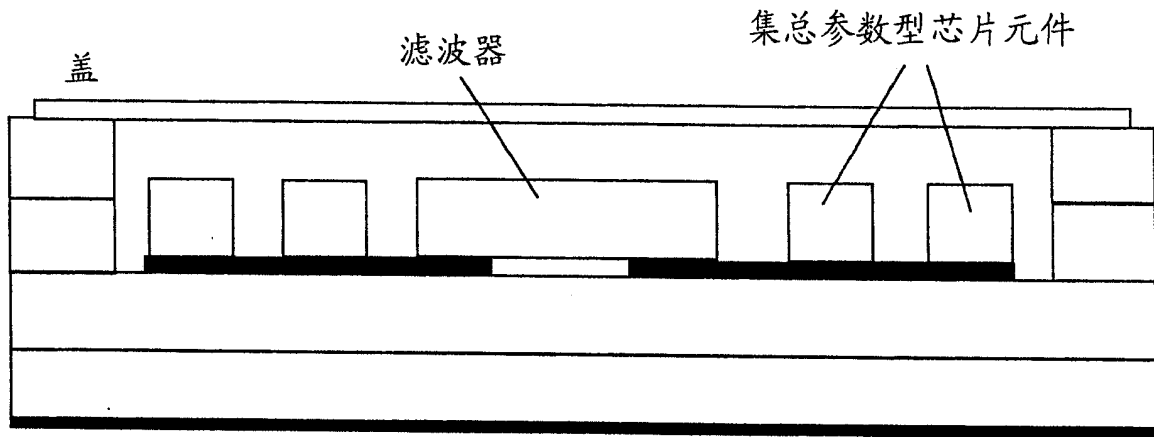


图 5

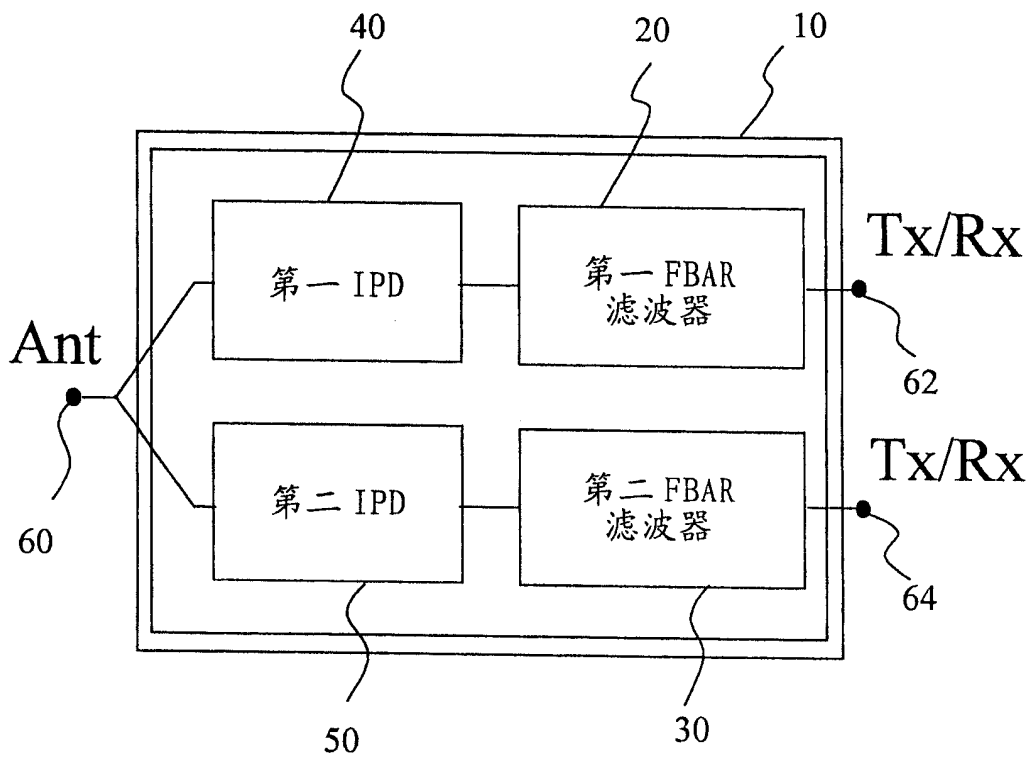


图 6



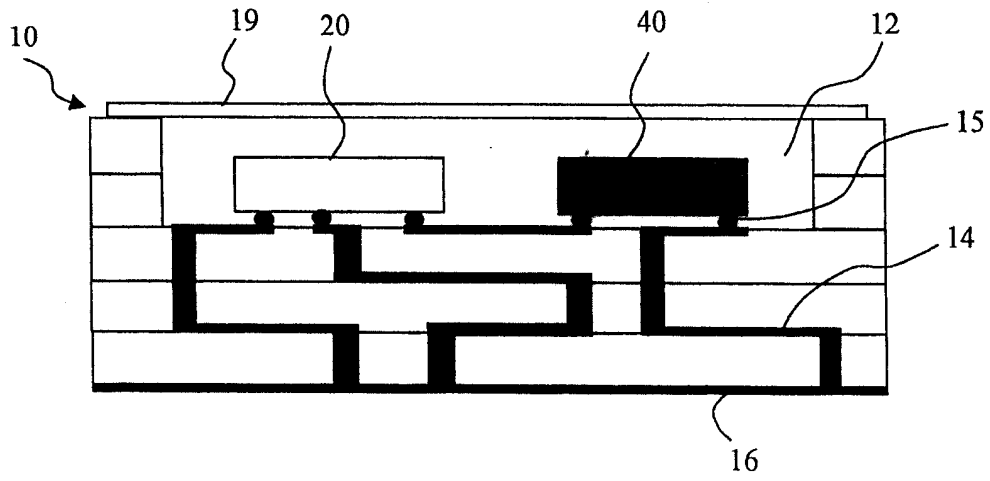


图 7A

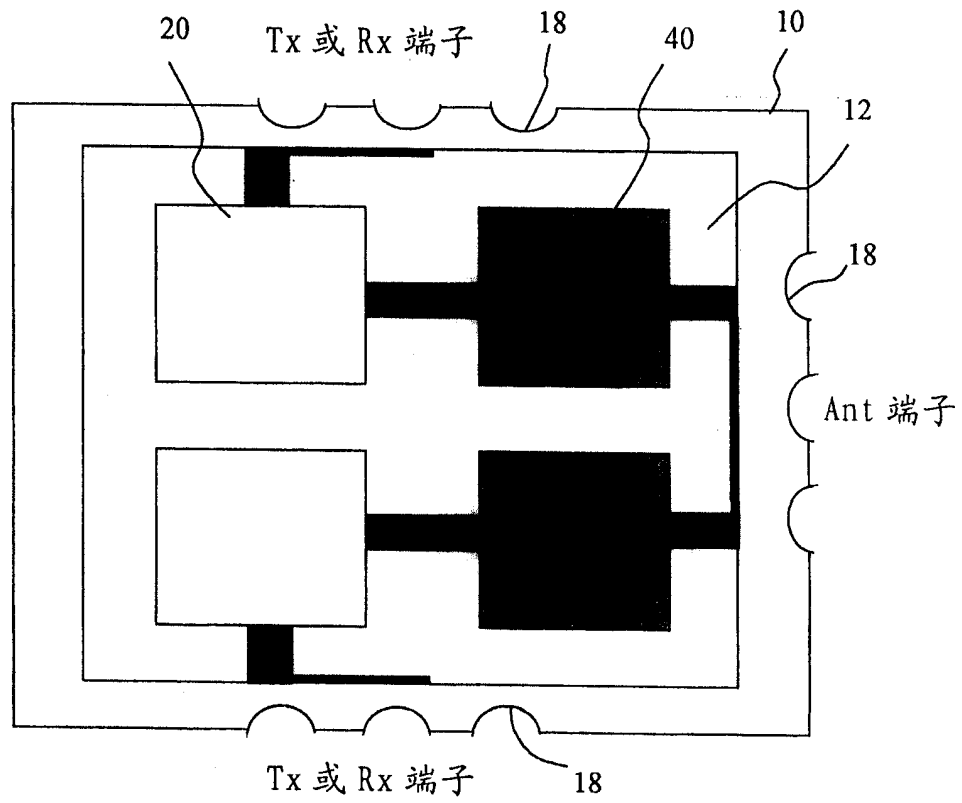


图 7B

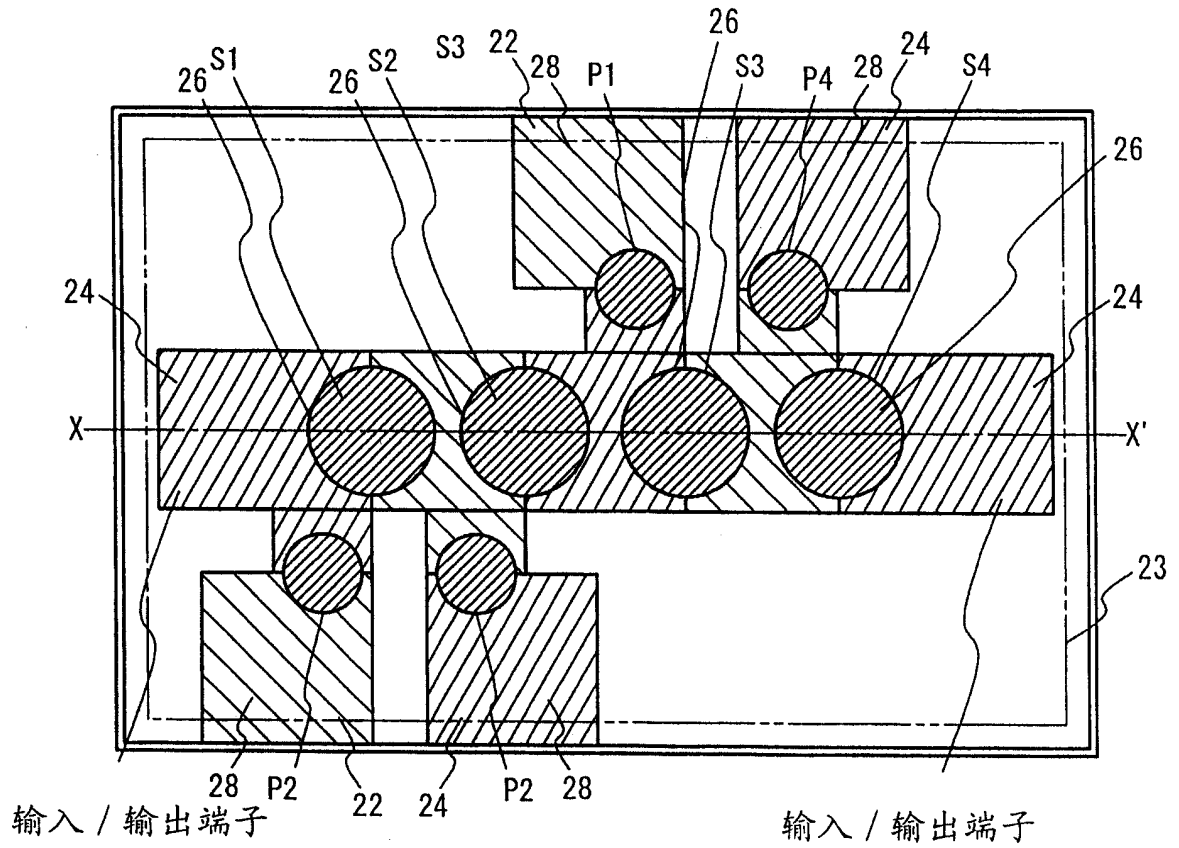


图 8A

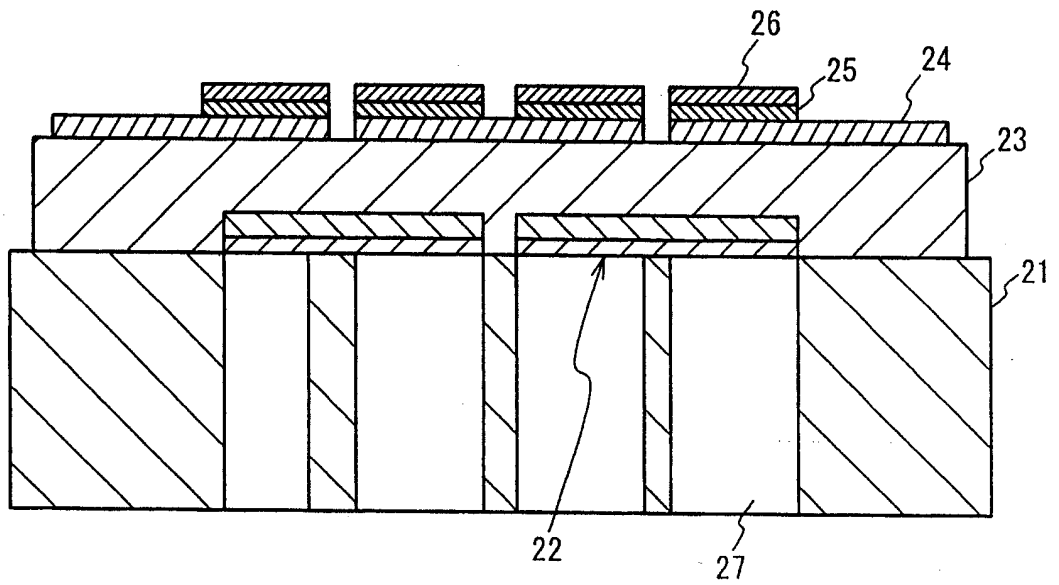


图 8B

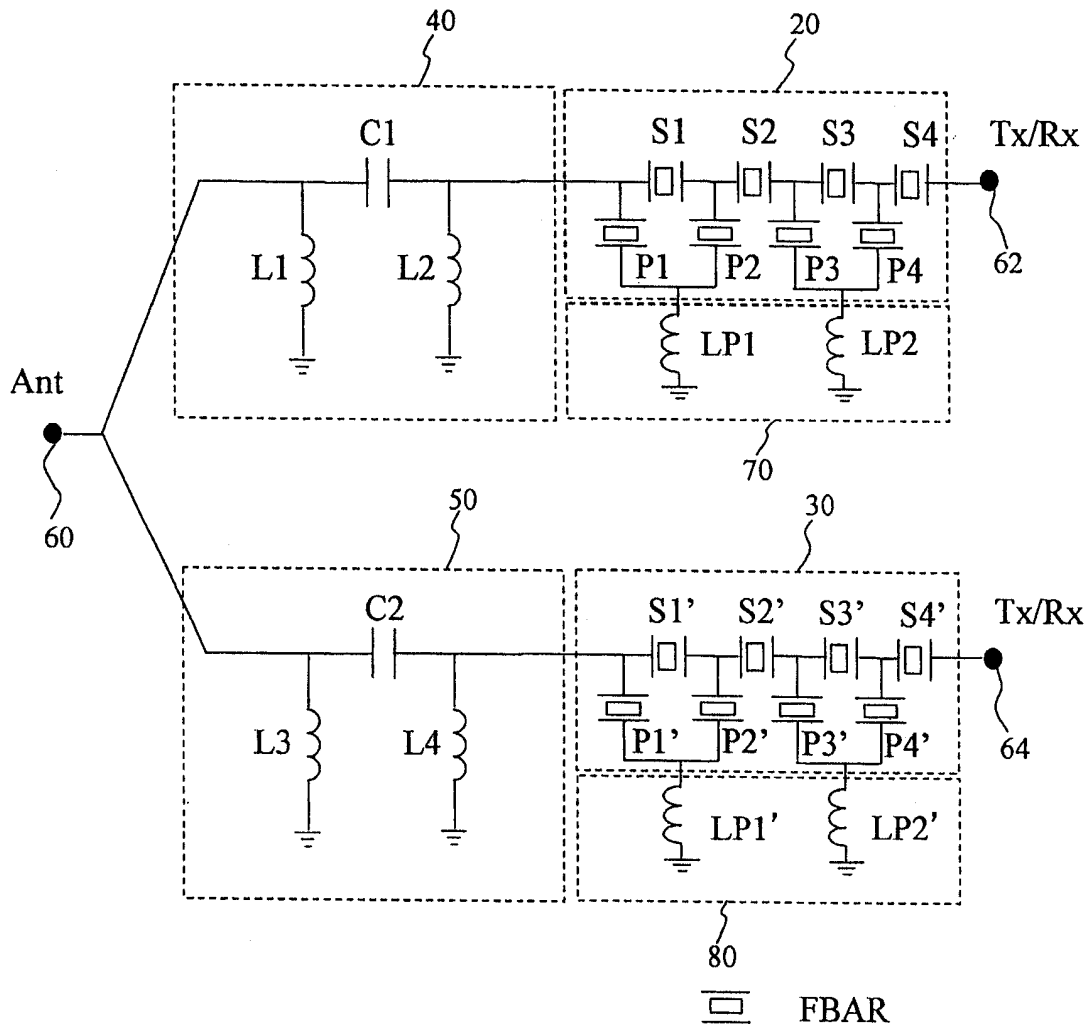


图 9

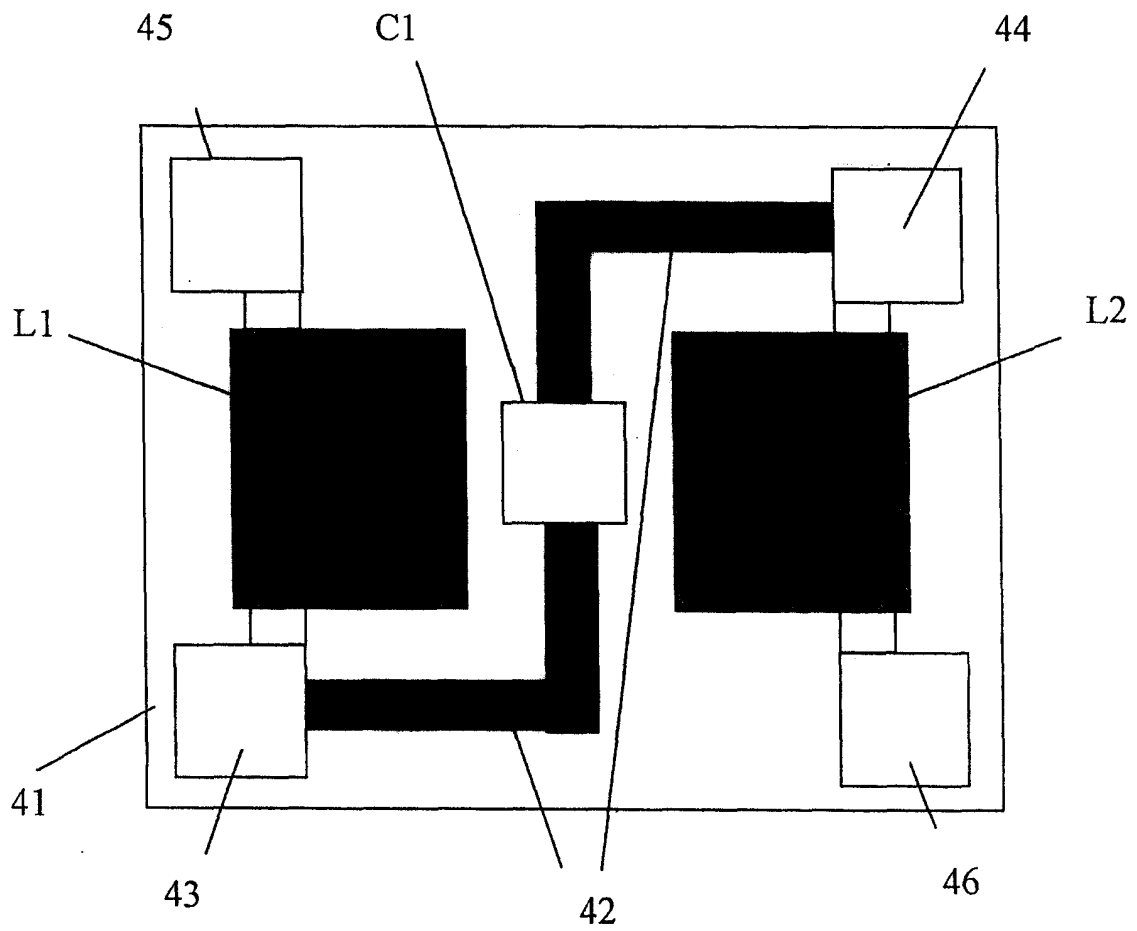


图 10

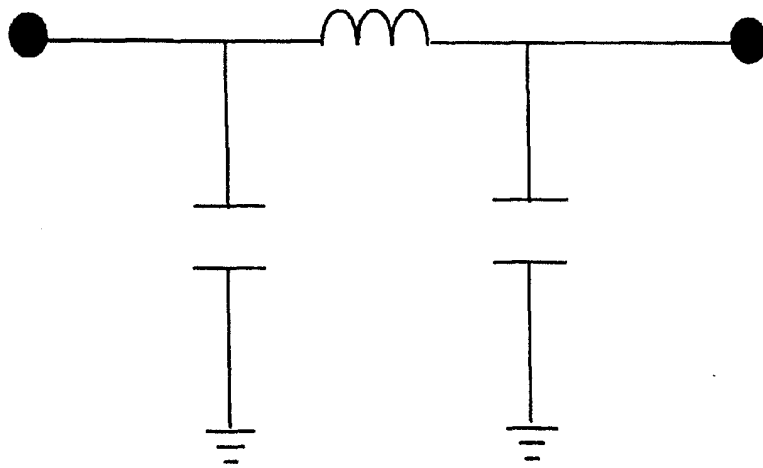


图 11A

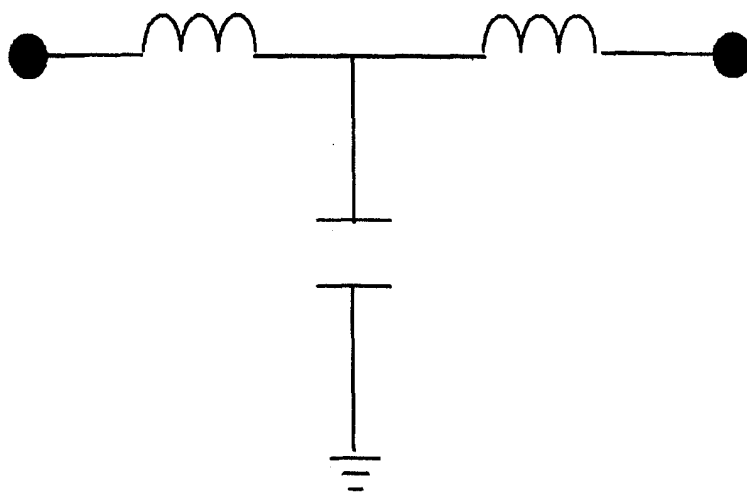


图 11B

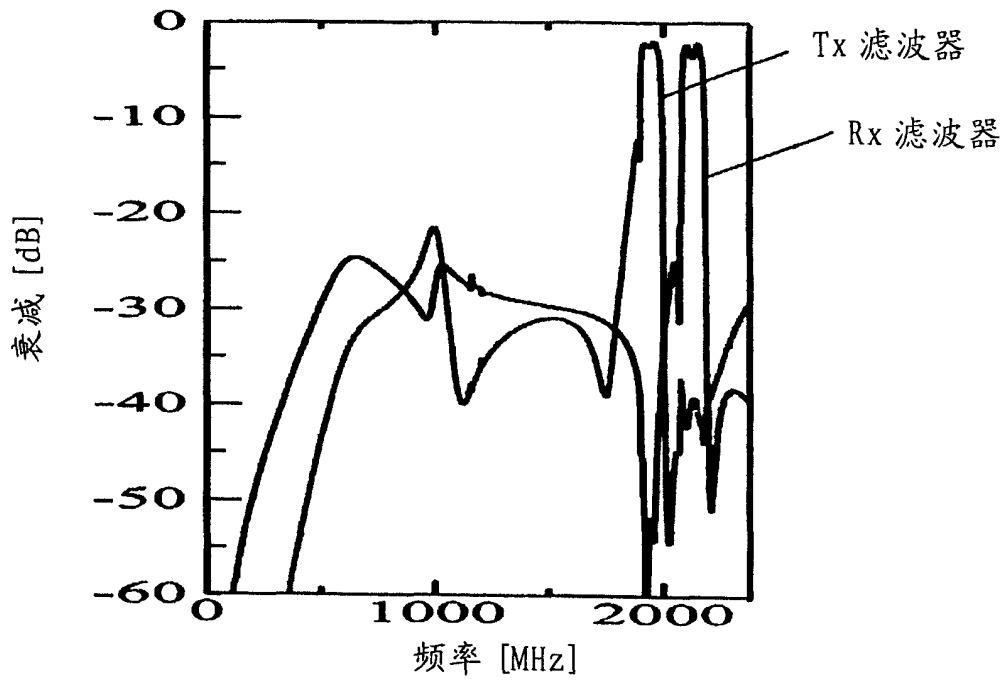


图 12A

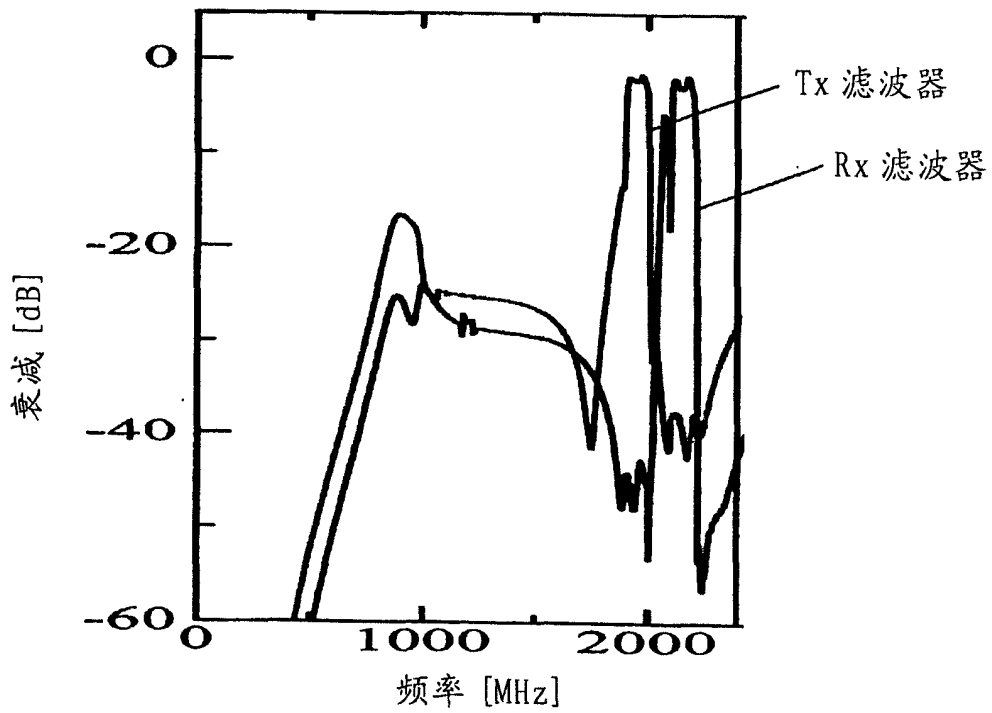
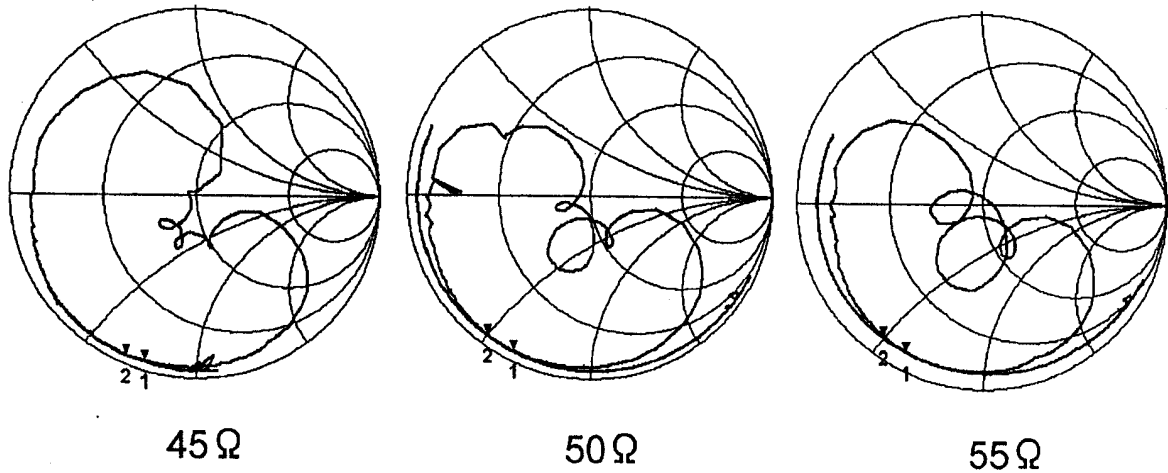
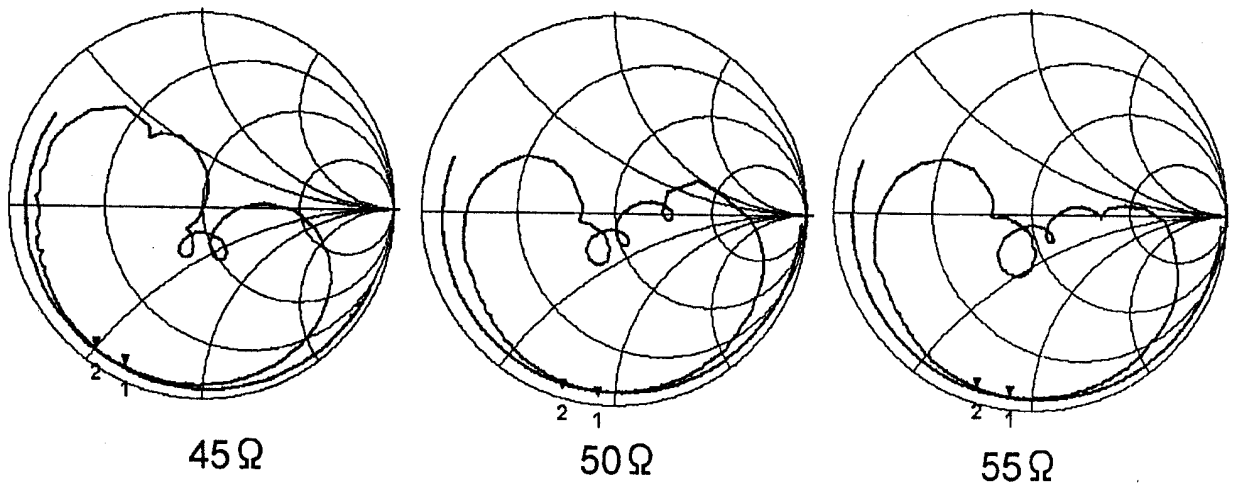


图 12B



移相器的特性阻抗  $Z_0$ : 45、50、55[Ω]

图 13A



移相器的特性阻抗  $Z_0$ : 45、50、55[Ω]

图 13B

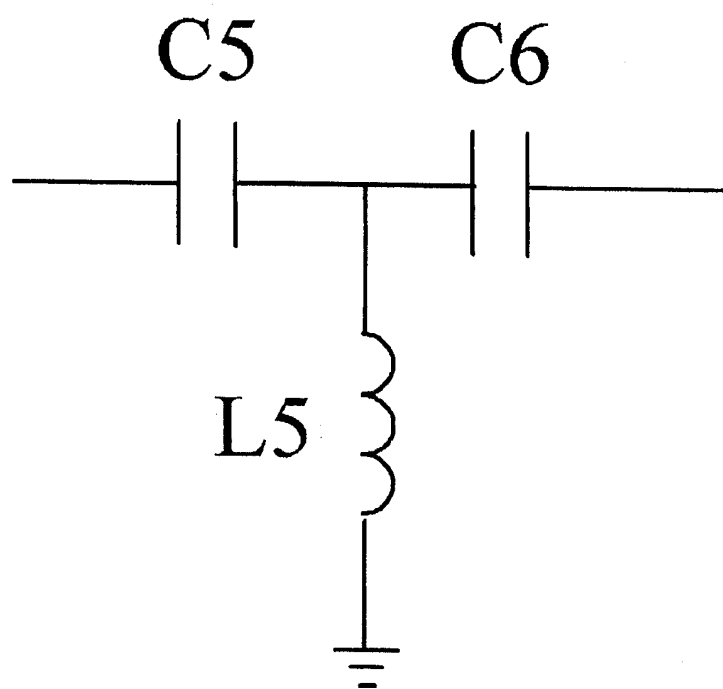


图 14



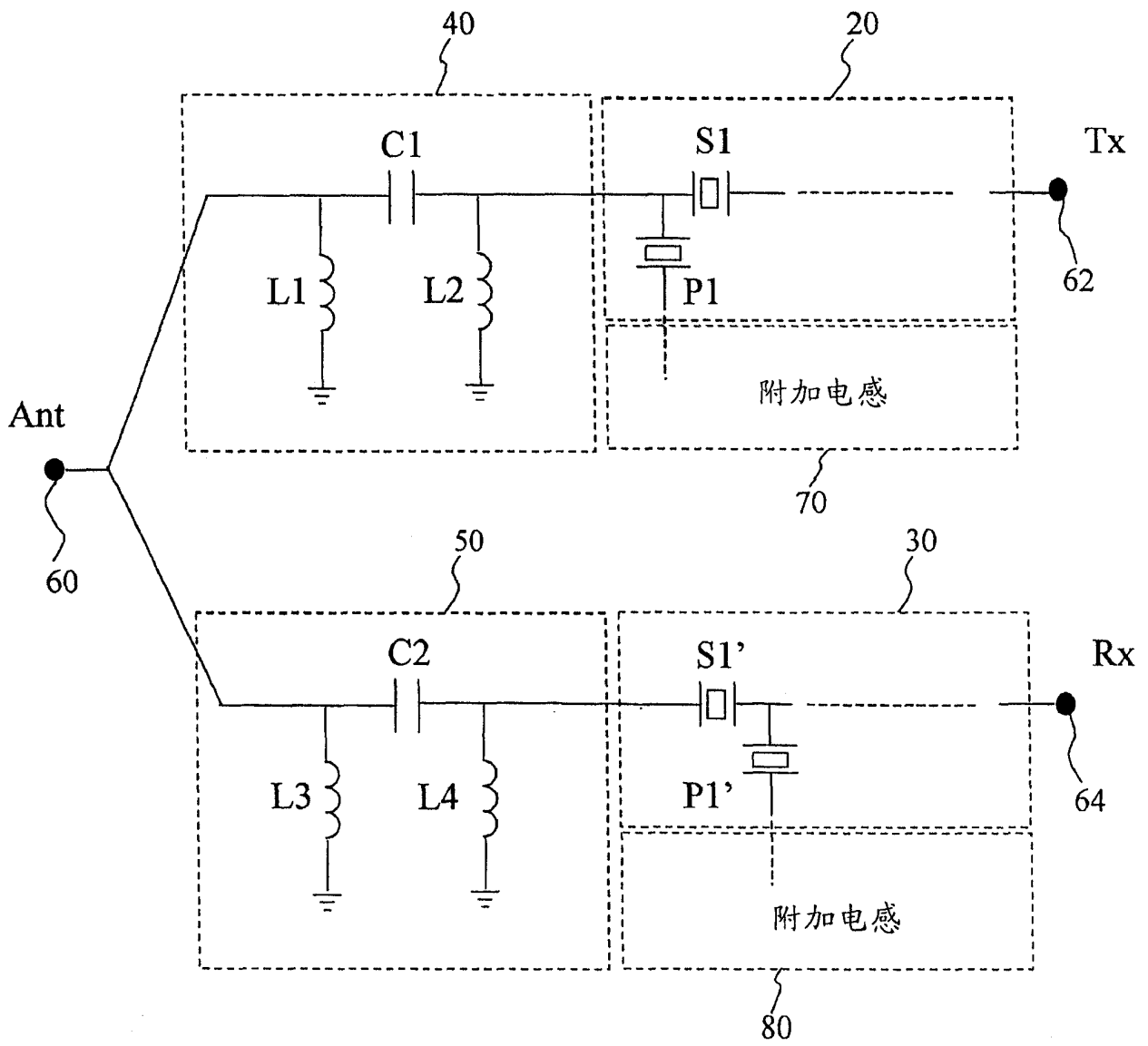


图 15

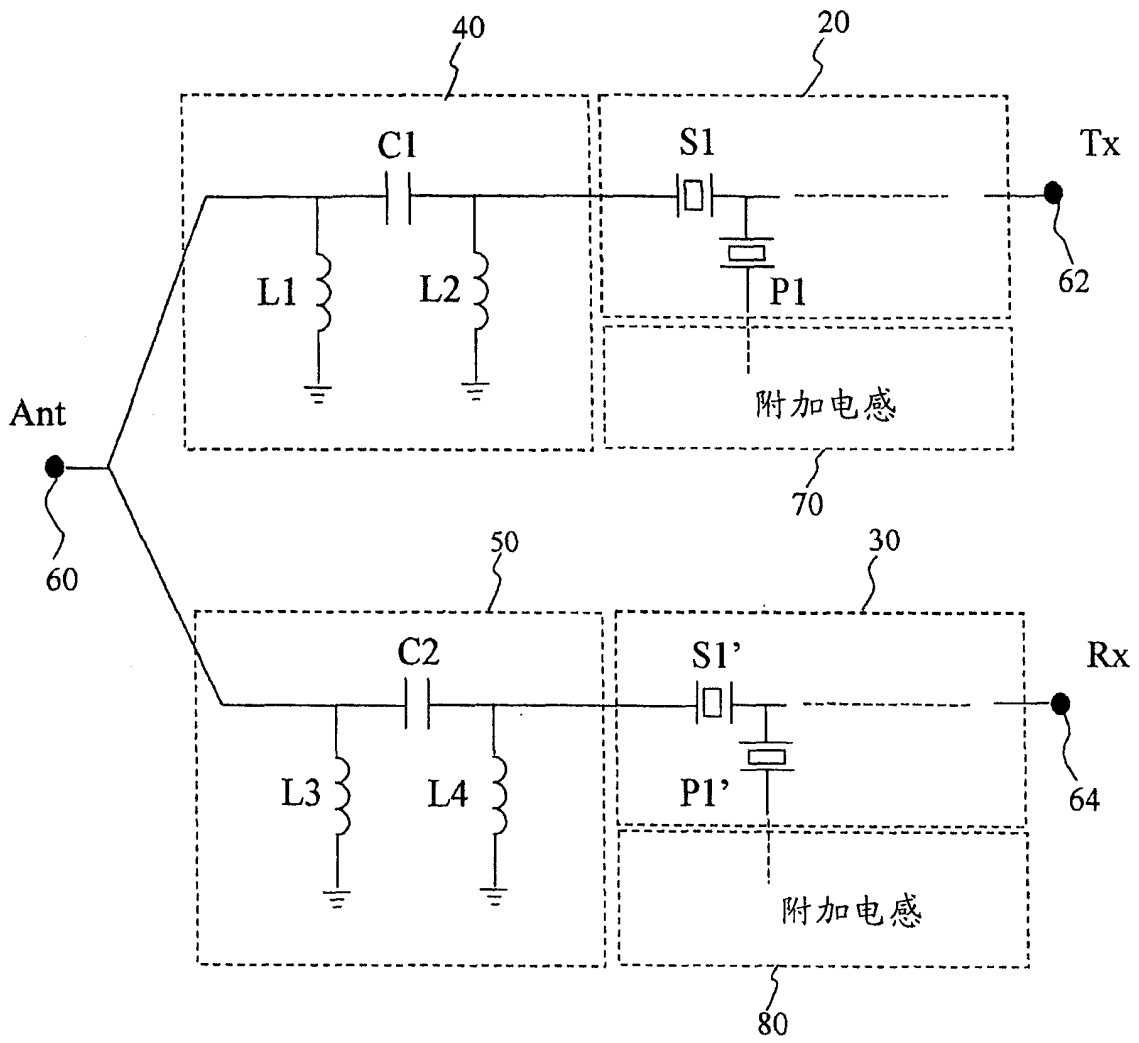


图 16

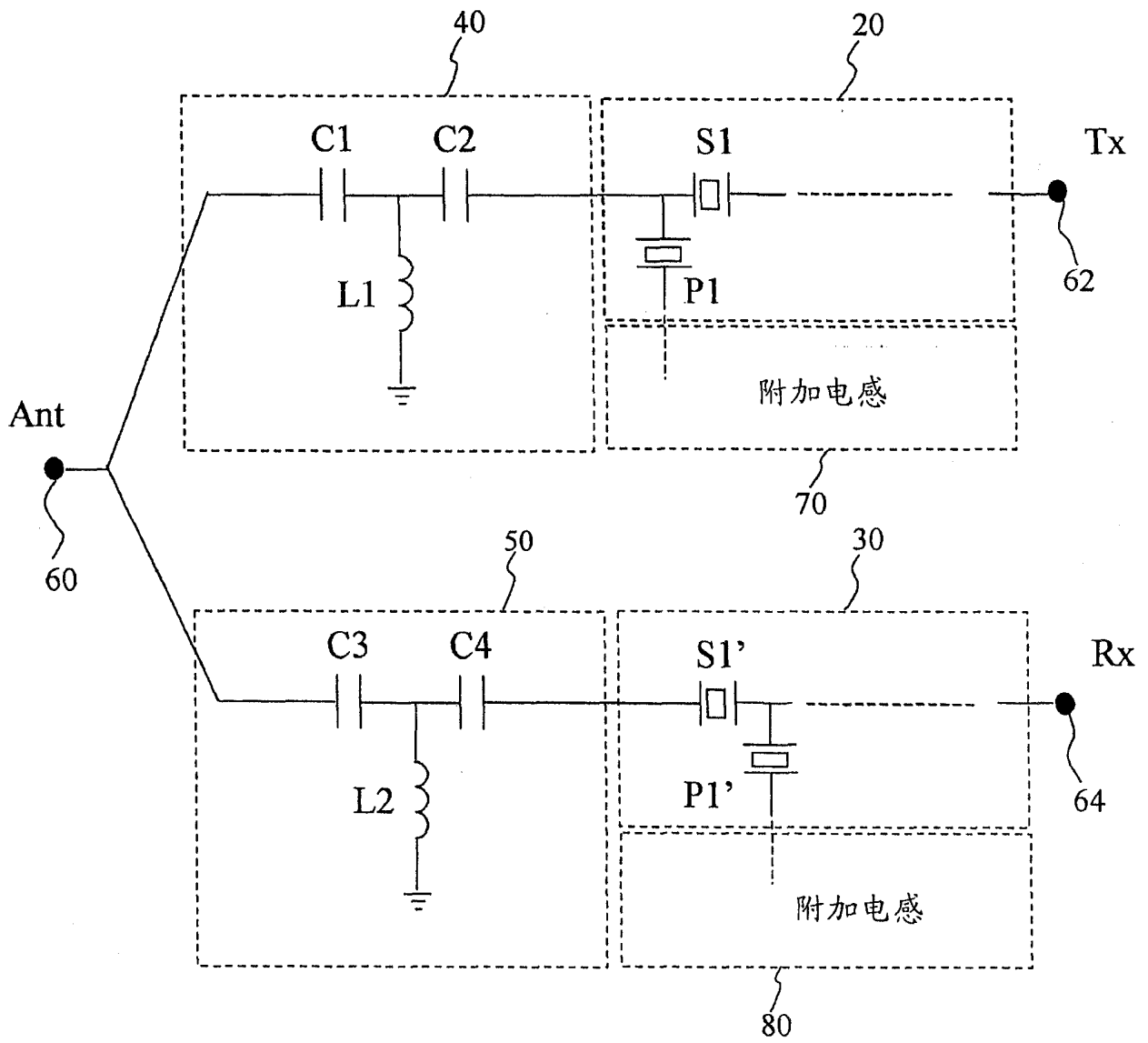


图 17

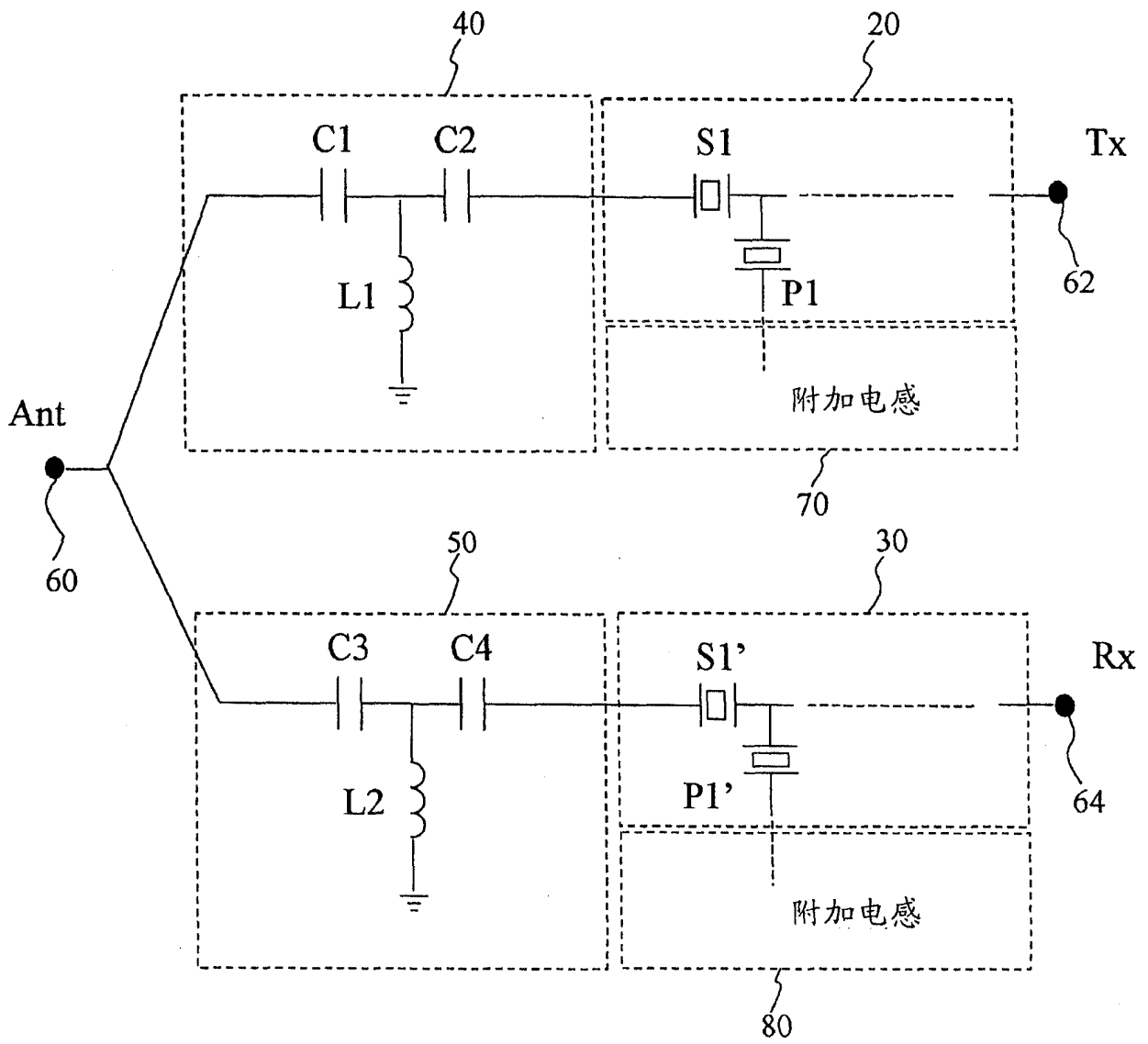


图 18

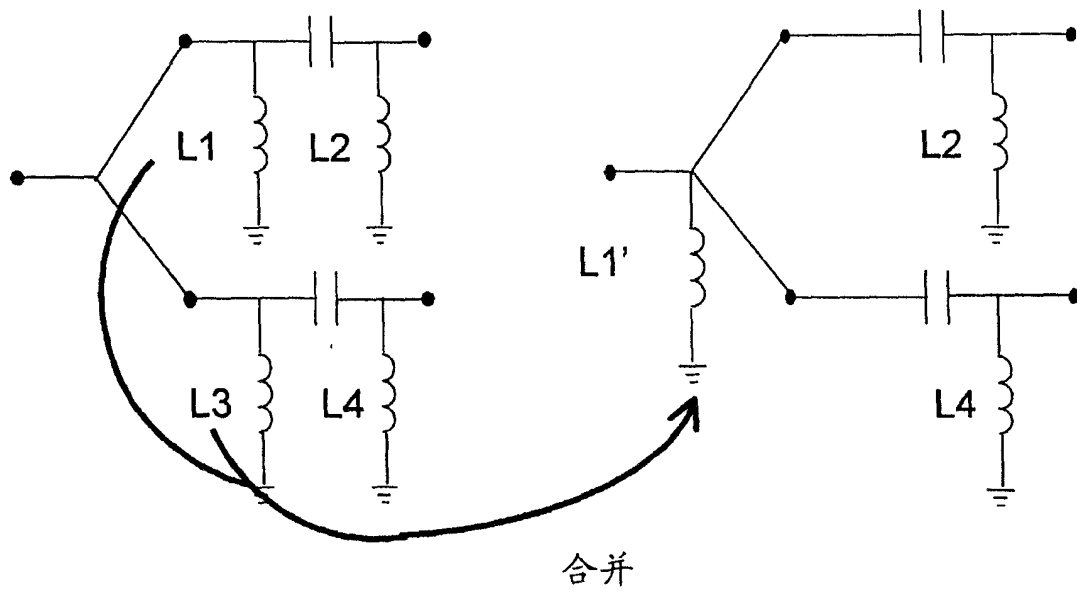


图 19

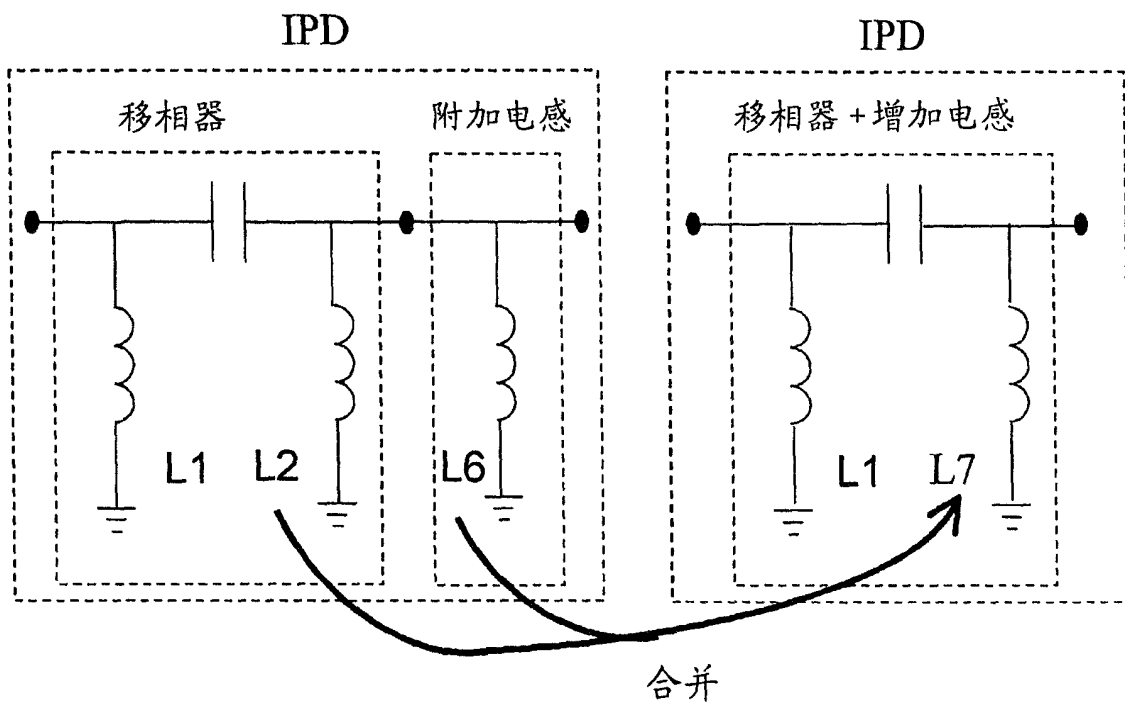


图 20

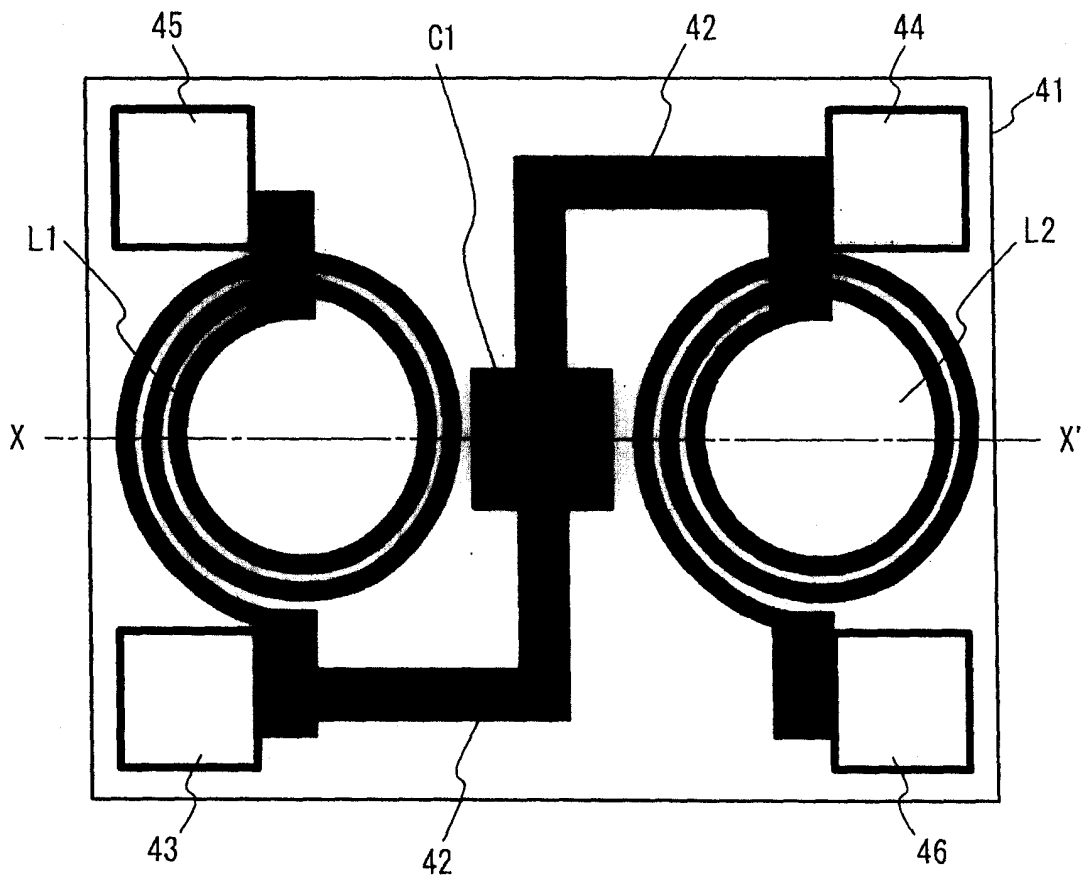


图 21A

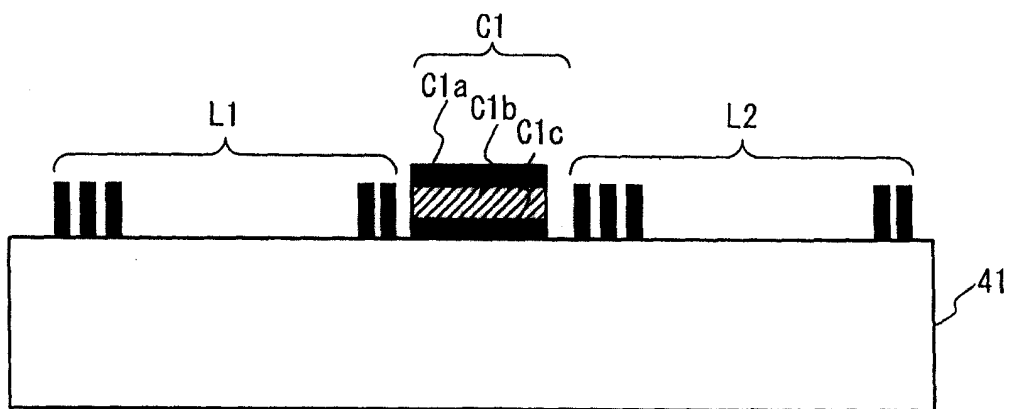
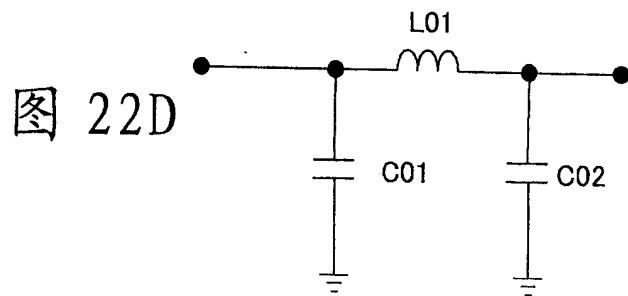
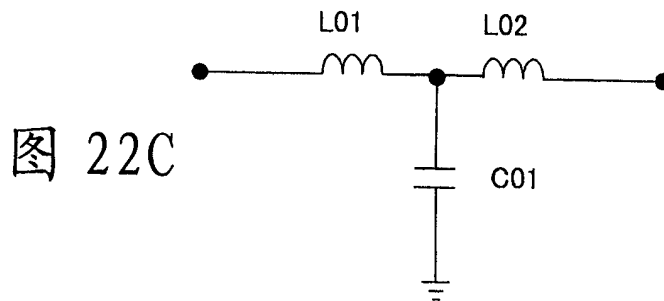
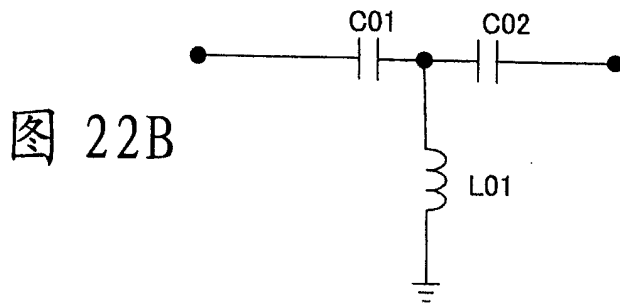
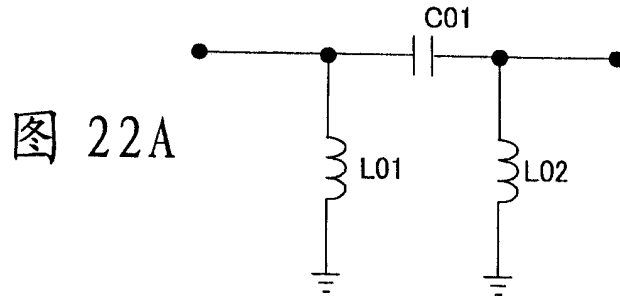


图 21B



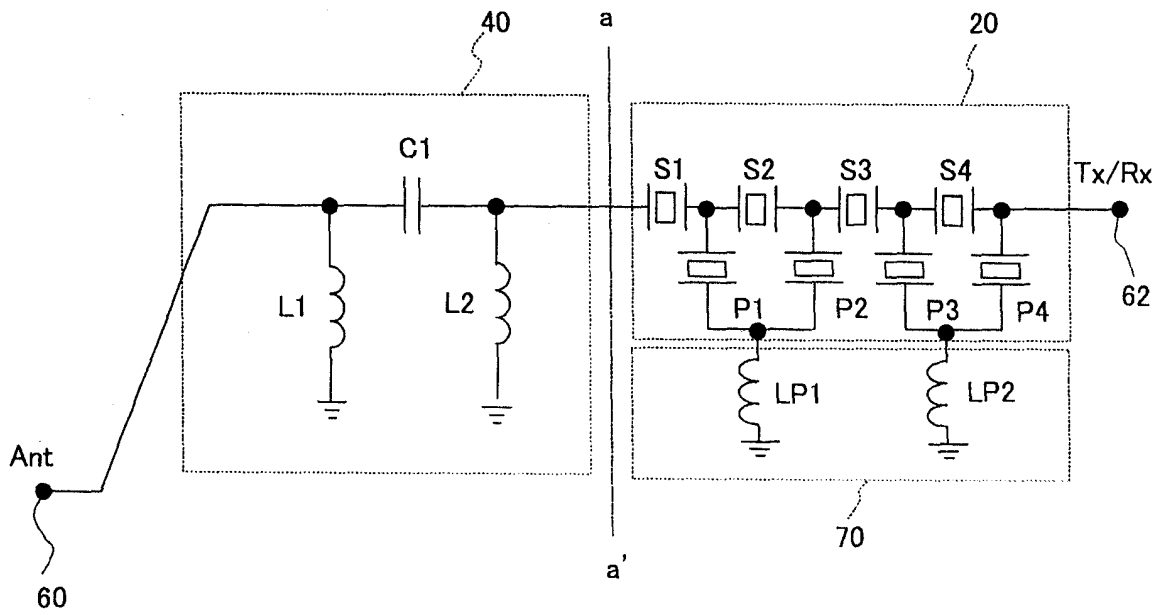
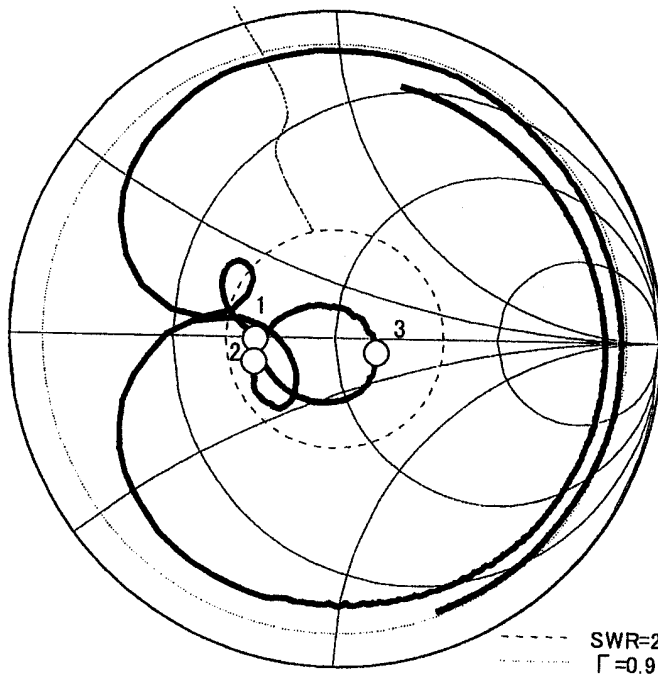


图 23

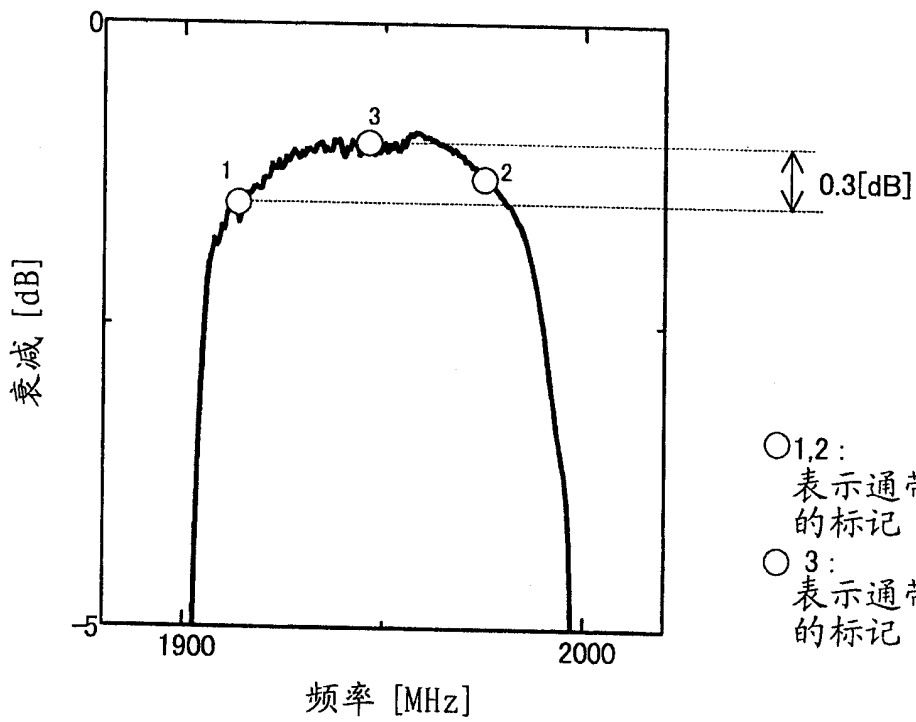


V: VSWR=2 的圆



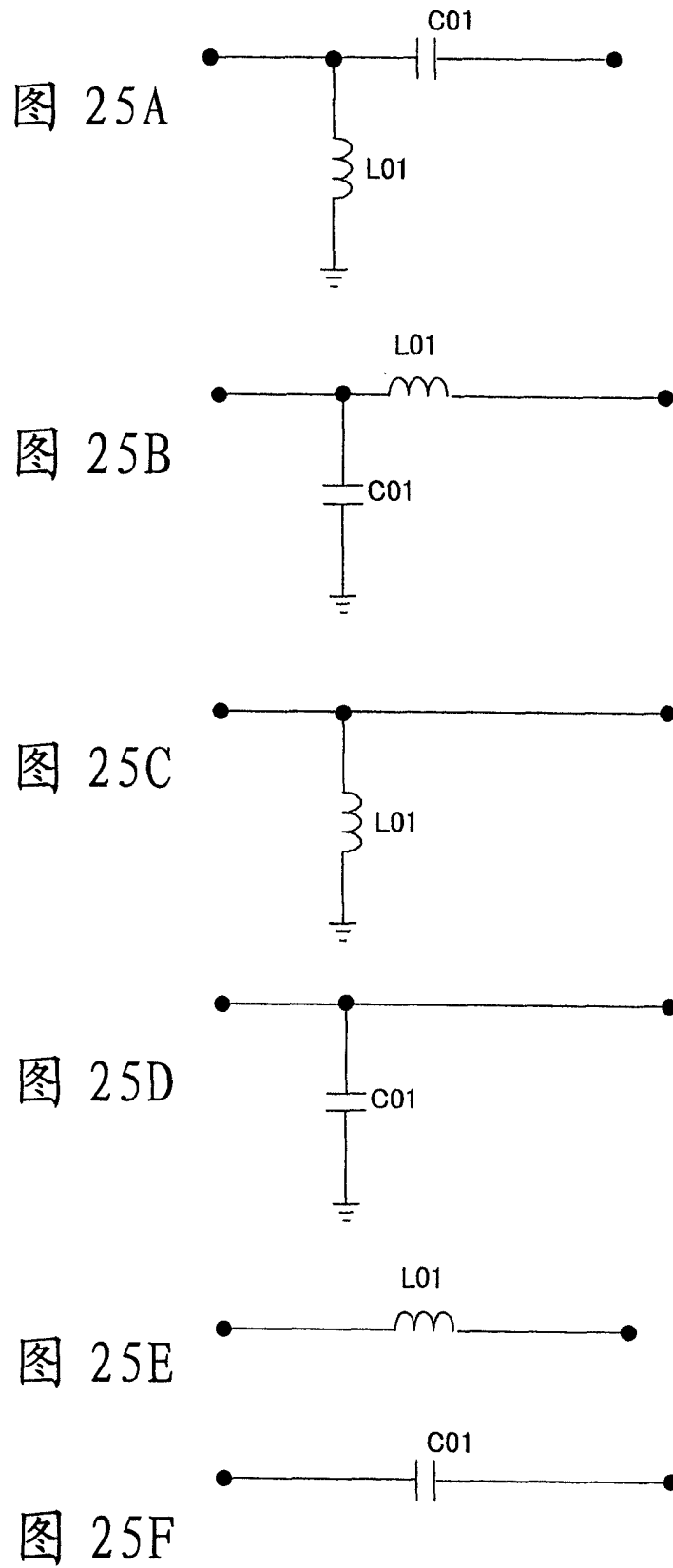
- 1,2: 表示通带端部的标记
- 3: 表示通带中央的标记

图 24A



- 1,2: 表示通带端部的标记
- 3: 表示通带中央的标记

图 24B



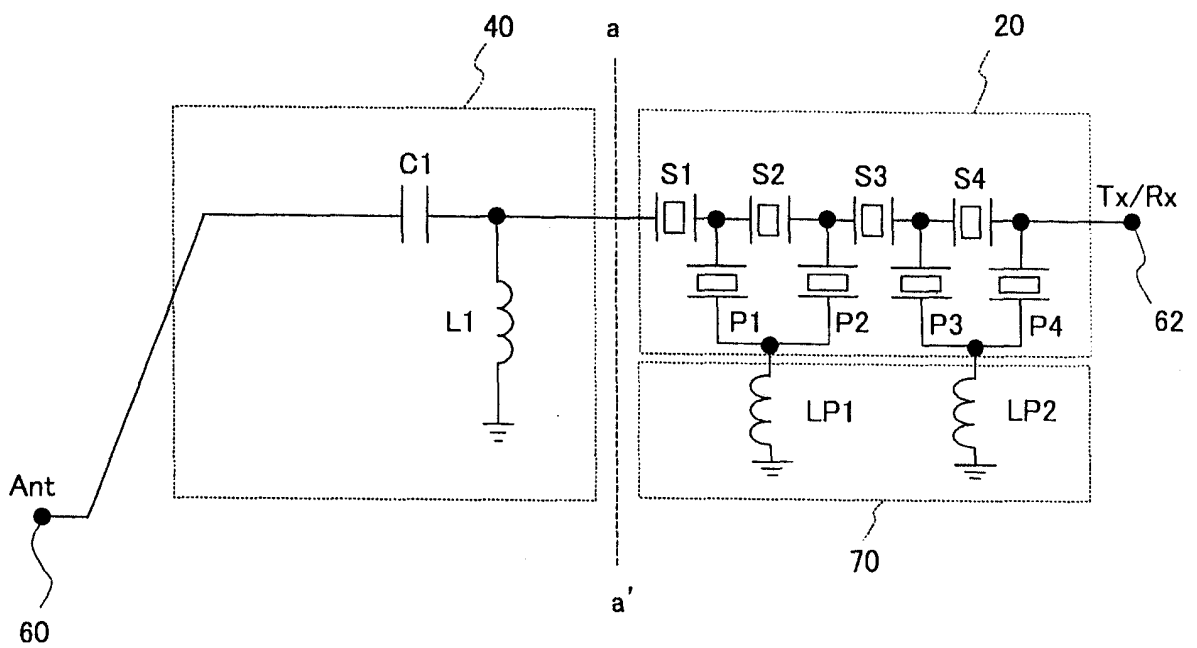


图 26

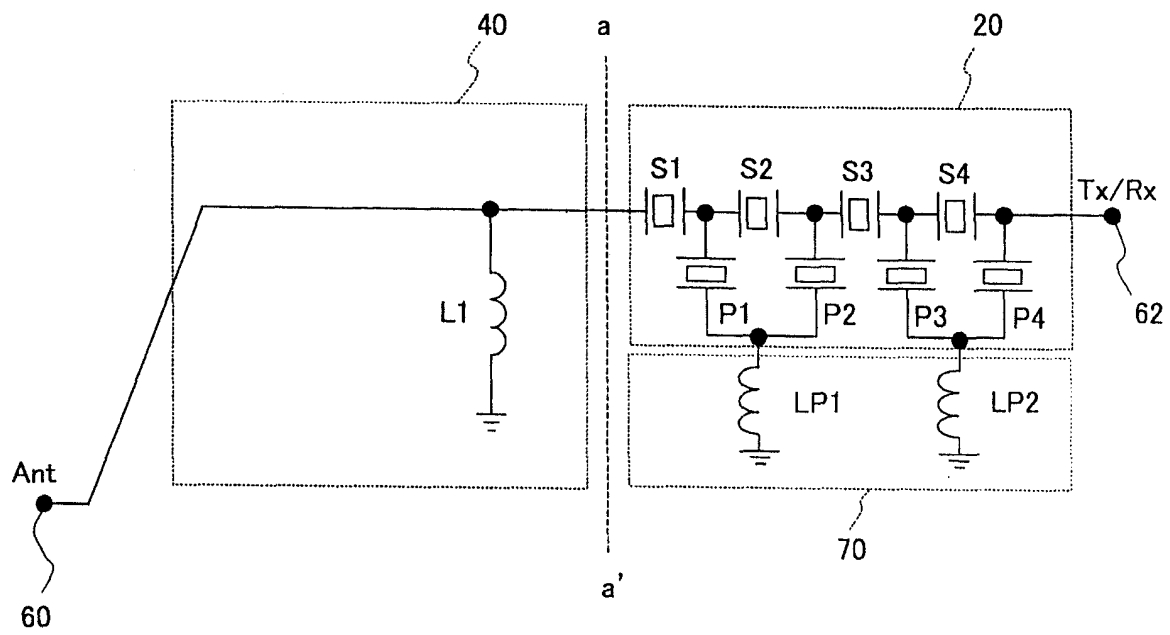


图 27

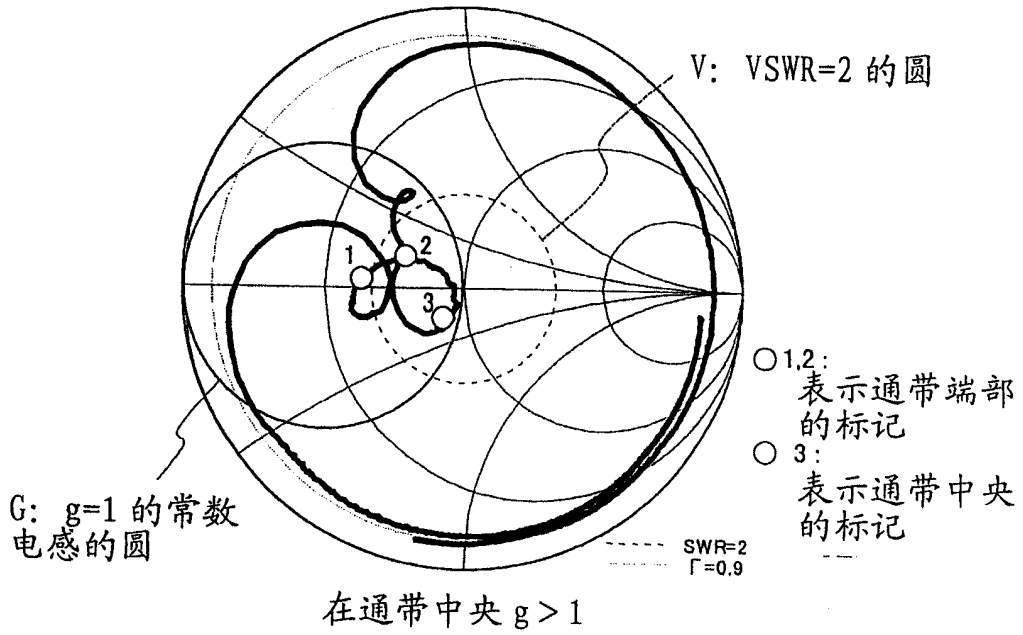


图 28A

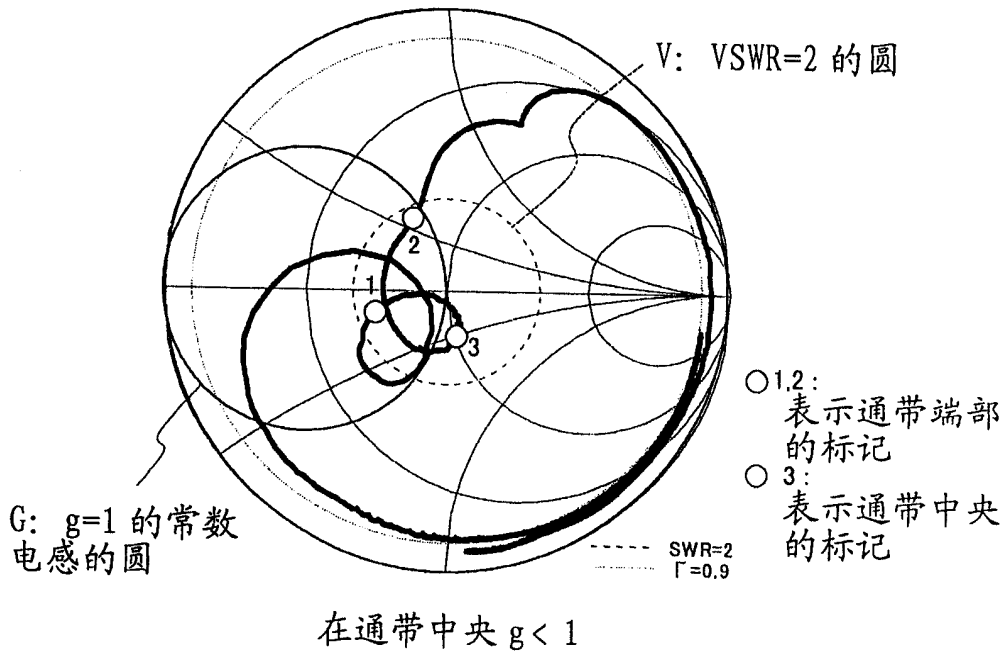


图 28B

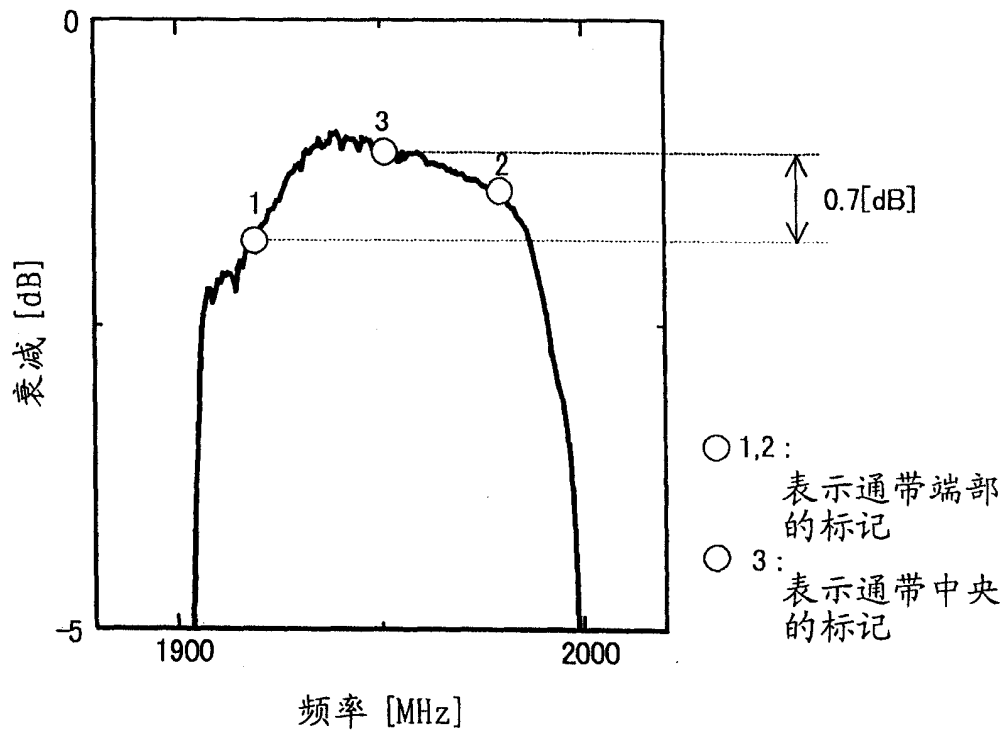


图 29A

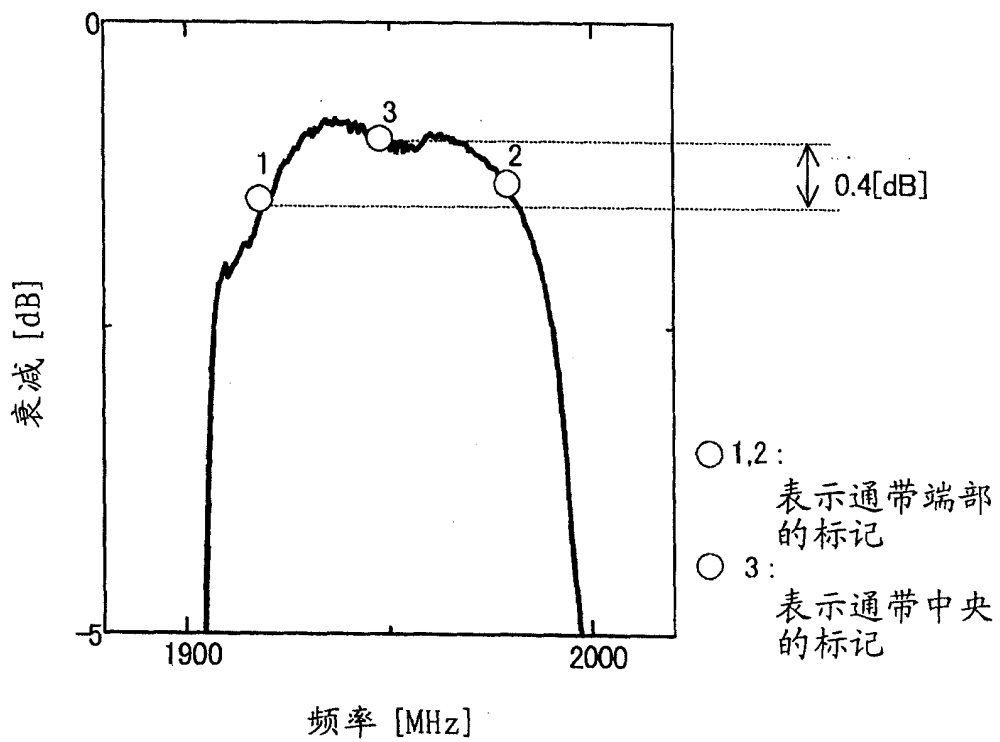


图 29B

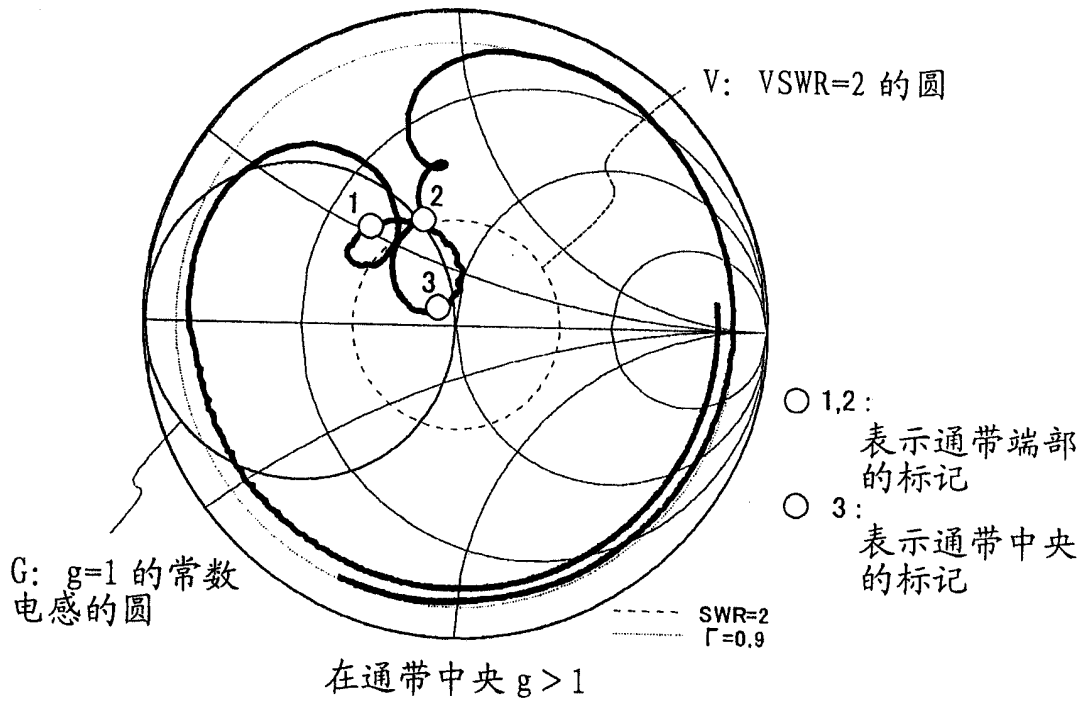


图 30A

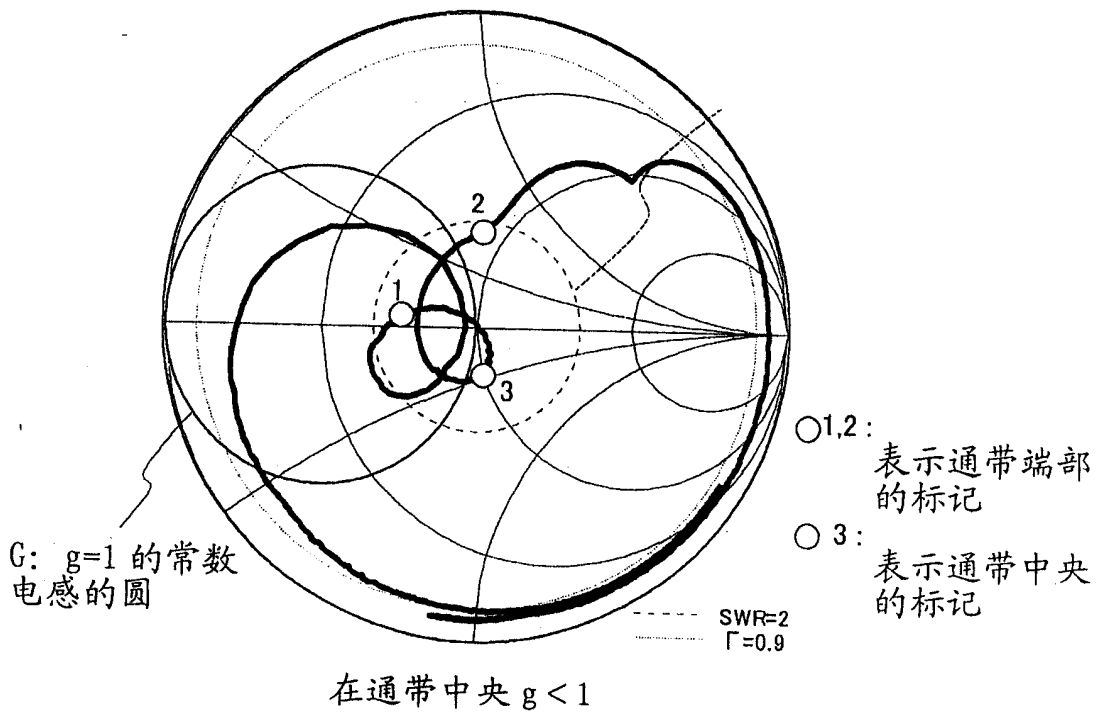


图 30B

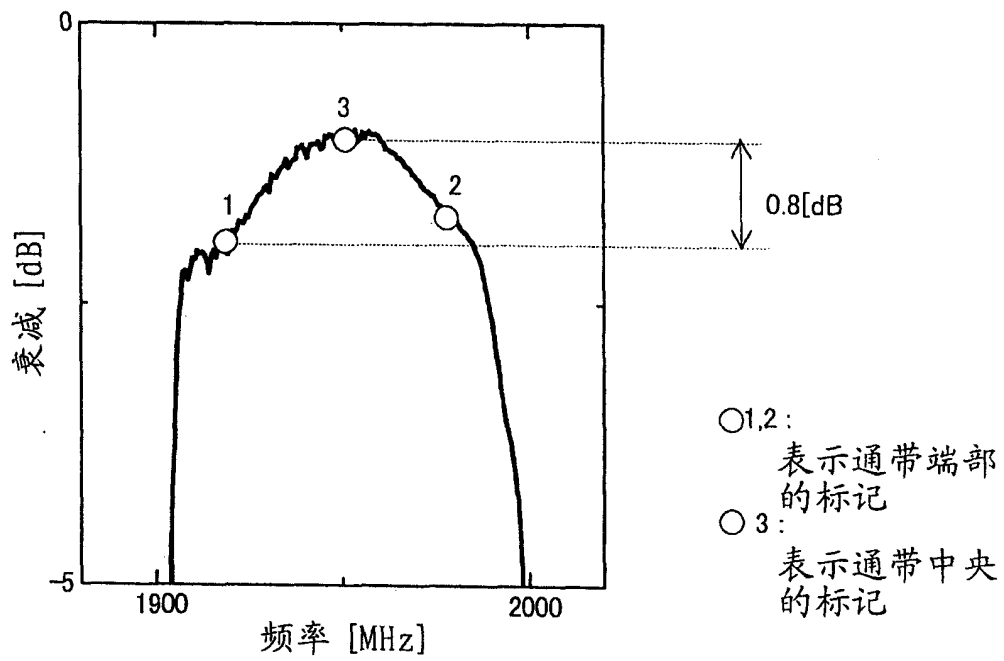


图 31A

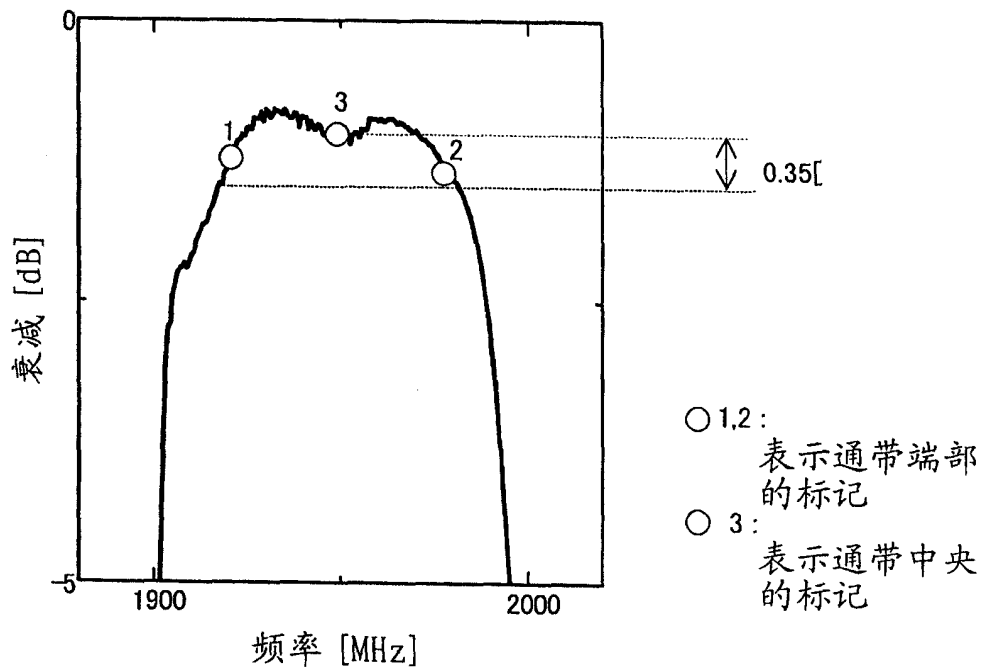


图 31B



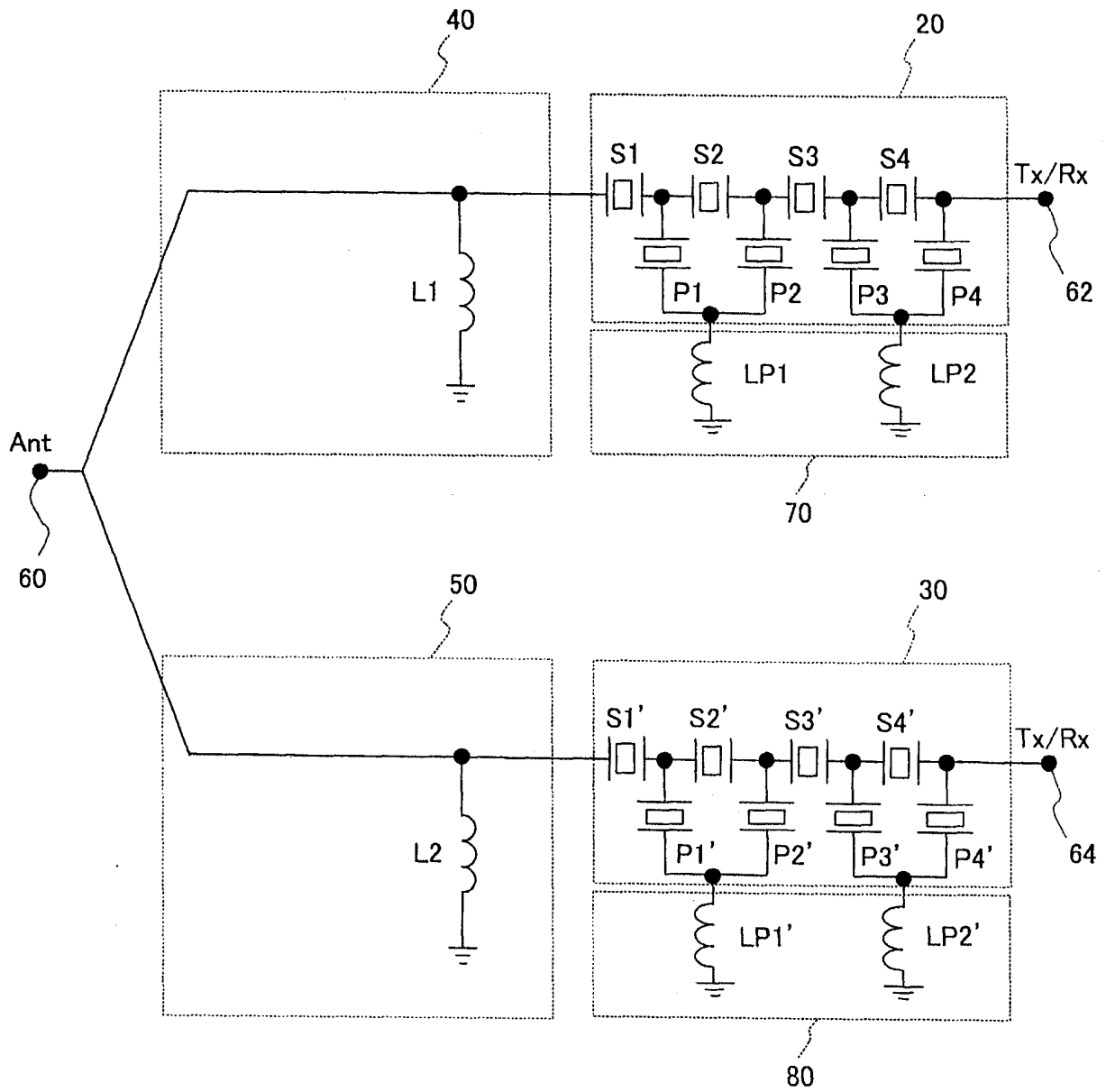


图 32

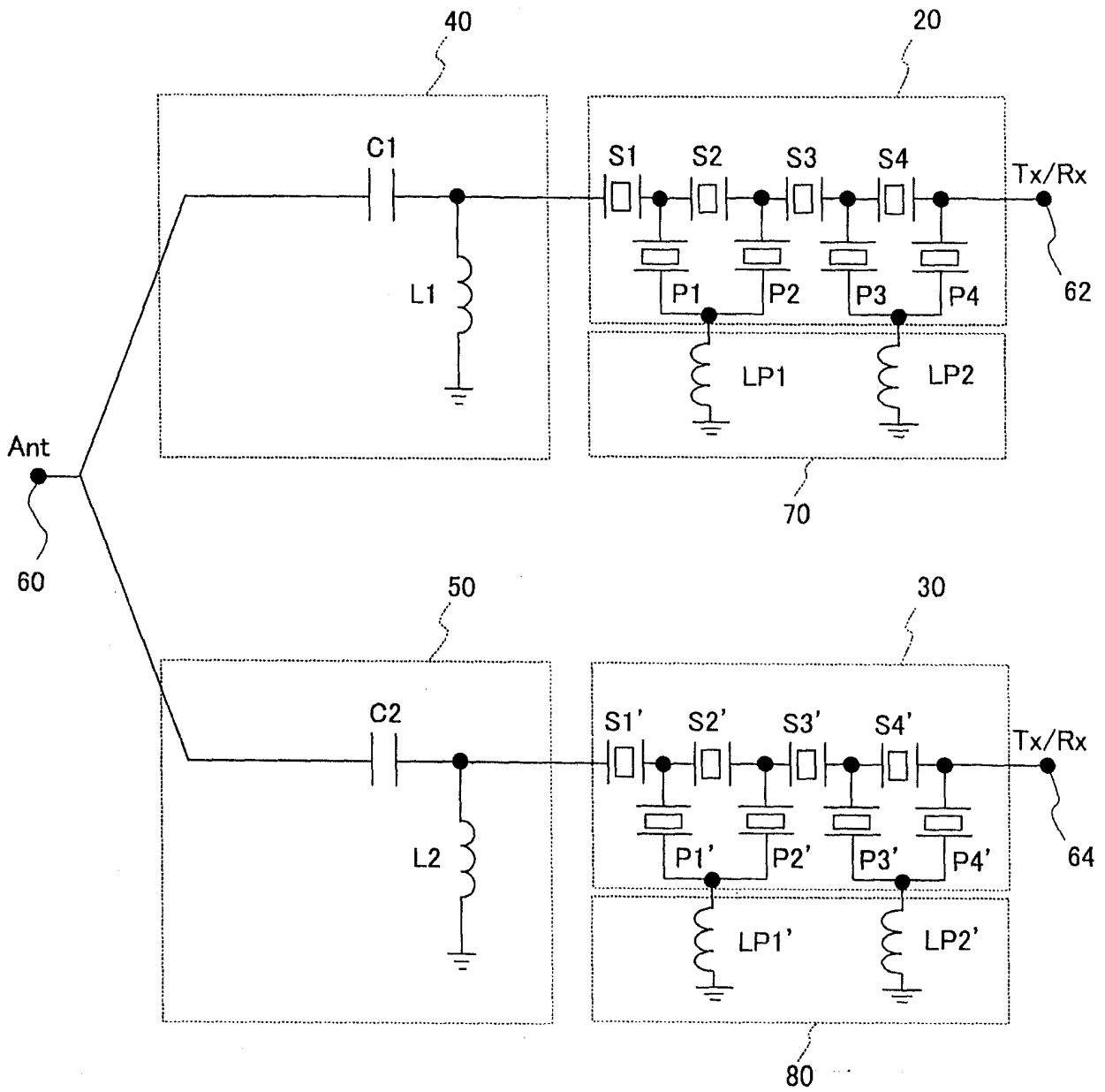


图 33

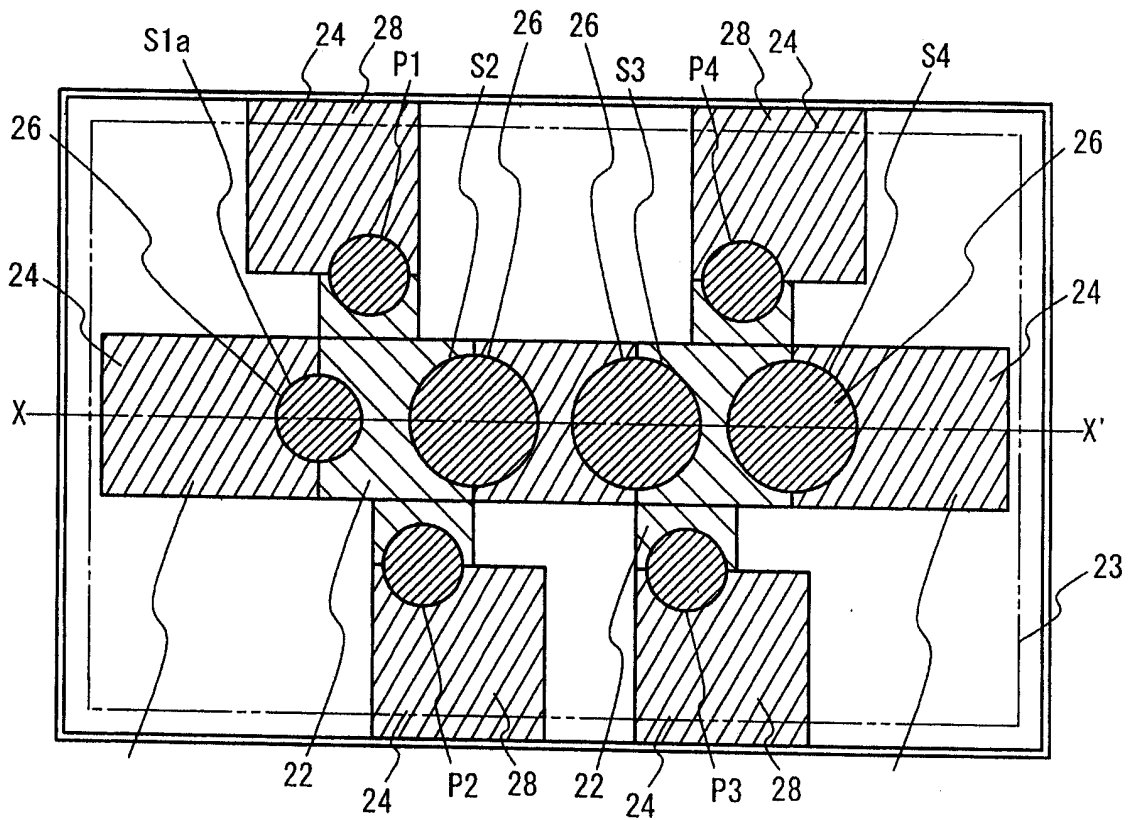


图 34A

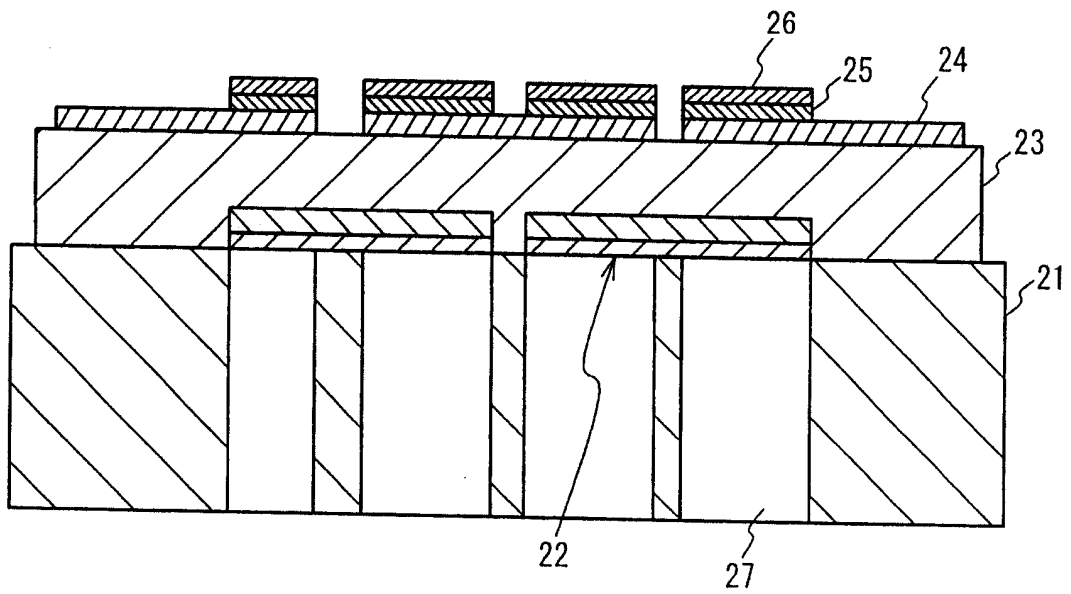


图 34B