

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5323493号  
(P5323493)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

(51) Int. Cl.	F I	
HO 1 L 21/8238 (2006. 01)	HO 1 L 27/08	3 2 1 F
HO 1 L 27/092 (2006. 01)	HO 1 L 27/08	3 2 1 C
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 3 A
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	6 1 9 A
HO 1 L 21/82 (2006. 01)	HO 1 L 21/82	W
請求項の数 5 (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2008-545893 (P2008-545893)  
 (86) (22) 出願日 平成18年11月8日 (2006. 11. 8)  
 (65) 公表番号 特表2009-520363 (P2009-520363A)  
 (43) 公表日 平成21年5月21日 (2009. 5. 21)  
 (86) 国際出願番号 PCT/US2006/060638  
 (87) 国際公開番号 W02007/097814  
 (87) 国際公開日 平成19年8月30日 (2007. 8. 30)  
 審査請求日 平成21年11月5日 (2009. 11. 5)  
 (31) 優先権主張番号 11/300, 091  
 (32) 優先日 平成17年12月14日 (2005. 12. 14)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 シュロフ、メフル ディ.  
 アメリカ合衆国 78749 テキサス州  
 オースティン サルコン クリフ ドラ  
 イブ 5916

最終頁に続く

(54) 【発明の名称】 ストレッサを有する半導体デバイスおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路であって、

半導体層の第1の活性部分と半導体層の上に設けられた第1のゲート構造とを含む複数のNチャネル・トランジスタであって、前記第1のゲート構造は、前記第1の活性部分の外側に位置する部分を有する、複数のNチャネル・トランジスタと、

半導体層の第2の活性部分と半導体層の上に設けられた第2のゲート構造とを含む複数のPチャネル・トランジスタであって、前記第2のゲート構造は、前記第2の活性部分の外側に位置する部分を有する、Pチャネル・トランジスタと、

Pチャネル・トランジスタの上方に位置し、前記第2の活性部分の外側に位置する部分を有する圧縮ストレッサと、

Nチャネル・トランジスタ上方に位置し、前記第1の活性部分の外側に位置する部分を有する引張ストレッサであって、それによって境界線が引張ストレッサと圧縮ストレッサとの間の界面に存在する、引張ストレッサと、

前記第1および第2のゲート構造に対するコンタクトであって、各コンタクトは、圧縮ストレッサ又は引張りストレッサを貫通し、集積回路の前記第1および第2のゲート構造に対するコンタクトが、前記境界線から前記集積回路を製造する際のプロセス許容誤差に対応する距離にある、コンタクトと、

を備え、

前記境界線は、各コンタクトから前記距離だけ離間されるように設定され、設定された

境界線は、タブ又はノッチを除去し、且つ能動回路から前記距離だけ離間するように調整される、集積回路。

【請求項 2】

集積回路であって、

半導体層の第 1 の活性部分と半導体層の上に設けられた第 1 のゲート構造とを含む複数の N チャンネル・トランジスタであって、前記第 1 のゲート構造は、前記第 1 の活性部分の外側に位置する部分を有する、複数の N チャンネル・トランジスタと、

半導体層の第 2 の活性部分と半導体層の上に設けられた第 2 のゲート構造とを含む複数の P チャンネル・トランジスタであって、前記第 2 のゲート構造は、前記第 2 の活性部分の外側に位置する部分を有する、P チャンネル・トランジスタと、

P チャンネル・トランジスタの上方に位置し、前記第 2 の活性部分の外側に位置する部分を有する圧縮ストレッサと、

N チャンネル・トランジスタ上方に位置し、前記第 1 の活性部分の外側に位置する部分を有する引張ストレッサであって、それによって境界線が引張ストレッサと圧縮ストレッサとの間の界面に存在する、引張ストレッサと、

前記第 1 および第 2 のゲート構造に対するコンタクトであって、各コンタクトは、圧縮ストレッサ又は引張りストレッサを貫通し、集積回路の前記第 1 および第 2 のゲート構造に対するコンタクトが、前記境界線から前記集積回路を製造する際のプロセス許容誤差に対応する距離にある、コンタクトと、

を備え、

前記境界線は、前記集積回路のコンタクトの少なくとも 95 パーセントから前記距離だけ離間されるように設定され、設定された境界線は、タブ又はノッチを除去し、且つ能動回路から前記距離だけ離間するように調整される、集積回路。

【請求項 3】

集積回路であって、

半導体層の第 1 の活性部分と半導体層の上に設けられた第 1 のゲート構造とを含む複数の N チャンネル・トランジスタであって、前記第 1 のゲート構造は、前記第 1 の活性部分の外側に位置する部分を有する、複数の N チャンネル・トランジスタと、

半導体層の第 2 の活性部分と半導体層の上に設けられた第 2 のゲート構造とを含む複数の P チャンネル・トランジスタであって、前記第 2 のゲート構造は、前記第 2 の活性部分の外側に位置する部分を有する、P チャンネル・トランジスタと、

P チャンネル・トランジスタの上方に位置し、前記第 2 の活性部分の外側に位置する部分を有する圧縮ストレッサと、

N チャンネル・トランジスタ上方に位置し、前記第 1 の活性部分の外側に位置する部分を有する引張ストレッサであって、それによって境界線が引張ストレッサと圧縮ストレッサとの間の界面に存在する、引張ストレッサと、

前記第 1 および第 2 のゲート構造に対するコンタクトであって、各コンタクトは、圧縮ストレッサ又は引張りストレッサを貫通し、集積回路の前記第 1 および第 2 のゲート構造に対するコンタクトが、前記境界線から前記集積回路を製造する際のプロセス許容誤差に対応する距離にある、コンタクトと、

を備え、

前記境界線は、前記集積回路のコンタクトの少なくとも 99 パーセントから前記距離だけ離間されるように設定され、設定された境界線は、タブ又はノッチを除去し、且つ能動回路から前記距離だけ離間するように調整される、集積回路。

【請求項 4】

前記距離が 70 ナノメートルである、請求項 1 ~ 3 のいずれか 1 項に記載の集積回路。

【請求項 5】

集積回路の製造方法であって、

半導体層を有する半導体基板を用意すること、

前記半導体層中に活性領域を形成することであって、前記活性領域は、複数の第 1 の活

10

20

30

40

50

性領域及び複数の第2の活性領域を含む、前記活性領域を形成すること、

前記第1の活性領域の上方に位置する部分と前記第1の活性領域の外側に位置する部分とを有する第1のゲート構造を有するNチャンネル・トランジスタを、前記複数の第1の活性領域中に形成することと、

前記第2の活性領域の上方に位置する部分と前記第2の活性領域の外側に位置する部分とを有する第2のゲート構造を有するPチャンネル・トランジスタを、前記複数の第2の活性領域中に形成すること、

圧縮ストレッサを半導体層の上方に堆積すること、

前記圧縮ストレッサをパターンニングして、前記Pチャンネル・トランジスタ上方に位置する圧縮ストレッサの部分を残すこと、

引張りストレッサを半導体層の上方に堆積すること、

前記引張りストレッサをパターンニングして、前記Nチャンネル・トランジスタ上方に位置する引張りストレッサの部分を残すことで、前記圧縮ストレッサと前記引張りストレッサとの間に境界を設けること、

前記圧縮ストレッサを貫通して前記第2のゲート構造に至るコンタクトと、前記引張りストレッサを貫通して前記第1ゲート構造に至るコンタクトとを形成することと、  
集積回路のコンタクトが、境界から前記集積回路を製造する際のプロセス許容誤差に対応する距離にある、コンタクトを形成すること、

を備え、

前記境界は、各コンタクトから前記距離だけ離間されるように設定され、設定された境界は、タブ又はノッチを除去し、且つ能動回路から前記距離だけ離間するように調整される、集積回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に、半導体処理に関し、より具体的には、圧縮ストレッサおよび引張りストレッサを有する半導体デバイスに関する。

【背景技術】

【0002】

技術が進歩するにつれて、半導体デバイスおよび集積回路のサイズは絶えず縮小されている。しかし場合によっては、スケーリングの物理限界に達して、デバイス・スケーリング上の問題が生じることがある。その結果、技術の進歩につれて、半導体デバイスの性能を向上させる他の方法が用いられている。たとえばトランジスタのチャンネルに応力を加えて、キャリア易動度を向上させて、性能を向上させる。たとえば、Pチャンネル・トランジスタの場合には、チャンネルに一軸圧縮応力を加えることによって、キャリア易動度が向上する。またNチャンネル・トランジスタの場合には、チャンネルに一軸引張り応力を加えることによって、キャリア易動度が向上する。したがって性能全体を向上させるためには、引張りおよび圧縮のコンタクト・エッチ・ストップ層(ESL)ストレッサを両方とも同じ集積回路上で用いて、Pチャンネル・デバイスおよびNチャンネル・デバイスの両方の性能を向上させることが望ましい。

【発明の開示】

【課題を解決するための手段】

【0003】

本発明は、一例として例示されるものであり、添付の図によって限定されるものではない。添付の図において、同様の参照符号は同様の要素を示す。

当業者であれば理解するように、図における要素は、簡単および明瞭を目的として例示されており、必ずしも一定の比率で描かれているわけではない。たとえば、本発明の実施形態の理解の向上を助けるために、図における要素のいくつかの寸法は、他の要素に対して誇張されている場合がある。

【発明を実施するための最良の形態】

## 【 0 0 0 4 】

Pチャンネル・デバイスおよびNチャンネル・デバイスの両方の性能を向上させることを目的として、ストレスを用いてもデバイスのチャンネルに応力を加えても良い。たとえば、集積回路において、Pチャンネル・トランジスタ上に圧縮ストレスを形成しても、Nチャンネル・トランジスタ上に引張ストレスを形成しても良い。このように、Pチャンネル・トランジスタのチャンネルに圧縮応力を加えること、およびNチャンネル・トランジスタのチャンネルに引張応力を加えることを、どちらも電流フローの方向に行なうことによって、キャリア易動度およびデバイス性能を、Pチャンネル・トランジスタおよびNチャンネル・トランジスタの両方に対して向上させることができる。これらの圧縮ストレスおよび引張ストレスは、コンタクト・エッチ・ストップ層（ESL）ストレスと言っても良い。しかし説明を簡単にするために、これらを単純に、圧縮ストレスおよび引張ストレスまたはストレス層と記載する。

10

## 【 0 0 0 5 】

圧縮ストレスおよび引張ストレス（またはストレス層）を、Pチャンネル・トランジスタおよびNチャンネル・トランジスタ上にそれぞれ形成する結果、圧縮ストレスと引張ストレスとの間に境界線または境界が生じる。これについては後に詳細に説明する。圧縮ストレスと引張ストレスとの間のこれらの境界線におけるエッチングについてこれまで知られていなかった問題、たとえばコンタクト開口部を形成する際の問題が見つかっている。図1～10を参照して、境界線の形成、およびこれらの境界線によって生じる新たに見つかった問題について、詳細に説明する。図11～22を参照して、この新たに見つかった問題を解決する種々の実施形態について説明する

20

図1は、圧縮ストレスおよび引張ストレスの両方を有する集積回路（IC）10の一部を上から見た図である。IC10は、Pチャンネル・トランジスタ11とNチャンネル・トランジスタ13および15とを備えている。Pチャンネル・トランジスタ11は、活性領域12と、活性領域12の上に設けられたゲート14とを有している。トランジスタ11は、Nウェル（図1の上から見た図では見えない）内に形成される。Nチャンネル・トランジスタ15は、活性領域20と、活性領域20の上に設けられたゲート22とを有している。例示した実施形態では、ゲート14およびゲート22は、連続的なゲート構造17の一部である。またゲート構造17は、活性領域12および20の外側に位置する部分も含んでいる。ゲート構造17には、コンタクト部24が含まれている。コンタクト部24では、コンタクト開口部30が後に形成される（したがって、コンタクト開口部30は点線として示しており、これは開口部自体がまだ存在していないためである）。Nチャンネル・トランジスタ13は、活性領域16と、活性領域16の上に設けられたゲート構造18とを含んでいる。なおゲート構造18は、活性領域16上にゲートを形成し、活性領域16の外側に位置する部分も含んでいる。

30

## 【 0 0 0 6 】

またIC10は、Pチャンネル・トランジスタ11上に位置する圧縮ストレス26と、Nチャンネル・トランジスタ13および15上に位置する引張ストレス28とを含んでいる。したがって圧縮ストレス26と引張ストレス28との間に境界線が形成されている。たとえば境界線32が、コンタクト部24（コンタクト開口部30が形成される）上に存在している。図2～10を参照して分かるように、この境界線があるために、コンタクト開口部30を形成する際に問題が生じる。

40

## 【 0 0 0 7 】

図2は、Pチャンネル・トランジスタ11およびNチャンネル・トランジスタ13を通るように切断したIC10の断面図である。IC10は基板33を備えている。基板33は、絶縁層37の上に半導体層35を有している。一実施形態では、基板33は絶縁体上半導体（SOI）基板である。一実施形態では、半導体層35には、半導体材料として、たとえば、シリコン、ゲルマニウム、シリコン・ゲルマニウム、ガリウム・ヒ素などが含まれる。一実施形態では、絶縁層37には酸化物が含まれている。代替的な実施形態では、基板33は、バルク半導体基板に、例えば、シリコン、ゲルマニウム、シリコン・ゲルマニ

50

ウム、ガリウム・ヒ素などを含んでいる。この場合、絶縁層 37 は存在していない。

【0008】

トランジスタ 11 および 13 は、半導体層 35 内および上に形成されている。Pチャネル・トランジスタ 11 においては、半導体層 35 の上にゲート誘電体 48 が設けられており、ゲート誘電体 48 の上にゲート 14 が設けられている。またゲート 14 の側壁に隣接して、側壁スペーサ 44 が設けられている（なお簡単にするために、側壁スペーサ 44 は、図 1 の上から見た図には示していない）。またトランジスタ 11 はソース/ドレイン領域 36 および 38 を備えている。ソース/ドレイン領域 36 および 38 は、ゲート 14 の少なくとも一部の下に設けられており、絶縁体層 37 まで延びている。トランジスタ 11 のチャンネル領域 39 の範囲が、ソース/ドレイン領域 36 と 38 との間であってゲート 14 の下に定められている。ソース/ドレイン領域 36 および 38 とチャンネル領域 39 とは、トランジスタ 11 の活性領域 12 内に形成されている。Nチャネル・トランジスタ 13 では、半導体層 35 の上にゲート誘電体 50 が設けられており、ゲート誘電体 50 の上にゲート 18 が設けられている。またゲート 18 の側壁に隣接して、側壁スペーサ 46 が設けられている（なお簡単にするために、側壁スペーサ 46 は、図 1 の上から見た図には示していない）。またトランジスタ 13 はソース/ドレイン領域 40 および 42 を備えている。ソース/ドレイン領域 40 および 42 は、ゲート 18 の少なくとも一部の下に設けられており、絶縁体層 37 まで延びている。トランジスタ 13 のチャンネル領域 41 の範囲が、ソース/ドレイン領域 40 と 42 との間であってゲート 18 の下に定められている。ソース/ドレイン領域 40 および 42 とチャンネル領域 41 とは、トランジスタ 13 の活性領域 16 内に形成されている。トランジスタ 11 および 13 は、半導体層 35 内に形成された分離領域 34 によって互いから分離されている。

【0009】

なお従来 of 処理および材料を用いて、トランジスタ 11 および 13 を形成しても良い。またトランジスタ 11 および 13 はそれぞれ、異なる形状であっても良い。図 2 は一例として示しているだけである。たとえば、ソース/ドレイン領域 36、38、40、および 42 が、絶縁体層 37 まで完全に延びていなくても、ソース/ドレイン領域 36、38、40、および 42 が、八口領域を含んでも良い。またトランジスタ 11 および 13 の各部分（たとえば、ゲート、スペーサ、およびゲート誘電体）には、単一の材料が含まれていても、材料の組み合わせが含まれていても良い。たとえば、トランジスタ 11 および 13 のゲートは、ポリシリコンであっても、金属ゲートであっても良い。またこのゲートは任意の数の層を含んでも良い。

【0010】

さらに図 2 を参照して、圧縮ストレッサ 26 が Pチャネル・トランジスタ 11 上に形成され、引張ストレッサ 28 が Nチャネル・トランジスタ 13 上に形成されている。ストレッサ 26 および 28 を形成するために、どんなプロセスも使用して良い。たとえば一実施形態では、圧縮ストレッサ層を、基板 33 上にブランケット堆積して、Nチャネル・デバイスが形成された領域から選択的にエッチングする。選択的なエッチングは、たとえば、Pチャネル・デバイスが形成された領域をマスクするマスキング層を用いて行なわれる。選択性エッチングを行なった後の圧縮ストレッサ層の残りの部分によって、圧縮ストレッサ、たとえば圧縮ストレッサ 26 が形成される。その後、引張ストレッサ層を、基板 33 上にブランケット堆積して、Pチャネル・デバイスが形成された領域から選択的にエッチングしても良い。この場合、選択的なエッチングは、たとえば、Nチャネル・デバイスが形成された領域をマスクするマスキング層（たとえば、圧縮ストレッサを形成するために用いたマスキング層と逆のパターンを有する）を用いて行なわれる。選択性エッチングを行なった後の引張ストレッサ層の残りの部分によって、引張ストレッサ、たとえば引張ストレッサ 28 が形成される。なお圧縮ストレッサおよび引張ストレッサを形成する順番は逆にしても、従来 of 他の処理方法を用いて、圧縮ストレッサおよび引張ストレッサを形成しても良い。一実施形態では、第 1 のストレッサ層上に、第 1 のストレッサに合わせて選択的にエッチングすることができる絶縁層が形成される（第 1 のストレッサ層は、この段

10

20

30

40

50

落で示した例では圧縮ストレスサ 26 である)。したがってこの絶縁層は、第 2 のストレス層(この段落で前述した例では引張ストレスサ 28 である)を選択的にエッチングするとき、エッチ・ストップ層として用いられる。また一実施形態では、障壁層を基板 33 上に形成することを、ストレスサ 26 および 28 を形成する前に行なっても良い。形成は、障壁層がデバイスとストレスサ 26 および 28 との間に位置するように行なう。なお、圧縮ストレスサおよび引張ストレスサを形成する結果、圧縮ストレスサと引張ストレスサとの間の界面に境界線が生じる。たとえば図 2 に例示した圧縮ストレスサ 26 と引張ストレスサ 28 との間の境界線 32 である。

#### 【0011】

圧縮ストレスサ 26 は、チャンネル領域 39 に圧縮応力を加えるものであればどんな材料であっても良く、たとえば窒化ケイ素材料およびシリコン含有率の低い窒化ケイ素材料である。引張ストレスサ 28 は、チャンネル領域 41 に引張応力を加えるものであればどんな材料であっても良く、たとえば窒化ケイ素材料およびシリコン含有率の低い窒化ケイ素材料である。これらの圧縮ストレス層および引張ストレス層は、従来の処理技術を用いて形成することができる。一実施形態では、圧縮ストレスサ 26 の窒化物は、二周波プラズマ励起化学気相成長法(PECVD)プロセスを用いて、標準的な前駆体に加えた不活性ガスたとえばアルゴンを用いて堆積させる。引張ストレスサ 28 の窒化物は、単一周波数 PECVD プロセスを用いて、不活性ガスを用いることなく堆積させる。

#### 【0012】

図 3 は、N チャンネル・トランジスタ 15 および P チャンネル・トランジスタ 11 を通るよう  
20  
に切断した IC 10 の断面図である。図 3 の断面は、トランジスタ 11 のチャンネル領域 39 を通るとともに、トランジスタ 15 のチャンネル領域 43 を通るよう  
に切断したものである。前記したように、これらのチャンネル領域は分離領域 34 によって分離されている。また断面は、ゲート構造 17 を通るよう  
に切断したものであり、ゲート構造 17 のゲート 22 および 14 ならびにコンタクト部 24 がすべて見えている。また引張ストレスサ 28 は、ゲート 22 の上に設けられており、ゲート構造 17 のコンタクト部 24 上まで延びて  
いる。圧縮ストレスサ 26 は、ゲート 14 の上に設けられており、ゲート構造 17 のコン  
タクト部 24 上まで延びている。コンタクト部 24 は、分離領域 34 (フィールド分離と  
言うこともある)の上に設けられており、活性領域 20 および 12 の上には設けられてい  
ない。また図 3 の断面内に示しているのは、引張ストレスサ 28 と圧縮ストレスサ 26 と  
30  
の間の境界線 32 である。境界線 32 は、コンタクト領域 24 の上方であってコンタクト  
開口部 30 が形成される場所にある。したがってコンタクト開口部 30 の形成は、境界線  
32 を通って、その下に設けられたゲート構造 17 のコンタクト部 24 を露出するよう  
に行なわれることに注意されたい。

#### 【0013】

図 4 は、引張ストレスサ 28 および圧縮ストレスサ 26 の上に設けられる誘電体層 52  
を形成した後の IC 10 を示す図である。したがってコンタクト開口部 30 は、誘電体層  
52 ならびにストレスサ 28 および 26 を通るよう  
に形成されることに注意されたい。コン  
タクト開口部 30 は図 3 において点線で示す。一実施形態では、誘電体層 52 には、テ  
トラオルト・シリケート(TEOS)プロセスによって形成される材料が含まれる。  
40

#### 【0014】

図 5 に、コンタクト開口部 30 を形成した後の IC 10 の拡大部分 51 を示す。従来の  
パターニングおよびエッチング技術を用いて、開口部 30 を形成しても良い。圧縮スト  
レスサ 26 と引張ストレスサ 28 との間の化学的性質の違いにより、ストレスサはエッチ  
レートが異なる。その結果、圧縮ストレスサ 26 および引張ストレスサ 28 の両方を通  
るよう  
に開口部 30 内をエッチングしようとした場合、ギャップ(たとえばギャップ 54)  
が形成され、ギャップ内のその下のゲート・シリサイド(図示せず)がえぐられるかま  
たは穴を開けられて、開口部 30 内のコンタクト部 24 の完全な露出が行なわれよう  
とする。すなわちストレスサの一方(たとえば図 5 の例ではストレスサ 26)のすべての部分  
を取り除こうとした場合、その下の層に対する損傷が生じ、その結果、コンタクトがさら  
50

不十分になる可能性がある。またストレスの一部が開口部 30 内に残されることもあり、その結果、やはりコンタクトがさらに不十分になる。

【0015】

図 5 に示すのは、境界線 32 を通るように入エッチングを行なった結果であり、境界線 32 の形成を、図 2 ~ 4 に例示するように圧縮ストレスおよび引張ストレスが接触するように行なったときのものである。図 6 に、ストレス間の別のタイプの境界線 55 を例示する。これは、IC 10 の拡大部分 51 (1つのストレスが別のストレスと境界線でオーバーラップし得る) で生じ得るものである。たとえば図 6 に示すように、圧縮ストレス 26 が圧縮ストレス 28 にオーバーラップすることが、その後コンタクト開口部 30 が形成される領域で起こっている。

10

【0016】

図 7 および 8 に、開口部 30 を形成する間に起こる境界線 55 の有害な影響を例示する。図 5 を参照して説明したように、従来のパターニングおよびエッチング技術を用いて開口部 30 を形成しても良い。図 7 に例示するのは、エッチングの一部が終了した後の境界線 55 である。引張ストレス 28 の残留部分 56 (圧縮ストレス 26 によってオーバーラップされていた) が、開口部 30 内に残されている。図 8 に例示するのは、さらにエッチングを行なった後の境界線 55 である。残留部分 56 が開口部 30 内で取り除かれるにつれて、穴を開けるかまたはえぐる領域 57 が形成される可能性がある。これらの問題が起こるために、コンタクトがさらに不十分になり、その結果、デバイス性能および回路歩留まりに悪影響が出る。

20

【0017】

図 9 に、ストレス間に位置する別のタイプの境界線 58 を例示する。これは、IC 10 の拡大部分 51 (ストレス 28 および 26 が形成された結果、境界線にギャップ 59 が生じる) で起こり得るものである。図 10 に、開口部 30 を形成する間に生じる境界線 58 の悪影響を例示する。前記したように、従来のパターニングおよびエッチング技術を用いて開口部 30 を形成しても良い。図 10 に例示するのは、ストレス 28 および 26 の不均一なエッチング、およびギャップ 58 におけるコンタクト部 24 内へのくぼみ 60 (すなわち凹部面) の形成である。したがって前述と同様に、ギャップ 58 があるために、えぐられるかまたは穴が開く可能性がある。またエッチングが不均一である結果、エッチングが部分的に行なわれることもあり、ストレスの一部が開口部 30 内に残る場合もある。その結果、コンタクトが不十分になる。

30

【0018】

ストレス境界線 (たとえば境界線 32、55、および 58) を通るように入開口部 30 を形成することで起こる問題は、これまで分かっていた。またこれらの問題は、IC 全体に渡ってかなり頻繁に起こる可能性がある。たとえば、図 1 に例示するように、ゲートに対するコンタクトは、Nチャネル・トランジスタと Pチャネル・トランジスタとの間の中間で形成されることが多い。これは一見したところ、圧縮ストレスと引張ストレスとの間の境界線または境界に対して最良の箇所でもある。したがって、これらの問題が分かったことに続いて、これらのストレス境界線を通るように入エッチングを行なう祭の有害な影響を防ぐための解決方法が開発された。本発明の実施形態には、これらの境界線を通るように入エッチングを行なうことによって生じる問題に対処する種々の方法が含まれている。

40

【0019】

一実施形態では、ストレスの形成を、コンタクト開口部を形成すべき場所にまたはその付近にストレス境界線が位置しないように入行なう。たとえば図 11 に、本発明の一実施形態による集積回路 110 を上から見た図を例示する。IC 110 は、Pチャネル・トランジスタ 111 と Nチャネル・トランジスタ 113 および 115 とを備える。Pチャネル・トランジスタ 111 は、活性領域 112 と、活性領域 112 の上に設けられたゲート 114 とを有している。トランジスタ 111 は、Nウェル (図 11 の上から見た図では見えない) 内に形成される。Nチャネル・トランジスタ 115 は、活性領域 120 と、活性

50

領域 120 の上に設けられたゲート 122 とを有する。例示した実施形態では、ゲート 114 およびゲート 122 は、連続的なゲート構造 117 の一部である。ゲート構造 117 には、活性領域 112 および 120 の外側に位置する部分が含まれる。ゲート構造 117 には、コンタクト部 124 が含まれる。コンタクト部 124 では、コンタクト開口部 130 がその後形成される（したがって、コンタクト開口部 130 が点線として例示され、これは開口部自体がまだ存在していないからである）。一実施形態では、ゲート構造 117 は、ポリシリコンからなる連続的な導電線である。あるいは、ゲート構造 117 は連続的でなくても良い。また他の材料または材料の組み合わせを用いて、ゲート構造 117 を形成しても良い。Nチャネル・トランジスタ 113 は、活性領域 116 と、活性領域 116 上に設けられたゲート構造 118 とを備える。なおゲート構造 118 は、活性領域 116 上にゲートを形成し、活性領域 116 の外側に位置する部分も含んでいる。

10

#### 【0020】

また IC 110 は、Pチャネル・トランジスタ 111 上に位置する圧縮ストレッサ 126 と、Nチャネル・トランジスタ 113 および 115 上に位置する引張ストレッサ 128 とを備える。図 1 の IC 110 の場合と同様に、圧縮ストレッサ 126 と引張ストレッサ 128 との間に境界線が形成されている。たとえば、活性領域 112 と 120 との間に境界線 132 が存在する。しかし IC 110 とは異なり、コンタクト開口部 130 を形成すべき場所の下にも場所の付近にも境界線は位置していない。その代わりに、圧縮ストレッサ 126 と引張ストレッサ 126 との境界線が、コンタクト開口部が形成されるゲート構造のコンタクト部の下に生じないように、圧縮ストレッサ 126 が形成されている。さらに圧縮ストレッサ 126 は、コンタクト開口部が形成される場所から少なくとも所定の距離だけ離れて形成されている。一実施形態では、この所定の距離は約 70 ナノメートルである。この結果、コンタクト開口部 130 内にさらに良好なコンタクトを形成することができ、その結果、デバイス性能が向上する。別の実施形態では、この所定の距離は約 65 ナノメートル以下である。なおこの所定の距離は、プロセス許容誤差の組み合わせ（フォトリソグラフィ制御（CD）制御、フォト・オーバーレイ制御、およびエッチ CD 制御を含む）に基づいて選択される任意の値とすることができる。

20

#### 【0021】

図 12 に、Nチャネル・トランジスタ 115 および Pチャネル・トランジスタ 111 を通るように切断した IC 110 の断面図を示す。IC 110 は基板 133 を備えている。基板 133 は、絶縁層 137 の上に半導体層 135 を有している。一実施形態では、基板 133 は絶縁体上半導体（SOI）基板である。一実施形態では、半導体層 135 には、半導体材料として、たとえば、シリコン、ゲルマニウム、シリコン・ゲルマニウム、ガリウム・ヒ素などが含まれる。一実施形態では、絶縁層 137 には酸化物が含まれていても良い。代替的な実施形態では、基板 133 は、バルク半導体基板に次のものを含んだものであっても良い、たとえば、シリコン、ゲルマニウム、シリコン・ゲルマニウム、ガリウム・ヒ素などである。この場合、絶縁層 137 は存在していない。

30

#### 【0022】

図 12 の断面は、トランジスタ 115 のチャネル領域 143 とトランジスタ 114 のチャネル領域 139 とを通るように切断したものである。これらのチャネル領域は、分離領域 134 によって分離されている。また断面は、ゲート構造 117 を通るように切断したものであり、ゲート構造 117 のゲート 122 および 114 ならびにコンタクト部 124 がすべて見えている。また引張ストレッサ 128 は、ゲート 122 の上に設けられており、ゲート構造 117 のコンタクト部 124 上まで延びている。圧縮ストレッサ 126 は、ゲート 114 の上に設けられており、ゲート構造 117 のコンタクト部 124 上まで延びている。コンタクト部 124 は、分離領域 134（フィールド分離と言うこともある）の上に設けられており、活性領域 120 および 112 の上には設けられていない。また図 12 の断面内に示しているのは、引張ストレッサ 128 と圧縮ストレッサ 126 との間に位置し、コンタクト領域 124 の上方にある境界線 132 である。しかし例示した実施形態では、圧縮ストレッサ 126 の境界線はコンタクト部 124 上で、引張ストレッサ 128

40

50

と比べてさらに延長されている。したがってコンタクト開口部 30 は、境界線 132 を通っては形成されていない。一実施形態では、境界線 132 は、少なくとも 70 ナノメートルだけ開口部 130 から離れている。したがって、開口部 30 を形成してその下のゲート構造 17 のコンタクト部 24 を露出する際には、ストレス境界線を通してエッチングする必要も、ストレス境界線から所定の距離内でエッチングする必要もない。

#### 【0023】

前記したストレス 26 および 28 を形成するために用いた一般的な方法および材料が、ここでもストレス 126 および 128 に対して適用される。しかし図 16 ~ 21 のレイアウトを参照して説明するように、ストレス 126 および 128 を形成するための新しいマスクを規定することが、コンタクト開口部が境界線上またはその付近にあるという問題が回避されるように行なわれる。これらの新しいマスク（およびこれらのマスクの逆）を、ストレス 26 および 28 について前述したように用いて、圧縮ストレス層の一部を選択的にエッチングして圧縮ストレス 126 を形成し、また引張ストレス層の一部を選択的にエッチングして引張ストレス 128 を形成しても良い。なお一実施形態では、圧縮ストレス 128 の形成は、すべての P チャネル活性部分（たとえば活性領域 120 および 116）を完全に覆うように行ない、また引張ストレス 126 の形成は、すべての N チャネル活性部分（たとえば活性領域 112）を完全に覆うように行なう。したがって圧縮ストレス 128 および引張ストレス 126 はそれぞれ、単一の連続的な層であっても、または多くの別個の部分が必要に応じて含んで、P チャネル・トランジスタおよび N チャネル・トランジスタをそれぞれ必要に応じて覆うものであっても良い。

10

20

#### 【0024】

圧縮ストレス 26 は、圧縮応力をチャネル領域 39 に加えるものであればどんな材料であっても良く、たとえば、窒化ケイ素材料およびシリコン含有率の低い窒化ケイ素材料である。引張ストレス 28 は、チャネル領域 41 に引張応力を加えるものであればどんな材料であっても良く、たとえば窒化ケイ素材料およびシリコン含有率の低い窒化ケイ素材料である。これらの圧縮ストレスおよび引張ストレス層は、従来の処理技術を用いて形成することができる。一実施形態では、圧縮ストレス 26 の窒化物は、二周波プラズマ励起化学気相成長法（PECVD）プロセスを用いて、標準的な前駆体に加えた不活性ガスたとえばアルゴンを用いて堆積させる。引張ストレス 28 の窒化物は、単一周波数 PECVD プロセスを用いて、不活性ガスを用いることなく堆積させる。

30

#### 【0025】

さらに図 12 を参照して、トランジスタ 111 および 113 は半導体層 135 内および上に形成されている。図 12 には図示していないが、各 N チャネル・トランジスタ 115 および P チャネル・トランジスタ 111 は、半導体層 135 の活性領域 143 および 139 の上であってゲート 122 および 114 の下にそれぞれ、ゲート誘電体を備えている。またゲート 122 および 114 に隣接して、側壁スペーサ（図 12 では見えない）を形成しても良い。各トランジスタ 115 および 111 は、活性領域 120 および 112 内にそれぞれソース/ドレイン領域を備えている。これらも図 12 では見えない。なぜならば、断面は、各トランジスタのソース/ドレイン領域間に位置するチャネル領域 143 および 139 を通るように切断したものであるからである。

40

#### 【0026】

トランジスタ 115 および 111 のソース/ドレイン領域は、従来のプロセスおよび材料を用いて形成しても良く、またソース/ドレイン領域 36、38、40、および 42 について前述したどの記載も、トランジスタ 115 および 111 のソース/ドレイン領域に対して適用される。

#### 【0027】

なお従来の処理および材料を用いて、トランジスタ 111 および 115 を形成しても良い。またトランジスタ 111 および 115 はそれぞれ、異なる形状であっても良い。図 12 は単に一例として示している。またトランジスタ 111 および 115 の各部分（たとえば、ゲート、スペーサ、およびゲート誘電体）には、単一の材料が含まれていても、材料

50

の組み合わせが含まれていても良い。たとえば、トランジスタ 1 1 1 および 1 1 5 のゲートはポリシリコンであっても、金属ゲートであっても良い。またこのゲートは任意の数の層を含んでいても良い。

【 0 0 2 8 】

図 1 3 に、引張ストレッサ 1 2 8 および圧縮ストレッサ 1 2 6 の上に設けられる誘電体層 1 5 2 を形成した後の IC 1 1 0 を例示する。したがってコンタクト開口部 1 3 0 は、誘電体層 1 5 2 ならびにストレッサ 1 2 8 および 1 2 6 を通して形成されることに注意されたい。これは図 1 3 において、点線によって示されている。一実施形態では、誘電体層 1 5 2 には、テトラオルト・シリケート ( T E O S ) プロセスによって形成される材料が含まれていても良い。また誘電体層 1 5 2 には、単一の膜が含まれていても、複数の膜が含まれていても良い。また誘電体層 1 5 2 は、中間層誘電体層または金属間誘電体層と言うこともある。

10

【 0 0 2 9 】

図 1 4 に、コンタクト開口部 1 3 0 を形成した後の IC 1 1 0 を例示する。従来のマスクング、パターニング、およびエッチング技術を用いて、コンタクト開口部 1 3 0 が誘電体層 1 5 2 および圧縮ストレッサ 1 2 6 を通って形成され、その下にあるゲート構造 1 1 7 のコンタクト部 1 2 4 が露出している。なお引張ストレッサ 1 2 8 と圧縮ストレッサ 1 3 2 との間の境界線 1 3 2 は、コンタクト開口部 1 3 0 から離れて配置されているため、コンタクト開口部 1 3 0 を形成する際には、境界線 1 3 2 を通るエッチングは必要ではない。したがって、図 4 ~ 1 0 を参照して前述した境界線 3 2 に伴う問題は、図 1 4 の実施形態では存在しない。したがって、ストレッサ間 (たとえば引張ストレッサと圧縮ストレッサとの間) の境界線を、開口部が形成される箇所から所定の距離だけ離して配置することによって、改善された開口部 (たとえば改善されたコンタクト開口部 1 3 0 ) を形成することができる。その結果、コンタクトが改善されるため、デバイスが改善される。

20

【 0 0 3 0 】

圧縮ストレッサ 1 2 6 の形成は、コンタクト開口部 1 3 0 が完全に圧縮ストレッサ 1 2 6 を通って形成されるように行なわれているが、代替的な実施形態では、引張ストレッサ 1 2 8 をゲート構造 1 1 7 のコンタクト部分 1 2 4 上でさらに延長して、図 1 4 の断面において、境界線 1 3 2 がコンタクト開口部 1 3 0 の右側に開口部 1 3 0 から離れて位置するように構成することができる。この実施形態では、引張ストレッサ 1 2 8 を通してコンタクト開口部を形成して、その下にあるゲート構造 1 1 7 のコンタクト部 2 4 を露出させるのであって、圧縮ストレッサ 1 2 6 を通して形成するのではない。したがって、コンタクト開口部 1 3 0 を境界線 1 3 2 から離れて配置する (多くの異なる方法で実現することができる) 限りは、コンタクト開口部 1 3 0 を形成する際に、単一のストレッサ層 (すなわち圧縮ストレッサ 1 2 6 のみか引張ストレッサ 1 2 8 のみ) を通るようにエッチングを行なうことが要求されるため、図 4 ~ 1 0 を参照して前記した問題が回避される。

30

【 0 0 3 1 】

図 1 5 に、コンタクト開口部 1 3 0 に導電性材料 1 5 4 が充填された IC 1 1 0 を例示する。従来の充填および化学的機械研磨 ( C M P ) 技術を用いて、コンタクト開口部 1 3 0 に導電性材料 1 5 4 を充填しても良い。また IC 1 1 0 には誘電体層 1 5 6 が含まれ、これは誘電体層 1 5 2 の上に設けられている。誘電体層 1 5 6 には導電性部分 1 5 8 が含まれ、これは導電性材料 1 5 4 に接触している。その結果、ゲート構造 1 1 7 のコンタクト部 1 2 4 に対してコンタクトが形成されている。一実施形態では、導電性材料 1 5 4 には、たとえばタングステンが含まれ、導電性部分 1 5 8 には、たとえば銅が含まれている。なお導電性部分 1 5 8 に対して用いる導電性材料は、導電性材料 1 5 4 と異なっても良い。一実施形態では、少なくとも 1 つの障壁層 (または他のタイプの層) が、導電性材料 1 5 4 と導電性部分 1 5 8 との間に含まれている。そして処理を、当該技術分野で知られているように続けて、誘電体層 1 5 6 および導電性部分 1 5 8 の上に設けられる任意の数の金属層およびビア層を形成して、 IC 1 1 0 のデバイス間で信号を送り、また IC 1 1 0 の入力 / 出力 ( I / O ) ボンド・パッドに信号を送るようにしても良い。

40

50

## 【 0 0 3 2 】

図 1 6 に、本発明の一実施形態による IC レイアウト 2 0 0 を上から見た図を例示する。次に IC レイアウト 2 0 0 を、当該技術分野で知られているように用いて、IC (たとえば IC 1 0 および 1 1 0 ) を形成することができる。たとえばレイアウト 2 0 0 の層を用いて、IC を形成するために用いられる異なるマスクを形成しても良い。レイアウト 2 0 0 は、P チャネル領域 2 0 2 を備えていて、この領域は P チャネル・トランジスタが形成される場所に対応しており、また N チャネル領域 2 0 4 を備えていて、この領域は N チャネル・トランジスタが形成される場所に対応している。例示した実施形態では、領域 2 0 2 および 2 0 4 は、境界線 2 0 1 (点線で表わしている) によって分離されている。一実施形態では、境界線 2 0 1 は N ウェルの境界線を表わしていても良く、この場合に境界線 2 0 1 は、領域 2 0 2 に対する N ウェルのアウトラインを表わす。あるいは、境界線 2 0 1 は P 型拡散の境界線を表わしていても良く、この場合に境界線 2 0 1 は、領域 2 0 2 に対する P 型拡散のアウトラインを表わす。したがって、以下のことに注意されたい。レイアウト 2 0 0 の N ウェル境界線または P 型拡散境界線のいずれかを用いて、N 型領域と P 型領域との間 (N チャネル・トランジスタの形成と P チャネル・トランジスタの形成とにそれぞれ対応する領域の間) の境界線を示すことができる。あるいは、他のレイアウト、特徴部を用いて境界線 2 0 1 を示しても良い。

10

## 【 0 0 3 3 】

一実施形態では、境界線 2 0 1 (N ウェル領域または P 型拡散領域のアウトラインを示していようと、境界線を規定するために用いる任意の他の層のアウトラインを示していようと) によって、境界線 (たとえば前述の境界線 3 2 または 1 3 2 ) が、レイアウト 2 0 0 に対応する集積回路において、圧縮ストレスと引張ストレスとの間に形成される場所が表わされる。たとえば、一実施形態では、レイアウト 2 0 0 を用いて、境界線 2 0 1 を用いて第 1 のマスクを形成する。これは、P チャネル領域内に圧縮ストレスを形成するために用いられる。この第 1 のマスクは、P 型領域 (たとえば領域 2 0 2 (境界線 2 0 1 によって規定される)) を保護して、すべての N 型領域を露出させる。圧縮ストレス 2 8 および 1 2 8 ならびに引張ストレス 2 6 および 1 2 6 の形成に関して前述したように、圧縮ストレス層を IC 基板上 (たとえばゲート構造 1 7 または 1 1 7 上) に形成しても良い。この場合、次に第 1 のマスクを用いて、圧縮ストレス層のうち IC の N チャネル領域上に形成された部分を取り除く。同様に、レイアウト 2 0 0 を用いて、境界線 2 0 1 を用いて第 2 のマスクを形成する。これは、N チャネル領域内に引張ストレスを形成するために用いられる。この第 2 のマスクは、第 1 のマスクの逆とすることができる。すなわち第 2 のマスクは、N 型領域 (たとえば領域 2 0 4 ) を保護して、すべての P 型領域 (たとえば領域 2 0 2 (境界線 2 0 1 によって規定される)) を露出させる。その結果、引張ストレス層を、IC 基板上 (たとえばゲート構造 1 7 または 1 1 7 上) に形成しても良い。この場合、次に第 2 のマスクを用いて、引張ストレス層のうち IC の P チャネル領域上に形成された部分を取り除く (なお代替的な実施形態では、第 2 のマスクを用いて最初に引張ストレスを形成しても良く、次に第 1 のマスクを用いて圧縮ストレスを形成しても良い)。したがって、どのようにしてレイアウト 2 0 0 の境界線 2 0 1 を用いて、N チャネル・トランジスタおよび P チャネル・トランジスタにそれぞれ対応する引張ストレスおよび圧縮ストレスを有する IC を形成するためのマスクを形成できるかを理解することができる。

20

30

40

## 【 0 0 3 4 】

しかし図 4 ~ 1 0 を参照して前記したように、ストレスの境界線において問題が起こることがある (これらの境界線は、ストレスを形成するために用いるマスクを生成するために使用されたレイアウト 2 0 0 の境界線 (たとえば境界線 2 0 1 ) に対応する)。またレイアウト 2 0 0 には、複数のコンタクト開口部 2 0 6 ~ 2 1 5 が含まれている。これらは、コンタクトがレイアウト 2 0 0 に対して形成される場所を表している。コンタクト開口部のうち、境界線 2 0 1 にオーバーラップして位置するもの、境界線 2 0 1 に隣接して位置するもの、または境界線 2 0 1 から所定の距離内にあるものは、境界線 2 0 1 を用

50

いて形成されるストレス境界線から悪影響を受ける場合がある。たとえば、例示した実施形態では、コンタクト開口部 206、207、209、212、214、および 215 は、影響を受ける可能性のあるコンタクト開口部の一部である場合がある。したがって、図 17 ~ 21 を参照して説明するように、境界線 201 を変更して、ストレス境界線の影響を受けるコンタクト開口部がまったくないか実質的にまったくないようにする。次にこの変更した境界線を用いて、前記したように、第 1 のマスクおよび第 2 のマスクを形成する。これらのマスクは、圧縮ストレスおよび引張ストレスを形成するとき用いられる。その結果、変更後は、結果として生じるレイアウトにおいて、実質的にすべてのコンタクト開口部が、いずれかのストレス境界線から少なくとも所定の距離（たとえば 70 ナノメートル）に位置する。なおレイアウト 200 の例示した実施形態では、コンタクト開口部（たとえばコンタクト開口部 206、207、209、212、214、および 215）は、矩形として例示している。しかし代替的な実施形態では、それらは任意の他の形状（たとえば四角形）とすることができる。

#### 【0035】

図 17 ~ 21 に、境界線 201 を変更するために講じても良い種々の繰り返しを例示する。これらの繰り返しは、たとえば、レイアウトを生成するために用いるコンピュータ・システム上でソフトウェアを実行することによって行なっても良い。例示した実施形態では、前述したように、出発境界線（境界線 201）は、N ウェル境界線または P 型拡散境界線のいずれかに対応しても、境界線を規定するために用いられる任意の他の層に対応しても良い。図 17 に例示するのは第 1 の繰り返しである。ここでは、境界線 201 上にあるかまたは境界線 201 から所定の距離にある各コンタクト開口部が拡大されている。したがって、コンタクト開口部 206、217、209、212、214、および 215 はすべて拡大されており、その結果、拡大されたコンタクト開口部 216 ~ 221 にそれぞれなっている。一実施形態では、境界線 201 から約 70 ナノメートル以内にあるすべてのコンタクト開口部が拡大されている。また一実施形態では、コンタクト開口部は約 70 ナノメートルだけ拡大されている。あるいは、約 60 ~ 80 ナノメートルの範囲にあるすべてのコンタクト開口部が、約 60 ~ 80 ナノメートルだけ拡大されている。

#### 【0036】

図 18 に新しい境界線 203 を例示する。この境界線 203 は、出発境界線 201 と拡大されたコンタクト開口部 216 ~ 221 の境界線とを用いて規定されている。その結果、コンタクト開口部 206 ~ 215 のうち、実際に当初の境界線 201 上にあるものもなく、境界線 201 とオーバーラップするものもないことに注意されたい。さらに、どちらの領域（領域 204 かまたは領域 202）にコンタクト開口部の大部分が存在しているかに依存して、コンタクト開口部がその領域に残るように境界線が取られる。たとえば、コンタクト開口部 206 および 207 は大部分が領域 202 に存在しているので、境界線 203 を開口部 206 および 207 の左側に引いて、開口部 206 および 207 が領域 202 に残れるようにする。同様に、境界線 203 を開口部 209 および 212 の右側に引いて、それらが領域 204 に残れるようにする。しかし代替的な実施形態では、境界線 203 が別の仕方で引かれる。たとえば別の実施形態では、代替的なアプローチとして、次のようなものが用いられる。すなわち、境界線から所定の距離にあるかまたは所定の距離内にあるコンタクトの大部分について、境界線を移動させる方向は、コンタクト・エッチング・プロセスが最適な方のストレス膜上にコンタクトがくるような方向である。

#### 【0037】

図 19 に、境界線 203 を変更して新しい境界線 222 を形成した後のレイアウト 200 を例示する。この繰り返しでは、コンタクト開口部から所定の距離内にある境界線がさらに拡張されている（当初の変更と同じ方向である）。たとえば、境界線 222 が以下のように拡張されていることに注意されたい。すなわち、開口部 206 から距離 223 だけさらに左側に拡張されている。開口部 207 から距離 224 だけさらに左側に拡張されている。開口部 209 から距離 228 だけさらに右側に拡張されている。開口部 212 から距離 230 だけさらに右側に拡張されている。開口部 214 から距離 236 だけさらに左

10

20

30

40

50

側に拡張されている。開口部 2 1 5 から距離 2 3 8 だけさらに左側に拡張されている。その結果、境界線 2 0 3 の一部（図 1 9 に破線として示す）が変更されて、境界線 2 2 2（図 1 9 に小さい点線として示す）になっている。いくつかの実施形態では、境界線の拡張は、最大で約 6 0 ~ 8 0 ナノメートルだけ行なわれる。

#### 【 0 0 3 8 】

しかしこの繰り返しの後に、これらの拡張のいずれかによって、境界線が他の開口部または他の能動回路に近すぎることにならないかが判定される。たとえば、図 1 9 では、開口部 2 0 8 と境界線 2 2 2 との間の距離 2 2 6 と、開口部 2 1 0 と境界線 2 2 2 との間の距離 2 3 2 とは近すぎる。たとえば、これらは、ほぼ 6 0 ~ 8 0 ナノメートルの範囲内である。したがって、これらの境界線を次に後退させて、他の開口部または能動回路に近すぎないようにしても良い。

10

#### 【 0 0 3 9 】

したがって図 2 0 に示すように、境界線 2 2 2 を変更して、開口部 2 0 8 と境界線 2 2 2 との間の距離 2 4 4 が図 1 9 の距離 2 2 6 よりも長くなるようにしている。同様に、開口部 2 1 0 と境界線 2 2 2 との間の距離 2 4 8 は、図 1 9 の距離 2 3 2 よりも長い。したがって十分な距離が、境界線 2 2 2 と開口部 2 0 8 および 2 1 0 との間にあるので、開口部がストレス境界線から悪影響を受けることはない。また境界線を開口部 2 1 0 から後退させた後、境界線 2 2 2 によって、まっすぐなエッジが開口部 2 0 9 と 2 1 0 との間から開口部 2 1 2 と 2 1 3 との間まで延びることに注意されたい。この結果、後にさらに説明するように、もっと簡単なマスクを容易に形成することができる。しかし代替的な実施形態では、多くの異なるタイプの基準を用いて境界線を変更して、ストレス境界線の問題を防ぐとともに、マスク・デザインを過度に複雑にすることがないようにする。

20

#### 【 0 0 4 0 】

何らかの距離だけ後退させた後に、レイアウト 2 0 0 をもう一度検査して、より直線状に単純化しても良いノッチまたはタブがないかどうかを判定しても良い。この結果、たとえば、もっと簡単なマスク・デザインを容易に形成することができる。たとえば、図 2 0 を参照して、開口部 2 1 4 および 2 1 5 からもっと左側に境界線が拡張されているために、開口部 2 1 4 および 2 1 5 の拡張部分間に小さいノッチ 2 4 0 が存在することに注意されたい。ノッチ 2 4 0 が十分に小さくて（種々の実施形態において、幅 2 4 1 が約 1 8 0 ~ 2 8 0 ナノメートル未満である）、またノッチ内に他の開口部も特徴部もない場合には、ノッチを取り除くことができる。このことを、たとえば図 2 1 に例示する。

30

#### 【 0 0 4 1 】

同様に（しかし図 2 1 には例示していないが）、開口部間にタブが形成された場合（たとえば境界線 2 2 2 のエッジが、代わりに開口部 2 1 4 および 2 1 5 の右側に拡張されると、開口部 2 1 4 と 2 1 4 との間の左側にタブが延びる）、タブを識別することができ、同様に取り除くことができる。その結果、図 2 1 の太字の破線は、最終的な境界線 2 2 2 の一例を示している。この境界線を用いて、前記したように、圧縮ストレスおよび引張ストレスを形成することができる。たとえば、この最終的な境界線 2 2 2 を用いて、前記した第 1 および第 2 のマスクを形成して、圧縮ストレスおよび引張ストレスを形成しても良い。

40

#### 【 0 0 4 2 】

なお代替的な実施形態では、はるかに多い繰り返しを行なって、レイアウト 2 0 0 および境界線 2 2 2 をさらに単純化しても、他の特徴部を考慮しても良い。また境界線を延ばすこと、境界線を後退させること、ギャップおよびタブを取り除くこと、もっと真っ直ぐな境界線エッジを形成すること、またはこれらの任意の組み合わせからなるさらなる繰り返しを、必要に応じて取っても良い。そしてレイアウト 2 0 0 の結果として生じる境界線を用いて、レイアウト 2 0 0 により製造される IC の圧縮ストレスおよび引張ストレスを形成することが、たとえば従来の処理技術を用いて可能である。また一実施形態では、市販の電子設計自動化（EDA）ツールを用いて、図 1 7 ~ 2 1 について説明したマスク生成アルゴリズムを行なっても良いことに注意されたい。

50

## 【0043】

図22に、実質的にすべてのコンタクトが、いずれかのストレス境界線から所定の距離に位置するIC300を上から見た図の例を示す。たとえば、例示した実施形態では、IC300にはストレス302および304が含まれており、たとえば、ストレス302は、引張ストレスまたは圧縮ストレスの一方であり、又はストレス304は引張ストレスまたは圧縮ストレスの他方である。したがって、ストレス間に位置する多くの境界線が形成される。しかしコンタクト305～325はすべて、境界線から離れて位置するように形成されている。一実施形態では、すべてのコンタクト305～325は、ストレス境界線から少なくとも70ナノメートルだけ離れて位置する。なお、図16～21を参照して説明したようなレイアウトの変更は、コンタクト開口部が確実にストレス境界線上に現れないようにするための方法の一例に過ぎない。あるいは、レイアウトを変更する他の方法、またはコンタクト開口部もしくはコンタクトを配置する他の方法、またはストレスを形成する他の方法を用いて、ICの実質的にすべてのコンタクトが確実に、いずれかのストレス境界線から少なくとも所定の距離だけ離れて位置するようにしても良い。なお一実施形態では、ICの実質的にすべてのコンタクトとは、コンタクトの少なくとも95パーセント、より好ましくはコンタクトの少なくとも99パーセントを指す。また例示した実施形態では、コンタクト（たとえばコンタクト305～325）を四角形として例示しているが、代替的な実施形態では、それらを任意の形状とすることができる。

10

## 【0044】

本発明を実施する装置は、大部分について、当業者に知られている電子部品および回路からなるため、回路の詳細は、前述したように必要であると考えられる程度以上には説明しない。これは、本発明の基礎をなす考え方を理解および認識させるためであり、また本発明の教示を混乱させることもなく、教示からそれることもないようにするためである。

20

## 【0045】

前記の明細書において、本発明を特定の実施形態を参照して説明した。しかし当業者であれば理解するように、添付の請求項において述べるような本発明の範囲から逸脱することなく、種々の変更および変形を行なうことができる。したがって明細書および図は、限定的な意味ではなく例示的な意味で考えるべきであり、このような変更はすべて本発明の範囲に含まれることが意図される。

30

## 【0046】

また説明および請求項における「正面」、「背面」、「最上部」、「底部」、「の上」、「の下」、「右側」、「左側」などの用語は、もしあれば、説明を目的として用いられしており、必ずしも永続的な相対位置を記載するためではない。次のことが理解される。以上のように用いられる用語は適切な状況の下で交換可能であり、すなわち、たとえば本明細書に記載した本発明の実施形態が、例示されているかそうでなければ本明細書に記載されている方位以外の方位でも動作できるようにすることができる。

## 【0047】

以上、特定の実施形態について、利益、他の優位性、および問題の解決方法について説明してきた。しかし利益、優位性、または問題の解決方法、および何らかの利益、優位性、解決方法を生じさせるかまたはより明白にし得るどんな要素も、何れかのまたは全ての請求項の重要であるか、必要であるか、または不可欠である特徴または要素として解釈してはならない。本明細書で用いる場合、用語「含む」、「含んでいる」またはこれらのどんな他の活用形も、包括的に含めることに及ぶことが意図されている。すなわち、要素のリストを含むプロセス、方法、物品、または装置には、これらの要素が含まれているだけでなく、明白にはリストにされていない他の要素、またはこのようなプロセス、方法、物品、もしくは装置に固有の他の要素が、含まれていても良い。

40

## 【0048】

用語「複数」は、本明細書で用いる場合、2つまたは2つを超えると規定される。用語「他の」は、本明細書で用いる場合、少なくとも2番目またはそれを超えると規定される

50

。

## 【 0 0 4 9 】

用語「結合される」は、本明細書で用いる場合、「接続される」であるが、必ずしも直接的には行なわれておらず、また必ずしも機械的には行なわれていないと規定される。

## 【 図面の簡単な説明 】

## 【 0 0 5 0 】

【 図 1 】 集積回路の一部を上から見た図である。

【 図 2 】 図 1 の集積回路を第 1 の方向に沿って見た断面図である。

【 図 3 】 図 1 の集積回路を第 2 の方向に沿って見た断面図およびその後の処理を示す図である。

10

【 図 4 】 図 1 の集積回路を第 2 の方向に沿って見た断面図およびその後の処理を示す図である。

【 図 5 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

【 図 6 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

【 図 7 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

【 図 8 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

20

【 図 9 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

【 図 1 0 】 図 4 の集積回路においてコンタクト開口部を形成する間に生じ得る種々の異なる状況および問題の拡大図である。

【 図 1 1 】 本発明の一実施形態による集積回路の一部を上から見た図である

【 図 1 2 】 処理の種々の段階の間における図 1 1 の集積回路を示す断面図である。

【 図 1 3 】 処理の種々の段階の間における図 1 1 の集積回路を示す断面図である。

【 図 1 4 】 処理の種々の段階の間における図 1 1 の集積回路を示す断面図である。

【 図 1 5 】 処理の種々の段階の間における図 1 1 の集積回路を示す断面図である。

【 図 1 6 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

30

【 図 1 7 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

【 図 1 8 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

【 図 1 9 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

【 図 2 0 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

【 図 2 1 】 本発明の実施形態による集積回路に対するレイアウトを形成する種々の段階における集積回路のレイアウトを例示する図である。

40

【 図 2 2 】 本発明の一実施形態による集積回路を上から見た図である。

【 図 1 】

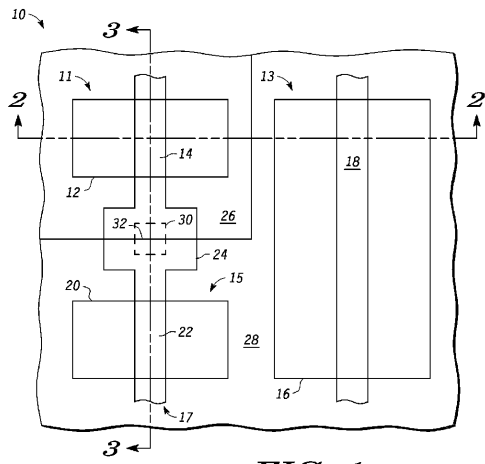


FIG. 1

【 図 2 】

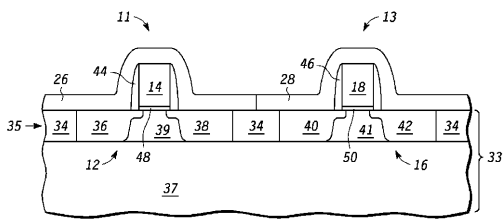


FIG. 2

【 図 3 】

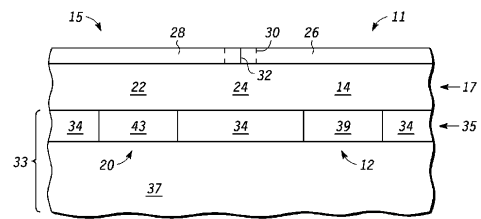


FIG. 3

【 図 4 】

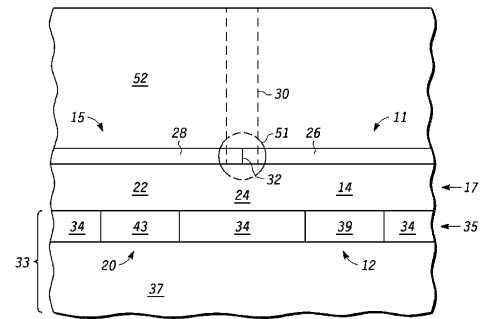


FIG. 4

【 図 5 】

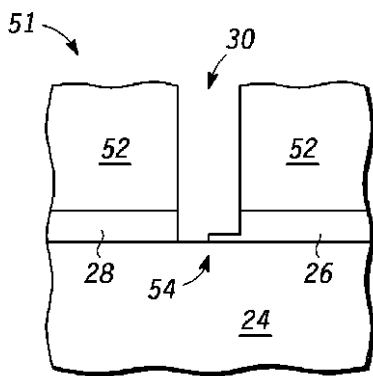


FIG. 5

【 図 6 】

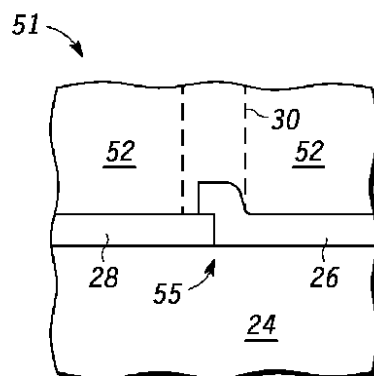
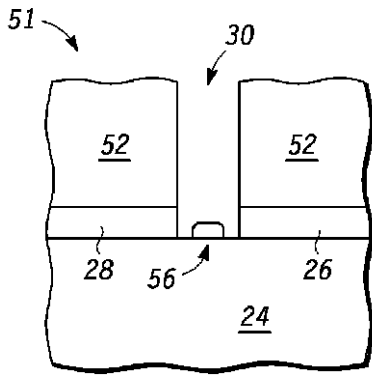


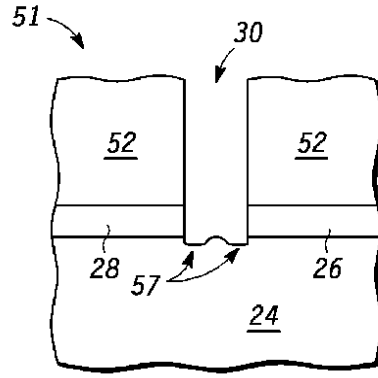
FIG. 6

【 図 7 】



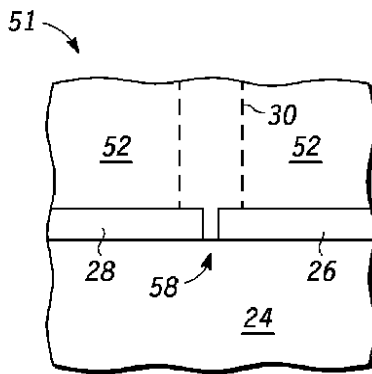
*FIG. 7*

【 図 8 】



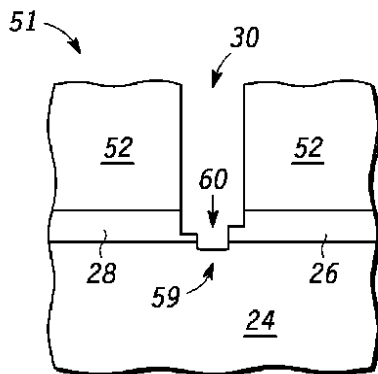
*FIG. 8*

【 図 9 】



*FIG. 9*

【 図 10 】



*FIG. 10*

【図 11】

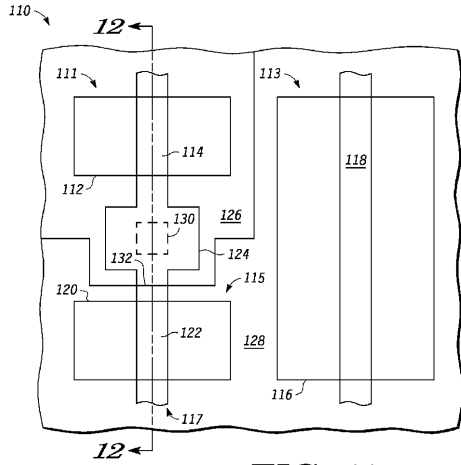


FIG. 11

【図 12】

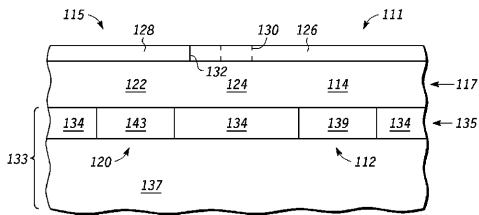


FIG. 12

【図 15】

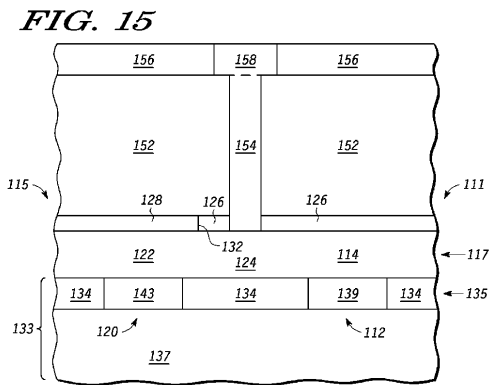


FIG. 15

【図 16】

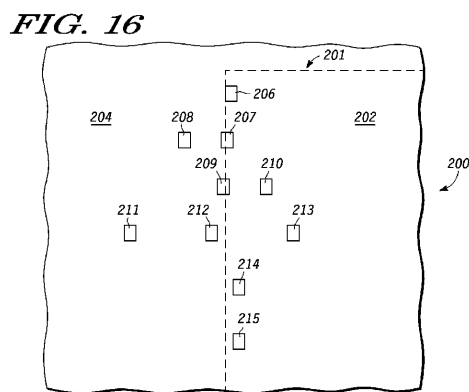


FIG. 16

【図 13】

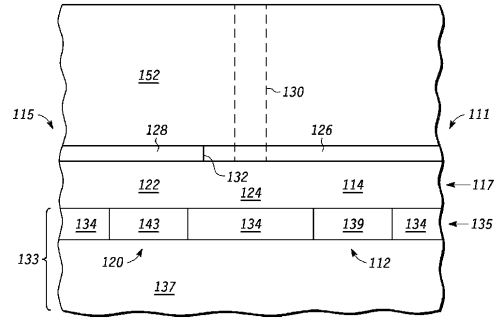


FIG. 13

【図 14】

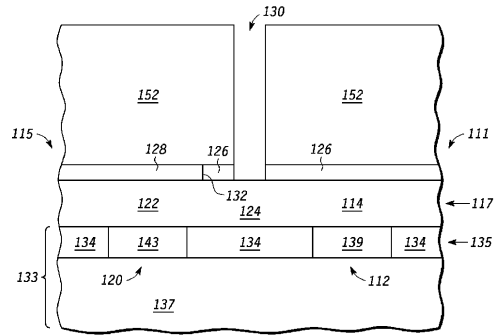


FIG. 14

【図 17】

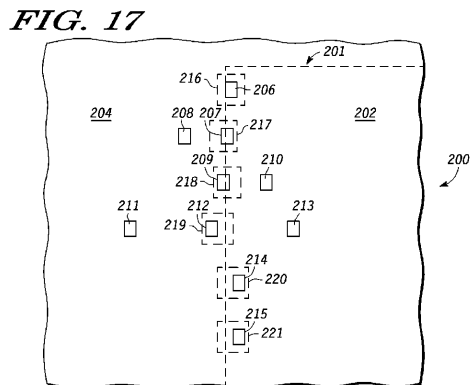


FIG. 17

【図 18】

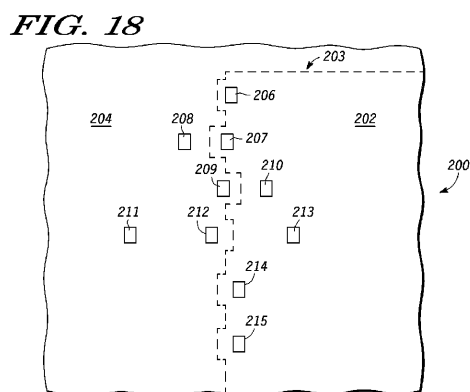


FIG. 18


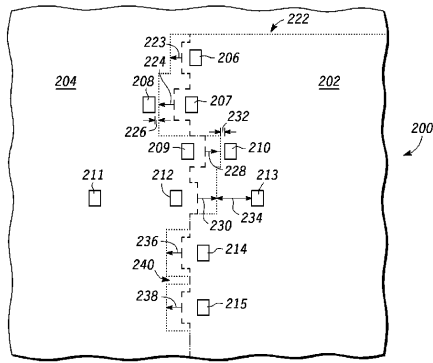
【 19】

FIG. 19




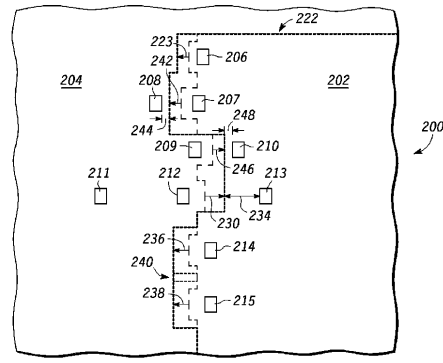
【 21】

FIG. 21




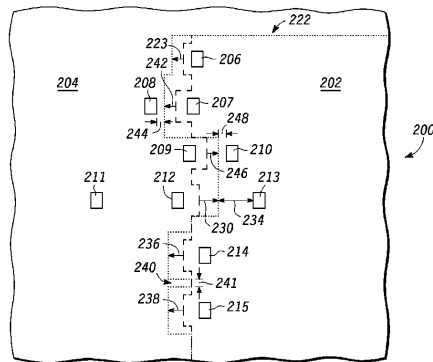
【 20】

FIG. 20




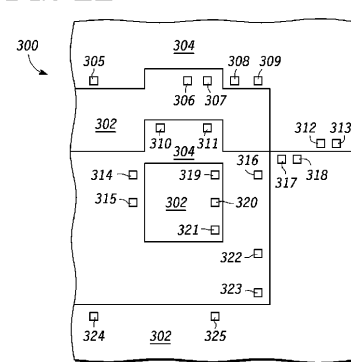
【 22】

FIG. 22



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	21/768 (2006.01)	H 0 1 L	21/88 Z
H 0 1 L	21/3205 (2006.01)	H 0 1 L	21/90 K
H 0 1 L	23/522 (2006.01)	H 0 1 L	21/90 C
H 0 1 L	23/532 (2006.01)	H 0 1 L	21/28 L
H 0 1 L	21/28 (2006.01)	H 0 1 L	27/04 A
H 0 1 L	21/822 (2006.01)		
H 0 1 L	27/04 (2006.01)		

(72)発明者 グルドフスキー、ポール エイ.  
アメリカ合衆国 78750 テキサス州 オースティン ロッカビー ドライブ 10501

審査官 安田 雅彦

(56)参考文献 特開2004-023047(JP,A)  
特開2005-322730(JP,A)  
特開2003-273240(JP,A)  
特開2007-088452(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 27/088  
H 0 1 L 21/8234  
H 0 1 L 29/78  
H 0 1 L 21/336  
H 0 1 L 21/768  
H 0 1 L 21/82  
H 0 1 L 21/31