

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 7/04 (2006.01)

H04L 29/06 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410009558.2

[45] 授权公告日 2010年2月10日

[11] 授权公告号 CN 100589373C

[22] 申请日 2004.9.14

[21] 申请号 200410009558.2

[73] 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦 A 座 6 层

[72] 发明人 闫华梁 程 浩

[56] 参考文献

CN1423490A 2003.6.11

US6594327B1 2003.7.15

US2002/0097749A1 2002.7.25

CN1522021A 2004.8.18

CN1430352A 2003.7.16

审查员 白芳芳

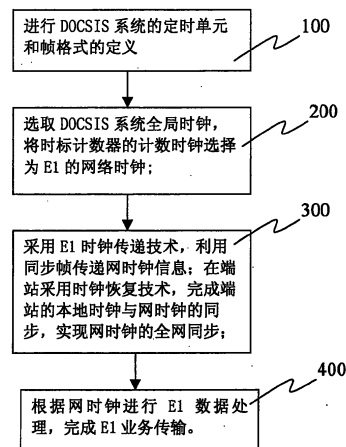
权利要求书 3 页 说明书 14 页 附图 7 页

[54] 发明名称

实现网时钟不同步的多个 E1 业务传输的方法及系统

[57] 摘要

本发明涉及一种实现网时钟不同步的多个 E1 业务传输的方法，包括：进行定时单元和帧格式的定义；选取用于 DOCSIS 协议的全局时钟，将同步帧中的时标计数器的计数时钟选择为固定的一路 E1 的网络时钟，通过下行链路定时发送同步帧完成整个系统的同步，实现兼容网时钟同步的几路 E1 传输；采用 E1 时钟传递技术，在无线接入系统的同步帧中存储网时钟信息，利用同步帧传递网时钟信息；在无线接入系统的端站侧采用时钟恢复技术，完成端站的本地时钟与网时钟的同步，从而实现网时钟的全网同步；根据所述全网同步的网时钟进行 E1 数据处理，完成 E1 业务传输。本发明解决了基于 DOCSIS 协议的多个网时钟独立的 E1 传输的问题。



1、一种实现网时钟不同步的多个 E1 业务传输的方法，用于可实现基于 DOCSIS 协议的 E1 业务传输的无线接入系统，其特征在于，包括如下步骤：

步骤一，进行无线接入系统用于 DOCSIS 协议的定时单元和帧格式的定义；

步骤二，选取无线接入系统用于 DOCSIS 协议的全局时钟，将所述无线接入系统的同步帧中的时标计数器的计数时钟选择为固定的一路 E1 的网络时钟，通过下行链路定时发送同步帧完成整个系统的同步，从而可以实现兼容网时钟同步的几路 E1 传输；

步骤三，采用 E1 时钟传递技术，在所述无线接入系统的同步帧中存储网时钟信息，从而利用同步帧传递网时钟信息；在所述无线接入系统的端站侧采用时钟恢复技术，完成端站的本地时钟与所述网时钟的同步，从而实现网时钟的全网同步；

步骤四，根据所述全网同步的网时钟进行 E1 数据处理，完成 E1 业务传输。

2、根据权利要求 1 所述的方法，其特征在于，所述步骤一中进一步包括：

步骤 A，定义上行发送的定时单元为微时隙，所述微时隙同所述同步帧中的时标计数器同步；

步骤 B，定义下行 MPEG 的帧格式，标记 MPEG 帧中 E1 数据的总长度；

步骤 C，定义下行 E1 帧格式，在下行 E1 帧中包括 E1 长度域和 E1 端口号；

步骤 D，定义上行 E1 帧格式，在上行 E1 帧中包括同步标记和同步校验。

3、根据权利要求 1 或 2 所述的方法，其特征在于，所述步骤四中进一步包括：

步骤 a，进行上行 E1 业务的发送时机在上行信道带宽映射 MAP 中的分配，以整个 MAP 为基准，使 MAP 周期为 E1 发送周期的整数倍，E1 带宽在 MAP 中采用固定分配带宽的方式周期性发送 E1 数据；

步骤 b，进行 E1 数据下行预成帧处理，以 MPEG 帧周期作为空中帧数据的处理周期，根据预测的下一个 MPEG 帧中可以用来存储 E1 的字节数，读取 E1 接口的数据，分别读取几路 E1 的数据并成帧，封装为 MPEG 帧，在调制时钟的控制下完成数据的发送；

步骤 c，进行端站下行 E1 数据接收处理，根据所述 MPEG 帧格式及 E1 帧格式中下行 E1 数据在 MPEG 帧中的位置和长度，由所述系统的拆帧模块把所有

E1 数据以及相关信息全部拆离到一个存储器中，然后进行所述系统的各个 E1 口数据的提取及发送；

步骤 d，进行端站上行发送处理完成上行 E1 数据的成帧及发送；

步骤 e，进行基站 E1 接收处理完成上行 E1 数据的拆帧及发送。

4、根据权利要求 3 所述的方法，其特征在于，所述步骤 a 中还包括，在每个 MAP 周期中，固定一段带宽区域专用于传输 E1，MAP 中业务带宽的分配以微时隙边界为起点和终点。

5、根据权利要求 3 所述的方法，其特征在于，所述步骤 c 中还包括，当所述存储器的缓冲区写满 10 个 E1 帧才启动发送信号，由所述系统的发送电路从缓冲区读取并行数据，然后进行并串转换，根据 E1 接口的时序，把串行数据发送到 E1 端口上。

6、根据权利要求 3 所述的方法，其特征在于，所述步骤三中，通过对同步帧进行改造，在同步帧中增加一组字节来存储所述网时钟信息。

7、根据权利要求 3 所述的方法，其特征在于，所述步骤三中，所述端站侧是利用四路独立的锁相环，完成端站的本地时钟与所述网时钟的同步。

8、根据权利要求 3 所述的方法，其特征在于，所述上行发送处理包括一个上行突发帧号产生流程，包括：定义一帧号计数器，用来记录端站发送的 E1 帧的帧号，端站复位时帧号计数器置零，根据 E1 的帧周期信号进行帧计数器的加一过程，并且帧计数器加一后进行存储器的乒乓结构的切换，帧计数器超出 31 后重新置零。

9、一种实现网时钟不同步的多个 E1 业务传输的无线接入系统，用于进行符合 DOCSIS 协议的 E1 业务的传输，其特征在于，包括信号连接的基站侧和端站侧；

所述基站侧和端站侧分别包括相连接的微处理器和现场可编程门阵列；

所述微处理器用于进行所述系统的 E1 时隙表的配置及 MAP 的生成；

所述现场可编程门阵列用于选取所述系统全局时钟，兼容网时钟同步的几路 E1 传输，还利用 E1 时钟传递技术和时钟恢复技术实现网时钟的全网同步，并且根据所述全网同步的网时钟进行 E1 数据处理，及发送控制，完成 E1 业务传输，其中，所述基站侧的现场可编程门阵列进一步包括：下行时隙表模块、上行时隙表模块、上行突发包到达参数模块，上行 E1 接收控制电路、下行成

帧电路、时钟传递及时标产生电路和 E1 接口电路；所述基站的微处理器分别连接所述下行时隙表模块、上行时隙表模块和上行突发包到达参数模块，所述上行 E1 接收控制电路连接所述上行时隙表模块和上行突发包到达参数模块；所述下行时隙表模块连接所述下行成帧电路；所述时钟传递及时标产生电路连接所述上行 E1 接收控制电路和 E1 接口电路；

所述端站侧的现场可编程门阵列进一步包括：下行时隙表模块、上行时隙表模块、上行突发包到达参数模块，上行 E1 发送控制电路、下行拆帧电路、时钟恢复及时钟同步电路和 E1 接口电路；所述端站的微处理器分别连接所述下行时隙表模块、上行时隙表模块和上行突发包到达参数模块，所述上行 E1 发送控制电路连接所述上行时隙表模块和上行突发包到达参数模块；所述下行时隙表模块连接所述下行拆帧电路；所述时钟恢复及时钟同步电路连接所述上行 E1 发送控制电路和 E1 接口电路。

实现网时钟不同步的多个 E1 业务传输的方法及系统

技术领域

本发明涉及一种在 DOCSIS 协议下实现网时钟不同步的多个 E1 业务传输的方法及系统，特别是涉及在宽带无线接入系统中实现 E1 传输的方法及系统。

背景技术

DOCSIS 协议（有线电视数据服务传输规范, Data-Over-Cable Service Interface Specifications）是对在混合光纤/同轴网络上进行双向 IP 数据传输的用户侧设备—电缆调制解调器（CM）进行的规范。DOCSIS 协议本身不支持实时电路业务的传输。DOCSIS 协议规定：下行方向采用 MPEG 作为 MAC 帧的汇聚层，以一定的 MPEG 周期完成 MAC 帧的传输。MPEG 帧周期由符号速率及调制方式决定。如符号速率为 2.56Mbps，调制方式为 16QAM 的 MPEG 帧的发送周期为 159.375us。MPEG 帧格式如下：

帧头 (5 个字节)	MAC 帧 (最大 183 字节)	前向纠错 (16 字节)
---------------	----------------------	-----------------

空中数据传输速率为符号速率 \times 1 个符号对应的 bit 数，如符号速率为 2.56Mbps，调制方式为 16QAM 的空中数据传输速率为 10.24Mbps。空中数据在物理层上的发送时钟采用的是调制器提供的时钟。

另 E1 帧周期为 125us，E1 码速率为 2.048Mbps，E1 接口收发时钟是采用与网络侧同步的时钟，这种空中传输速率与 E1 码速率不匹配以及空中发送时钟与 E1 接口时钟的不同步问题会造成 E1 业务传输时出现帧丢失。一般可采用润帧的方式可以实现时钟的匹配，即在一个 MPEG 帧中有时传一个 E1 帧，有时传两个 E1 帧的方式实现速率匹配。但这种方式的一个缺陷就是由于受到 MPEG 帧中最大可传输的字节个数的限制（最大 183 字节），能提供 E1 业务的路数受到了限制，最大只能传输两路 E1，这样对空中带宽造成了很大的浪费。另在时钟匹配过程设计中需考虑宽带无线接入系统对单向 E1 传输的延时不大于

5ms 要求。

上行方向：DOCSIS 协议规定采用 TDMA (时分多址) 的方式进行上行业务的发送。TDMA 机制的发送时机的控制时钟是为 DOCSIS 系统时钟，带宽分配的微时隙的基准时钟也是 DOCSIS 系统时钟，由于上行 E1 的时钟与 DOCSIS 时钟不同源，使得在业务发送时刻到来时 E1 帧不能保证其帧结构的完整性，如果采用此不完帧的 E1 帧进行传输，会出现 E1 帧的滑码，或者出现上行 E1 传输延时过大的问题，延时不满足宽带无线接入系统单向延时小于 5ms 的要求。

发明内容

本发明所要解决的技术问题在于提供一种实现网时钟不同步的多个 E1 业务传输的方法及系统，解决现有技术不能基于 DOCSIS 协议实现多个网时钟独立的 E1 传输的问题。

为了实现上述目的，本发明提供了一种实现网时钟不同步的多个 E1 业务传输的方法，用于可实现基于 DOCSIS 协议的 E1 业务传输的无线接入系统，其特点在于，包括如下步骤：步骤一，进行无线接入系统用于 DOCSIS 协议的定时单元和帧格式的定义；步骤二，选取无线接入系统用于 DOCSIS 协议的全局时钟，将所述无线接入系统的同步帧中的时标计数器的计数时钟选择为固定的一路 E1 的网络时钟，通过下行链路定时发送同步帧完成整个系统的同步，从而可以实现兼容网时钟同步的几路 E1 传输；步骤三，采用 E1 时钟传递技术，在所述无线接入系统的同步帧中存储网时钟信息，从而利用同步帧传递网时钟信息；在所述无线接入系统的端站侧采用时钟恢复技术，完成端站的本地时钟与所述网时钟的同步，从而实现网时钟的全网同步；步骤四，根据所述全网同步的网时钟进行 E1 数据处理，完成 E1 业务传输。

上述的方法，其特点在于，所述步骤一中进一步包括：步骤 A，定义上行发送的定时单元为微时隙，所述微时隙同所述同步帧中的时标计数器同步；步骤 B，定义下行 MPEG 的帧格式，标记 MPEG 帧中 E1 数据的总长度；步骤 C，定义下行 E1 帧格式，在下行 E1 帧中包括 E1 长度域和 E1 端口号；步骤 D，定义上行 E1 帧格式，在上行 E1 帧中包括同步标记和同步校验。

上述的方法，其特点在于，所述步骤四中进一步包括：步骤 a，进行上行 E1 业务的发送时机在上行信道带宽映射 MAP 中的分配，以整个 MAP 为基准，使

MAP 周期为 E1 发送周期的整数倍，E1 带宽在 MAP 中采用固定分配带宽的方式周期性发送 E1 数据；步骤 b，进行 E1 数据下行预成帧处理，以 MPEG 帧周期作为空中帧数据的处理周期，根据预测的下一个 MPEG 帧中可以用来存储 E1 的字节数，读取 E1 接口的数据，分别读取几路 E1 的数据并成帧，封装为 MPEG 帧，在调制时钟的控制下完成数据的发送；步骤 c，进行端站下行 E1 数据接收处理，根据所述 MPEG 帧格式及 E1 帧格式中下行 E1 数据在 MPEG 帧中的位置和长度，由所述系统的拆帧模块把所有 E1 数据以及相关信息全部拆离到一个存储器中，然后进行所述系统的各个 E1 口数据的提取及发送；步骤 d，进行端站上行发送处理完成上行 E1 数据的成帧及发送；步骤 e，进行基站 E1 接收处理完成上行 E1 数据的拆帧及发送。

上述的方法，其特点在于，所述步骤 a 中还包括，在每个 MAP 周期中，固定一段带宽区域专用于传输 E1，MAP 中业务带宽的分配以微时隙边界为起终点。

上述的方法，其特点在于，所述步骤 c 中还包括，当所述存储器的缓冲区写满 10 个 E1 帧才启动发送信号，由所述系统的发送电路从缓冲区读取并行数据，然后进行并串转换，根据 E1 接口的时序，把串行数据发送到 E1 端口上。

上述的方法，其特点在于，所述步骤三中，通过对同步帧进行改造，在同步帧中增加一组字节来存储所述网时钟信息。

上述的方法，其特点在于，所述步骤三中，所述端站侧是利用四路独立的锁相环，完成端站的本地时钟与所述网时钟的同步。

上述的方法，其特点在于，所述上行发送处理包括一个上行突发帧号产生流程，包括：定义一帧号计数器，用来记录端站发送的 E1 帧的帧号，端站复位时帧号计数器置零，根据 E1 的帧周期信号进行帧计数器的加一过程，并且帧计数器加一后进行存储器的乒乓结构的切换，帧计数器超出 31 后重新置零。

上述的方法，其特点在于，所述上行发送处理包括一个上行发送地址产生流程，包括：利用 P_valid 变量记录当前的读地址，利用 P_tail 变量记录当突发时刻到达时的 E1 突发包存储器的开始写地址，利用 P_head 变量记录 E1 突发包存储器的开始读地址；根据第一个 E1 发送时刻是否到来确定三个变量的转换关系：当第一个 E1 发送时刻到来时，三个变量的转换关系是 $P_head \leq P_valid$ ， $P_tail \leq P_valid$ ；当后续 E1 发送时刻到来时，三个变

量的转换关系是 $P_head \leq P_tail$, $P_tail \leq P_valid$; E1 突发包的发送长度为: $E1_length = P_tail[9:0] - P_head[9:0]$; E1 帧头的信息为: 第一个 E1 数据字节对应的时隙号 $= P_head[14:10]$, 第一个 E1 数据对应的帧号 $= P_head[9:5]$; 对 E1 突发包存储器的读地址为 $L2_readaddr = \text{基地址} + P_head$ 。

上述的方法, 其特点在于, 还包括上行突发 E1 的接收过程中根据时隙表来计算字节地址的实现流程, 包括: 当 E1 突发包到达时, 根据基站存储的突发包的对应的端站号及 E1 端口标识, 从时隙表中提取 32bit 的时隙; 突发包帧头中的时隙号定位第一个时隙, 此时隙号即为帧内的第一个写地址, 下一个字节数据的帧内写地址根据时隙表中下一个号对应为一个位置号; 当 32 位的时隙表搜索一次后, 如果突发数据没有结束, 再根据时隙表进行下一 32 字节的 E1 帧对应字节写地址, 直到突发数据结束。

为了更好的实现本发明的目的, 本发明还提供了一种实现网时钟不同步的多个 E1 业务传输的无线接入系统, 用于进行符合 DOCSIS 协议的 E1 业务的传输, 其特点在于, 包括信号连接的基站侧和端站侧; 所述基站侧和端站侧分别包括相连接的微处理器和现场可编程门阵列; 所述微处理器用于进行所述系统的 E1 时隙表的配置及 MAP 的生成; 所述现场可编程门阵列用于选取所述系统全局时钟, 兼容网时钟同步的几路 E1 传输, 还利用 E1 时钟传递技术和时钟恢复技术实现网时钟的全网同步, 并且根据所述全网同步的网时钟进行 E1 数据处理, 及发送控制, 完成 E1 业务传输。

上述的实现网时钟不同步的多个 E1 业务传输的无线接入系统, 其特点在于, 所述基站侧的现场可编程门阵列进一步包括: 下行时隙表模块、上行时隙表模块、上行突发包到达参数模块, 上行 E1 接收控制电路、下行成帧电路、时钟传递及时标产生电路和 E1 接口电路; 所述基站的微处理器分别连接所述下行时隙表模块、上行时隙表模块和上行突发包到达参数模块, 所述上行 E1 接收控制电路连接所述上行时隙表模块和上行突发包到达参数模块; 所述下行时隙表模块连接所述下行成帧电路; 所述时钟传递及时标产生电路连接所述上行 E1 接收控制电路和 E1 接口电路。

上述的实现网时钟不同步的多个 E1 业务传输的无线接入系统, 其特点在于, 所述端站侧的现场可编程门阵列进一步包括: 下行时隙表模块、上行时隙表模块、上行突发包到达参数模块, 上行 E1 发送控制电路、下行拆帧电路、

时钟恢复及时钟同步电路和 E1 接口电路；所述端站的微处理器分别连接所述下行时隙表模块、上行时隙表模块和上行突发包到达参数模块，所述上行 E1 发送控制电路连接所述上行时隙表模块和上行突发包到达参数模块；所述下行时隙表模块连接所述下行拆帧电路；所述时钟恢复及时钟同步电路连接所述上行 E1 发送控制电路和 E1 接口电路。

本发明的技术效果在于：

本发明很好地解决了基于 DOCSIS 协议实现多个网时钟独立的 E1 传输的问题。解决了 E1 时钟与空中传输时钟的匹配问题，在满足无线宽带接入系统对 E1 单向延时要求下实现了 E1 业务的可靠传输。

附图说明

- 图 1 为宽带接入系统框图；
- 图 2 为下行 E1 发送处理框图；
- 图 3 为下行 E1 接收端处理框图；
- 图 4 为上行 E1 发送结构框图；
- 图 5 为上行 E1 接收总体的系统逻辑层次图；
- 图 6 为上行突发帧号产生流程；
- 图 7 为上行突发包存储器读写地址产生流程；
- 图 8 为上行突发 E1 接收的算法实现流程；
- 图 9 为系统实现框图；
- 图 10 为本发明的步骤流程图。

具体实施方式

图 10 为本发明的步骤流程图；本发明一种实现网时钟不同步的多个 E1 业务传输的方法，用于基于 DOCSIS 协议的系统，如图所示，包括如下步骤：

步骤 100，进行 DOCSIS 系统的定时单元和帧格式的定义；

步骤 200，选取 DOCSIS 系统全局时钟，将所述 DOCSIS 系统的同步帧中的时标计数器的计数时钟选择为固定的一路 E1 的网络时钟，通过下行链路定时发送同步帧完成整个系统的同步，从而可以兼容网时钟同步的几路 E1 传输的实现；

步骤 300, 采用 E1 时钟传递技术, 在同步帧中存储网时钟信息, 从而利用同步帧传递网时钟信息; 在 DOCSIS 系统的端站侧采用时钟恢复技术, 完成端站的本地时钟与所述网时钟的同步, 从而实现网时钟的全网同步;

步骤 400, 根据所述全网同步的网时钟进行 E1 数据处理, 完成 E1 业务传输。

以下用详细步骤进一步说明本发明的方法, 包括:

第一步: 定时单元定义

在 DOCSIS 协议中上行发送的定时单元为微时隙, 微时隙与时标计数器的对应关系要求微时隙必须同 SYNC 帧中的时标计数器同步。定义一个 tick 为 64 个 8.192Mhz 的时钟, 定义一个微时隙为 256 个 8.192Mhz 的时钟。即 32 位的时标计数器的高 24 位与 24 位的微时隙计数器同步, 故一个微时隙的时间为 31.25us。

第二步: 下行 MPEG 的帧格式定义

为了实现下行 E1 的传输我们对 DOCSIS 协议提供的 MPEG 帧进行扩展修改。修改后的帧格式如下: MPEG 帧由 188 字节的有效数据和 16 字节编码字节组成其中, 188 个由效字节的定义字为:

47H	信息码	E1 长度	MAC1 地址 (1 字节)	MAC2 地址 (1 字节)	MAC3 地址 (1 字节)	SYNC 数据 (如果有)	E1 数据 (如果有)	MAC 数据
-----	-----	-------	-------------------	-------------------	-------------------	------------------	----------------	--------

第一个 byte 为固定码 47H;

信息码:

时隙切换标志 (2bit)	有无 SYNC 标志(2bit)	空闲(1bit)	有无 MAP 标志(1bit)	有无管理标志(1bit)	有无 IP 标志 (1bit)
------------------	------------------	----------	-----------------	--------------	--------------------

MAC1 地址表示第一个 MAC 帧 (不包括 MAP 帧) 所在 MPEG 帧的起始位置;
MAC2 地址表示第二个 MAC 帧 (不包括 MAP 帧) 所在 MPEG 帧的起始位置;
MAC3 地址表示第三个 MAC 帧 (不包括 MAP 帧) 所在 MPEG 帧的起始位置;
MAC 表示当前 MPEG 帧中的所有种类的 MAC 数据;

E1 长度: 本 MPEG 帧中 E1 数据的总长度。

第三步: 下行 E1 帧格式定义

E1 帧结构定义表

E1 长度域	E1 端口号/第一字节对应的时隙号	E1 有效载荷
--------	-------------------	---------

E1 长度域（1 字节）：此长度域表示在 125us 发送时刻到达时，接收到的一路 E1 数据的总的长度（以字节为单位），用此长度域作为 E1 数据的指针定位标志。

E1 端口号/第一字节对应的时隙号：一个字节，高三位对应端口号：取值范围 1-4 表示对应 E1 数据来自基站侧多个 E1 口的哪个 E1 端口。低五位表示本 E1 包开始隙号：取值范围为 0-31。

有效载荷：在 125us 内的有效载荷基础上增加两个字节的速率匹配字节：有效载荷最大字节数为 $32+2=34$ 。

第四步：上行 E1 帧结构定义

为了实现上行空中时钟与 E1 时钟匹配处理，实现 E1 数据在 E1 端口收发连续性，定义如下的帧结构：

首字节的帧号	首字节的时隙号	同步标记	同步校验	E1 有效载荷
--------	---------	------	------	---------

首字节的帧号 5bit：表示在空中传输中 2ms 内 E1 帧中有效 E1 数据的第一个字节对用的帧号；

首字节的时隙号 5bit：表示在空中传输中 2ms 内 E1 帧中有效 E1 数据的第一个字节对用的时隙号；

同步标记 6bit：在基站侧接收到 E1 包写入基站侧的 E1 接收存储器时，为了避免写地址与读地址的冲突，在突发包中增加一突发标志，基站根据这个标记，确定基站 E1 存储器的写起始地址。当端站启动或时隙表更新时，基站根据收到的此同步字节进行一次写地址同步操作。为了防止在无线传输过程中标志的发生错误，采用连续发送标志位（如连续发送 64 次），和增加校验标志的方式实现。

同步校验 8bit：同步校验是为了防止包头传错而错误地收到同步标记

考虑时钟异步的补偿 E1 有效载荷为 $3+16*N+2 = 5+16*N$

MAP 对 E1 的主动提供的最大带宽按如下 $3+16*N+2 = 5+16*N$ 的有效数据进行带宽分配，其中 N 为配置的时隙数。

第五步：DOCSIS 系统全局时钟参考的选取

在 DOCSIS 协议中,全局时钟的参考是通过下行链路定时发送 SYSC(同步)帧完成整个系统的同步。其中 SYNC 帧包括有一 32 位的时标计数器。系统的同步时钟是通过时标计数器来同步。在 DOCSIS 协议中 SYNC 时标计数器的计数时钟为 10.24Mhz,在扩展 E1 业务下选择时标计数器的计数时钟为固定的一路 E1 的网络时钟 8.192Mhz。选用此时钟作为参考,可以兼容网时钟同步的几路 E1 传输的实现。

第六步：实现网时钟的全网同步

为了实现 E1 时钟的全网同步,采用了 E1 时钟传递技术,通过对 SYNC 帧进行改造,在 SYNC 中增加一组字节(每路提供三个字节)用于存储网时钟信息,利用 SYNC 传递网时钟信息,在端站侧采用时钟恢复技术,恢复出每一路 E1 的网时钟,在端站侧利用四路独立的锁相环,完成端站 E1 本地时钟与传下来的网时钟的同步。

第七步：E1 业务发送时机在 MAP 中的分配。

本系统中 E1 业务的上行分配是以整个 MAP 为基准的,为了实现简单,我们定义 MAP 周期为 E1 发送周期的整数倍。E1 带宽在 MAP 中采用固定分配带宽的方式周期性发送 E1 数据。如定义 MAP 周期为 8ms, E1 周期为 2ms, E1 的上行带宽分配采用固定带宽分配的方式。即在每个 MAP 周期中,固定一段时间用于传输 E1,其他业务不能占用此带宽区域,MAP 中业务带宽的分配以微时隙边界为起终点。

第八步：E1 数据下行预成帧处理

此步骤实现 E1 接收来的数据的接收功能,并完成与下行空中时钟的匹配功能。实现框图见图 1。在基站侧以 MPEG 帧成帧时钟(如 10.24Mhz)为基准产生 125us 周期的读 E1 信号,根据此信号读取 E1 接口来的数据,此时读到的第一个字节就是一个 E1 帧的开始,并存储当前的时隙号及当前的 E1 数据长度,此周期信号同时控制对 E1 接口存储器进行乒乓切换。在预成帧过程中,以 MPEG 帧周期作为空中帧数据的处理周期,根据预测的下一个 MPEG 帧中可以用来存储 E1 的字节数,读取 E1 接口的数据。分别读取几路 E1 的数据并成帧,封装为 MPEG 帧,在调制时钟的控制下完成数据的发送。

第九步：端站下行 E1 数据接收处理

根据前面定义的 MPEG 帧格式及 E1 帧格式规定,下行 E1 数据在 MPEG 帧中有固定的位置,在帧头中有该 MPEG 中 E1 数据的长度,这个长度表示该 MPEG 帧中所有 E1 数据净荷长度和它们的各自帧头开销。MPEG 拆帧模块根据这个长度把所有 E1 数据以及相关信息全部拆离到一个存储器中,然后开始各个 E1 口数据的提取及发送。

处理过程为:首先初始化 E1 发送存储器的地址,读取放在双口 RAM 起始地址的某一个端口 E1 的长度,然后读取端口号和第一个字节的时隙号,根据端口号,及端口映射表判断是不是本端站的数据,如果是,就根据刚读取的端口的 E1 长度,配合 AU 侧的时隙分配表和 SU 的时隙映射表,把该端口的 E1 数据读出并写入发送缓冲区。读完以后,在判断下面的数据是不是该端站的数据,如果是,用同样的方法操作,如果不是,就根据当时读取的端口 E1 长度更新读地址,指向下一个端口数据信息,然后在进行判断,一直操作到该 MPEG 帧所带的 E1 数据全部结束为止。

为了保证发送数据的连续性,我们在写缓冲区时写满 10 个 E1 帧才启动发送信号,发送电路从发送缓冲区读取并行数据,然后进行并串转换,根据 E1 的接口时序,把串行数据发送到 E1 端口上,完成发送任务。

第十步:端站上行发送处理

根据图 4 的处理完成上行 E1 数据的成帧及发送。

第十一步:基站 E1 接收处理

根据图 4 的处理完成上行 E1 数据的拆帧及发送。

以下对本发明步骤中的具体细节进行说明。

图 1 为宽带接入系统框图,在该系统 10 中,来自网络侧的几路 E1 业务 11 的网时钟不同步,系统的基站 12 中,下行方向处理从网络侧来的 E1 数据的接收及成帧发送;上行方向处理从无线接收到 E1 突发帧的接收处理及 E1 数据的发送控制。并完成 DOCSIS 协议的空中传输控制。

在系统的端站 13、14 中,下行方向处理从基站 12 侧发来的帧的处理,完成 E1 数据的提取及发送;上行方向处理从下端网络来的 E1 数据的接收及突发成帧与突发发送控制。同时完成 DOCSIS 协议的空中传输控制。来自网络侧的几路 E1 业务 15、16 的时钟可不同步,但需与基站侧的对应 E1 口从网络侧来的时钟同步。

图 2 为下行 E1 发送处理框图，其中的模块 21 根据 E1 接口时序完成 E1 串行数据的串并转换，E1 存储器 22，一共开 4 块 64 字节的存储块，用于存储串并转换后的 E1 数据。与 10.24Mh 的时钟为基准进行的 8K 信号产生器 23 发出 8k 信号，8k 信号提供给串并转换写入 E1 存储器中的存储块切换控制，每来一个 8K 信号，存储块切换一下，串并转换后的 E1 数据就从新的存储块开始写入。E1 成帧控制 24，根据 MPEG 帧同步信号，及 MPEG 留给 E1 数据的有效带宽，读取存储器 22 中的数据（每一路读取存储器中的一块数据），并根据本存储块中的第一字节对应的时隙，进行 E1 帧的封装。写入存储器 25 中，在存储器 25 中进行 MPEG 帧的封装，通过并串转换模块 26 完成基站侧数据的发送。

图 3 为下行 E1 接收端处理框图，图中拆帧模块 31 完成基站发下来的串行数据的串并转换，并根据 MPEG 中 E1 长度域标记把 E1 数据帧中的数据拆离出来写入存储器 32 中，存储器 32 中存储了多路 E1 的数据。读写控制逻辑 33 根据端站存储的时隙表，并根据 E1 帧中的端口号及时隙号，把 32 中的 E1 数据分拆到不同的 E1 端口存储器 34 中，考虑 E1 帧的连续性，存储器 34 可存储 10 个 E1 帧的空间。当第一组 10 个 E1 帧满时发送接口 35 开始读取 E1 数据进行并串转换完成数据的发送。

图 4 为上行 E1 发送结构框图，图中串并转换模块 41 完成 E1 接口来的串行数据的串并转换并根据时隙表把有效的时隙的数据提取出来并根据时隙交叉表把数据交叉到与基站时隙表 47 相对应，存储在存储器 42 中，存储器 42 是一个 $2 \times 32\text{byte}$ 的存储器，乒乓结构存储接收来的 E1 数据，读写控制逻辑 43 根据 E1 发送到达时刻进行读写地址控制，E1 数据写入 E1 发送存储器 44，（存储器 44 为 1024 字节的 FIFO 结构），并记录当前 E1 发送器中存储数据的起始帧号，时隙号，在相邻两个 E1 发送时机之间 E1 业务存储器中的 E1 数据总长度，读写地址信息。成帧模块 45 从帧头信息及读写地址模块 48 中和存储器 44 中读取帧头信息及有效数据完成 E1 突发包的成帧封装，通过并串转换模块 46 并串转换完成 E1 数据的突发发送。

图 5 为上行 E1 接收总体的系统逻辑层次图，图中串并转换模块 51 完成空中来的串行数据的串并转换，解析模块 52 完成上行突发包帧 E1 帧头解析。

从 E1 帧的包头中提取出 E1 突发包的帧头信息。计算模块 53 根据时隙表 58 及帧头中的帧号及时隙号，计算出 E1 存储器的写入地址，根据基站存储 E1

突发包对应的端口信息 59, 通过分路操作模块 54 对 E1 数据进行分路, 数据分别存储在相应的 E1 存储器中 55 中, 存储器 55 为 1024 字节的存储器(32×32 个字节存储块), 模块 56 为 2×32 字节的存储器构成乒乓结构, 根据 E1 帧周期进行乒乓的切换, 完成从存储器 55 中数据的读取, 并同步并串转换完成 E1 数据的发送。

图 6 为上行突发帧号产生流程, 此部分主要完成上行突发包的帧头的生成, 突发包存储器的读写地址产生机制。

主要内容为: 定义一帧号计数器, 用来记录端站发送的 125us 的 E1 帧的帧号, 端站复位时帧号计数器置零。根据 E1 的帧周期信号进行帧计数器的加一过程, 帧计数器的最大值为 31。

具体步骤包括:

步骤 61: 系统复位, 帧号计数器置 0;

步骤 62: 判断 E1 的 8K 信号是否到达, 是则执行步骤 63, 否则返回步骤 62;

步骤 63: 帧号加 1;

步骤 64: 存储器乒乓结构切换;

步骤 65: 判断帧号是否大于 31, 是则执行步骤 66, 否则返回步骤 62;

步骤 66: 帧计数器置 0。

图 7 是上行突发包存储器读写地址产生流程

步骤 71: 定义指针变量进行读写地址的确定。并作为 E1 突发包的帧头信息。

利用 P_valid 变量记录当前的读地址 (E1 接口存储器的地址, 实际上就是代表时隙号, 5bit), 当前的帧号 (5bit), 当前的帧内写地址 (指 E1 突发包存储器的地址, 5bit)。

利用 P_tail 变量记录当突发时刻到达时, E1 突发包存储器的开始写地址。

利用 P_head 变量记录 E1 突发包存储器的开始读地址。

步骤 72: 根据第一个 E1 发送时刻是否到来确定三个变量的转换关系;

步骤 73: 当第一个 E1 发送时刻到来时, 三个变量的转换关系为:

$P_head \leq P_valid;$ $P_tail \leq P_valid;$

步骤 74：当后续 E1 发送时刻到来时， $P_head \leq P_tail$ ；
 $P_tail \leq P_valid$ ；

步骤 75：E1 突发包的发送长度为：

$E1_length = P_tail[9:0] - P_head[9:0]$ ；

E1 帧头的信息：第一个 E1 数据字节对应的时隙号= $P_head[14:10]$ ；

第一个 E1 数据对应的帧号= $P_head[9:5]$ ；

对 E1 突发包存储器的读地址为 $L2_readaddr = \text{基地址} + P_head$ ；

图 8：上行突发 E1 接收的算法实现流程：

同步以及帧地址的确定：

同步：当同步字节不为零时且同步字节中的校验通过时，进行一次帧地址的重新定位操作。基准帧地址=E1 接收存储器的当前读地址的高 5 位+16—带有同步标记的 E1 帧中带的首字节帧号，并将该基准帧地址存储到基准帧地址表格中去。

首帧地址的确定：从基准帧地址表格中读出基准帧地址，首帧地址=基准帧地址+突发包中带的帧号。

帧内字节写地址的确定：根据时隙表进行计算，具体流程见图 8，包括：

步骤 81：判断 E1 突发包是否到达，是则执行步骤 82，否则转回步骤 81；

步骤 82：Slot_data=Slot_load Frame_data=0

步骤 83：cac_slot=Slot_data 中对应位为 1 的且对应的位置最低的位置号

步骤 84：将 slot_data 中从 0~ cac_slot 的 bit 全部清零

步骤 85：address=frame_data*32 +cac_slot

步骤 86：判断是否 slot_data=0，是则执行步骤 87，否则转回步骤 83；

步骤 87：frame_data=frame_data+1 Slot_data=Slot_loa

AU 根据时隙表计算字节地址流程说明：

时隙表的结构是一个 256X 32bit 的双口 RAM。其中每两个 32bit 对应一个端站。前一个 32bit 对应该端站的 1 口，后一个 32bit 对应该端站的 2 口，0~31bit 对应 0~31 时隙，某个 bit 为 0 表示该时隙未配置，某个 bit 为 1 表示该时隙被配置。

使用如下计算方法计算首地址和后续字节地址。

当 E1 突发包到达时,根据基站存储的突发包的对应的端站号及 E1 端口标识,从时隙表中提取 32bit 的时隙。

突发包帧头中的时隙号定位第一个时隙,此时隙号即为帧内的第一个写地址,下一个字节数据的帧内写地址根据时隙表中下一个(按递增顺序搜索)对应为 1 个位置号。当此 32 位时隙表搜索一次后,如果突发数据没有结束,再根据时隙表进行下一 E1 帧(32 字节)对应字节写地址的产生。直到突发数据结束。

见图 9 系统实现框图,采用处理器和 FPGA(现场可编程门阵列)共同完成上述功能。微处理器主要完成空中协议的控制及参数的配置功能,FPGA 完成业务通路的收发控制。基站侧和端站侧都分别采用一处理器和 FPGA 来进行功能的实现。

如图:基站 910 包括一微处理器 911,微处理器 911 分别连接下行时隙表模块 912、上行时隙表模块 913、上行突发包到达参数模块 914,上行 E1 接收控制电路 916 连接上行时隙表模块 913 和上行突发包到达参数模块 914;下行时隙表模块 912 连接下行成帧电路 917;时钟传递及时标产生电路 918 连接上行 E1 接收控制电路 916 和 E1 接口电路 915。

端站 920 包括一微处理器 921,微处理器 921 分别连接下行时隙表模块 922、上行时隙表模块 923、上行突发包到达参数模块 924,上行 E1 发送控制电路 926 连接上行时隙表模块 923 和上行突发包到达参数模块 924;下行时隙表模块 922 连接下行拆帧电路 927;时钟恢复及时钟同步电路 928 连接上行 E1 发送控制电路 926 和 E1 接口电路 925。

基站处理器完成上下行时隙表的配置,上行突发包到达时刻及对应的端站号等参数信息。FPGA 完成 E1 接口的收发控制,根据下行时隙表完成下行 E1 数据的成帧及发送过程;根据上行时隙表及上行突发包到达时刻及对应的端站号信息完成上行突发包 E1 数据的接收及存储。基站侧 FPGA 产成时标并提取 E1 接口的网时钟进行完成时标及网时钟同步帧的产生及发送。端站侧处理器完成端站侧上下行时隙表的配置,上行突发包发送时刻参数的配置;端站侧 FPGA 完成 E1 接口的收发控制,根据下行时隙表完成下行 E1 数据的提取及存储,根据上行时隙表完成及突发包发送时刻完成上行 E1 突发包的成帧及发送;提出下行同步帧中的时标信息及网时钟信息完成空中时钟的同步及网同步。见

图 9。

当然，本发明还可有其他多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

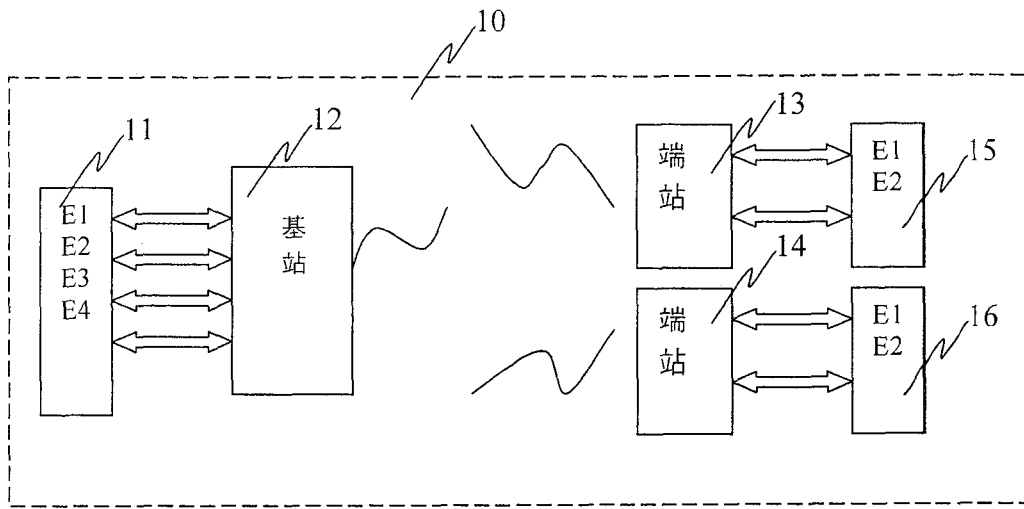


图 1

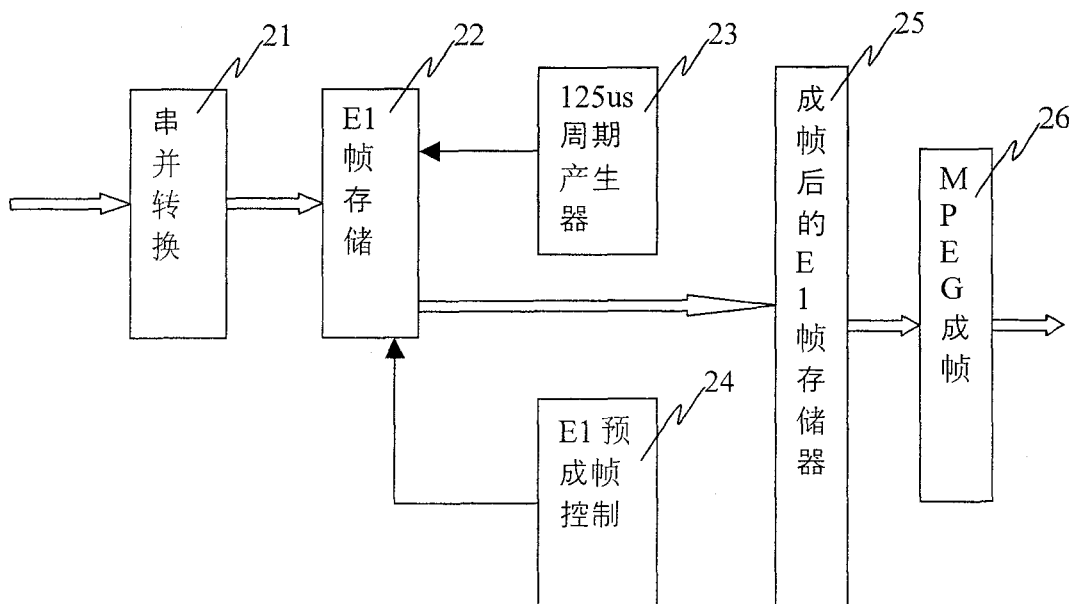


图 2

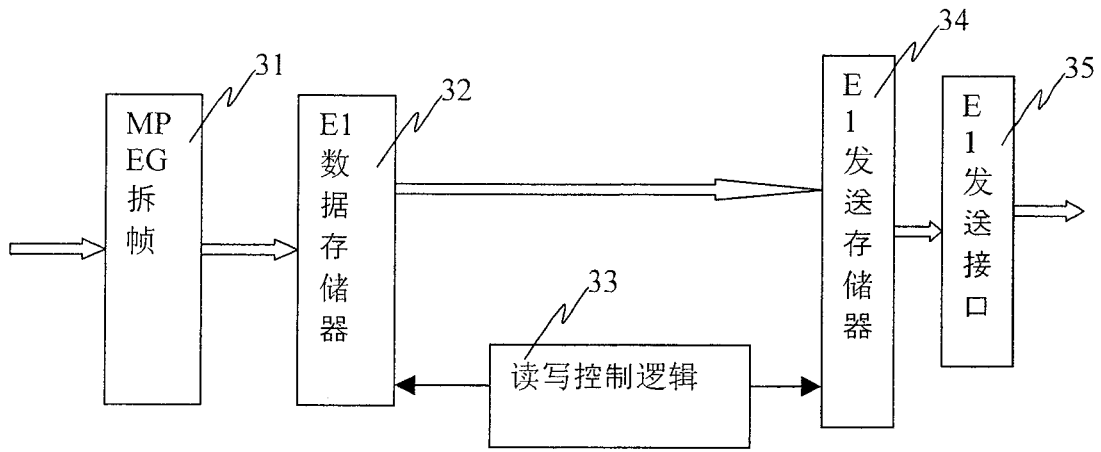


图 3

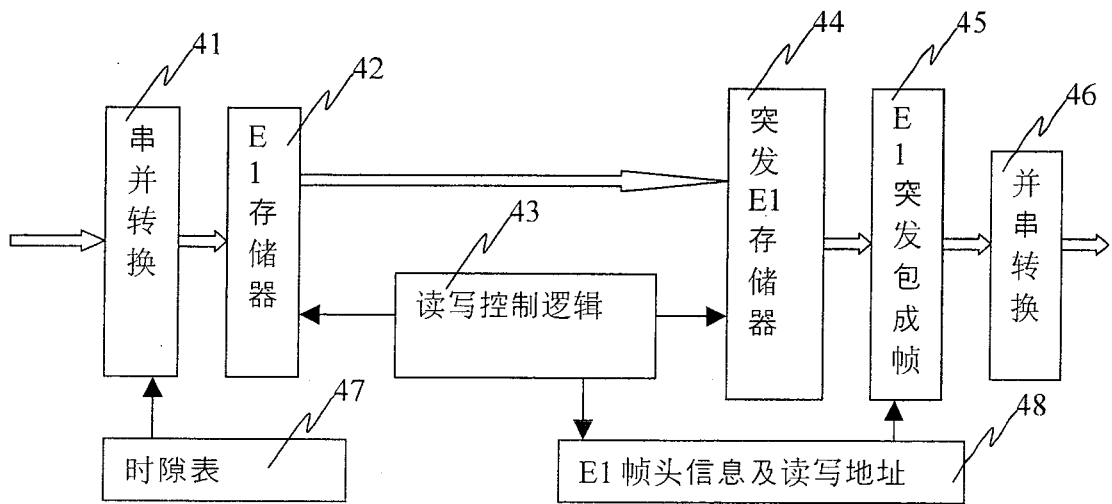


图 4

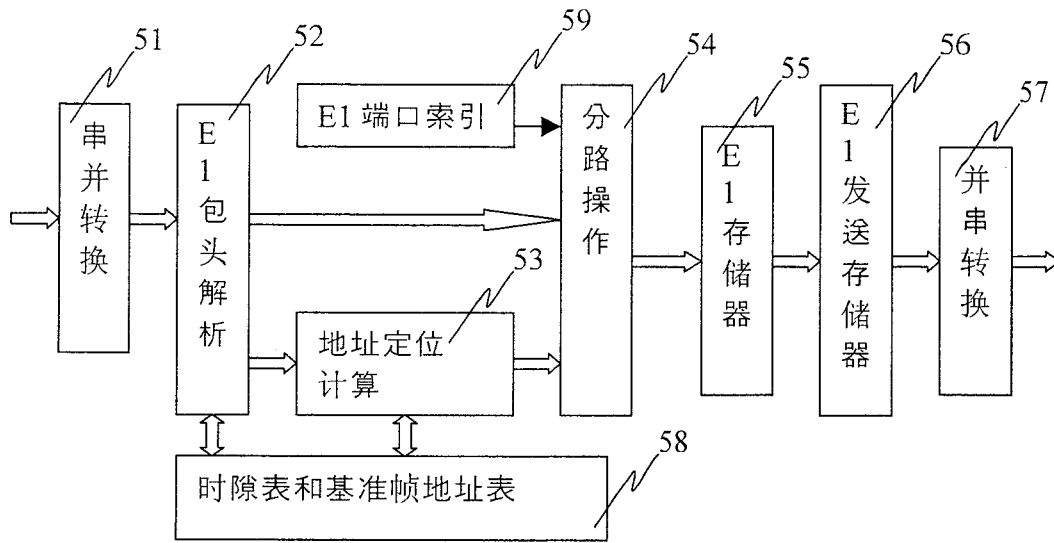


图 5

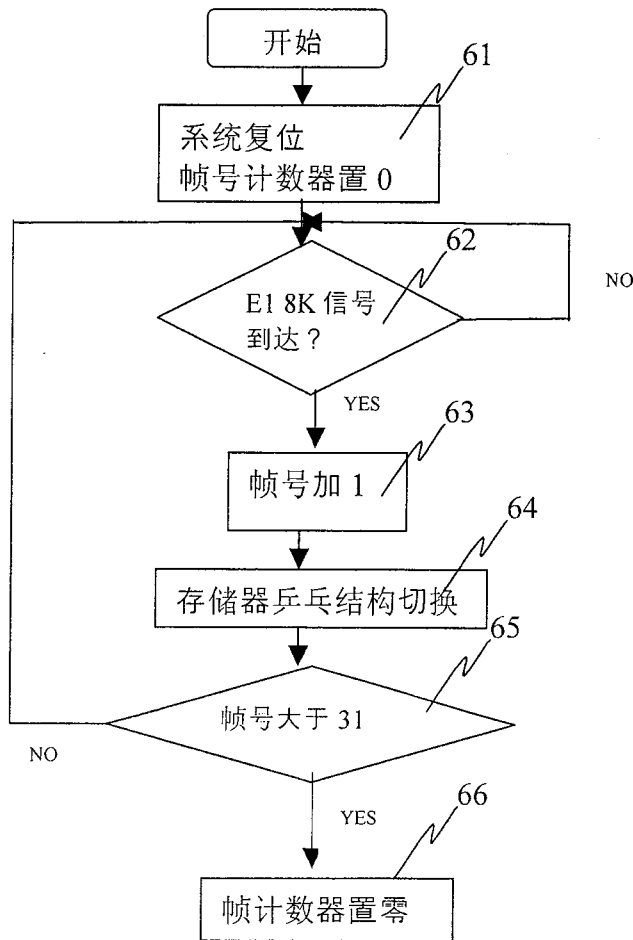


图 6

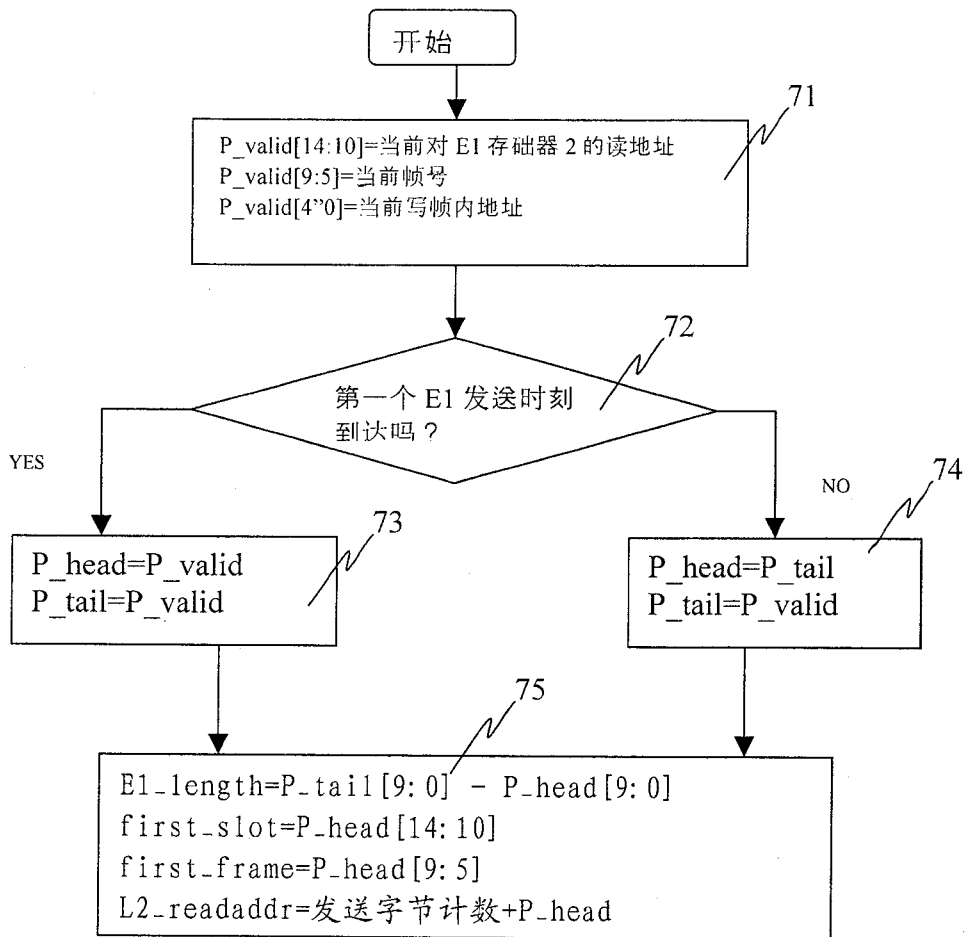


图 7

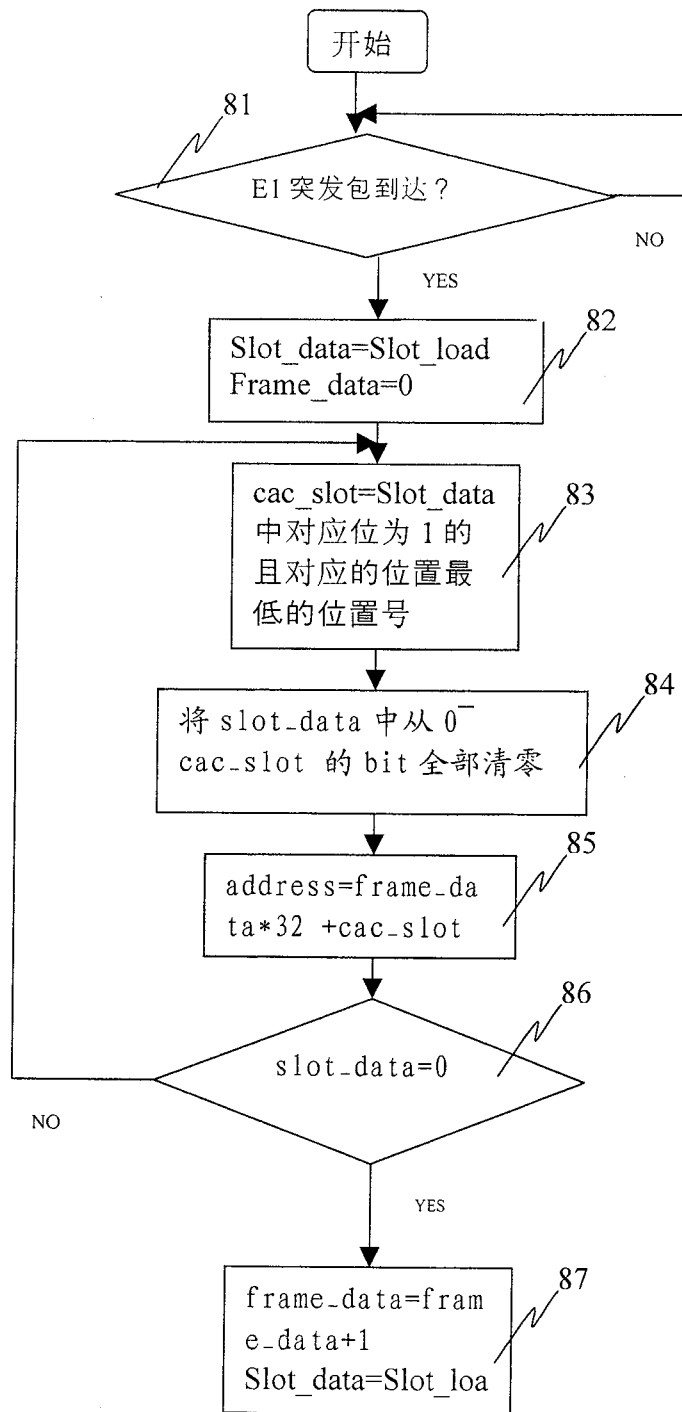


图 8

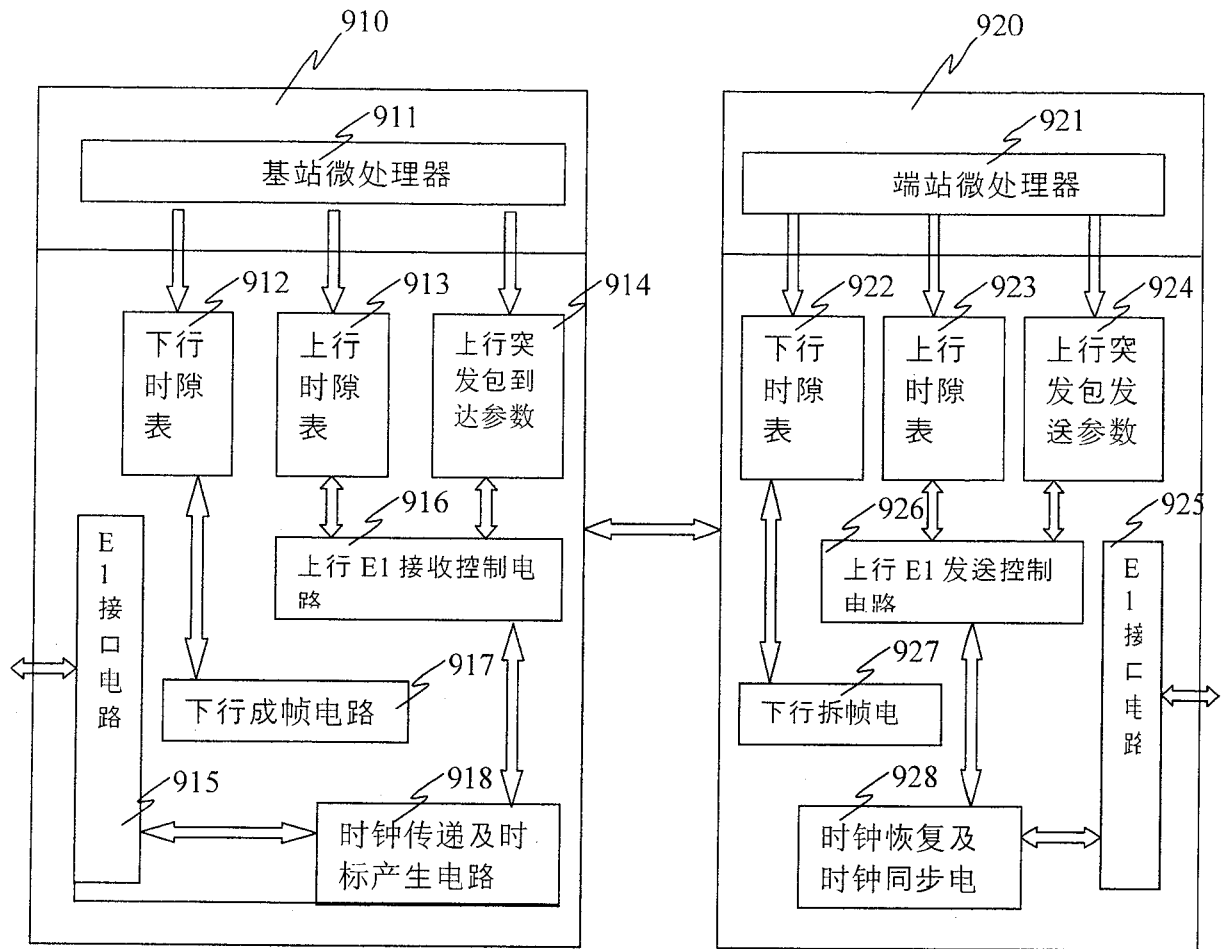


图 9

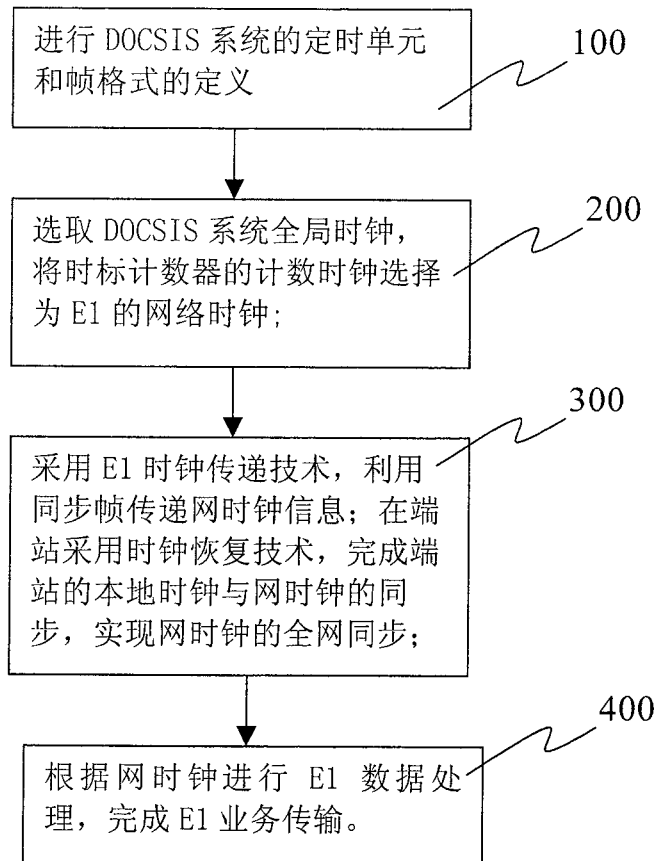


图 10