

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 12 月 30 日 (30.12.2021)



(10) 国际公布号
WO 2021/258828 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 27/32** (2006.01)
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2021/088315

(22) 国际申请日: 2021 年 4 月 20 日 (20.04.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010572184.4 2020 年 6 月 22 日 (22.06.2020) CN

(71) 申请人: 昆山国显光电有限公司 (**KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD**) [CN/CN]; 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

(72) 发明人: 朱正勇 (**ZHU, Zhengyong**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。赵欣 (**ZHAO, Xin**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。胡双 (**HU, Shuang**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。马志丽 (**MA, Zhili**); 中国江苏省昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

(74) 代理人: 北京东方亿思知识产权代理有限公司 (**BEIJING EAST IP LTD.**); 中国北京市东城区东长安街 1 号东方广场东方经贸城东 2 座 1601 室, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 发明名称: 薄膜晶体管阵列基板、显示面板和显示装置

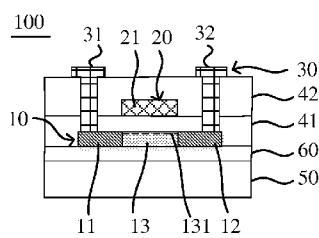


图 1

(57) Abstract: A thin film transistor array substrate (100), a display panel (1), and a display device (2). The thin film transistor array substrate (100) comprises a semiconductor layer (10), a gate layer (20), and a source/drain layer (30) arranged in a stacked manner. The semiconductor layer (10) is separated from the gate layer (20) and the gate layer (20) is separated from the source/drain layer (30) by means of insulating layers, respectively. The semiconductor layer (10) comprises a source region (11), a drain region (12), and a channel region (13) located between the source region (11) and the drain region (12). The channel region (13) is doped with P-type impurities having a molecular weight of greater than or equal to 25, and the doping concentration is 1 nm to 20 nm.

(57) 摘要: 一种薄膜晶体管阵列基板 (100)、显示面板 (1) 和显示装置 (2)。薄膜晶体管阵列基板 (100) 包括层叠设置的半导体层 (10)、栅极层 (20) 和源漏极层 (30), 且半导体层 (10) 与栅极层 (20) 之间、以及栅极层 (20) 和源漏极层 (30) 之间分别通过绝缘层相间, 半导体层 (10) 包括源极区 (11)、漏极区 (12) 和位于源极区 (11) 和漏极区 (12) 之间的沟道区 (13), 沟道区 (13) 掺杂有分子量 ≥ 25 的 P 型杂质, 且掺杂深度为 1nm~20nm。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

薄膜晶体管阵列基板、显示面板和显示装置

5 相关申请的交叉引用

本申请要求享有于 2020 年 06 月 22 日提交的名称为“薄膜晶体管阵列基板及其制备方法、显示面板和显示装置”的中国专利申请 202010572184.4 的优先权，该申请的全部内容通过引用并入本文中。

10 技术领域

本申请属于显示技术领域，具体涉及一种薄膜晶体管阵列基板、显示面板和显示装置。

背景技术

15 有机发光二极管（Organic Light Emitting Diode, OLED）显示可具有视角宽、驱动电压低、响应速度快、发光色彩丰富、可实现大面积柔性显示等优点，是目前被广泛关注的显示技术之一。有源矩阵有机发光二极管（Active Matrix Organic Light Emitting Diode, AMOLED）显示技术是起源于 OLED 的一种显示技术，其具有自发光、功耗低、可实现更大尺寸化等
20 特点，在显示技术领域得到了高度重视。

然而，当（AM）OLED 显示面板的不同区域像素电路工作在不同亮度画面显示一段时间后，切换到相同灰阶时，不同区域亮度会产生差异，即表现为残影不良，严重影响视觉效果。

25 申请内容

为了解决上述技术问题，本申请提供一种能减轻残影现象的薄膜晶体管（Thin Film Transistor, TFT）阵列基板、显示面板和显示装置。

本申请第一方面提供一种 TFT 阵列基板，其包括层叠设置的半导体层、栅极层和源漏极层，且半导体层与栅极层之间、以及栅极层和源漏极层之

间分别通过绝缘层相间隔，半导体层包括源极区、漏极区和位于源极区和漏极区之间的沟道区，沟道区掺杂有分子量 ≥ 25 的P型杂质，且掺杂深度为1 nm ~ 20 nm，栅极层包括栅极，栅极与沟道区对应设置，源漏极层包括相间隔设置的源极和漏极，源极与源极区电连接，漏极与漏极区电连接。

5 本申请第二方面提供一种显示面板，其包括如本申请第一方面的TFT阵列基板。

 本申请第三方面提供一种显示装置，其包括如本申请第二方面的显示面板。

 令人惊奇地发现，本申请通过在TFT阵列基板的半导体层的沟道区掺杂分子量 ≥ 25 的P型杂质，且控制掺杂深度为1 nm ~ 20 nm，能使TFT阵列基板中的不同TFT之间具有较高的电性一致性和稳定性。因此，采用该TFT阵列基板能有效降低显示面板和显示装置的残影现象，改善显示的均一性，从而提高显示效果。

15 附图说明

 图1为本申请实施例提供的一种TFT阵列基板的结构示意图。

 图2为本申请实施例提供的一种TFT阵列基板制备方法中形成初始半导体层的步骤图。

20 图3为本申请实施例提供的一种TFT阵列基板制备方法中初始半导体层掺杂P型杂质的步骤图。

 图4为本申请实施例提供的一种TFT阵列基板制备方法中形成掺杂有P型杂质的初始半导体层的步骤图。

 图5为本申请实施例提供的一种TFT阵列基板制备方法中形成栅极层的步骤图。

25 图6为本申请实施例提供的一种TFT阵列基板制备方法中形成半导体层的步骤图。

 图7为本申请实施例提供的一种TFT阵列基板制备方法中形成内部绝缘层和过孔的步骤图。

 图8为本申请实施例提供的一种TFT阵列基板制备方法中形成源漏极

层的步骤图。

图 9 为本申请实施例提供的一种显示面板的结构示意图。

图 10 为本申请实施例提供的一种显示装置的结构示意图。

图 11 为实施例 1 的显示面板的显示效果示意图。

5 图 12 为对比例 1 的显示面板的显示效果示意图。

具体实施方式

为了使本申请的发明目的、技术方案和有益技术效果更加清晰，以下结合实施例对本申请进行进一步详细说明。应当理解的是，本说明书中描述的实施

10 所述的实施例仅仅是为了解释本申请，并非为了限定本申请。

薄膜晶体管（TFT）阵列基板中的各个 TFT 可以“主动地”对（AM）OLED 显示器件的各个独立的像素进行控制，达到显示的目的。发明人发现，（AM）OLED 显示器件的显示不均较大程度上是由于 TFT 阵列基板的 TFT 特性差异所引起。对于因工艺导致的 TFT 电性不均引起的显示不均

15 （mura），可通过 Demura 功能解决，但 Demura 无法改善因显示过程中引起的残影不良。

可以通过优化 TFT 的沟道掺杂来降低（AM）OLED 显示器件的残影不良（如短期残影）现象。

因此，本申请第一方面的实施方式提供一种薄膜晶体管（TFT）。该

20 薄膜晶体管为 P 型沟道 TFT，其包括层叠设置的半导体层、栅极层和源漏极层，且半导体层与栅极层之间、以及栅极层和源漏极层之间分别通过绝缘层相间隔。半导体层包括源极区、漏极区和位于源极区和漏极区之间的沟道区。沟道区掺杂有分子量 ≥ 25 的 P 型杂质，且掺杂深度为 1 nm ~ 20 nm。栅极层包括栅极，栅极与沟道区对应设置。源漏极层包括相间隔设置的源极和漏极，源极与源极区电连接，漏极与漏极区电连接。

25

通过在 TFT 的半导体层的沟道区掺杂分子量 ≥ 25 的 P 型杂质，且控制掺杂深度为 1 nm ~ 20 nm，能使 TFT 阵列基板中的 TFT 具有较高的电性（例如阈值电压、亚阈值摆幅等）一致性和稳定性。因此，采用该 TFT 阵列基板能有效降低显示面板和显示装置的残影现象，改善显示的均一性，

从而提高显示效果。

在一些实施方式中，TFT 可以是顶栅型 TFT。图 1 示出作为一个示例的顶栅型 TFT 100。参照图 1，该 TFT 100 包括依次层叠设置的半导体层 10、栅极绝缘层 41、栅极层 20、内部绝缘层 42 和源漏极层 30。半导体层 10 包括源极区 11、漏极区 12 和位于源极区 11 和漏极区 12 之间的沟道区 13。沟道区 13 掺杂有分子量 ≥ 25 的 P 型杂质，且掺杂深度为 1 nm ~ 20 nm。栅极层 20 包括栅极 21，栅极 21 与沟道区 13 对应设置。源漏极层 30 包括相间隔设置的源极 31 和漏极 32，源极 31 与源极区 11 电连接，漏极 32 与漏极区 12 电连接。

在任意的实施方式中，沟道区 13 掺杂 P 型杂质的掺杂深度可以为 2 nm ~ 18 nm、3 nm ~ 15 nm、4 nm ~ 12 nm、或 5 nm ~ 10 nm。通过调控沟道区 13 的掺杂深度，能有效提高不同 TFT 的电性一致性和稳定性，从而使得 (AM) OLED 由不同灰阶向同一灰阶切换时的发光亮度基本一致，减轻短期残影现象。沟道区 13 的厚度例如为 40 nm ~ 55 nm，再例如 40 nm ~ 45 nm、或 45 nm ~ 55 nm；如 45 nm。

需要说明的是，沟道区 13 中 P 型杂质的掺杂深度在 1nm ~ 20nm，P 型杂质主要掺杂于沟道区 13 的表面层 131。但这并不排除在沟道区 13 大于 20nm 的深度范围内存在少数的 P 型杂质，而是在沟道区 13 大于 20nm 的深度范围内的 P 型杂质含量基本上接近非掺杂的状态。

在任意的实施方式中，沟道区 13 的 P 型杂质掺杂浓度可以为 $3 \times 10^{11} \text{ cm}^{-2} \sim 2 \times 10^{12} \text{ cm}^{-2}$ ，或 $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{12} \text{ cm}^{-2}$ 。P 型杂质在沟道区 13 的掺杂浓度在适当范围内，能改善 TFT 的电子运输特性，提高 TFT 阵列基板 100 的稳定性，有利于减轻短期残影现象，提高显示效果。

沟道区 13 的掺杂通常采用离子注入工艺。然而，由于受到离子注入设备和工艺的限制，导致常用的 P 型杂质 B 的注入深度（以 B 的峰值浓度计）难以得到有效控制。即使在较低的注入能量（10 keV）下，B 的注入深度仍较深（约 36 nm）。业界将沟道区 13 的掺杂改为在如栅极绝缘层 41 成膜之后进行，可以一定程度上控制 B 在多晶硅层中的掺杂分布（包括注入深度），但是这样将会给栅极绝缘层 41 带来无法避免的损伤，影响显示效

果和器件寿命。

为了更好地控制 P 型杂质在沟道区 13 的掺杂分布（包括掺杂深度），在本申请任意的实施方式中，P 型杂质的分子量 ≥ 25 ， ≥ 29 ，或 ≥ 45 。例如，P 型杂质的分子量可以为 25 ~ 200，29 ~ 120，29 ~ 85，或 45 ~ 50。作为示例，P 型杂质可选自铟、BF、BF₂ 中的一种或多种，进一步可选自 BF、BF₂ 中的一种或多种，更进一步可选自 BF₂。

采用适当的 P 型杂质，有利于控制其在沟道区 13 中的掺杂分布（例如掺杂深度）。尤其是，使用含 F 的 P 型杂质进行沟道掺杂，能形成更稳定的 Si-F 键来修复沟道区 13 的 Si 悬挂键，由此进一步提高 TFT 的稳定性，从而进一步减轻短期残影现象。

在任意的实施方式中，半导体层 10 可包括非晶硅（a-Si）、P-Si 中的一种或多种。进一步地，半导体层 10 可以为多晶硅膜层。更进一步地，半导体层 10 可以为低温多晶硅（LTPS）膜层。采用合适的半导体层 10，能改善 TFT 的稳定性，有利于改善显示器件的短期残影。

本申请的 TFT 阵列基板中，当半导体层 10 为多晶硅膜层时，通过控制 P-Si 的颗粒大小、氢含量等，能进一步提高 TFT 的稳定性。

可选地，多晶硅膜层中多晶硅的颗粒粒径为 0.2 μm ~ 0.4 μm 、或 0.2 μm ~ 0.3 μm 。

可选地，多晶硅膜层的氢含量（原子百分数）为 0.01% ~ 3%、0.01% ~ 2%、0.1% ~ 3%、0.1% ~ 2%、或 0.05% ~ 1.5%。

本申请的 TFT 阵列基板中，介于半导体层 10 和栅极层 20 之间的绝缘层（即栅极绝缘层 41）选用适当的膜质成分，有利于提高 TFT 的稳定性。作为示例，栅极绝缘层 41 可包括硅氧化物、硅氮化物和硅基氮氧化物中的一种或多种。进一步地，栅极绝缘层 41 包括硅氧化物，或者栅极绝缘层 41 是硅氧化物膜层。

本申请的 TFT 阵列基板中，栅极层 20 可采用本领域已知的栅极材料。作为示例，栅极层 20 可包括钛、钼、金、铂、铝、镍、铜、以及它们的两种以上的合金中的一种或多种。进一步地，栅极层 20 可以是两种以上的金属层和/或合金层的复合层。

本申请的 TFT 阵列基板中，源漏极层 30 可采用本领域已知的栅极材料。作为示例，源漏极层 30 可包括钛、钼、金、铂、铝、镍、铜、以及它们的两种以上的合金中的一种或多种。进一步地，源漏极层 30 可以是两种以上的金属层和/或合金层的复合层。

- 5 本申请的 TFT 阵列基板中，内部绝缘层 42 可采用本领域已知的绝缘材料。作为示例，内部绝缘层 42 可包括硅氧化物、硅氮化物和硅基氮氧化物中的一种或多种。或者，内部绝缘层 42 可以为包括硅氧化物层、硅氮化物层和硅基氮氧化物层中的两种以上的复合层。

10 接下来提供一种 TFT 阵列基板的制造方法。根据该方法能制造得到上述的 TFT 阵列基板。该 TFT 阵列基板的制造方法可包括形成半导体层的步骤 S100、形成栅极层的步骤 S200、以及形成源漏极层 S300 的步骤。下面结合图 2 至图 8，对 TFT 阵列基板的制造方法进行详细说明。

S100 包括：S110，在衬底 50 上形成初始半导体层 10'。衬底 50 可以是玻璃衬底。初始半导体层 10' 可以是 P-Si 层。

- 15 形成初始半导体层 10' 的步骤可采用本领域已知的方法和设备进行。例如，可采用等离子体增强化学气相沉积（plasma enhanced chemical vapor deposition, PECVD）获得非晶硅层；之后在 400℃ ~ 500℃（如 450℃）的条件下进行去氢处理，以调控氢含量；再通过准分子激光退火法（excimer laser annealing, ELA）使非晶硅结晶，形成 P-Si 膜；然后对 P-Si 膜刻蚀形成多晶硅图案（如以光刻胶为掩膜，采用干法刻蚀），得到 P-Si 层。可选地，在 ELA 工序之前，还可以采用 HF、臭氧对非晶硅层进行清洗。通过清洗可以去除表面颗粒，同时在非晶硅层表面形成 SiO₂，有利于后续的 ELA 工序。

- 25 在一些实施方式中，在形成初始半导体层 10' 之前，还可以在衬底 50 上形成缓冲层 60，之后将初始半导体层 10' 形成于缓冲层 60 上。例如图 2 所示。缓冲层 60 可以是硅氧化物层、硅氮化物层、或者硅氧化物层和硅氮化物层的复合层。可采用本领域已知的方法和设备形成缓冲层 60。例如化学气相沉积（CVD）法，再如 PECVD 法。

S100 还包括：S120，对初始半导体层 10' 进行 P 型杂质掺杂。

在 S120, P 型杂质可以如本文所述。可采用离子注入工艺将 P 型杂质注入初始半导体层 10' (如图 3 所示)。离子注入的能量可以为 5 keV ~ 20 keV, 或 8 keV ~ 15 keV, 或 10 keV ~ 15 keV, 或 10 keV ~ 12 keV。离子注入的剂量可以为 $3 \times 10^{11} \text{ cm}^{-2} \sim 2 \times 10^{12} \text{ cm}^{-2}$, 或 $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{12} \text{ cm}^{-2}$ 。离子注入的气源例如是 BF_3 。本申请可采用现有使用的 BF_3 作为离子注入气源, 由此只需变更离子注入设备的磁场来选择合适的离子进行注入, 而无需额外增加工艺成本。S120, P 型杂质基本上是掺杂于初始半导体层 10' 的表面层 131' (如图 4 所示)。也即, S120 使得在半导体层 10 的沟道区 13, P 型杂质主要掺杂于表面层 131。

接下来, 先形成栅极层 20, 即实施 S200。

S200 包括: S210, 在掺杂有 P 型杂质的初始半导体层 10' 上形成栅极绝缘层 41。可采用本领域已知的方法和设备形成栅极绝缘层 41。例如化学气相沉积 (CVD) 法, 再如 PECVD 法。

S200 还包括: S220, 形成栅极层 20。可采用本领域已知的方法和设备形成栅极膜, 例如物理气相沉积 (physical vapor deposition, PVD) 法, 进一步例如溅射法。再将栅极膜图案化, 形成栅极层 20 (如图 5 所示)。

可选地, 在 S210 之前, 还包括对初始半导体层 10' 的清洗步骤。具体可采用臭氧、HF 进行清洗, 以除去初始半导体层 10' 表面的氧化层, 并且平面化该初始半导体层 10'。

接下来, 继续完成半导体层 10 的制备。即 S130, 以栅极层 20 为掩膜, 对初始半导体层 10' 的两侧部分进行 P 型杂质掺杂, 分别形成源极区 11 和漏极区 12, 获得半导体层 10 (如图 6 所示)。在 S130, P 型杂质可选自硼、B、 BF_2 等, 例如 B。可采用离子注入工艺将 P 型杂质注入初始半导体层 10'。离子注入的剂量可以为 $5 \times 10^{14} \text{ cm}^{-2} \sim 2 \times 10^{15} \text{ cm}^{-2}$ 。离子注入的能量可以为 10 keV ~ 40 keV。离子注入的气源例如是 BF_3 。

接下来, 在栅极层 20 上形成内部绝缘层 42。可采用本领域已知的方法和设备形成内部绝缘层 42。例如化学气相沉积 (CVD) 法, 再如 PECVD 法。

然后在内部绝缘层 42 和栅极绝缘层 41 上形成对应于源极区 11 和漏极

区 12 的过孔 33（如图 7 所示）。可采用本领域已知的方法和设备形成所述过孔 33。例如以光刻胶为掩膜，采用干法刻蚀形成过孔 33。

接下来，形成源漏极层 30，即实施 S300。可采用本领域已知的方法和设备形成源漏极膜，例如物理气相沉积（physical vapor deposition, PVD）法，进一步例如溅射法。源漏极膜伸入过孔 33 内分别与源极区 11 和漏极区 12 电连接。再将源漏极膜图案化，形成源漏极层 30（如图 8 所示）。

可选地，还可以进一步在源漏极层 30 上依次形成平坦化层 70、电极层和像素定义层 80（如图 9 所示）。

可选地，TFT 阵列基板还可进一步包括存储电容区域 90。如图 9 所示，存储电容区域 90 包括第一电极 91 和第二电极 92，其中第一电极 91 和第二电极 92 之间通过电容介质层 422 相间隔。作为示例，第一电极 91 和第二电极 92 可分别独立地包括钛、钼、金、铂、铝、镍、铜、以及它们的两种以上的合金中的一种或多种。电容介质层 422 可包括硅氧化物、硅氮化物和硅基氮氧化物中的一种或多种，例如硅氮化物。

可选地，第一电极 91 可位于栅极层 20。通过对栅极膜图案化，得到栅极 21 的同时形成第一电极 91。第二电极 92 可采用本领域已知的方法和设备形成。例如采用物理气相沉积（physical vapor deposition, PVD）法（例如溅射法）形成电极膜层，再将电极膜层图案化，形成第二电极 92。

内部绝缘层 42 可包括层间绝缘层 421 和电容介质层 422，其中，层间绝缘层 421 和电容介质层 422 将栅极层 20 和源漏极层 30 相隔离，并且电容介质层 422 将第一电极 91 和第二电极 92 相隔离，层间绝缘层 421 将第二电极 92 和源漏极层 30 相隔离。层间绝缘层 421 可包括硅氧化物、硅氮化物和硅基氮氧化物中的一种或多种。进一步地，层间绝缘层 421 可以为包括硅氧化物层、硅氮化物层和硅基氮氧化物层中的两种以上的复合层。

电容介质层 422 可以如前文所述。

本申请的 TFT 阵列基板的技术特征也适用于本申请的制造方法中，在此不再赘述。

本申请还提供一种显示面板，其包括本申请任意一种 TFT 阵列基板。

本申请的显示面板由于采用本申请的 TFT 阵列基板，因而其残影现象

较小，显示均一性较好。

图 9 示出作为一个示例的显示面板 1。参照图 9，显示面板 1 包括 TFT 阵列基板 100、位于 TFT 阵列基板 100 上的有机发光显示模块 200 和位于有机发光显示模块 200 上的封装层 300。TFT 阵列基板 100 可以是本文描述的任意一种 TFT 阵列基板。

有机发光显示模块 200 依次包括第一电极层 210、有机薄膜层 220 和第二电极层 230，有机薄膜层 220 至少包括发光层。发光层可包含本领域已知的有机发光材料。进一步地，有机发光材料可包括主体材料和客体材料。

可以理解的是，有机薄膜层 220 还可以包括其它功能层。例如，电子注入层、电子传输层、空穴阻挡层、电子阻挡层、空穴传输层、空穴注入层等。各功能层的均可采用本领域已知的材料。

本申请还提供一种显示装置，其包括本申请任意一种显示面板。

本申请的显示装置由于采用本申请的显示面板，即其包含本申请的 TFT 阵列基板，因而其显示的残影不良现象较小，显示效果较好。

显示装置的示例可以是手机、平板电脑、智能学习机等。

图 10 示出作为一个示例的显示装置 2。该显示装置可以是手机。

接下来结合具体实施例对本申请的 TFT 阵列基板进行进一步地说明。

实施例 1

OLED 显示面板，其包括 TFT 阵列基板和位于 TFT 阵列基板上的有机发光显示模块。有机发光显示模块依次包括阴极层、电子注入层、电子传输层、空穴阻挡层、发光层、电子阻挡层、空穴传输层、空穴注入层、阳极层和盖帽层。TFT 阵列基板包括依次层叠设置的衬底、缓冲层、半导体层（P-Si 层）、栅极绝缘层、栅极层、内部绝缘层和源漏极层。半导体层包括源极区、漏极区和位于源极区和漏极区之间的沟道区，沟道区靠近栅极层的表面层掺杂有 BF_2 ，且掺杂深度为 10 nm。栅极层包括栅极，栅极与沟道区对应设置。源漏极层包括相间隔设置的源极和漏极，源极与源极区电连接，漏极与漏极区电连接。其中，掺杂 BF_2 的离子注入能量为 10keV，注入剂量为 $8 \times 10^{11} \text{ cm}^{-2}$ 。TFT 阵列基板还包括存储电容。

对比例 1

与实施例 1 的显示面板类似，区别在于，沟道区的 P 型杂质为 B。

实施例 1 和对比例 1 的由不同亮度画面切换至同一灰阶的显示效果分别如图 11 和图 12 所示。由图 11 可以看出，采用本申请的 TFT 阵列基板，
5 显示面板的显示效果较好，无明显残影不良。而由图 12 可以看出，对比例 1 的显示面板发生明显的残影现象。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到各种等效的修改或替换，这些修改或替换都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。
10

权 利 要 求 书

1. 一种薄膜晶体管阵列基板，包括层叠设置的半导体层、栅极层和源漏极层，且所述半导体层与所述栅极层之间、以及所述栅极层和所述源漏极层之间分别通过绝缘层相间隔，

所述半导体层包括源极区、漏极区和位于所述源极区和漏极区之间的沟道区，所述沟道区掺杂有分子量 ≥ 25 的P型杂质，且掺杂深度为1 nm ~ 20 nm，

所述栅极层包括栅极，所述栅极与所述沟道区对应设置，

所述源漏极层包括相间隔设置的源极和漏极，所述源极与所述源极区电连接，所述漏极与所述漏极区电连接。

2. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述掺杂深度为3 nm ~ 15 nm。

3. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述沟道区的靠近所述栅极层的表面层掺杂有所述P型杂质。

4. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述沟道区的P型杂质掺杂浓度为 $3 \times 10^{11} \text{ cm}^{-2} \sim 2 \times 10^{12} \text{ cm}^{-2}$ ，或 $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{12} \text{ cm}^{-2}$ 。

5. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述P型杂质的分子量为25 ~ 200，或45 ~ 50。

6. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述P型杂质选自铟、BF、BF₂中的一种或多种。

7. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述P型杂质包括或是BF₂。

8. 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述半导体层为多晶硅膜层。

9. 根据权利要求8所述的薄膜晶体管阵列基板，其中，所述多晶硅膜层的氢含量为0.01% ~ 3%，或0.01% ~ 2%。

10. 根据权利要求8所述的薄膜晶体管阵列基板，其中，所述多晶硅

膜层中多晶硅的颗粒粒径为 $0.2\ \mu\text{m} \sim 0.4\ \mu\text{m}$ ，或 $0.2\ \mu\text{m} \sim 0.3\ \mu\text{m}$ 。

11. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中，所述沟道区的厚度为 $40\ \text{nm} \sim 55\ \text{nm}$ ，或 $40\ \text{nm} \sim 45\ \text{nm}$ 。

12. 根据权利要求 1-11 任一项所述的薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板包括依次层叠设置的半导体层、栅极绝缘层、栅极层、内部绝缘层和源漏极层。

13. 根据权利要求 12 所述的薄膜晶体管阵列基板，其中，所述阵列基板采用顶栅型薄膜晶体管。

14. 根据权利要求 12 所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层包括硅氧化物、硅氮化物和硅基氮氧化物中的一种或多种。

15. 一种显示面板，包括如权利要求 1-14 任一项所述的薄膜晶体管阵列基板。

16. 一种显示装置，包括如权利要求 15 所述的显示面板。

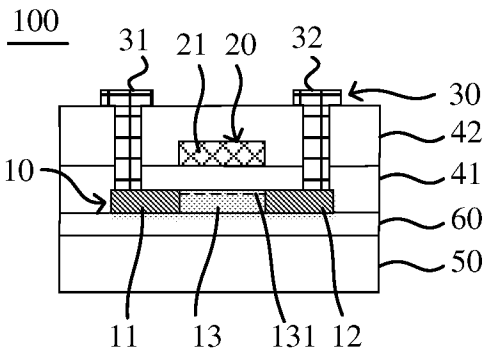


图 1

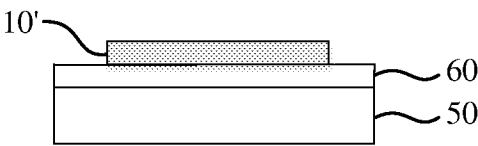


图 2

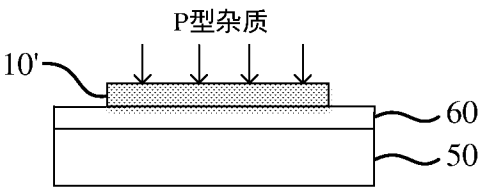


图 3

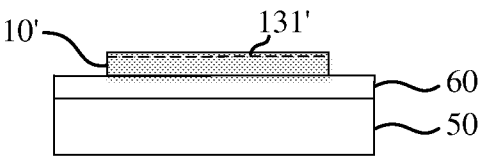


图 4

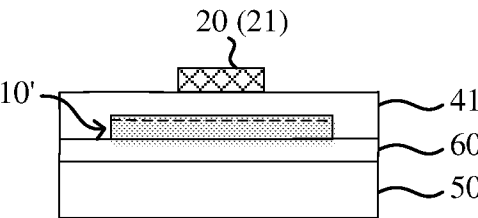


图 5

2/4

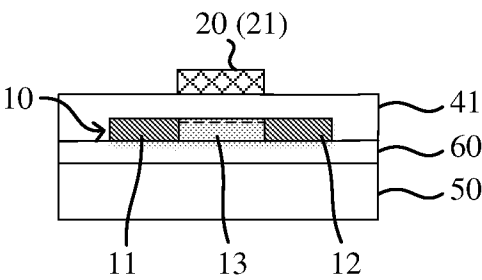


图 6

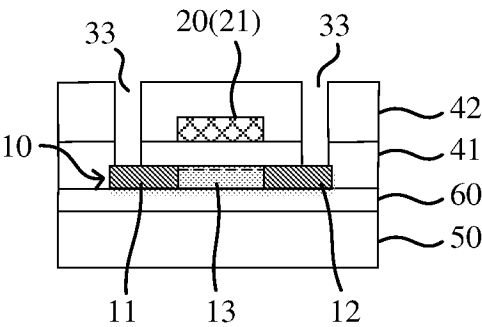


图 7

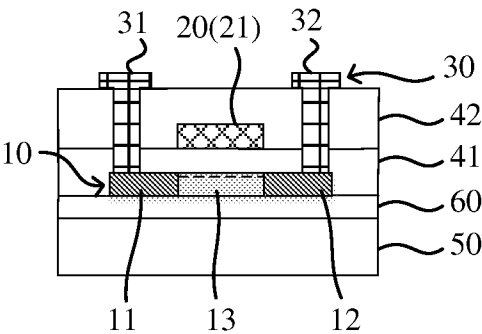


图 8

3/4

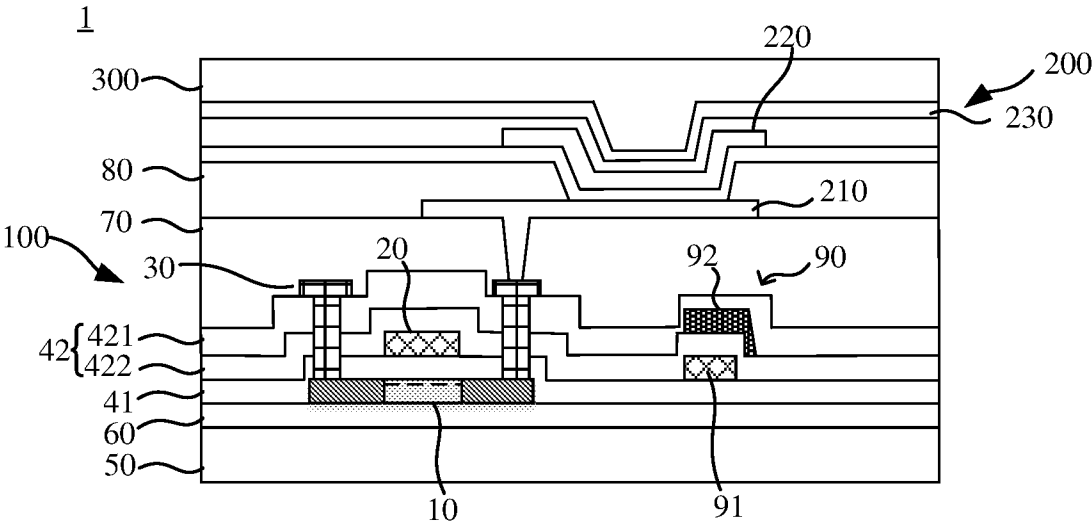


图 9



图 10

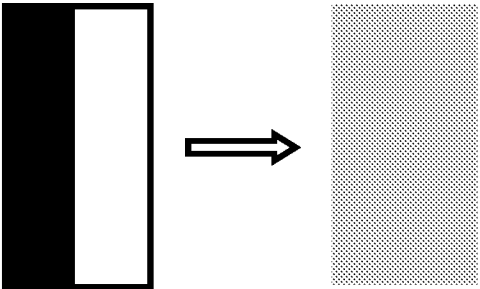


图 11

4/4

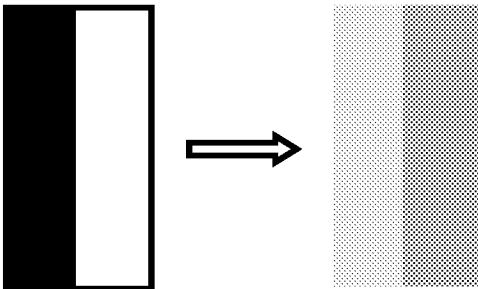


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/088315

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 薄膜晶体管, 沟道, 通道, 掺杂, 杂质, 深度, 稳定, TFT, thin film transistor, channel, dop+, impurit+, deep, depth, stable

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111653578 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 11 September 2020 (2020-09-11) description, paragraphs [0043]-[0092], and figures 1-12	1-16
Y	CN 104716200 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 June 2015 (2015-06-17) description, paragraphs [0037]-[0067], and figures 1-6	1-16
Y	US 5329138 A (HITACHI, LTD.) 12 July 1994 (1994-07-12) description, column 5 line 65 - column 6 line 38, figure 10	1-16
A	CN 1540602 A (SAMSUNG SDI CO., LTD.) 27 October 2004 (2004-10-27) entire document	1-16
A	US 2016380113 A1 (SAMSUNG DISPLAY CO., LTD.) 29 December 2016 (2016-12-29) entire document	1-16
A	US 2004183132 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23 September 2004 (2004-09-23) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 July 2021

Date of mailing of the international search report

21 July 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/088315

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111653578	A	11 September 2020	None			
CN	104716200	A	17 June 2015	US	2017040464	A1	09 February 2017
				CN	104716200	B	09 January 2018
				WO	2016155154	A1	06 October 2016
				US	9768312	B2	19 September 2017
US	5329138	A	12 July 1994	JP	H0536918	A	12 February 1993
				KR	930003415	A	24 February 1993
CN	1540602	A	27 October 2004	CN	100419816	C	17 September 2008
				US	2004211961	A1	28 October 2004
				US	7385223	B2	10 June 2008
				KR	20040094058	A	09 November 2004
				KR	20040108084	A	23 December 2004
				KR	573108	B1	24 April 2006
				KR	20040092529	A	04 November 2004
				KR	553744	B1	20 February 2006
				KR	20040092532	A	04 November 2004
				KR	521275	B1	13 October 2005
US	2016380113	A1	29 December 2016	KR	20170000439	A	03 January 2017
				US	10680114	B2	09 June 2020
US	2004183132	A1	23 September 2004	JP	H1140815	A	12 February 1999
				JP	4017706	B2	05 December 2007
				US	6693299	B1	17 February 2004
				US	7326604	B2	05 February 2008

国际检索报告

国际申请号

PCT/CN2021/088315

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; H01L 27/32(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPDOC, CNPAT, CNKI, IEEE: 薄膜晶体管, 沟道, 通道, 掺杂, 杂质, 深度, 稳定, TFT, thin film transistor, channel, dop+, impurit+, deep, depth, stable																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 111653578 A (昆山国显光电有限公司) 2020年 9月 11日 (2020 - 09 - 11) 说明书第[0043]-[0092]段, 附图1-12</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>CN 104716200 A (京东方科技集团股份有限公司) 2015年 6月 17日 (2015 - 06 - 17) 说明书第[0037]-[0067]段, 附图1-6</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>US 5329138 A (HITACHI, LTD.) 1994年 7月 12日 (1994 - 07 - 12) 说明书第5栏第65行-第6栏第38行, 附图10</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 1540602 A (三星SDI株式会社) 2004年 10月 27日 (2004 - 10 - 27) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2016380113 A1 (SAMSUNG DISPLAY CO., LTD.) 2016年 12月 29日 (2016 - 12 - 29) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2004183132 A1 (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 2004年 9月 23日 (2004 - 09 - 23) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 111653578 A (昆山国显光电有限公司) 2020年 9月 11日 (2020 - 09 - 11) 说明书第[0043]-[0092]段, 附图1-12	1-16	Y	CN 104716200 A (京东方科技集团股份有限公司) 2015年 6月 17日 (2015 - 06 - 17) 说明书第[0037]-[0067]段, 附图1-6	1-16	Y	US 5329138 A (HITACHI, LTD.) 1994年 7月 12日 (1994 - 07 - 12) 说明书第5栏第65行-第6栏第38行, 附图10	1-16	A	CN 1540602 A (三星SDI株式会社) 2004年 10月 27日 (2004 - 10 - 27) 全文	1-16	A	US 2016380113 A1 (SAMSUNG DISPLAY CO., LTD.) 2016年 12月 29日 (2016 - 12 - 29) 全文	1-16	A	US 2004183132 A1 (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 2004年 9月 23日 (2004 - 09 - 23) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 111653578 A (昆山国显光电有限公司) 2020年 9月 11日 (2020 - 09 - 11) 说明书第[0043]-[0092]段, 附图1-12	1-16																					
Y	CN 104716200 A (京东方科技集团股份有限公司) 2015年 6月 17日 (2015 - 06 - 17) 说明书第[0037]-[0067]段, 附图1-6	1-16																					
Y	US 5329138 A (HITACHI, LTD.) 1994年 7月 12日 (1994 - 07 - 12) 说明书第5栏第65行-第6栏第38行, 附图10	1-16																					
A	CN 1540602 A (三星SDI株式会社) 2004年 10月 27日 (2004 - 10 - 27) 全文	1-16																					
A	US 2016380113 A1 (SAMSUNG DISPLAY CO., LTD.) 2016年 12月 29日 (2016 - 12 - 29) 全文	1-16																					
A	US 2004183132 A1 (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 2004年 9月 23日 (2004 - 09 - 23) 全文	1-16																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 7月 6日		国际检索报告邮寄日期 2021年 7月 21日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 韩颖姝 电话号码 86-(10)-53961447																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/088315

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111653578	A	2020年 9月 11日	无			
CN	104716200	A	2015年 6月 17日	US	2017040464	A1	2017年 2月 9日
				CN	104716200	B	2018年 1月 9日
				WO	2016155154	A1	2016年 10月 6日
				US	9768312	B2	2017年 9月 19日
US	5329138	A	1994年 7月 12日	JP	H0536918	A	1993年 2月 12日
				KR	930003415	A	1993年 2月 24日
CN	1540602	A	2004年 10月 27日	CN	100419816	C	2008年 9月 17日
				US	2004211961	A1	2004年 10月 28日
				US	7385223	B2	2008年 6月 10日
				KR	20040094058	A	2004年 11月 9日
				KR	20040108084	A	2004年 12月 23日
				KR	573108	B1	2006年 4月 24日
				KR	20040092529	A	2004年 11月 4日
				KR	553744	B1	2006年 2月 20日
				KR	20040092532	A	2004年 11月 4日
				KR	521275	B1	2005年 10月 13日
US	2016380113	A1	2016年 12月 29日	KR	20170000439	A	2017年 1月 3日
				US	10680114	B2	2020年 6月 9日
US	2004183132	A1	2004年 9月 23日	JP	H1140815	A	1999年 2月 12日
				JP	4017706	B2	2007年 12月 5日
				US	6693299	B1	2004年 2月 17日
				US	7326604	B2	2008年 2月 5日