



(12) 发明专利申请

(10) 申请公布号 CN 105280711 A

(43) 申请公布日 2016.01.27

(21) 申请号 201510360682.1

H01L 29/40(2006.01)

(22) 申请日 2015.06.26

H01L 21/336(2006.01)

(30) 优先权数据

14/316987 2014.06.27 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72) 发明人 J. 维耶斯 A. 维尔梅罗特

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 王岳 胡莉莉

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

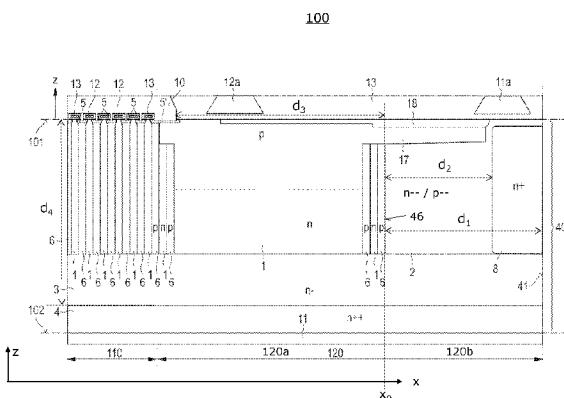
权利要求书4页 说明书15页 附图15页

(54) 发明名称

电荷补偿结构及用于其的制造

(57) 摘要

电荷补偿结构及用于其的制造。该结构包括半导体主体，其包括第一表面、第二表面、边缘、漏极区、有源区域以及外围区域、源极金属化和漏极金属化。电荷补偿半导体器件还包括：与漏极金属化欧姆接触并布置在外围区域中并接近于第一表面的等电位区、布置在外围区域中并具有掺杂剂的第一浓度的低掺杂半导体区、以及在有源区域和外围区域中与第二柱区交替的多个第一柱区。第一柱区具有比第一浓度高的掺杂剂的第二浓度，且与漏极区欧姆接触。第二柱区与源极金属化欧姆接触。第一柱区的最外边部分和第二柱区的最外边部分中的至少一个形成与低掺杂半导体区的界面。在界面和等电位区之间的水平距离除以在第一表面和漏极区之间的垂直距离在从0.5到3的范围内。



1. 一种电荷补偿半导体器件，包括：
 - 额定击穿电压；
 - 半导体主体，其包括第一表面、在基本上平行于所述第一表面的水平方向上给所述半导体主体定界的边缘、有源区域以及布置在所述有源区域和所述边缘之间的外围区域；
 - 源极金属化，其布置在所述第一表面上；以及
 - 漏极金属化，其布置成与所述源极金属化相对，在基本上正交于所述第一表面的垂直横截面中，所述半导体主体还包括：
 - 内在半导体区，其布置在所述外围区域中；以及
 - 多个第一柱区，其在所述有源区域和所述外围区域中与第二柱区交替，所述第一柱区具有比所述内在半导体区更高的掺杂浓度，所述第一柱区与所述漏极金属化欧姆接触，所述有源区域的所述第二柱区经由具有比所述第二柱区高的掺杂浓度的相应的主体区与所述源极金属化欧姆接触，所述外围区域的所述第二柱区的至少大部分邻接连接区，所述连接区具有与所述第二柱区相同的导电类型并具有比所述主体区的邻接的最外边部分低的掺杂浓度，在邻近的第一柱区和第二柱区之间形成相应的pn结，所述第一柱区的最外边部分和所述第二柱区的最外边部分中的至少一个在水平位置处形成与所述内在半导体区的界面，在所述水平位置处，当所述额定击穿电压施加在所述源极金属化和所述漏极金属化之间时，在所述第一表面处的电压是所述额定击穿电压的至少大约五分之一。
2. 如权利要求1所述的电荷补偿半导体器件，其中所述界面在水平位置处形成，在所述水平位置处，当所述额定击穿电压施加在所述源极金属化和所述漏极金属化之间时，在所述第一表面处的电压是所述额定击穿电压的至少大约三分之一；和/或其中所述界面在水平位置处形成，在所述水平位置处，当所述额定击穿电压施加在所述源极金属化和所述漏极金属化之间时，在所述第一表面处的电压低于所述额定击穿电压的大约五分之四。
3. 如权利要求1所述的电荷补偿半导体器件，其中所述外围区域包括缺乏所述第一柱区和所述第二柱区的外部分以及布置在所述有源区域和所述外部分之间的内部分，其中在所述外围区域的所述内部分和所述外部分之间的边界在紧靠所述边缘的两个邻近垂直侧边的所述外围区域的拐角区中，基本上平行于所述两个垂直侧边之一或与所述边缘形成大约60°、45°或30°的角度。
4. 如权利要求3所述的电荷补偿半导体器件，其中与所述有源区域比较，所述第一柱区的掺杂浓度在所述外围区域的所述内部分中更低，和/或其中与所述有源区域比较，所述第二柱区的掺杂浓度在所述外围区域的所述内部分中更低。
5. 如权利要求1所述的电荷补偿半导体器件，其中在所述边缘和所述界面之间的水平距离除以在所述源极金属化和所述界面之间的水平距离是在从大约0.1到大约0.9的范围内。
6. 如权利要求1所述的电荷补偿半导体器件，还包括下列中的至少一个：
 - 等电位区，其与所述漏极金属化欧姆接触并布置成紧靠所述边缘和所述第一表面，其中在所述界面和所述等电位区之间的水平距离除以在所述源极金属化和所述界面之间的水平距离是在从大约0.2到大约5的范围内；以及
 - 漏极区，其邻接在所述半导体主体的第二表面处的所述漏极金属化以及等电位区，所述漏极金属化与所述第一柱区欧姆接触并具有比所述第一柱区高的掺杂，所述等电位区

与所述漏极金属化欧姆接触并布置成紧靠所述边缘和所述第一表面，其中在所述界面和所述等电位区之间的水平距离除以在所述第一表面和所述漏极区之间的垂直距离是在从大约 0.5 到大约 3 的范围内。

7. 如权利要求 6 所述的电荷补偿半导体器件，其中所述等电位区包括布置在所述第一表面上的场板和邻接所述内在半导体区并具有比所述内在半导体区高的所述第一导电类型的掺杂剂的平均浓度的场停止区中的至少一个。

8. 如权利要求 6 所述的电荷补偿半导体器件，其中所述连接区至少接近于所述场停止区延伸。

9. 如权利要求 1 所述的电荷补偿半导体器件，其中所述第一柱区的掺杂浓度是所述内在半导体区的掺杂浓度的至少大约 10 倍。

10. 如权利要求 1 所述的电荷补偿半导体器件，其中在所述外围区域中的所述第二柱区中的至少一个基本上延伸到与所述有源区域中的所述第二柱区相同的深度内。

11. 如权利要求 1 所述的电荷补偿半导体器件，其中在所述外围区域中的所述第二柱区中的至少一个的垂直延伸低于在所述有源区域中的所述第二柱区的垂直延伸。

12. 如权利要求 1 所述的电荷补偿半导体器件，其中在所述外围区域中的所述第二柱区中的至少一个的掺杂浓度不同于在所述有源区域中的所述第二柱区的掺杂浓度。

13. 如权利要求 1 所述的电荷补偿半导体器件，还包括可耗尽半导体区，其布置在所述连接区和所述第一表面之间，形成与所述连接区的 pn 结，具有比所述内在半导体区高的掺杂浓度。

14. 一种电荷补偿半导体器件，包括：

- 半导体主体，其包括第一表面、布置成与所述第一表面相对的第二表面、在基本上平行于所述第一表面的水平方向上给所述半导体主体定界的边缘、延伸到所述第二表面的第一导电类型的漏极区、有源区域以及布置在所述有源区域和所述边缘之间的外围区域；

- 源极金属化，其布置在所述第一表面上；以及

- 漏极金属化，其布置在所述漏极区上并与所述漏极区欧姆接触，

在基本上正交于所述第一表面的垂直横截面中，所述电荷补偿半导体器件还包括：

- 等电位区，其与所述漏极金属化欧姆接触并布置在所述外围区域中并紧靠所述第一表面；

- 低掺杂半导体区，其布置在所述外围区域中并具有掺杂剂的第一浓度；以及

- 多个第一柱区，其在所述有源区域和所述外围区域中与所述第二柱区交替，所述第一柱区具有比掺杂剂的所述第一浓度高的第一导电类型的掺杂剂的第二浓度，所述第一柱区与所述漏极区欧姆接触，所述第二柱区具有第二导电类型并与所述源极金属化欧姆接触，所述第一柱区的最外边部分和第二柱区的最外边部分中的至少一个形成与所述低掺杂半导体区的界面，其中在所述界面和所述等电位区之间的水平距离除以在所述第一表面和所述漏极区之间的垂直距离是在从大约 0.5 到大约 3 的范围内。

15. 如权利要求 14 所述的电荷补偿半导体器件，还包括下列中的至少一个：连接所述外围区域的所述第二柱区的至少大部分的所述第二导电类型的第一可耗尽半导体区、具有高于掺杂剂的所述第一浓度的掺杂剂的浓度并布置在所述第一可耗尽半导体区和所述第一表面之间的所述第一导电类型的第二可耗尽半导体区、以及所述第二导电类型的多个主

体区，所述主体区中的每一个在所述有源区域中具有比邻接的第二柱区高的掺杂浓度，且所述主体区的最外边部分具有比所述邻接的第一可耗尽半导体区高的掺杂浓度。

16. 如权利要求 14 所述的电荷补偿半导体器件，其中所述等电位区包括布置在所述第一表面上的场板、邻接低掺杂半导体区并具有比掺杂剂的所述第一浓度高的掺杂剂的浓度的所述第一导电类型的场停止区、以及布置在所述场板和所述场停止区之间的多晶硅区中的至少一个。

17. 如权利要求 14 所述的电荷补偿半导体器件，其中所述低掺杂半导体区具有小于大约 10^{15} cm^{-3} 的最大掺杂浓度。

18. 如权利要求 14 所述的电荷补偿半导体器件，其中所述界面在水平位置处形成，在所述水平位置处，当额定击穿电压施加在所述源极金属化和所述漏极金属化之间时，在所述第一表面处的电压是所述电荷补偿半导体器件的额定击穿电压的至少大约五分之一。

19. 一种用于制造电荷补偿半导体器件的方法，所述方法包括：

提供半导体主体，所述半导体主体包括第一表面、布置成与所述第一表面相对的第二表面、延伸到所述第二表面的第一导电类型的漏极区、有源区域以及围绕所述有源区域的外围区域；

在基本上正交于所述第一表面的垂直横截面中，所述半导体主体包括：

- 低掺杂半导体区，其布置在所述外围区域中并具有掺杂剂的第一浓度；以及
- 多个第一柱区，其在所述有源区域和所述外围区域中与所述第二柱区交替，所述第一柱区具有比掺杂剂的第一浓度高的第一导电类型的掺杂剂的第二浓度，在邻接的第一柱区和第二柱区之间形成相应的 pn 结，所述第一柱区的最外边部分和所述第二柱区的最外边部分中的至少一个形成与所述低掺杂半导体区的界面；以及

- 所述第二导电类型的连接区，其布置在所述外围区域中并邻接所述外围区域的所述第二柱区的至少大部分，所述方法还包括：

- 在所述外围区域中形成至少紧靠所述第一表面的等电位结构；
- 在所述第一表面上形成与所述有源区域的所述第二柱区和与所述连接区欧姆接触的源极金属化；
- 形成与所述源极金属化相对并与所述等电位结构和所述第一柱区欧姆接触的漏极金属化；以及
- 切割所述半导体主体以形成在所述第一表面和所述第二表面之间延伸并围绕所述有源区域的边缘，

使得在所述界面和所述等电位结构之间的水平距离除以在所述第一表面和所述漏极区之间的垂直距离是在从大约 0.5 到大约 3 的范围内。

20. 如权利要求 19 所述的方法，其中提供所述半导体主体包括下列中的至少一个：

- 限定所述有源区域；
- 限定所述外围区域的外部分和所述外围区域的内部分，所述内部分布置在所述有源区域和所述外部分之间，使得所述外部分的外边界基本上是矩形的，以及在所述外围区域的所述内部分和所述外部分之间的边界紧靠基本上平行于所述外边界的线段的所述外边界的拐角或当从上面看时与所述线段形成大约 60° 、大约 45° 或大约 30° 的角度；
- 使用包括第一开口的第一掩模形成所述第一柱区，所述第一开口在第一水平方向上

从所述有源区域延伸到所述内部分中；以及使用包括第二开口的第二掩模形成所述第二柱区，所述第二开口在所述第一水平方向上从所述有源区域延伸到所述内部分中，其中与所述内部分比较，在基本上正交于所述第一方向的第二水平方向上的所述第一开口的水平延伸在所述有源区域中更大，和 / 或与所述内部分比较，所述第二开口的在所述第二水平方向上的水平延伸在所述有源区域中更大；以及

- 与所述有源区域比较，在所述外围区域的所述内部分中形成具有减小的掺杂浓度的所述第一柱区，以及与所述有源区域比较，在所述外围区域的所述内部分中形成具有减小的掺杂浓度的所述第二柱区，使得所述第一柱区和所述第二柱区基本上平行于彼此，以及在所述外围区域的所述内部分和所述外部分之间的边界在拐角区中，其中所述边缘的两个垂直侧边接近，所述边界基本上平行于所述两个垂直侧边之一或与所述边缘形成大约 60° 、 45° 或 30° 的角度。

电荷补偿结构及用于其的制造

技术领域

[0001] 本发明的实施例涉及具有电荷补偿结构的场效应半导体器件及用于其的制造方法,特别是涉及在有源区域中具有电荷补偿结构的功率半导体器件。

背景技术

[0002] 半导体晶体管、特别是场效应控制开关器件(例如金属氧化物场效应晶体管(MOSFET)或绝缘栅双极晶体管(IGBT))已经用于各种应用,包括但不限于作为在电源和功率转换器、电动汽车、空调和甚至立体声系统中的开关的使用。特别是关于能够切换大电流和 / 或在较高电压下操作的功率器件,低导通电阻 R_{on} 、高击穿电压 U_{bd} 、高鲁棒性和 / 或良柔韧性常常是期望的。

[0003] 为了实现低导通电阻 R_{on} 和高击穿电压 U_{bd} ,发展了补偿半导体器件。补偿原理基于在垂直 MOSFET 的漂移区中的常常也被称为 n 和 p 摹杂柱区的 n 和 p 摳杂区中的电荷的相互补偿。

[0004] 一般,由 p 型和 n 型区形成的电荷补偿结构布置在具有源极、主体区和栅极区的实际 MOSFET 结构之下,且也在相关联的 MOS 沟道之下,MOS 沟道紧靠彼此而布置在半导体器件的半导体体积中,或彼此交错使得在断开状态中它们的电荷可相互耗尽以及在激活状态或导通状态中产生从在表面附近的源极电极到布置在后侧面上的漏极电极的不间断的低阻抗传导路径。

[0005] 借助于 p 型和 n 型掺杂的补偿,载流区的掺杂可在补偿部件的情况下明显增加,这导致导通电阻 R_{on} 的明显减小,而不考虑载流区域的损耗。这样的半导体功率器件的导通电阻 R_{on} 的减小与在导通状态中的电流所产生的热的减小相关联,使得与常规半导体功率器件比较,具有电荷补偿结构的这样的半导体功率器件保持“冷”。

[0006] 同时,功率半导体器件的开关损耗变得更重要。根据器件操作,输出电荷 Q_{oss} (或输出电容 C_{oss})和开关损耗 E_{oss} 分别存储于在断开状态中和在反向偏压期间形成的空间电荷区中,主要确定开关损耗。具有电荷补偿结构的半导体器件的所存储的电荷 Q_{oss} 可能比较高。这可导致明显高的开关损耗 E_{oss} ,当所存储的电荷 Q_{oss} 的相当大的部分在功率半导体器件的负载端子两端的高电压下被移除时。此外,输出电荷 Q_{oss} 必须被移除以实现阻断。这导致开关损耗和 / 或增加的损耗。

[0007] 为了实现高击穿电压 U_{bd} ,可在围绕具有有源 MOSFET 单元的有源区域的外围区域中使用边缘终止结构。然而,外围区域需要芯片区域且因此增加成本。此外,边缘终止结构和外围区域分别可基本上有助于分别输出电荷 Q_{oss} 和输出电容 C_{oss} 。开关损耗可甚至由外围区域支配。

[0008] 因此,存在改进具有电荷补偿结构的半导体器件及制造那些半导体器件的需要。

发明内容

[0009] 根据电荷补偿半导体器件的实施例,电荷补偿半导体器件具有额定击穿电压并包

括半导体主体，其具有第一表面、在基本上平行于第一表面的水平方向上给半导体主体定界的边缘、有源区域以及布置在有源区域和边缘之间的外围区域。源极金属化布置在第一表面上。漏极金属化布置成与源极金属化相对。在基本上正交于第一表面的垂直横截面中，半导体主体还包括布置在外围区域中的本征半导体区以及在有源区域和外围区域中与第二柱区交替的多个第一柱区。第一柱区具有比本征半导体区更高的掺杂浓度，且与漏极金属化欧姆接触。有源区域的第二柱区经由具有比第二柱区高的掺杂浓度的相应的主体区与源极金属化欧姆接触。外围区域的第二柱区的至少大部分邻接连接区，其具有与第二柱区相同的导电类型并具有比主体区的邻接的最外边部分低的掺杂浓度。在邻近的第一柱区和第二柱区之间形成相应的pn结。第一柱区的最外边部分和第二柱区的最外边部分中的至少一个在水平位置处形成与本征半导体区的界面，在该水平位置处，当额定击穿电压施加在源极金属化和漏极金属化之间时，在第一表面处的电压是额定击穿电压的至少大约五分之一。

[0010] 根据电荷补偿半导体器件的实施例，电荷补偿半导体器件包括半导体主体，其包括第一表面、布置成与第一表面相对的第二表面、在基本上平行于第一表面的水平方向上给半导体主体定界的边缘、延伸到第二表面的第一导电类型的漏极区、有源区域以及布置在有源区域和边缘之间的外围区域、布置在第一表面上的源极金属化和布置在漏极区上并与漏极区欧姆接触的漏极金属化。在基本上正交于第一表面的垂直横截面中，电荷补偿半导体器件还包括：与漏极金属化欧姆接触并布置在外围区域中并接近于第一表面的等电位区、布置在外围区域中并具有掺杂剂的第一浓度的低掺杂半导体区、以及在有源区域和外围区域中与第二柱区交替的多个第一柱区。第一柱区具有比第一浓度高的第一导电类型的掺杂剂的第二浓度，且与漏极区欧姆接触。第二柱区具有第二导电类型并与源极金属化欧姆接触。第一柱区的最外边部分和第二柱区的最外边部分中的至少一个形成与低掺杂半导体区的界面。在界面和等电位区之间的水平距离除以在第一表面和漏极区之间的垂直距离是在从大约0.5到大约3的范围内。

[0011] 根据用于制造电荷补偿半导体器件的方法的实施例，该方法包括提供半导体主体，其包括第一表面、布置成与第一表面相对的第二表面、延伸到第二表面的第一导电类型的漏极区、有源区域以及围绕有源区域的外围区域。在基本上正交于第一表面的垂直横截面中，半导体主体还包括：具有掺杂剂的第一浓度并布置在外围区域中的低掺杂半导体区、在有源区域和外围区域中与第二柱区交替的多个第一柱区。第一柱区具有比第一浓度高的第一导电类型的掺杂剂的第二浓度。在邻接的第一柱区和第二柱区之间形成相应的pn结。第一柱区的最外边部分和第二柱区的最外边部分中的至少一个形成与低掺杂半导体区的界面。第二导电类型的连接区布置在外围区域中并邻接外围区域的第二柱区的至少大部分。该方法还包括在外围区域中形成至少紧靠第一表面的等电位结构，在第一表面上形成与有源区域的第二柱区和与连接区欧姆接触的源极金属化，形成与源极金属化相对并与等电位结构和第一柱区欧姆接触的漏极金属化，以及切割半导体主体以形成在第一表面和第二表面之间延伸并围绕有源区域的边缘。该方法被形成，使得在界面和等电位区之间的水平距离除以在第一表面和漏极区之间的垂直距离是在从大约0.5到大约3的范围内。

[0012] 本领域中的技术人员在阅读下面的详细描述时和在观看附图时将认识到额外的特征和优点。

附图说明

[0013] 附图中的部件并不一定按比例,相反将重点放在说明本发明的原理上。而且在附图中,相似的参考数字表示相应的部分。在附图中:

- 图 1 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 2 示出通过根据实施例的图 1 所示的半导体器件的垂直横截面的剖面;
- 图 3 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 4 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 5 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 6 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 7 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 8 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 9 示出通过根据实施例的半导体器件的半导体主体的垂直横截面;
- 图 10 示出在根据实施例的图 2 所示的半导体器件上的平面图;
- 图 11 示出在根据另一实施例的图 2 所示的半导体器件上的平面图;
- 图 12 示出在根据又一实施例的如图 2 所示的半导体器件上的平面图;
- 图 13 示出在根据又一实施例的如图 2 所示的半导体器件上的平面图;
- 图 14 示出根据实施例的掩模布局;以及
- 图 15 示出根据实施例的掩模布局。

具体实施方式

[0014] 在下面的详细描述中,参考形成其一部分的附图,且其中作为例证示出本发明可被实施的特定实施例。在这个方面中,关于正被描述的附图的方位来使用方向术语例如“顶部”、“底部”、“前面”、“后面”、“最前面”、“末尾”等。因为实施例的部件可位于多个不同的方位中,方向术语用于例证的目的且决不是限制性的。应理解,其它实施例可被利用,且结构或逻辑变化可被做出而不偏离本发明的范围。下面的详细描述因此不应在限制性意义上被理解,且本发明的范围由所附权利要求限定。

[0015] 现在详细参考各种实施例,其一个或多个示例在附图中示出。每一个示例通过解释被提供,且并不意味着作为本发明的限制。例如,被示出或描述为一个实施例的部分的特征可在其它实施例上或结合其它实施例来使用以产生又一实施例。意图是本发明包括这样的修改和变化。使用不应被解释为限制附随的权利要求的范围的特定语言描述了示例。附图并不按比例且仅为了例证性目的。为了清楚起见,相同的元件或制造步骤在不同的附图中由相同的参考符号表示,如果不是另有指定。

[0016] 如在本说明书中使用的术语“水平”意在描述基本上平行于半导体衬底或主体的第一或主水平表面的方位。这可例如是晶片或管芯的表面。

[0017] 如在本说明书中使用的术语“垂直”意在描述基本上正交于第一表面,即平行于半导体衬底或主体的第一表面的法线方向而布置的方位。同样,如在本说明书中使用的术语“水平”意在描述基本上平行于第一表面而布置的方位。

[0018] 在本说明书中,半导体主体的半导体衬底的第二表面被考虑为由下或后侧表面形

成,而第一表面被考虑为由半导体衬底的上、前或主表面形成。考虑到这个方位,如在本说明书中使用的术语“在…之上”和“在…之下”因此描述一个结构特征对另一结构特征的相对位置。

[0019] 在本说明书中,n掺杂被称为第一导电类型,而p掺杂被称为第二导电类型。可选地,半导体器件可形成有相对的掺杂关系,使得第一导电类型可以是p掺杂的,而第二导电类型可以是n掺杂的。此外,一些附图通过指示紧靠掺杂类型的“+”或“-”而示出相对掺杂浓度。例如,“n”意指比“n”掺杂区的掺杂浓度小的掺杂浓度,而“n⁺”掺杂区具有比“n”掺杂区的掺杂浓度大的掺杂浓度。然而,指示相对掺杂浓度并不意味着相同的相对掺杂浓度的掺杂区必须具有相同的绝对掺杂浓度,除非另有说明。例如,两个不同的n⁺掺杂区可具有不同的绝对掺杂浓度。同理适用于例如n⁺掺杂和p⁺掺杂区。

[0020] 在本说明书中描述的特定实施例涉及而不限于场效应半导体器件,特别是场效应补偿半导体器件及其制造方法。在本说明书中,术语“半导体器件”和“半导体部件”被同义地使用。场效应半导体器件一般是垂直半导体器件,例如具有源极金属化和布置在第一表面上的绝缘栅电极以及布置在与第一表面相对而布置的第二表面上的漏极金属化。一般,场效应半导体器件是具有有源区域的功率半导体器件,其具有用于携带和/或控制负载电流的多个MOSFET单元。此外,功率半导体器件一般具有外围区域,其具有当从上面看时至少部分地围绕有源区域的至少一个边缘终止结构。

[0021] 如在本说明书中使用的术语“功率半导体器件”意在描述具有高电压和/或高电流开关能力的在单个芯片上的半导体器件。换句话说,功率半导体器件为一般在安培范围内的高电流和/或大于大约10V或甚至大于大约100V或大约500V的电压而设计。在本说明书中,术语“功率半导体器件”和“功率半导体部件”被同义地使用。

[0022] 如在本说明书中使用的术语“边缘终止结构”意在描述提供过渡区的结构,其中在半导体器件的有源区域周围的高电场逐渐改变到在器件的边缘处或附近和/或在参考电位例如地与例如在半导体器件的边缘和/或后侧处的高电压之间的电位。边缘终止结构可例如通过使电场线跨越终止区延伸而降低在整流结的终止区周围的场强。

[0023] 如在本说明书中使用的术语“场效应”意在描述第一导电类型的导电“沟道”的电场介导形成和/或在第二导电类型的半导体区、一般第二导电类型的主体区中的导电率的控制和/或沟道的形状。由于场效应,在第一导电类型的源极区和第一导电类型的漂移区之间形成和/或控制穿过沟道区的单极电流路径。漂移区可与漏极区接触。漂移区和漏极区与漏极电极(漏极金属化)低欧姆接触。源极区与源极电极(源极金属化)低欧姆接触。在本说明书的上下文中,术语“欧姆接触”意在描述当没有电压或只有小探测电压施加到和/或横跨半导体器件时在半导体器件的相应元件或部分之间有低欧姆电流路径。在本说明书中,术语“欧姆接触”、“电阻电接触”、“电耦合”和“在电阻电连接中”被同义地使用。

[0024] 在本说明书的上下文中,术语“MOS”(金属氧化物半导体)应被理解为包括更一般的术语“MIS”(金属绝缘体半导体)。例如术语“MOSFET”(金属氧化物半导体场效应晶体管)应被理解为包括具有不是氧化物的栅极绝缘体的FET,即术语“MOSFET”分别在IGFET(绝缘栅场效应晶体管)和MISFET(金属绝缘体半导体场效应晶体管)的更一般的术语意义上被使用。MOSFET的栅极材料的术语“金属”应被理解为包括或包含导电材料,例如但不限于金属、合金、掺杂多晶硅半导体和金属半导体化合物例如金属硅化物。

[0025] 在本说明书的上下文中,术语“栅极氧化物”意在描述紧靠主体区而定位并与主体区绝缘且配置成形成和 / 或控制穿过主体区的沟道区的电极。

[0026] 在本说明书的上下文中,术语“场电极”意在描述电极,其布置成紧靠半导体区,一般是漂移区,与半导体区部分地绝缘并配置成通过充电到适当的电压(一般是关于 n 型半导体区(n 导电半导体区)的周围半导体区的负电压)来扩展在半导体区中的耗尽部分。

[0027] 在本说明书的上下文中,术语“可耗尽区”或“可耗尽区域”意在描述下列事实:相应的半导体区或相应的半导体区域在具有位于给定阈值之上的外加反向电压的半导体部件的断开状态期间基本上完全耗尽(基本上没有自由电荷载流子)。为了这个目的,可耗尽区的掺杂电荷被相应地设置,且在一个或多个实施例中,可耗尽区是弱掺杂区。在断开状态中,可耗尽区形成也被称为空间电荷区的已耗尽区,一般是连续耗尽区,由此,在连接到半导体主体的两个电极或金属化之间的电流流动可被防止。

[0028] 在本说明书的上下文中,术语“台面”或“台面区”意在描述在垂直横截面中延伸到半导体衬底或主体中的两个邻近沟槽之间的半导体区。

[0029] 如在本说明书中使用的术语“换向”意在描述半导体器件的电流从传导方向的切换,在该传导方向上,pn 结(例如在 MOSFET 的主体区和漂移区之间的 pn 结)被正向加偏压到相反的方向或阻断方向,在该方向上 pn 负载结被反向加偏压。如在本说明书中使用的术语“硬换向”意在描述以至少大约 10^9 V/s 的速度、更一般地以至少大约 $5*10^9$ V/s 的速度的换向。

[0030] 在下文中,主要参考硅(Si)半导体器件解释了涉及半导体器件和用于形成半导体器件的制造方法的实施例。因此,单晶半导体区或层一般是单晶硅区或硅层。然而应理解,半导体主体可由适合于制造半导体器件的任何半导体材料制成。这样的材料的示例包括而不限于示例性半导体材料,例如硅(Si)或锗(Ge)、第 IV 族化合物半导体材料(例如碳化硅(SiC)或硅锗(SiGe))、二元、三元或四元 III-V 半导体材料(例如氮化镓(GaN)、砷化镓(GaAs)、磷化镓(GaP)、磷化铟(InP)、磷化铟镓(InGaPa)、氮化铝镓(AlGaN)、氮化铝铟(AlInN)、氮化铟镓(InGaN)、氮化铝镓铟(AlGaN)或磷化砷化铟镓(InGaAsP))、以及二元或三元 II-VI 半导体材料(例如碲化镉(CeTe)和碲化汞镉(HgCeTe)),仅举几个示例。上面提到的半导体材料也被称为同质结半导体材料。当组合两种不同的半导体材料时,异质结半导体材料形成。异质结半导体材料的示例包括而不限于氮化铝镓(AlGaN)-氮化铝镓铟(AlGaInN)、氮化铟镓(InGaN)-氮化铝镓铟(AlGaInN)、氮化铟镓(InGaN)-氮化镓(GaN)、氮化铝镓(AlGaN)-氮化镓(GaN)、氮化铟镓(InGaN)-氮化铝镓(AlGaN)、硅-碳化硅(Si_xC_{1-x})和硅-SiGe 异质结半导体材料。对于功率半导体应用,目前主要使用 Si、SiC、GaAs 和 GaN 材料。如果半导体主体包括具有分别高击穿场强和高临界雪崩场强的高带隙材料(例如 SiC 或 GaN),则相应地,相应的半导体区的掺杂可被选择得更高,这减小在下文中也被称为导通电阻 Ron 的导通状态电阻 Ron。

[0031] 参考图 1,解释了电荷补偿半导体器件 100 的第一实施例。图 1 示出通过半导体器件 100 的半导体主体 40 的垂直横截面。半导体主体 40 在面向垂直方向 z 的第一表面 101 和布置成与第一表面 101 相对的第二表面 102 之间延伸。在基本上平行于第一表面 101 的水平方向 x 上,半导体主体 40 由基本上正交于第一表面 101 的边缘 41(例如锯齿形边缘)界定。半导体主体 40 具有有源区域 110 以及布置在有源区域 110 和边缘 41 之间的外围区

域 120。一般,当从上面看时,外围区域 120 围绕有源区域 110。

[0032] 源极金属化 10 布置在第一表面 101 上。漏极金属化 11 布置在第二表面 102 上,即与源极金属化 10 相对。此外,多个栅电极 12 一般也布置在有源区域中的第一表面 101 上,并通过电介质区 13 与源极金属化 10 和半导体主体 40 绝缘。栅极金属化 12 连接到未在图 1 中示出的栅极金属化。因此,半导体器件 100 可作为三端子器件来操作。

[0033] 半导体主体 40 一般包括块状单晶材料 4 和在其上形成的至少一个外延层 3、2、1。使用(多个)外延层 3、2、1 在修整材料的背景掺杂方面提供更多的自由度,因为掺杂浓度可在一个或多个外延层的沉积期间被调整。

[0034] 在图 1 所示的示例性实施例中,半导体主体 40 包括延伸到第二表面 102 的高掺杂 n 型漏极区 4,并与漏极金属化 11 和与 n 型场停止区 3 欧姆接触,n 型场停止区 3 邻接漏极区 4 并具有比漏极区 4 低的最大掺杂浓度。漏极区 4 和可选的场停止区 3 一般布置在有源区域 110 和外围区域 120 中,并可延伸到边缘 41。

[0035] 形成与彼此的相应 pn 结的多个交替的 n 型漂移部分 1 和 p 型补偿区 6 布置在有源区域 110 中和在外围区域 120 的邻接部分中。漂移部分 1 具有第一最大掺杂浓度,其一般高于场停止区 3 的最大掺杂浓度。漂移部分 1 与漏极金属化 11 欧姆接触(在示例性实施例中经由邻接的场停止区 3 和漏极区 4),且一般在有源区域 110 中延伸到第一表面 101。为了清楚起见,在图 1 中只示出几个漂移部分 1 和补偿区 6。如图 1 中的两个点线所指示的,多个漂移部分 1 和补偿部分 6 可布置在外围区域 120 中。外围区域的漂移部分 1 和补偿部分 6 一般与第一表面 101 间隔开。在下文中, n 型漂移部分 1 也被分别称为 n 型柱区 1 和(第一导电类型的)第一柱区 1,且 p 型补偿区 6 也被分别称为 p 型柱区 6 和(第二导电类型的)第二柱区 6。

[0036] 漂移部分 1 的(数学)积分掺杂剂浓度基本上匹配至少在有源区域 110 中的补偿区 6 的积分掺杂剂浓度。因此,漂移部分 1 和补偿区 6 形成 pn 补偿结构 1、6。漂移部分 1 和补偿区 6 的平均掺杂剂浓度(即每体积施主浓度和受主浓度的数学积分差)一般低于场停止区 3 的最大掺杂浓度,更一般地低于场停止区 3 的平均掺杂浓度。甚至更一般地,漂移部分 1 和补偿区 6 的平均掺杂剂浓度在漂移部分 1 和 / 或补偿区 6 的最大掺杂剂浓度的 10% 之下或 5% 之下。甚至更一般地,漂移部分 1 和补偿区 6 的平均掺杂剂浓度基本上为零。

[0037] 在示例性实施例中,p 型补偿区 6 被形成为垂直定向柱。可选地,p 型补偿区 6 被形成为基本上垂直定向的条型平行六面体、矩形或椭圆体。

[0038] 根据 pn 补偿结构 1、6 的制造,掺杂剂浓度可在漂移部分 1 和 / 或补偿区 6 中变化。

[0039] 有源区域 110 的补偿区 6 经由主体区 5、5' 与源极金属化 10 欧姆接触。

[0040] 这关于图 2 被更详细地解释,图 2 示出图 1 所示的半导体器件 100 的放大上剖面。图 2 的所示剖面对应于在半导体器件 100 的有源区域 110 中的多个单位单元 111 之一的上部分。

[0041] 在示例性实施例中,P⁺型主体接触区 5c 和两个 n⁺型源极区 15 在 p 型主体区 5 中形成。此外,可选的 P⁺型接触区 6c 在主体接触区 5c 和补偿区 6 之间延伸。为了清楚起见,(多个)主体接触区 5c 和(多个)接触区 6c 未在图 1 和后面的图中示出。

[0042] 电介质区 13 的一部分 13a 布置在第一表面 101 和栅电极 12 中的每一个之间,并在水平方向上从漂移部分 1 沿着主体区 5 至少延伸到源极区 15,使得在本文也被称为 MOS

沟道的反型沟道可通过场效应在沿着形成栅极电介质区的(多个)部分 13a 的主体区 5 的沟道区中形成。因此,半导体器件 100 可作为 MOSFET 来操作。

[0043] 电介质区 13 的其余部分形成在源极金属化 10 与分别栅电极 12 和第一表面 101 之间的夹层电介质。

[0044] 在示例性实施例中,源极金属化 10 经由穿过夹层电介质 13 并在半导体主体 40 内形成的浅沟槽接触与源极区 15 和主体接触区 5c 电接触。在其它实施例中,源极金属化 10 基本上在第一表面 101 处电接触源极区 15 和主体接触区 5c。

[0045] 根据另一实施例,(多个)栅电极 12 和(多个)栅极电介质 13a 在从第一表面 101 延伸到半导体主体 40 内的相应沟槽中形成。在这个实施例中,主体区 5 和源极区 15 邻接相应沟槽的上部分,而漂移部分 1 邻接相应沟槽的下部分。在这个实施例中,漂移部分 1 可以不延伸到有源区域 110 中的第一表面 101。再次参考图 1,解释了另外的实施例。

[0046] 根据实施例,p 型补偿区 6 和漂移部分 1 的掺杂浓度被选择,使得在断开状态中它们的电荷可相互耗尽,以及在导通状态中从源极金属化 10 到漏极金属化 11 形成不间断的低电阻传导路径。

[0047] 有源区域 110 可由源极区 15 和配置成形成和 / 或改变在邻近主体区 5 中的沟道区的绝缘栅电极 12 的存在限定。有源区域 110 也可由用于传递在源极金属化 10 和漏极金属化 11 之间的负载电流的有源单元(一般是 MOSFET 单元)的存在限定。

[0048] 如图 1 所示,夹层电介质 13 一般还覆盖在外围区域 120 中的半导体主体 40。夹层电介质 13 可基本上延伸到边缘 41。

[0049] 根据实施例,半导体主体 40 还包括在外围区域 120 中的与漂移部分 1 欧姆接触的低掺杂半导体区 2。

[0050] 低掺杂半导体区 2 可以是轻 p 掺杂或轻 n 掺杂半导体区。使用在外围区域 120 中的低掺杂半导体区 2 一般减小开关损耗。

[0051] 一般,低掺杂半导体区 2 具有小于大约 10^{15} cm^{-3} 或甚至小于大约 10^{14} cm^{-3} 的最大掺杂浓度。更一般地,低掺杂半导体区 2 是本征半导体区。一般,第一和第二柱区的掺杂浓度是低掺杂半导体区 2 的最大掺杂浓度的至少大约 10 倍。

[0052] 如果未指定,术语半导体区或半导体层的掺杂浓度当与另一半导体区或半导体的掺杂浓度比较来使用时也可以指的是相应的半导体区或半导体层的掺杂剂的最大浓度和 / 或平均或一般浓度。在半导体区或半导体层内,掺杂浓度可改变。

[0053] 低掺杂半导体区 2 的掺杂浓度一般是漂移部分 1 (和补偿区 6)的掺杂浓度的至多 1/5,更一般地是至多大约 1/10,甚至更一般地是至多大约 1/20,甚至更一般地是至多大约 1/50,例如是大约 1/100。

[0054] 此外,低掺杂半导体区 2 的掺杂浓度一般取决于半导体器件的电压类别。例如,n 型低掺杂半导体区 2 的施主的最大掺杂浓度对于具有 600V 的额定阻断电压的半导体器件 100 可以在从大约 $2*10^{13} \text{ cm}^{-3}$ 到大约 $2*10^{14} \text{ cm}^{-3}$ 的范围内。

[0055] 低掺杂半导体区 2 的(施主的)最大掺杂浓度可基本上对应于低掺杂半导体区 2 的(施主的)平均掺杂浓度,且一般低于大约 10^{15} cm^{-3} ,更一般地低于大约 $5*10^{14} \text{ cm}^{-3}$ 或甚至低于大约 10^{14} cm^{-3} ,即低掺杂半导体区 2 可以基本上是具有在从大约 10^{13} cm^{-3} 到大约 10^{14} cm^{-3} 的范围内的掺杂浓度的本征半导体区。

[0056] 此外,低掺杂半导体区 2 一般只布置在外围区域 120 中,并可延伸到在外围区域 120 中的第一表面 101。

[0057] 在示例性实施例中,外围区域 120 的 p 型柱区 6 (补偿区) 邻接 p 型连接区 17,其经由主体区 5' 的最外边部分与源极金属化 10 欧姆接触。

[0058] 连接区 17 一般是可耗尽半导体区,即当在断开状态中反向电压施加在漏极金属化 11 和源极金属化 10 之间从而使在邻接的 n 型柱区和 p 型柱区 6 之间形成的 pn 结反向加偏压时已经基本上耗尽的半导体区,该反向电压低于半导体器件 100 的额定击穿电压。由于使用可耗尽连接区 17 或至少部分地可耗尽的连接区 17,紧靠第一表面源极 101 的外围区域 120 的主要部分的电位在较高的反向电压下不同于源极电位。因此,击穿电压的减小可被避免。连接区 17 的掺杂浓度一般被选择,使得只有高于例如额定击穿电压的至少大约五分之一或一半的足够高的反向电压施加在源极金属化 10 和漏极金属化 11 之间,连接区 17 才基本上被耗尽。

[0059] 在图 1 所示的示例性实施例中,外围区域 120 的第一和第二柱区 1、6 基本上延伸到与在有源区域 110 中的第一和第二柱区 1、6 相同的深度内。

[0060] 根据实施例,外围区域 120 的 p 型柱区 6 的最外边部分(即最接近于边缘 41 的外围区域 120 的 p 型柱区)在水平位置 x0 处形成与低掺杂半导体区 2 的界面 46,其中当额定击穿电压施加在源极金属化 10 和漏极金属化 11 之间时,在第一表面 101 处的电压是额定击穿电压的至少大约五分之一。

[0061] 界面 46 可被形成为在最外边的 p 型柱区 6 和 n 型低掺杂半导体区 2 之间或在最外边的 n 型柱区 1 和 p 型低掺杂半导体区 2 之间的 pn 结。

[0062] 可选地,界面 46 可被形成为在相同导电类型的最外边的柱区 1、6 和低掺杂低掺杂半导体区 2 之间的结。

[0063] 在本说明书的上下文中,术语“结”意在描述在邻接的半导体区(即处于直接机械接触的半导体区或具有相同导电类型但具有明显不同的掺杂浓度的邻接的半导体部分)之间的边界表面。

[0064] 在本说明书的上下文中,如在本说明书中使用的术语“pn 结”意在描述在邻接的半导体区或不同导电类型的半导体部分之间的边界表面。

[0065] 一般,界面 46 在水平位置 x0 处形成,其中当额定击穿电压施加在源极金属化 10 和漏极金属化 11 之间时,在第一表面 101 处的电压是额定击穿电压的至少大约三分之一、甚至更一般地至少大约一半。

[0066] 数字模拟示出,与类似结构比较,半导体器件 100 的外围区域 120 的开关损耗可减小直至大约 1/10,但没有在外围区域中的交替的 n 型和 p 型柱区 1、6 或有在较接近于边缘和在边缘处的半导体区延伸的外围区域中的交替的 n 型和 p 型柱区 1、6,当额定击穿电压施加在源极金属化 10 和漏极金属化 11 之间时所述半导体区基本上在漏极电位上而基本上不减小击穿电压。这是因为低掺杂半导体区 2 (本征半导体区 2) 位于外围区域 120 的区中,其中在阻断模式(反向偏压)期间的电场足够低,使得由于从补偿结构 1、6 到分别低掺杂半导体区 2 和边缘 41 的过渡而引起的半导体结构的对称破坏不或几乎不导致额外击穿电压的减小。

[0067] 发现在边缘 41 和界面 46 之间的水平距离 d1 除以在源极金属化 10 和界面 46 之

间的水平距离 d_3 在从大约 0.1 到大约 0.9 的范围内、更一般地在从大约 0.2 到大约 0.5 的范围内的芯片设计在给定额定击穿电压下导致特别低的开关损耗。

[0068] 如图 1 所示, 外围区域 120 一般包括具有交替的 n 型和 p 型柱区 1、6 的内部分 120a 和没有柱区 1、6 的外部分 120b。

[0069] 在示例性实施例中, 与漏极金属化 11 欧姆接触并形成等电位区的高掺杂场停止区 8 布置在外围区域 120 (外部分 120b) 中和在低掺杂半导体区 2 与边缘 41 之间。

[0070] 场停止区 8 也可延伸到第一表面 101 和 / 或漏极区 4。在场停止区 8 具有与低掺杂半导体区 2 相同的导电类型(在图 1 所示的示例性实施例中是 n 型)的实施例中, 场停止区 8 也可通过低掺杂半导体区 2 的较低部分与场停止区 3 间隔开。

[0071] 如图 1 所示, 连接区 17 一般接近于场停止区 8 延伸。

[0072] 由于场停止区 8, 在断开状态中的电场不或至少几乎不延伸到边缘 41。因此, 低泄漏电流被确保, 因为可由锯开引起的晶体缺陷被高掺杂场停止区 8 屏蔽。

[0073] 进一步发现, 在界面 46 和等电位区 8 之间的水平距离 d_2 除以在第一表面 101 和漏极区 4 之间的垂直距离 d_4 在从大约 0.5 到大约 3、更一般地在从大约 0.8 到大约 1.5 的范围内的芯片设计在给定额定击穿电压下导致特别低的开关损耗。

[0074] 等电位区也可由场板 11a 形成和 / 或包括场板 11a, 场板 11a 布置在第一表面 101 上, 通过电介质区 13 与半导体主体 40 间隔开并与漏极金属化 11 和漏极区 4 欧姆接触。场板 11a 可能经由场停止区 8 和穿过电介质区 13 延伸的例如多晶硅插塞的导电插塞(未在图 1 中示出)与漏极金属化 11 欧姆接触。

[0075] 一般, 半导体器件 100 的半导体主体 40 还包括在外围区域 120 中的 n 型可耗尽半导体区 18 (第二可耗尽半导体区), 其布置在连接区 17 (第一可耗尽半导体区)和第一表面 101 之间并形成与连接区 17 的 pn 结。第二可耗尽半导体区 18 一般具有比低掺杂半导体区 2 的最大掺杂浓度高的最大掺杂浓度。一般, 第二可耗尽半导体区 18 的垂直积分掺杂剂浓度匹配或低于连接区 17 的垂直积分掺杂剂浓度。第二可耗尽半导体区 18 一般使边缘终止结构逆着在第一表面 101 上的表面电荷而稳定并减少空穴到电介质区 13 中的注入。

[0076] 第二可耗尽半导体区 18 的掺杂浓度可以是不变的或随着分别离边缘 41 和场停止区 8 的距离的增加而连续地或以分立的步长降低。第二可耗尽半导体区 18 的垂直延伸可以是不变的或随着分别离边缘 41 和场停止区 8 的距离的减小而连续地或以分立的步长增加。

[0077] 同样, 连接区 17 的掺杂浓度可以是不变的或随着分别离边缘 41 和场停止区 8 的距离的减小而连续地或以分立的步长降低。连接区 17 的垂直延伸可以是不变的或随着分别离边缘 41 和场停止区 8 的距离的减小而连续地或以分立的步长减小。

[0078] 在图 1 所示的示例性实施例中, 半导体器件 100 还包括与栅电极 12 和栅极金属化(未在图 1 中示出)欧姆接触的场板 12a。因此, 在断开状态(反向偏压)中的电场分布可进一步被平滑和 / 或半导体器件 100 关于在电介质区 13 中的移动电荷的灵敏度进一步减小。

[0079] 场板 12a 一般布置在场板 11a 和源极金属化 10 之间。

[0080] 场板 11a 和 / 或场板 12a 可以是阶梯状的, 如即场板 11a 和 / 或 12a 离第一表面 101 的垂直(最小)距离可在水平方向 x 上基本上阶梯式地改变。在其它实施例中, 场板 11a、12a 中的仅仅一个或甚至没有一个布置在第一表面 101 上。

[0081] 一般,场板 11a、场板 12a、场停止区 8 和低掺杂半导体区 2 基本上是环形的,例如当从上面看时是环状的。在这些实施例中,场板 11a 和场板 12a 分别形成漏极环 11a 和栅极环 12a。

[0082] 图 3 示出穿过电荷补偿半导体器件 200 的半导体主体 40 的垂直横截面。半导体器件 200 类似于上面关于图 1 和 2 解释的半导体器件 100。半导体器件 200 的半导体主体 40 也在第一水平表面 101 和第二表面 102 表面之间延伸。在水平方向上,半导体器件 200 的半导体主体 40 也由在第一和第二表面 101、102 之间延伸的边缘 41 定界。高掺杂 n 型漏极区 8 布置在有源区域 110 和外围区域 120 中的两者的第二表面 102 处,外围区域 120 布置在有源区域和边缘 41 之间。漏极区 8 一般延伸到边缘 41。源极金属化 10 布置在第一表面 101 上,且漏极金属化 11 布置在第二表面 102 和漏极区 8 上并与漏极区 8 欧姆接触。

[0083] 在示例性实施例中,一般为本征半导体区的低掺杂半导体区 2 和与漏极金属化 11 欧姆接触的两个等电位区 8、11a 布置在外围区域 120 中并紧靠第一表面 101。等电位区 11a 在第一表面上形成为场板 11a,且等电位区 8 在半导体主体 40 中形成为邻接低掺杂半导体区 2 并具有比低掺杂半导体区 2 高的掺杂浓度的 n 型场停止区 8。

[0084] 在其它实施例中,可使用等电位区 8、11a 中的仅一个。

[0085] 在示例性实施例中,低掺杂半导体区 2 和场停止区 8 延伸到第一表面 101。

[0086] 与 p 型第二柱区 6、6' 交替的多个 n 型第一柱区 1 布置在有源区域 110 和在低掺杂半导体区 2 与有源区域 110 之间的外围区域 120 的邻接部分中。第一柱区 1 经由 n 型场停止区 3 与漏极区 8 欧姆接触。外围区域 120 的第二柱区 6、6' 经由 p 型可耗尽半导体区 17 和紧靠有源区域的多个栅电极 13 的最外部部分布置的较高 p 掺杂最外边主体区 5' 与源极金属化 10 欧姆接触,多个栅电极 13 布置在第一表面上,且通过电介质区 13 与邻近的(多个)主体区和邻近的相应第一柱区 1 间隔开。

[0087] 由于制造,场停止区 8 可垂直地延伸到场停止区 3 中更深。例如,场停止区 3 可被形成为在高 n 掺杂衬底 4 上的 n 掺杂外延层 3。其后,基本上本征层 2 可外延地沉积在外延层 3 上。其后,可使用掩模来注入施主和受主,使得与在随后的热退火之后形成的第一柱区 1 的区域比较,更多的施主被注入到场停止区 8 的区域内。由于与第一柱区 1 的区域比较的场停止区 8 的区域的更高掺杂,场停止区的区域的施主可在热退火期间更深地扩散到一般更低掺杂的外延层 3 内。

[0088] 在图 3 所示的示例性实施例中,第二柱区 6' 的最外边部分形成与低掺杂半导体区 2 的界面 46,其中在界面 46 和等电位区 8、11a 之间的水平距离 d2、d2' 除以在第一表面 101 和漏极区 5 之间的垂直距离 d4 是在从大约 0.5 到大约 3、更一般地从大约 0.8 到大约 1.5 的范围内。如上面关于图 1 解释的,这样的芯片设计在给定额定击穿电压下导致特别低的开关损耗。

[0089] 在场板 11a 和场停止区 8 用作等电位区 8、11a 的实施例中,在界面 46 和场板 11a 之间的水平距离 d2' 一般小于在界面 46 和场停止区 8 之间的水平距离 d2。

[0090] 在示例性实施例中,源极金属化 10 的最外边部分形成阶梯状源极场板。界面 46 布置在源极场板和漏极场板 11a 之间。

[0091] 在源极金属化 10 和界面 46 之间的最大水平距离 d3 和在源极金属化 10 和界面 46 之间的最小水平距离 d3' 可能在从大约 0.1 到大约 0.9 的范围内、更一般地在从大约 0.2

到大约 0.5 的范围内。

[0092] 此外,在边缘 41 和界面 46 之间的水平距离 d1 除以在源极金属化 10 和界面 46 之间的水平距离 d3、d3' 中的任一个是在从大约 0.1 到大约 0.9 的范围内、更一般地在从大约 0.2 到大约 0.5 的范围内。

[0093] 图 4 示出穿过电荷补偿半导体器件 201 的半导体主体 40 的垂直横截面。半导体器件 201 类似于上面关于图 3 解释的半导体器件 200。然而,半导体主体 40 只有场板 11a 布置成紧靠在半导体器件 201 的外围区域 120 中的第一表面 101 作为等电位区。

[0094] 此外,与场板 11a 欧姆接触并嵌在电介质区 13 中的多晶硅层 11b 可布置成紧靠边缘 41 并在场板 11a 和第一表面 101 之间。

[0095] 在示例性实施例中,如上面关于图 2 解释的栅极场板 12a 可布置在外围区域 120 中的第一表面 101 上,并经由嵌在电介质区 13 中的另外的多晶硅层 12b 与未示出的栅极金属化接触。

[0096] 此外,在图 4 中示出在源极金属化 10 和最外边主体区 5' 之间的多晶硅源极接触 10a。

[0097] 图 5 示出穿过电荷补偿半导体器件 202 的半导体主体 40 的垂直横截面。半导体器件 202 类似于上面关于图 4 解释的半导体器件 201。

[0098] 在示例性实施例中,最外边第二柱区 6' 的掺杂浓度低于例如在有源区域 120 中的第二柱区 6 和外围区域 120 的其它第二柱区 6 的掺杂浓度,例如在从其大约 50% 到大约 80% 的范围内。因此,在补偿结构 1、6 和低掺杂半导体区 2 之间的过渡被平滑,即在阻断模式期间的电场分布,从而导致在器件操作期间的甚至更低的开关损耗。

[0099] 此外,如上面关于图 1 解释的 n 型可耗尽半导体区 18 可布置在半导体器件 202 的外围区域 120 中。

[0100] 图 6 示出穿过电荷补偿半导体器件 203 的半导体主体 40 的垂直横截面。半导体器件 203 类似于上面关于图 4 解释的半导体器件 201。

[0101] 然而,最外边第一柱区 1' 和最外边第二柱区 6' 的垂直延伸低于在有源区域 110 中的第一和第二柱区 1、6 的垂直延伸。此外,邻接最外边第一柱区 1' 的第二柱区 6' (从右边起第二个) 和邻接第二柱区 6'' 的第一柱区 1'' (从右边起第二个) 具有在其间的垂直延伸。因此,在补偿结构 1、6 和低掺杂半导体区 2 之间的过渡也被平滑。外围区域 120 的柱区 1、6 的垂直延伸也可朝着边缘 41 在一个或多个步骤中减小。

[0102] 图 7 示出穿过电荷补偿半导体器件 204 的半导体主体 40 的垂直横截面。半导体器件 204 类似于上面关于图 5 解释的半导体器件 202。然而,最外边主体区 5' 具有进一步朝着边缘 41 延伸并连接外围区域 120 的内部第二柱区 6 中的一个或多个的部分,内部第二柱区 6 因此经由不可耗尽的半导体区与源极金属化连接。

[0103] 图 8 示出穿过电荷补偿半导体器件 205 的半导体主体 40 的垂直横截面。半导体器件 205 类似于上面关于图 7 解释的半导体器件 204。然而,可耗尽半导体区 17、18 延伸到边缘 41。

[0104] 此外,最外边的第二柱区 6' 是低掺杂的,如上面关于图 5 解释的。

[0105] 甚至更进一步地,如上面关于图 1 和 3 解释的场停止区 8 被提供在边缘 41 处。

[0106] 图 9 示出穿过电荷补偿半导体器件 206 的半导体主体 40 的垂直横截面。半导

器件 206 类似于上面关于图 4 解释的半导体器件 202。然而,最外边的第一柱区 1' 和邻接最外边的第一柱区 1' 的第二柱区 6'' 中的至少一个比更接近于有源区域 110 并布置在有源区域 110 中的分别相的第一和第二柱区 1、6 具有更高的掺杂浓度。因此,在补偿结构 1、6 和低掺杂半导体区 2 之间的过渡也被平滑。

[0107] 图 10 示出在上面关于图 3 解释的半导体器件 200 上的平面图。图 10 也可对应于穿过半导体器件 200 的半导体主体 40 的水平横截面。

[0108] 在示例性实施例中,半导体主体 40 在水平横截面中和当从上面看时分别具有矩形形状,而在有源区域 110 和有源区域 120 的内部分 120a 之间的边界 45 基本上是八边形的(一般八个不相交的直线段或侧边的闭合链)。然而,有源区域 110 在水平横截面中和当从上面看时一般分别不被成形为八边形。这可以是由于当从上面看时至少部分地被围绕的栅极焊盘 12' 的存在。为了清楚起见,在图 10 中没有示出可在 x 方向上延伸的交替的第一柱区 1 和第二柱区 6。在栅极焊盘 12' 之下的一第一和第二柱区 1、6 的掺杂浓度可与在有源区域 110 中的相同。

[0109] 第一和第二柱区 1、6 可基本上分别被成形为当从上面看时在 y 方向上延伸的、具有大于大约 10 或甚至大于大约 100 的大高宽比的带和细长平行矩形。

[0110] 虽然在内部分 120a 和外部分 120b 之间的左和右边界 46 可由在低掺杂半导体区 2 和相应的最外边第二柱区 6(在图 3 中的 6')之间的 pn 结 46 形成,在内部分 120a 和外部分 120b 之间的边界 46' 一般在低掺杂半导体区 2 与交替的第一和第二柱区 1、6 之间形成。在示例性实施例中,在外部分 120b 和内部分 120a 之间的边界 46、46' 当从上面看时是矩形的。

[0111] 第一和第二柱区 1、6 可在两个边界 46' 之间延伸,其具有内部第一和第二柱区 1、6,所述内部第一和第二柱区 1、6 跨越有源区域 110 延伸,即从有源区域 110 延伸到外围区域 120 的内部分 120a 中。

[0112] 一般,与有源区域 110 比较,第一和第二柱区 1、6 的掺杂浓度在外围区域 120 的内部分 120a 中更低。如图 10 中的虚点线所指示的,第一和第二柱区 1、6 的掺杂浓度在最内部的过渡区中可以更低,从大约 100% 到大约 90%、80%、60%、50%、40% 的较低值或甚至只有大约 20%。因此,在阻断模式期间在等电位表面之间的间隔跨越半导体主体 40 可以更均匀。

[0113] 在图 11 中,另外示出最外边的主体区 5' 的一般布置。

[0114] 在图 12 中分别在平面图和水平横截面中示出的半导体器件 200' 类似于上面关于图 3、10 和 11 解释的半导体器件 200。然而,当从上面看时,栅极焊盘 12' 只由有源区域 110 部分地围绕。此外,与有源区域 110 比较,第一和第二柱区 1、6 的掺杂浓度在栅极焊盘 12' 之下可以更低。

[0115] 在另一实施例中,栅极焊盘当从上面看时在外围区域 120 的外部分 120b 中形成。

[0116] 在图 13 中分别在平面图和水平横截面中示出的半导体器件 200'' 类似于上面关于图 3、10 和 11 解释的半导体器件 200。然而,外围区域 120 的四个拐角区被不同地设计。当从上面看时且在水平横截面中,在半导体器件 200'' 的外部分 120b 和内部分 120a 之间的边界 46、46'、46'' 分别是八边形的,并具有与边缘 41 的四个垂直侧边 41 中的每一个形成 45° 的角度的四个边界 46''。

[0117] 在其它实施例中,在外围区域 120 的外部分 120b 和内部分 120a 之间的边界可在

拐角区中具有与外边缘形成 30° 或 60° 的角度的部分。

[0118] 根据电荷补偿半导体器件的实施例，电荷补偿半导体器件 200、200'、200'' 包括具有第一表面(101)、布置成与第一表面相对的第二表面(102)、以及在基本上平行于第一表面的水平方向上给半导体主体 40 定界的边缘 41 的半导体主体 40。当从上面看时，半导体主体 40 一般被成形为矩形。当从上面看时，半导体主体 40 的有源区域 110 基本上被成形为八边形。外围区域 120 布置在有源区域 110 和边缘 41 之间。具有掺杂剂的第一浓度的低掺杂半导体区 2 布置在外围区域 120 的外部分 120b 中，并可延伸到边缘 41。外围区域 120 的内部分 120a 布置在有源区域 110 和外围区域 120 的外部分 120b 之间。在外围区域 120 的内部分 120a 和外部分 120b 之间的边界 46、46'、46'' 在紧靠边缘 41 的两个邻近垂直侧边的外围区域 120 的拐角区中基本上平行于这两个垂直侧边之一或与边缘 41 形成大约 60°、45° 或 30° 的角度。例如，当从上面看时，在外部分 120b 和内部分 120a 之间的边界 46、46'、46'' 可以是多边形边界，例如矩形或八边形。源极金属化(10)布置在第一表面上，且漏极金属(11)布置成与源极金属化(10)相对。在基本上正交于第一表面的垂直横截面中，电荷补偿半导体器件还包括在有源区域 110 中与第二柱区 6 交替的多个第一柱区 1。第一柱区 1 和第二柱区 6 延伸到外围区域 120 的内部分 120a 中。第一柱区 1 具有比第一浓度高的第一导电类型的掺杂剂的第二浓度，并与漏极金属化(11)欧姆接触。第二柱区 6 具有第二导电类型并与源极金属化(10)欧姆接触。当从上面看时，第一柱区 1 基本上平行于彼此和第二柱区 6。与有源区域 110 比较，第一柱区 1 和第二柱区 6 的相应的掺杂浓度在内部分 120a 中更低。

[0119] 根据数字模拟(未示出)，这个布局具有几个优点。在阻断模式期间，高电场强度可被避免(特别是在拐角区中)。在阻断模式期间耗尽区的曲率可以被微调。因此，特别高的阻断电压可被避免。此外，设计关于布局变化(制造容差)是更容忍的。

[0120] 主要使用所谓的“多外延”工艺来生产电荷补偿半导体器件。在这种情况下，可以是几 μm 厚的 n 掺杂外延层首先在高 n 掺杂衬底上生长且通常被称为“缓冲外延(epi)”。除了在外延步骤中引入的掺杂水平之外，掺杂离子在第一充电位置中使用具有掺杂离子的注入(例如硼或磷掺杂)通过光致抗蚀剂掩模被引入到缓冲外延中。反向掺杂也可以与注入一起被使用(通过掩模或在整个表面上)。然而，也可能分离单独的外延层与所需的掺杂。在那之后，整个过程重复与所需的一样多的次数，直到具有足够的厚度并配备有电荷中心的 n(多外延)层被创建为止。电荷中心被相互调整到彼此并垂直地堆叠在彼此的顶部上。这些中心然后与在起伏的垂直柱中的向外热扩散合并以形成邻近的 p 型电荷补偿区(补偿区)和 n 型电荷补偿区(漂移区)。然后此时可进行有源器件的制造。

[0121] 用于制造电荷补偿半导体器件的另一常规技术涉及沟槽蚀刻和有沟槽填充的补偿。吸收电压的体积在单个外延步骤(n 掺杂外延)中沉积在高 n 掺杂衬底上，使得厚度对应于多层外延结构的总厚度。在那之后，更深的沟槽被蚀刻，这确定 p 柱的形式。这个沟槽然后填充有没有晶体缺陷的 p 掺杂外延。然而，在外延过程期间的掺杂的集成可能只有相对大的波动。特别是在有非常小的尺寸的情况下，相应的波动快速超过为该工艺提供的窗口，这可导致相当大的产量损失。此外，掺杂轮廓(和因而还有场的强度的垂直发展)的垂直变化不是可能的。可能因此很难使用这种技术满足各种鲁棒性标准。由于这些原因，电荷补偿结构的 n 型和 p 型掺杂剂在下文中主要通过注入来引入。

[0122] 这两种技术都可用于制造如上面关于图 1 到 13 解释的电荷补偿半导体器件。这样的方法可包括提供包括第一表面 102、布置成与第一表面相对的第二表面 101、延伸到第二表面 102 的第一导电类型的漏极区 8、有源区域 110 以及围绕有源区域 110 的外围区域 120 的半导体主体 40，一般是晶片。在基本上正交于第一表面 101 的垂直横截面中，半导体主体 40 包括具有掺杂剂的第一浓度并布置在外围区域中的低掺杂半导体区 2，多个第一柱区 1 在有源区域 110 和外围区域 120 中与第二柱区 6 交替。第一柱区 1 具有比第一浓度高的第一导电类型的掺杂剂的第二浓度。在邻接的第一柱区 1 和第二柱区 2 之间形成相应的 pn 结。第一柱区 1 的最外边部分和第二柱区 6 的最外边部分中的至少一个形成与低掺杂半导体区的界面 46。第二导电类型的连接区 17 布置在外围区域 120 中并邻接外围区域 120 的第二柱区 6 的至少大部分。

[0123] 该方法还可包括在外围区域中形成至少紧靠第一表面的等电位结构(一个或多个等电位区)8、11a，在第一表面 101 上形成与有源区域 110 的第二柱区 6 和连接区 17 欧姆接触的源极金属化 10，形成与源极金属化 10 相对并与等电位结构 8、11a 和第一柱区 1 欧姆接触的漏极金属化 11，以及切割半导体主体 40 以形成在第一表面 101 和第二表面 102 之间延伸并围绕有源区域 120 的边缘 41。该方法一般被形成，使得在界面 46 和等电位结构 8、11a 之间的水平距离 d2、d2' 除以在第一表面 101 和漏极区 4 之间的垂直距离 d4 是在从大约 0.5 到大约 3、更一般地从大约 0.8 到大约 1.5 的范围内。

[0124] 形成等电位区结构可包括下列中的至少一个：在第一表面 101 上形成场板 11a，在第一表面之下形成邻接低掺杂半导体区 2 并具有比第一浓度高的掺杂剂的浓度的第一导电类型的场停止区 8，和 / 或形成在场板 11a 和场停止区 8 之间的掺杂多晶硅区。

[0125] 可使用如图 14、15 所示的掩模布局形成第一和第二柱区 1、6。为了清楚起见，所示掩模布局对应于在图 13 中示出的小剖面 250。

[0126] 在提供具有延伸到主表面的低掺杂(例如本征)半导体层 2 的半导体主体(晶片)40 之后，可限定八边形的有源区域 110 和具有外部分 120b 和布置在有源区域 110 和外部分 120b 之间的内部分 120a 的外围区域 120。

[0127] 在下文中，可以通过布置在主表面上用于形成第一柱区 1 的第一注入掩模(第一掩模)1_i注入施主离子，且可以通过布置在主表面上用于形成第二柱区 6 的第二注入掩模(第二掩模)6_i注入受主离子。一般，在普通退火之前使用具有不同的离子能量的几个注入以激活所注入的施主和受主。

[0128] 如图 14 和 15 所示，第一掩模 1_i、1'_i 具有在第一水平方向 y 上从有源区域 110 延伸到它们终止于的(多个)内部分 120a 中的第一开口 1_i，且第二掩模 6_i、6'_i 具有在 y 方向上从有源区域 110 延伸到它们终止于的外围区域 120 的(多个)内部分 120a 中的第二开口 6_i。第一掩模 1_i、1'_i 和第二掩模 6_i、6'_i 一般还包括只布置在外围区域 120 的内部分 120a 中但不在有源区域 110 中的相应的外部开口 1'_i、6'_i。与内部分 120a 比较，在第二水平方向(x 方向)上的第一开口 1_i 和第二开口 6_i 的水平延伸在有源区域 110 中更大。同样，外部开口 1'_i、6'_i 在 x 方向上的延伸低于在有源区域中的开口 1_i、6_i 在 x 方向上的延伸。

[0129] 因此，与有源区域 110 比较在外围部分 120 的内部分 120a 中具有减小的掺杂浓度的第一和第二柱区 1、6 以及与有源区域 110 比较在外围区域 120 的内部分 120a 中具有减小的掺杂浓度的第二柱区 1 被形成，使得第一柱区 1 和第二柱区 6 至少分段地基本上平行于

彼此,以及在外围区域 120 的内部分 120a 和外部分 120b 之间的边界 46’’ 在拐角区中(其中边缘 41 的两个垂直侧边至少接近于彼此),基本上平行于这两个垂直侧边之一或与这两个垂直侧边形成大约 45° 的角度。

[0130] 虽然公开了本发明的各种示例性实施例,对本领域中的技术人员明显,可做出实现本发明的一些优点的各种改变和修改而不偏离本发明的精神和范围。对本领域中的有相当技能的人员明显,执行相同的功能的其它部件可适当地被替代。应提到,关于特定的附图解释的特征可与其它附图的特征组合,甚至在这没有被明确提到的那些情况下。对创造性概念的这样的修改被指定为由所附权利要求涵盖。

[0131] 为了描述的容易而使用空间相对术语例如“在…下”、“在…之下”、“下部”、“在…之上”、“上部”等以解释一个元件相对于第二元件的定位。除了与在附图中描绘的那些方位不同的方位以外,这些术语意在还包括器件的不同方位。此外,术语例如“第一”、“第二”等也用于描述各种元件、区、区段等,且也没有被指定为限制性的。相似的术语在整个描述中指相似的元件。

[0132] 如在本文使用的,术语“具有”、“包含”、“包括”、“含有”等是指示所指定的元件或特征的存在的开放术语,但并不排除额外的元件或特征。冠词“一”、“一个”和“该”意在包括复数以及单数,除非上下文另外清楚地指示。

[0133] 记住变化和应用的上述范围,应理解,本发明并不由前述描述限制,它也不由附图限制。相反,本发明仅由下面的权利要求及其合法等效形式限制。

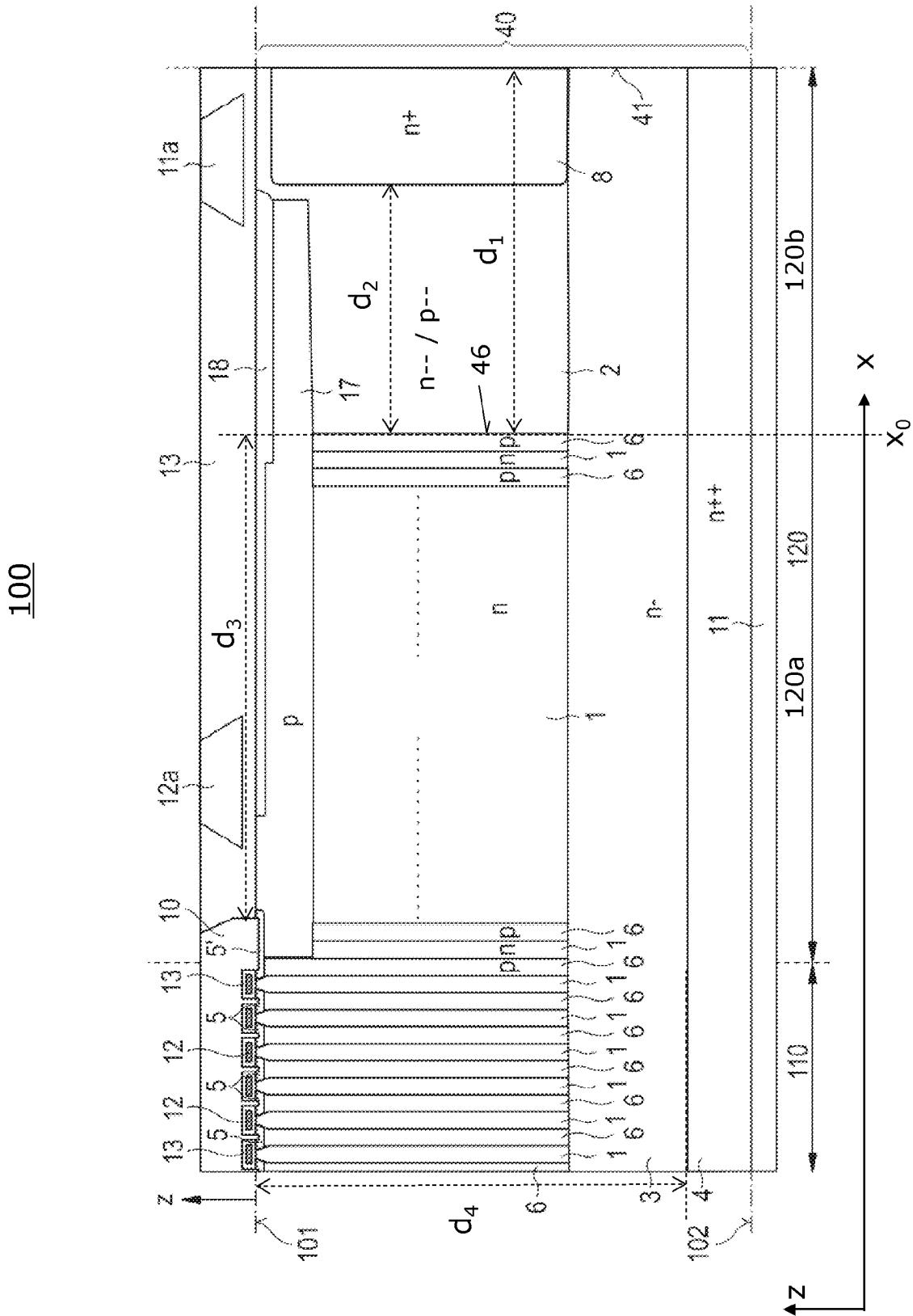


图 1

100, 110

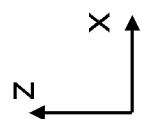
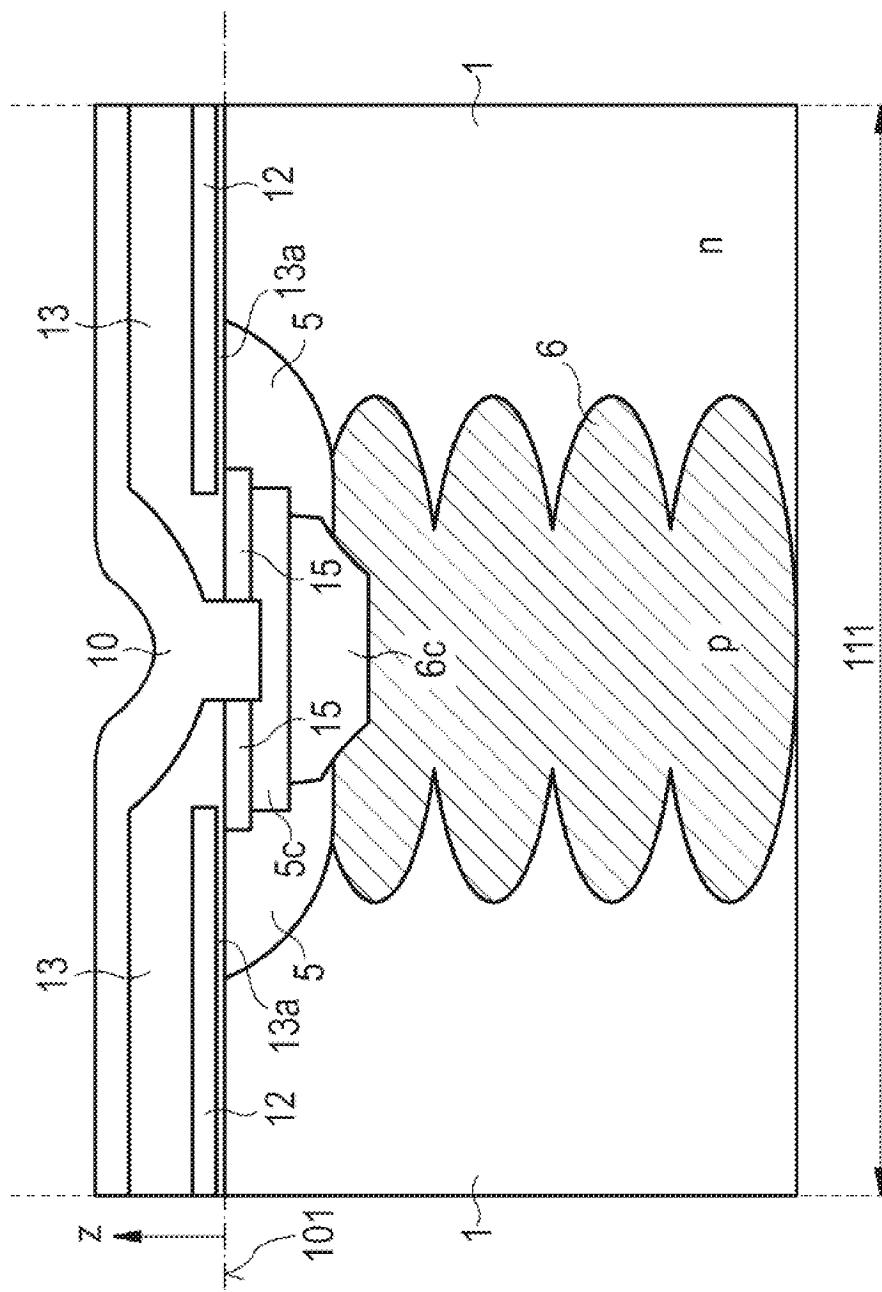


图 2

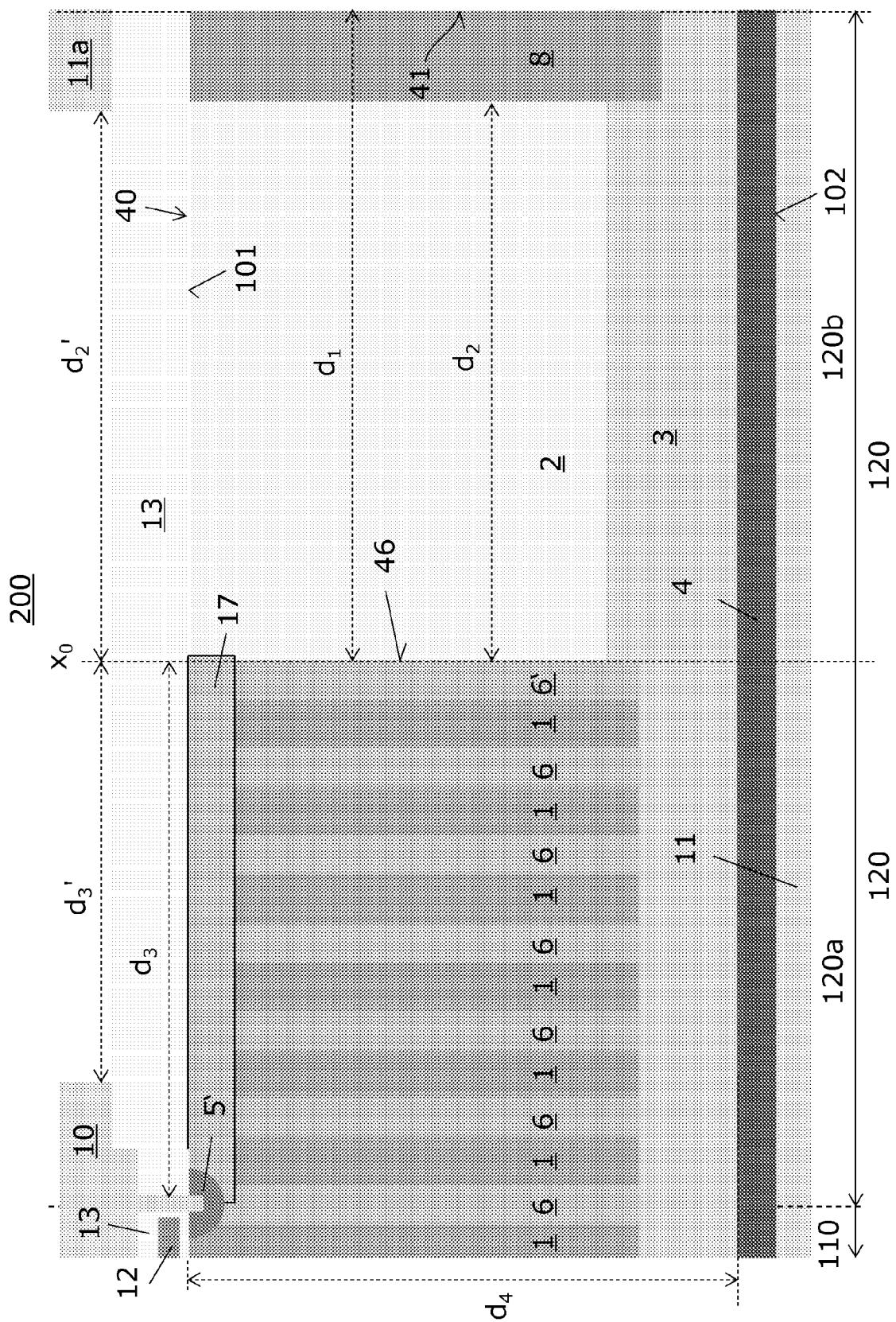


图 3

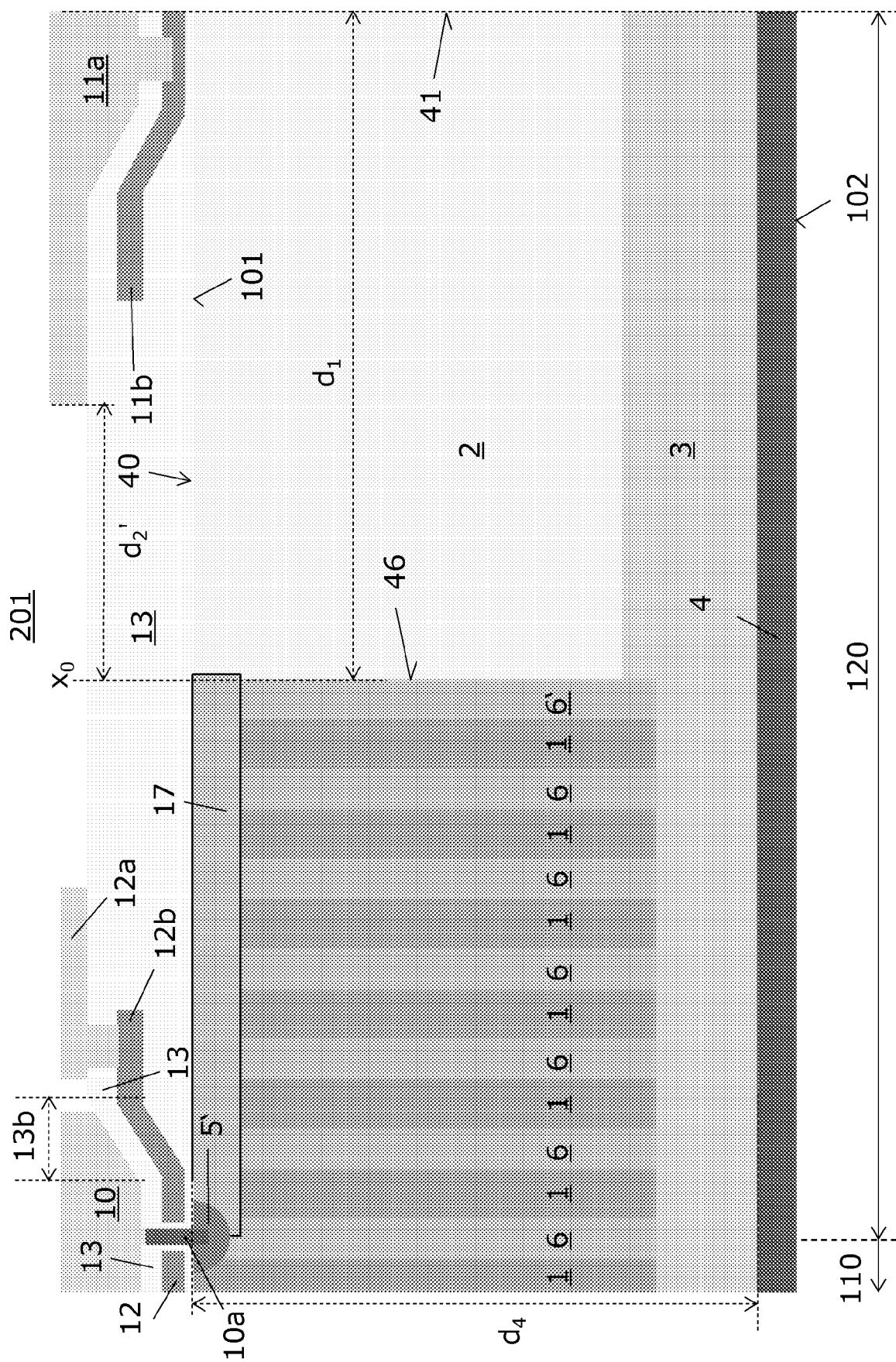


图 4

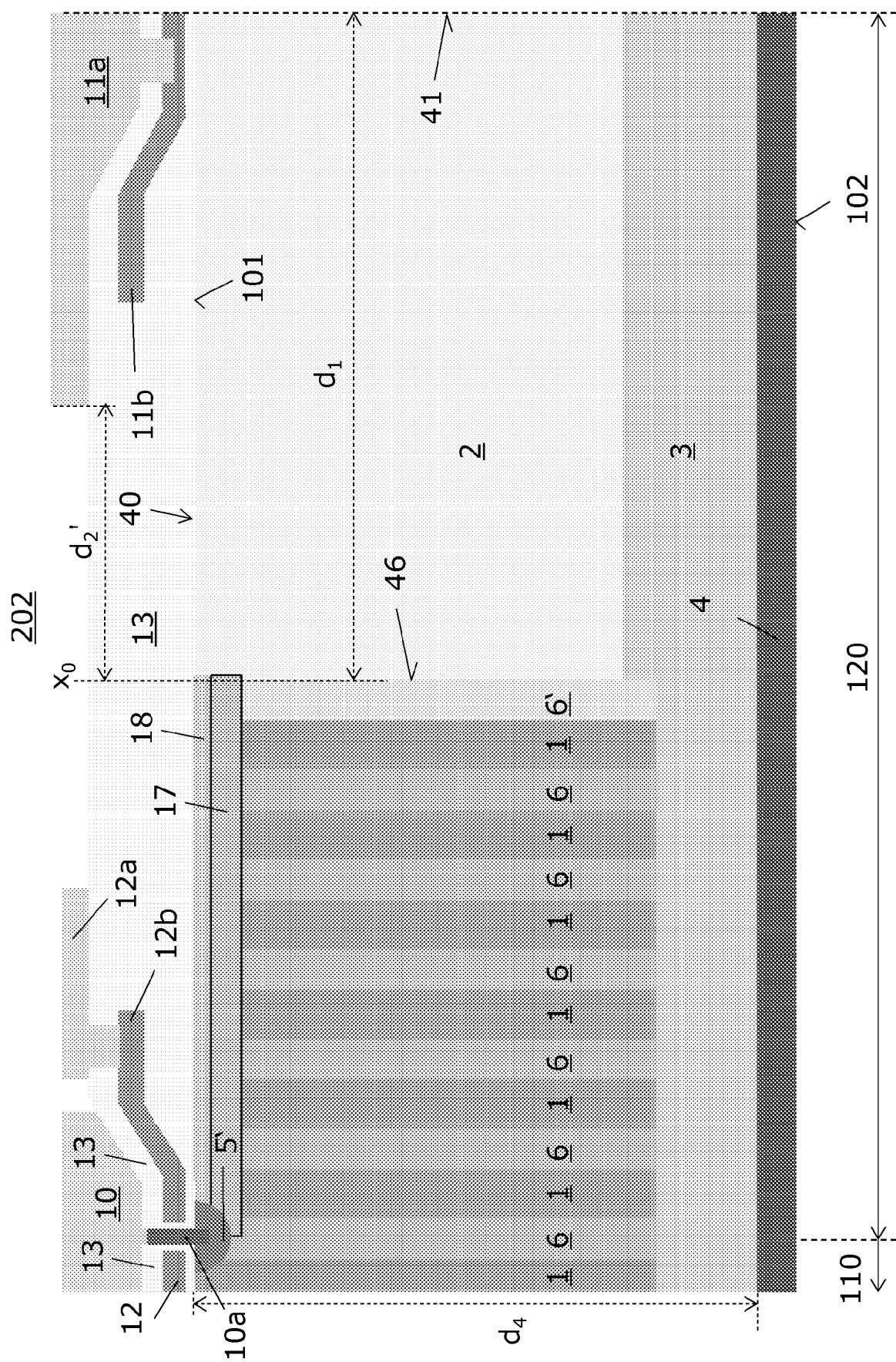


图 5

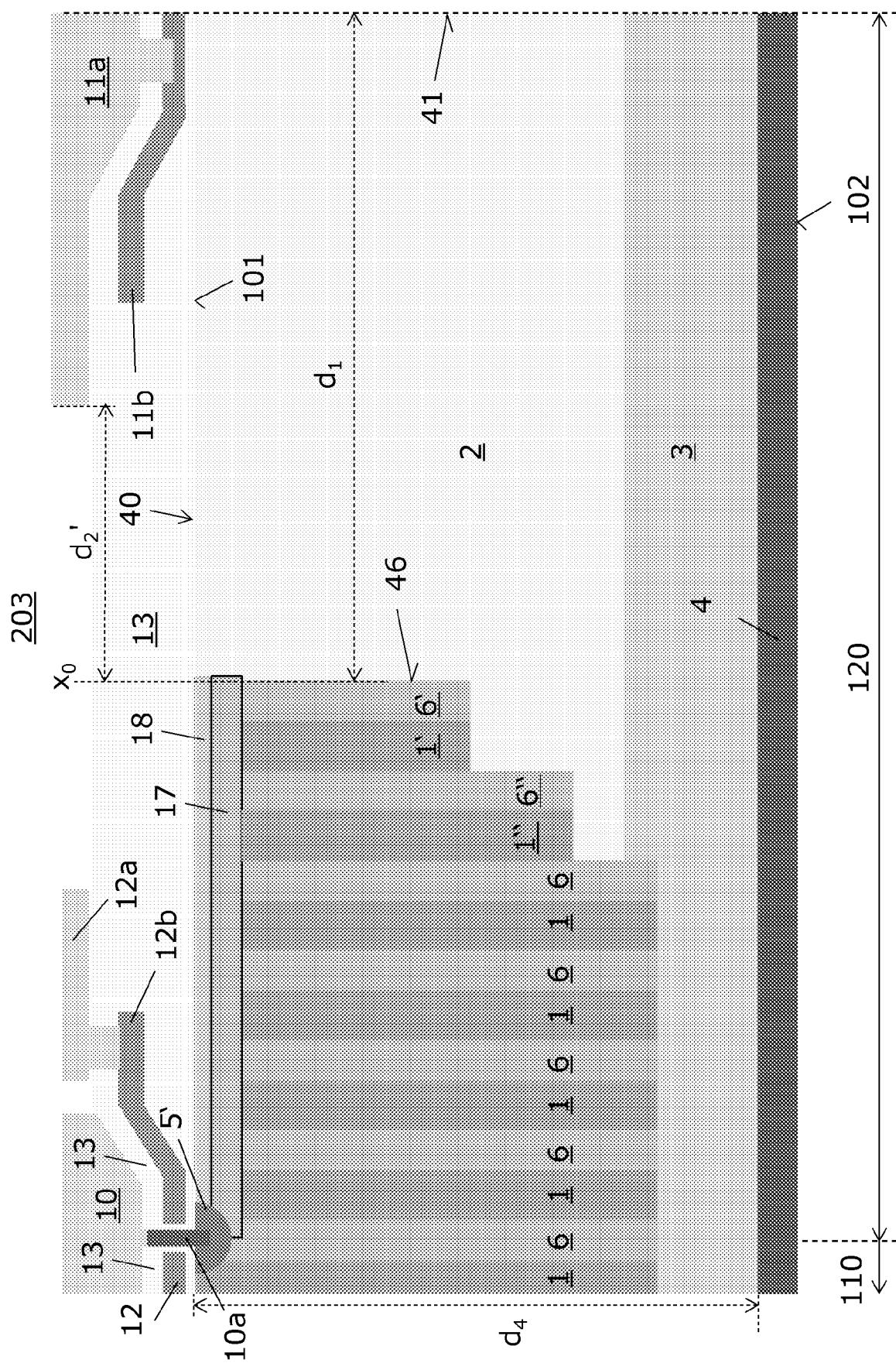


图 6

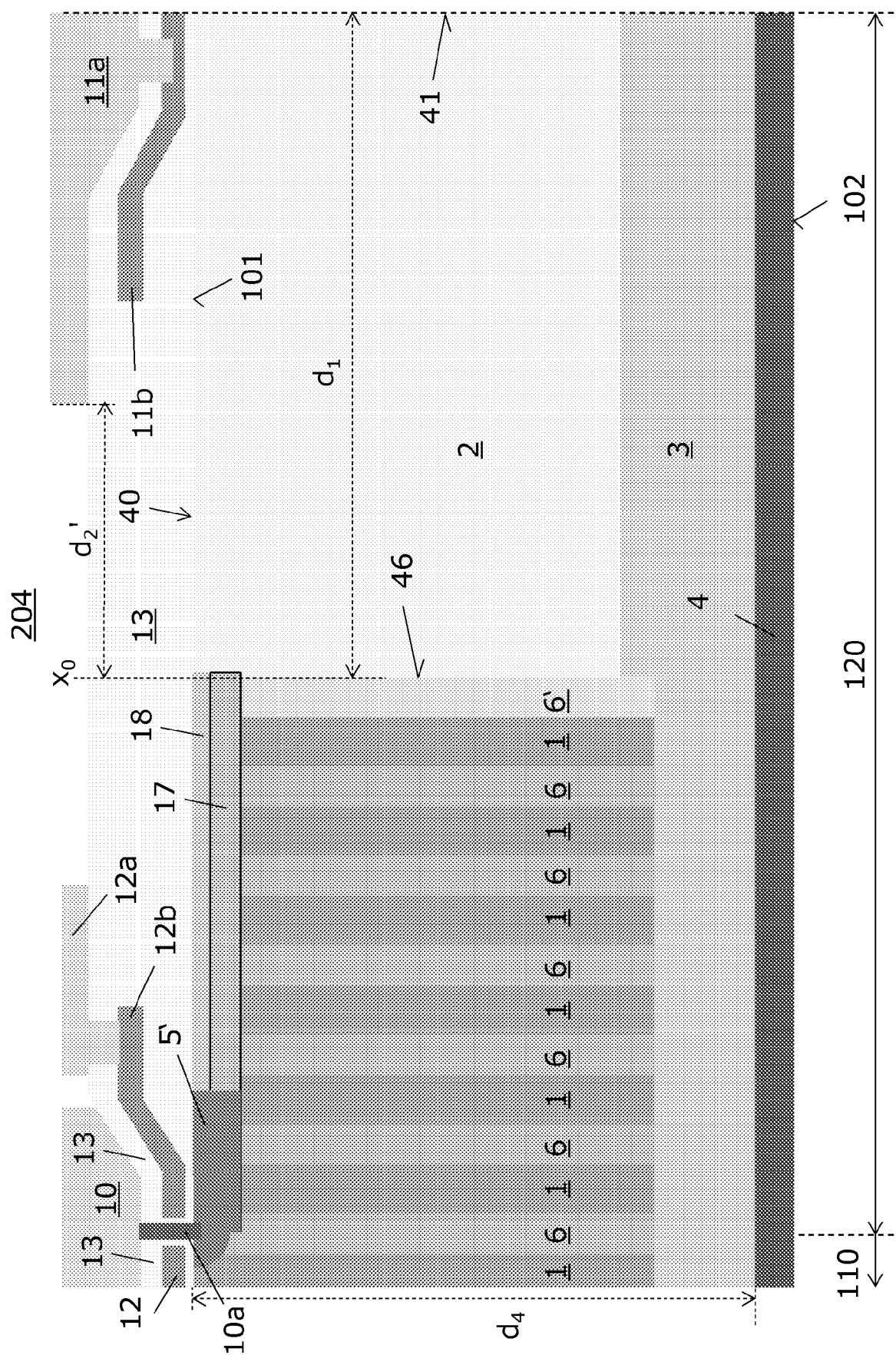


图 7

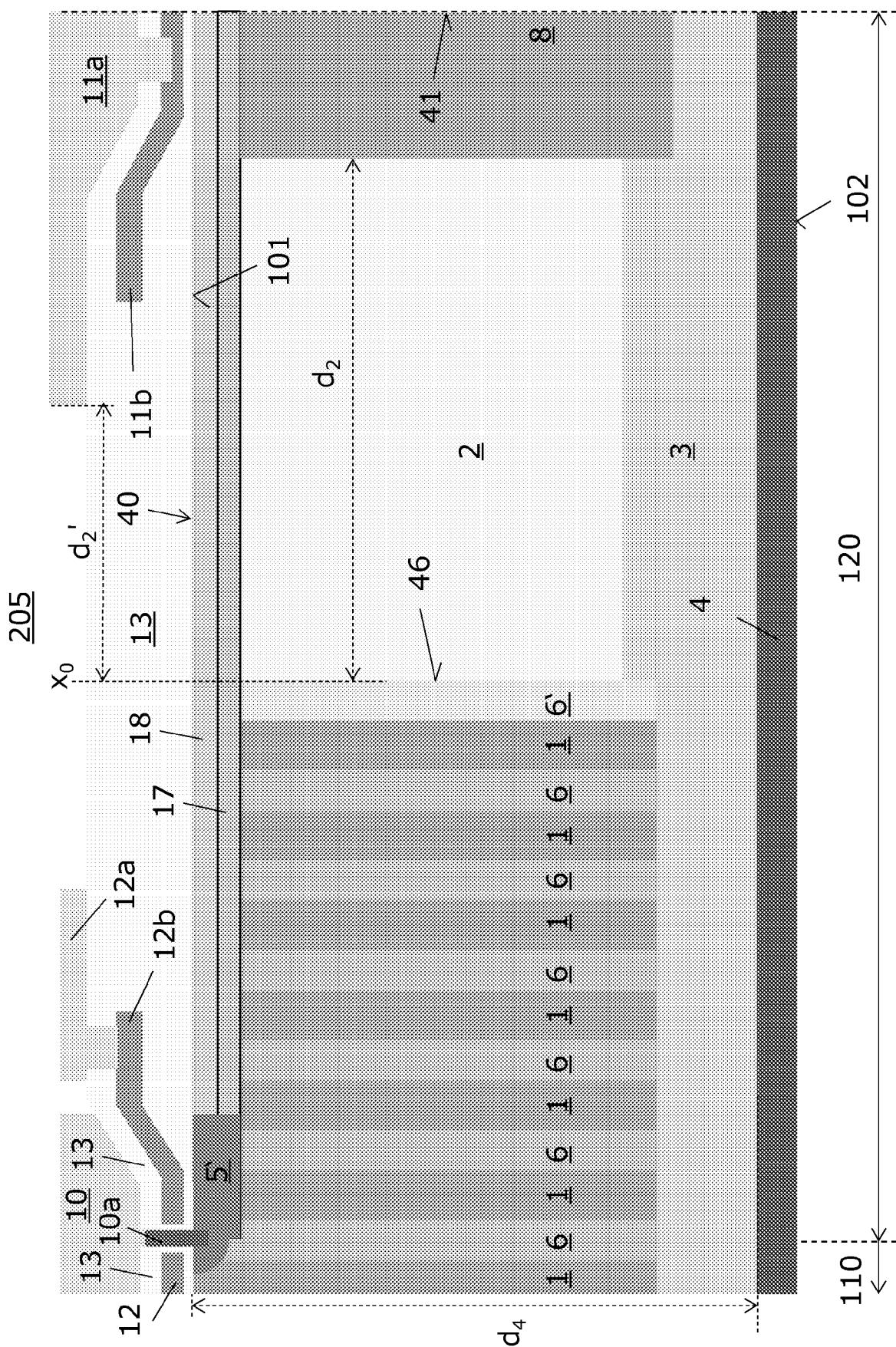


图 8

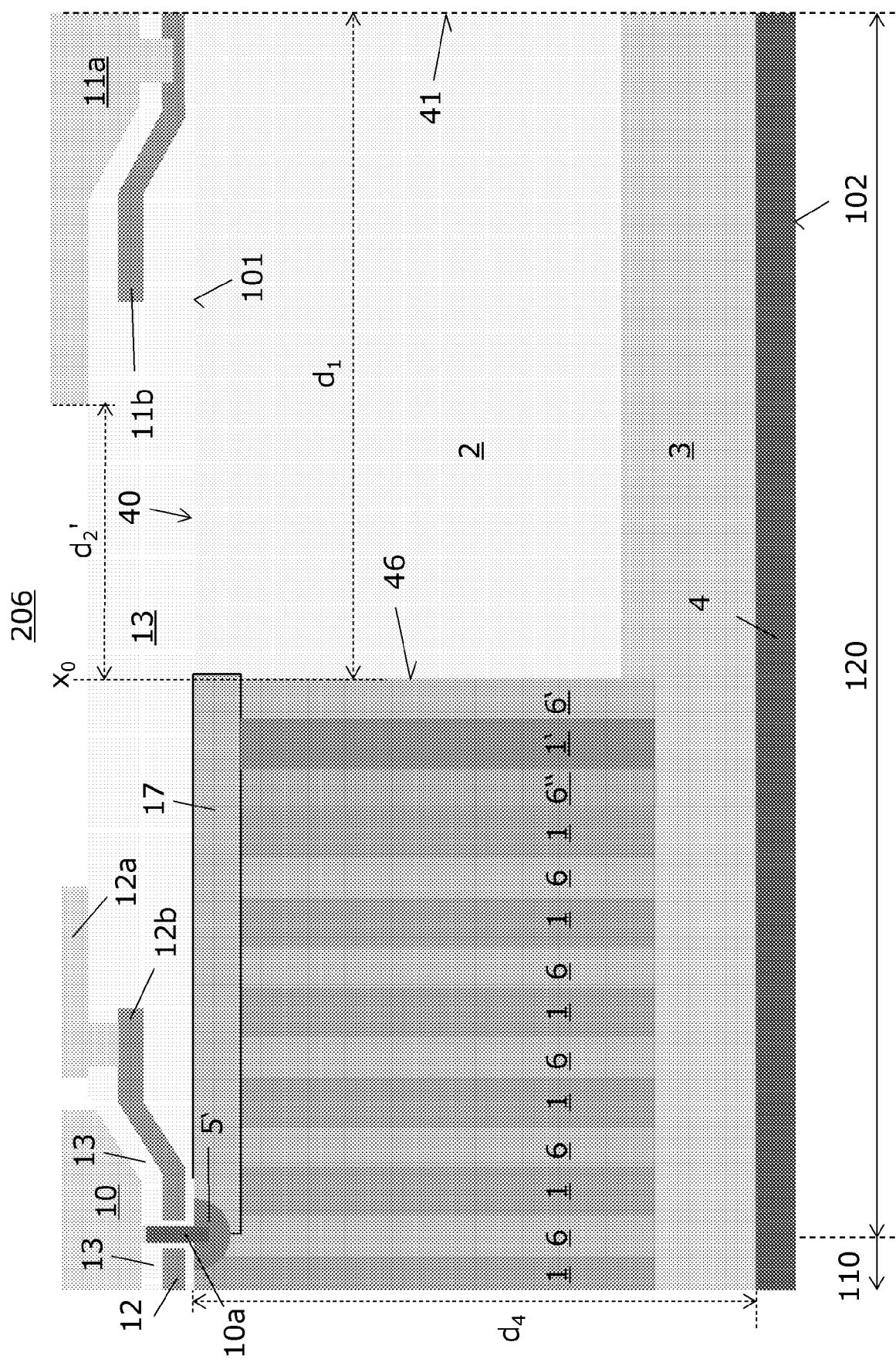


图 9

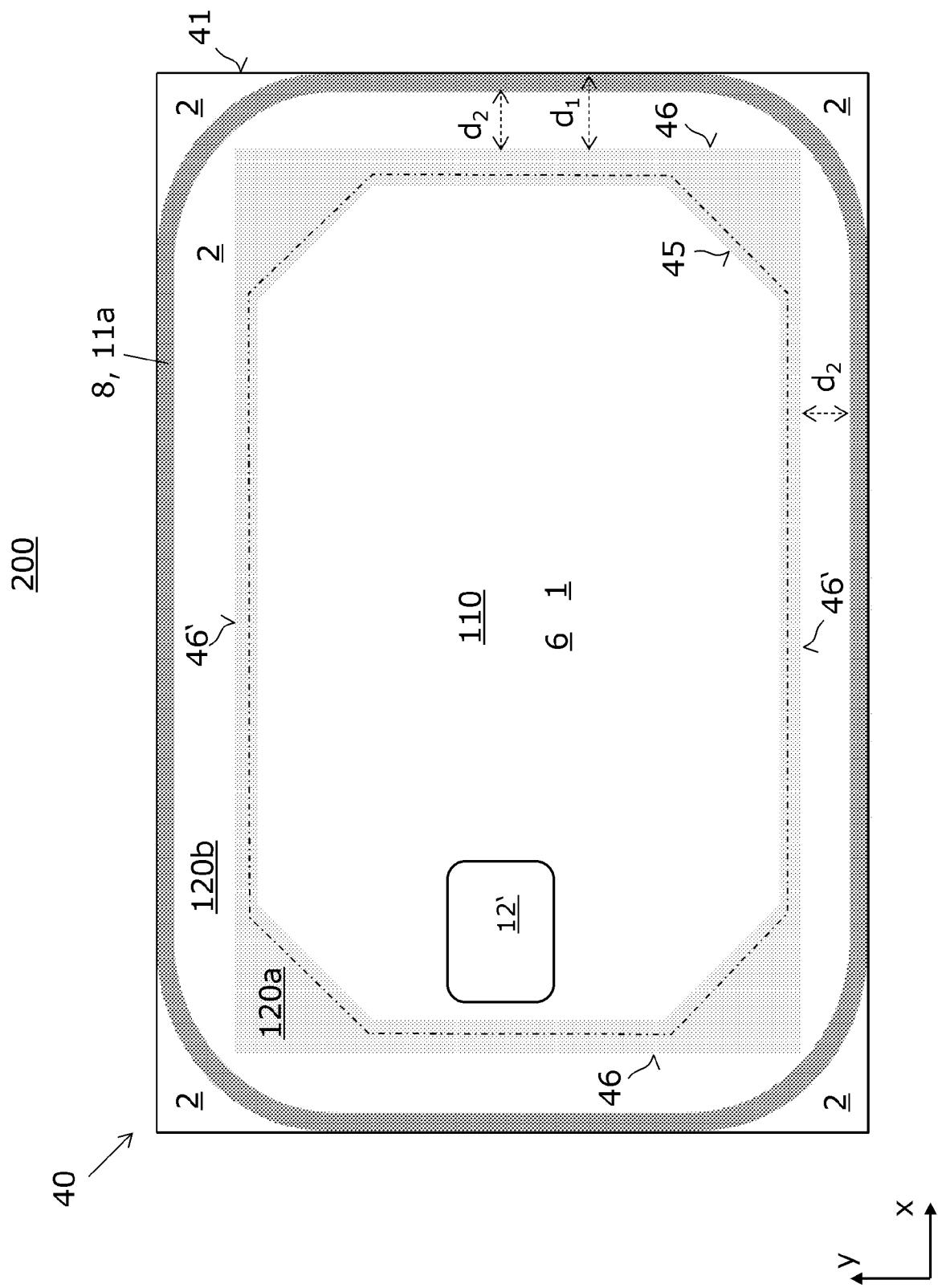


图 10

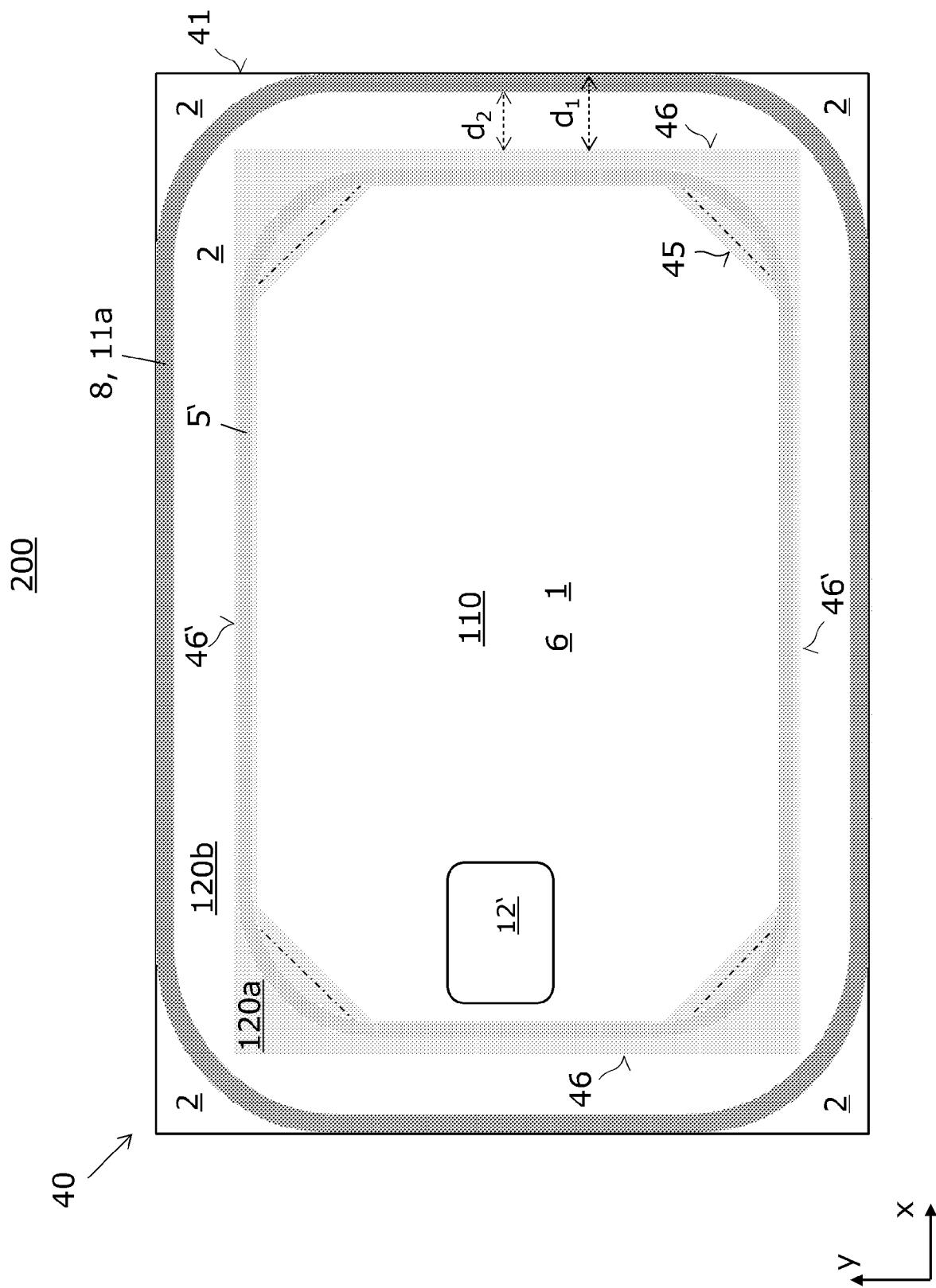


图 11

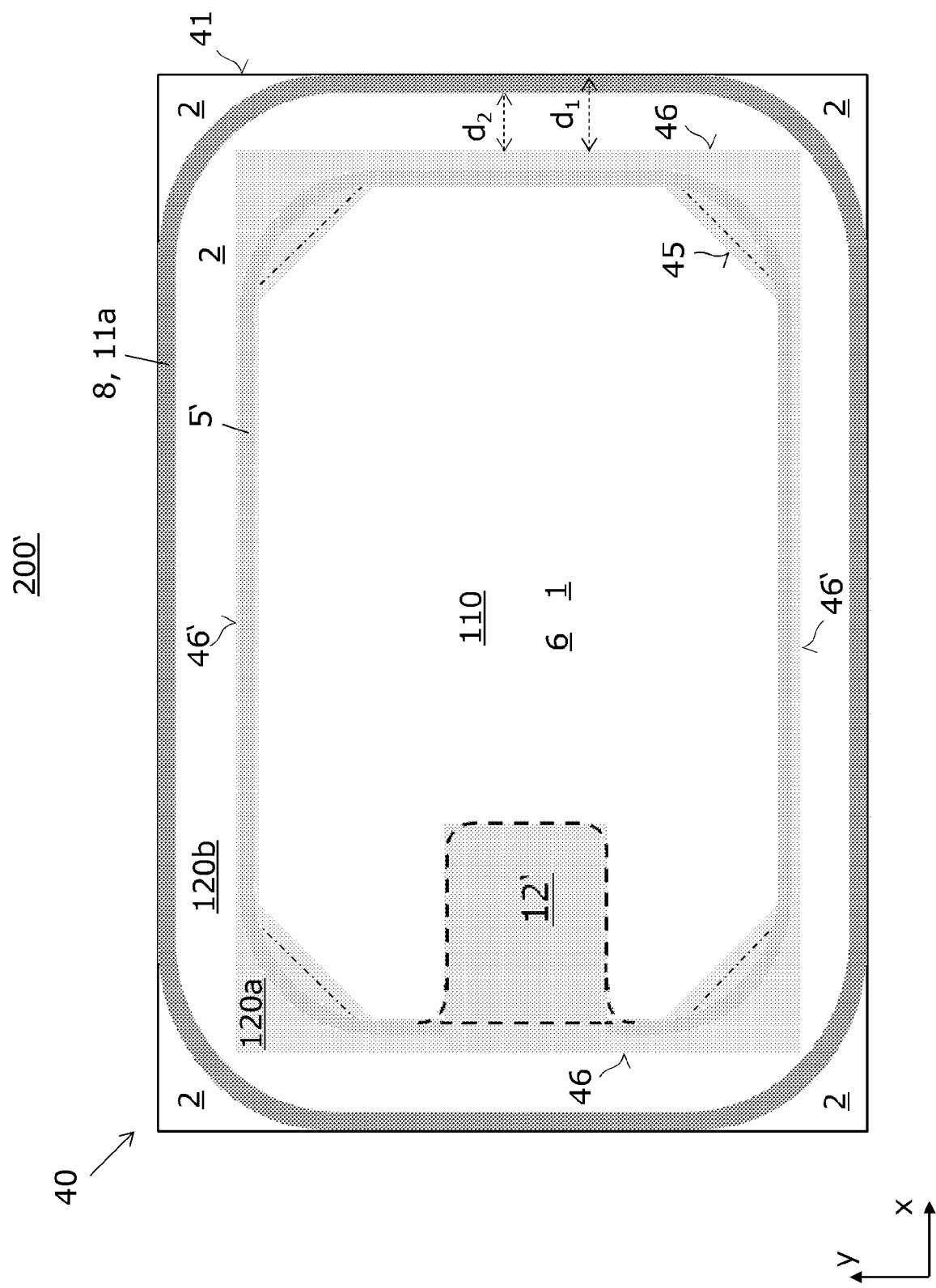


图 12

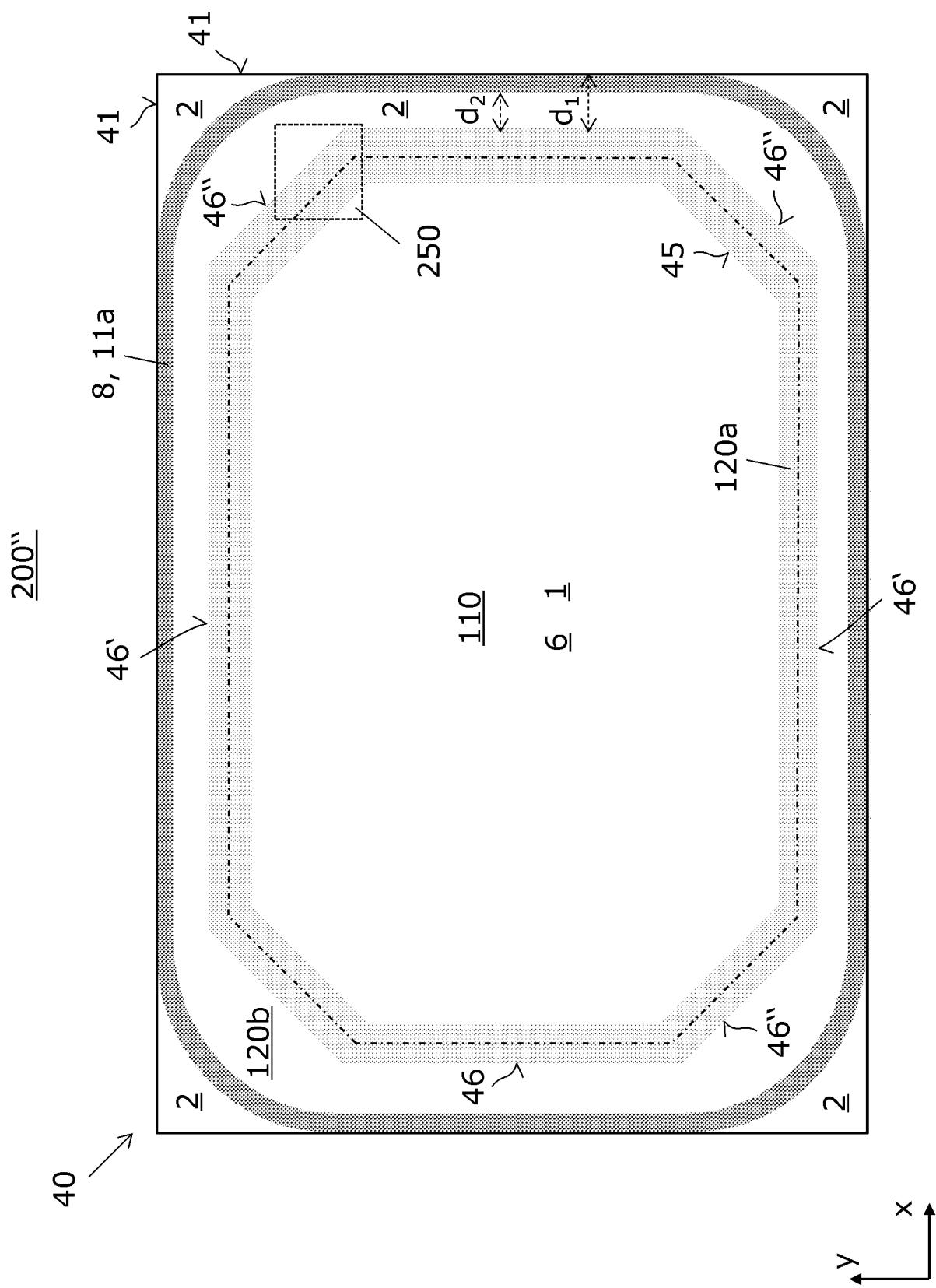


图 13

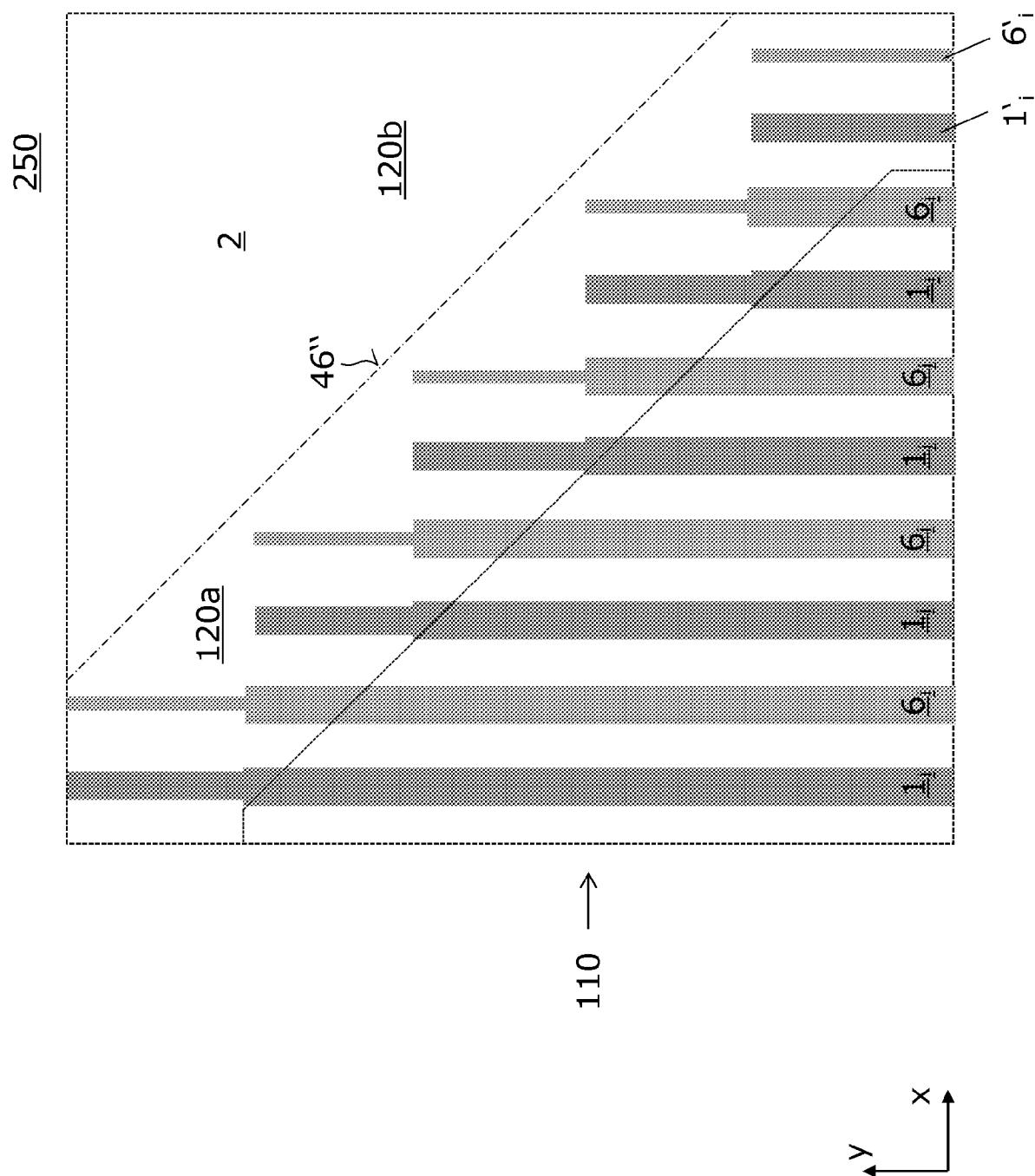


图 14

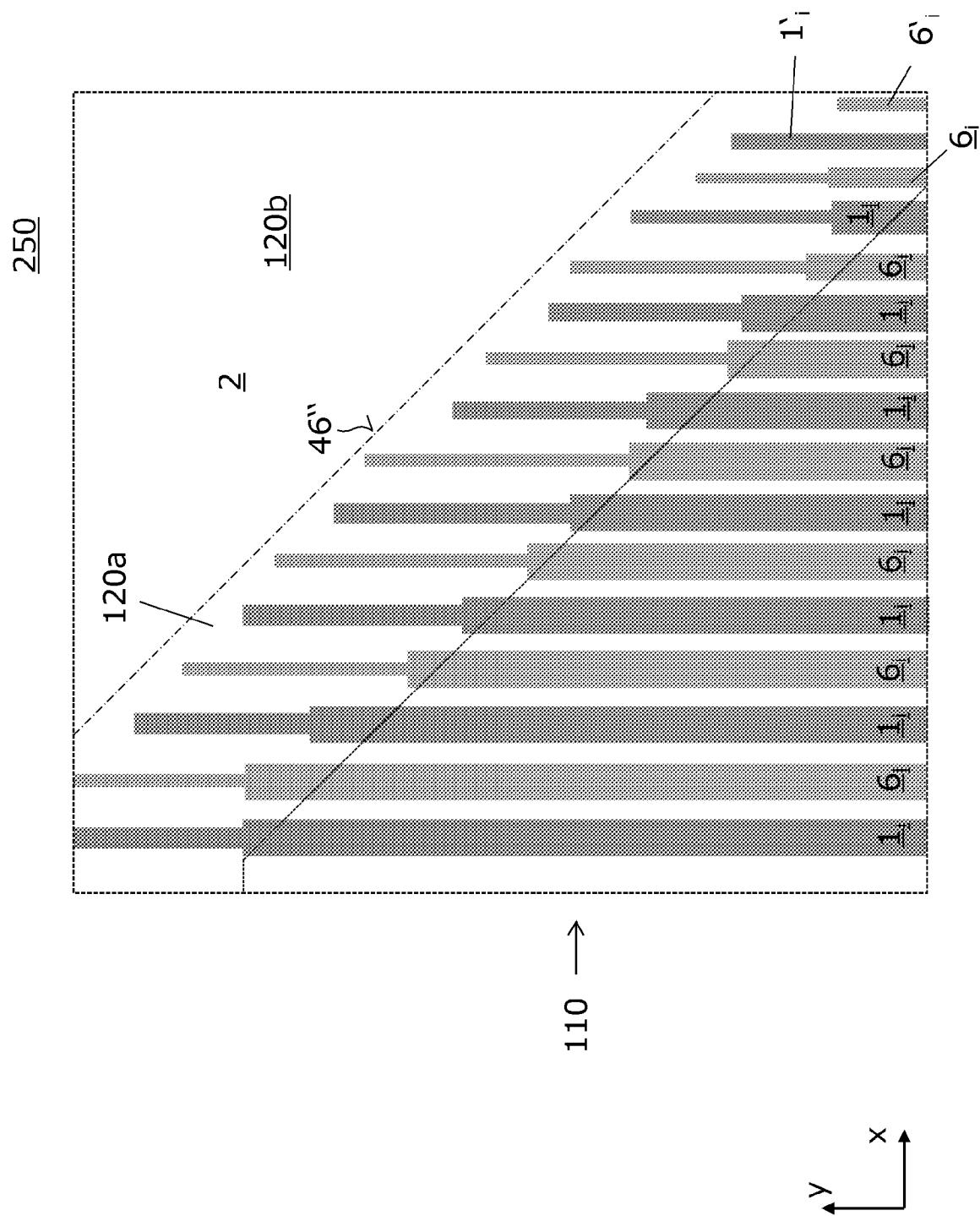


图 15