

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4434253号  
(P4434253)

(45) 発行日 平成22年3月17日(2010.3.17)

(24) 登録日 平成22年1月8日(2010.1.8)

(51) Int.Cl. F I  
 H O 3 L 7/095 (2006.01) H O 3 L 7/08 B  
 H O 3 L 7/081 (2006.01) H O 3 L 7/08 J

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2007-268663 (P2007-268663)	(73) 特許権者	000002185
(22) 出願日	平成19年10月16日(2007.10.16)		ソニー株式会社
(65) 公開番号	特開2009-100153 (P2009-100153A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年5月7日(2009.5.7)	(74) 代理人	100098785
審査請求日	平成20年11月14日(2008.11.14)		弁理士 藤島 洋一郎
		(72) 発明者	千田 みちる
			東京都港区港南1丁目7番1号ソニー株式会社内
		(72) 発明者	水橋 比呂志
			東京都港区港南1丁目7番1号ソニー株式会社内
		(72) 発明者	小出 元
			滋賀県野洲市三宅800エスティ・モバイルディスプレイ株式会社内

最終頁に続く

(54) 【発明の名称】 クロック信号生成回路、表示パネルモジュール、撮像デバイス及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のクロック信号を遅延して第2のクロック信号を生成する遅延線路と、  
 前記第2のクロック信号が前記第1のクロック信号に位相同期するように、前記遅延線路における遅延量を可変制御する遅延量制御部と、  
 前記第1のクロック信号と前記第2のクロック信号との疑似ロック状態を検出する疑似ロック検出部と、  
 疑似ロック状態の検出時、前記遅延線路の遅延量を変更する疑似ロック状態解除部とを備え、  
 前記遅延量制御部は、  
クロック端子に前記第1のクロック信号が供給され、データ端子が高レベルに設定された第1のフリップフロップと、  
クロック端子に前記第2のクロック信号が供給され、データ端子が高レベルに設定された第2のフリップフロップと、  
前記第1および第2のフリップフロップの出力の論理積を求め、その結果を前記第1および第2のフリップフロップのリセット端子に供給する第1の論理積ゲートと  
を有し、  
前記疑似ロック検出部は、  
前記第1および第2のフリップフロップの出力の否定論理和を求める否定論理和ゲートと、

前記第 1 および第 2 のクロック信号の排他的論理和を求める排他的論理和ゲートと、  
前記否定論理和ゲートの出力と前記排他的論理和ゲートの出力の論理積を求める第 2 の  
論理積ゲートと

を有する

遅延同期ループ型のクロック信号生成回路。

【請求項 2】

前記擬似ロック状態解除部は、擬似ロック状態の検出時、前記遅延線路上のクロック位  
相を反転する

請求項 1 に記載のクロック信号生成回路。

【請求項 3】

前記擬似ロック状態解除部は、擬似ロック状態の検出時、前記遅延線路上のクロック位  
相を設定値だけシフトする

請求項 1 に記載のクロック信号生成回路。

【請求項 4】

前記クロック信号生成回路を構成する機能デバイスは、  
薄膜形成技術又は印刷技術を用いて絶縁基板上に形成される

請求項 1 から 3 のいずれか 1 つに記載のクロック信号生成回路。

【請求項 5】

表示パネルと、

第 1 のクロック信号を遅延して第 2 のクロック信号を生成する遅延線路と、前記第 2 の  
クロック信号が前記第 1 のクロック信号に位相同期するように、前記遅延線路における遅  
延量を可変制御する遅延量制御部と、前記第 1 のクロック信号と前記第 2 のクロック信号  
との擬似ロック状態を検出する擬似ロック検出部と、擬似ロック状態の検出時、前記遅延  
線路の遅延量を変更する擬似ロック状態解除部とを有する遅延同期ループ型のクロック信  
号生成回路と、

前記第 2 のクロック信号に基づいて表示パネルを駆動する駆動回路と  
を備え、

前記遅延量制御部は、

クロック端子に前記第 1 のクロック信号が供給され、データ端子が高レベルに設定され  
た第 1 のフリップフロップと、

クロック端子に前記第 2 のクロック信号が供給され、データ端子が高レベルに設定され  
た第 2 のフリップフロップと、

前記第 1 および第 2 のフリップフロップの出力の論理積を求め、その結果を前記第 1 お  
よび第 2 のフリップフロップのリセット端子に供給する第 1 の論理積ゲートと

を有し、

前記擬似ロック検出部は、

前記第 1 および第 2 のフリップフロップの出力の否定論理和を求める否定論理和ゲート  
と、

前記第 1 および第 2 のクロック信号の排他的論理和を求める排他的論理和ゲートと、

前記否定論理和ゲートの出力と前記排他的論理和ゲートの出力の論理積を求める第 2 の  
論理積ゲートと

を有する

表示パネルモジュール。

【請求項 6】

前記表示パネルは、液晶パネルである

請求項 5 に記載の表示パネルモジュール。

【請求項 7】

撮像素子と、

第 1 のクロック信号を遅延して第 2 のクロック信号を生成する遅延線路と、前記第 2 の  
クロック信号が前記第 1 のクロック信号に位相同期するように、前記遅延線路における遅

10

20

30

40

50

延量を可変制御する遅延量制御部と、前記第1のクロック信号と前記第2のクロック信号との擬似ロック状態を検出する擬似ロック検出部と、擬似ロック状態の検出時、前記遅延線路の遅延量を変更する擬似ロック状態解除部とを有する遅延同期ループ型のクロック信号生成回路と、

前記第2のクロック信号に基づいて前記撮像素子を駆動する駆動回路とを備え、

前記遅延量制御部は、

クロック端子に前記第1のクロック信号が供給され、データ端子が高レベルに設定された第1のフリップフロップと、

クロック端子に前記第2のクロック信号が供給され、データ端子が高レベルに設定された第2のフリップフロップと、

前記第1および第2のフリップフロップの出力の論理積を求め、その結果を前記第1および第2のフリップフロップのリセット端子に供給する第1の論理積ゲートと

を有し、

前記擬似ロック検出部は、

前記第1および第2のフリップフロップの出力の否定論理和を求める否定論理和ゲートと、

前記第1および第2のクロック信号の排他的論理和を求める排他的論理和ゲートと、前記否定論理和ゲートの出力と前記排他的論理和ゲートの出力の論理積を求める第2の論理積ゲートと

を有する

撮像デバイス。

#### 【請求項8】

第1のクロック信号を遅延して第2のクロック信号を生成する遅延線路と、前記第2のクロック信号が前記第1のクロック信号に位相同期するように、前記遅延線路における遅延量を可変制御する遅延量制御部と、前記第1のクロック信号と前記第2のクロック信号との擬似ロック状態を検出する擬似ロック検出部と、擬似ロック状態の検出時、前記遅延線路の遅延量を変更する擬似ロック状態解除部とを有する遅延同期ループ型のクロック信号生成回路と、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を備え、

前記遅延量制御部は、

クロック端子に前記第1のクロック信号が供給され、データ端子が高レベルに設定された第1のフリップフロップと、

クロック端子に前記第2のクロック信号が供給され、データ端子が高レベルに設定された第2のフリップフロップと、

前記第1および第2のフリップフロップの出力の論理積を求め、その結果を前記第1および第2のフリップフロップのリセット端子に供給する第1の論理積ゲートと

を有し、

前記擬似ロック検出部は、

前記第1および第2のフリップフロップの出力の否定論理和を求める否定論理和ゲートと、

前記第1および第2のクロック信号の排他的論理和を求める排他的論理和ゲートと、前記否定論理和ゲートの出力と前記排他的論理和ゲートの出力の論理積を求める第2の論理積ゲートと

を有する

電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

10

20

30

40

50

## 【 0 0 0 1 】

この明細書で説明する発明は、遅延同期ループ型のクロック信号生成回路に関する。特に、能動素子が薄膜形成技術や印刷技術を用い形成される場合に好適なものである。なお発明は、表示パネルモジュール、撮像デバイス及び電子機器としての側面も有する。

## 【 背景技術 】

## 【 0 0 0 2 】

昨今では、大画面のディスプレイだけでなく中小型の表示ディスプレイでも表示解像度の高精細化が望まれている。これに伴い、入力クロック信号や映像信号の高周波数化が進んでいる。

## 【 0 0 0 3 】

例えば、ディスプレイ基板上に機能回路を集約したシステムディスプレイでは、映像信号をシリアル形式からパラレル形式に変換することで信号周波数を低下させ、動作マージンの向上を図っている。

## 【 0 0 0 4 】

ただし、映像信号がパラレル変換されるまでの回路部分には、回路遅延や動作マージンの問題が依然として残っている。

特に、映像信号の入力周波数が非常に高くなっている昨今のシステムディスプレイでは、ディスプレイ基板上で発生するクロック信号と映像信号との間に遅延差が生じると、サンプリング不良の原因となる。

## 【 0 0 0 5 】

なお、遅延同期ループ型のクロック信号生成回路には、以下に示すものがある。

【特許文献1】特開2006-287641号公報

【特許文献2】特開2007-6517号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 6 】

しかし、ディスプレイ基板その他の絶縁基板に形成される薄膜トランジスタは、シリコンウェハに製造されるトランジスタと比較して特性ばらつきが大きい。

このため、絶縁基板に形成される薄膜トランジスタで構成されたクロック信号生成回路では、図1に示すようにクロック信号の位相差が180°ずれる場合(擬似ロック状態)への対策が必要となる。

【課題を解決するための手段】

## 【 0 0 0 7 】

そこで、発明者らは、遅延同期ループ型のクロック信号生成回路として、(a)第1のクロック信号を遅延して第2のクロック信号を生成する遅延線路と、(b)第2のクロック信号が第1のクロック信号に位相同期するように、遅延線路における遅延量を可変制御する遅延量制御部と、(c)第1のクロック信号と第2のクロック信号との擬似ロック状態を検出する擬似ロック検出部と、(d)擬似ロック状態の検出時、遅延線路の遅延量を変更するロック状態解除部とを有するものを提案する。ここで、遅延量制御部は、クロック端子に第1のクロック信号が供給されデータ端子が高レベルに設定された第1のフリップフロップと、クロック端子に第2のクロック信号が供給されデータ端子が高レベルに設定された第2のフリップフロップと、第1および第2のフリップフロップの出力の論理積を求め、その結果を第1および第2のフリップフロップのリセット端子に供給する第1の論理積ゲートとを有するものである。また、擬似ロック検出部は、第1および第2のフリップフロップの出力の否定論理和を求める否定論理和ゲートと、第1および第2のクロック信号の排他的論理和を求める排他的論理和ゲートと、否定論理和ゲートの出力と排他的論理和ゲートの出力の論理積を求める第2の論理積ゲートとを有するものである。

## 【 0 0 0 8 】

なお、クロック信号生成回路の擬似ロック状態解除部は、擬似ロック状態の検出時、遅延線路上のクロック位相を反転することにより、擬似ロック状態を解除することが望まし

10

20

30

40

50

い。この場合、一度の反転動作により、位相状態をほぼロック状態に近づけることができる。

【0009】

また、クロック信号生成回路の擬似ロック状態解除部は、擬似ロック状態の検出時、遅延線路上のクロック位相を設定値だけシフトすることにより、擬似ロック状態を解除することが望ましい。この場合、一度の反転動作により位相状態をロック状態に近づけることはできないが、少なくとも擬似ロック状態を脱して通常動作による位相調整動作を実現できる。

【0010】

また、ここでのクロック信号生成回路を構成する機能デバイスは、薄膜形成技術又は印刷技術を用いて絶縁基板上に形成される場合に、特に効果が期待できる。

なお、このクロック信号生成回路は、そのクロック信号に基づいて表示パネルを駆動する駆動回路を搭載する表示パネルモジュールに応用できる。

【0011】

また、このクロック信号生成回路は、そのクロック信号に基づいて撮像素子を駆動する駆動回路を搭載する撮像デバイスに応用できる。

また、このクロック信号生成回路は、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部を搭載する電子機器に応用できる。

【発明の効果】

【0012】

発明者らの提案するクロック信号生成回路の場合、擬似ロック状態の発見時には、当該擬似ロック状態を強制的に解除して、通常の位相差に基づく遅延量の可変制御に移行することができる。

【発明を実施するための最良の形態】

【0013】

以下、発明を、システムディスプレイに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。

また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0014】

(A) 形態例 1

(A-1) ディスプレイパネルの全体構成

図2に、この形態例で説明するディスプレイパネル1の平面構成例を示す。この形態例の場合、ガラス基板3の表面に表示領域5や機能回路が同一プロセスで形成される。表示領域には、各画素に対応する輝度レベルを可変制御する画素回路と、その画素回路に駆動信号を与えるN本の画素制御線とM本の映像信号線が形成される。

【0015】

また、信号線ドライバ7、走査線ドライバ9、クロック生成回路11等が機能回路として形成される。なお、信号線ドライバ7及び走査線ドライバ9は、クロック生成回路11が生成したクロックにより動作する。因みに、クロック生成回路11は、外部から与えられる入力クロックに同期した出力クロックを生成する回路である。

【0016】

(A-2) クロック生成回路の構成

図3に、この明細書において発明者らが提案するクロック生成回路11の内部構成例を示す。なお、図3は、アナログ型のクロック生成回路11を示す。

クロック生成回路11は、バッファ回路21、電圧制御型遅延線23、位相反転/非反転部25、バッファ回路27、位相比較回路29、チャージポンプ31、擬似ロック検出部33で構成される。

10

20

30

40

50

## 【0017】

バッファ回路21及び27は、それぞれ複数段のインバータ回路を直列に接続した回路である。このうち、バッファ回路21は入力バッファを構成し、特許請求の範囲の第1のクロックに対応する入力クロックCLK1を入力する。一方、バッファ回路27は出力バッファを構成し、特許請求の範囲の第2のクロックに対応する出力クロックCLK2を出力する。

## 【0018】

電圧制御型遅延線23は、入力クロックCLK1の位相をアナログ的に調整するための遅延回路である。図4に、電圧制御型遅延線23の構成例を示す。この電圧制御型遅延線23は、負荷容量付きインバータ回路の多段接続回路で構成される。

10

## 【0019】

この回路構成の場合、インバータ回路の出力段と負荷容量との間に接続されるトランジスタ対のバイアス電圧Vbiasを可変制御することにより遅延時間を制御する。例えばnチャネル型トランジスタの場合、バイアス電圧Vbias\_nが低いとき(すなわち、薄膜トランジスタが開動作のとき)、遅延量が最小値になる。また例えばnチャネル型トランジスタの場合、バイアス電圧Vbias\_nが高いとき(すなわち、薄膜トランジスタが閉動作のとき)、遅延量が最大値になる。

## 【0020】

例えば電流駆動能力を高く制御すると、負荷容量に対するキャリアのチャージ・ディスチャージが速くなる。すなわち、電圧制御型遅延線23の伝搬速度が速くなり、クロック位相を進めることができる。一方、電流駆動能力を低く制御すると、負荷容量に対するキャリアのチャージ・ディスチャージが遅くなる。すなわち、電圧制御型遅延線23の伝搬速度が遅くなり、クロック位相を遅らせることができる。

20

## 【0021】

位相反転/非反転部25は、電圧制御型遅延線23から入力されるクロック信号を位相反転し又は非反転のまま出力する回路である。この形態例の場合、位相反転/非反転部25は、電圧制御型遅延線23とバッファ回路27との間に設置する。すなわち、位相反転/非反転部25は、遅延線路上に配置される。

## 【0022】

この位相反転/非反転部25が、特許請求の範囲における「擬似ロック状態解除部」に対応する。擬似ロック状態では、図1に示したように、入力クロックCLK1と出力クロックCLK2の位相差が180°ずれている。

30

## 【0023】

この位相反転/非反転部25により、擬似ロック状態の検出時には、入力クロックの位相を反転することが可能となる。なお、擬似ロック状態以外の位相では、位相反転/非反転部25は入力クロックをそのまま出力する。

## 【0024】

なお、位相反転/非反転部25による反転・非反転の切り替えは、擬似ロック検出部33から与えられる制御信号により実行される。

図5に、位相反転/非反転部25の回路例を示す。

40

## 【0025】

図5に示す位相反転/非反転部25は、インバータINVを2段通過する伝送路(SW1の経路)と1段のみ通過する伝送路(SW2の経路)を有し、そのいずれか一方だけをクロック信号が通過するようにスイッチSW1及びSW2を配置している。

## 【0026】

なお、スイッチSW1及びSW2の動作は正反対である。従って、図5の位相反転/非反転部25は、切り替え信号の接続を反転している。なお、インバータINV3は、スイッチSW1及びSW2を構成するNチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタを同時に開閉するために用いられる。

## 【0027】

50

位相比較回路 29 は、入力クロック CLK 1 のエッジ位相と出力クロック CLK 2 のエッジ位相を比較し、その比較結果に基づいてバイアス電圧  $V_{bias}$  を生成するチャージポンプ回路にアップ信号又はダウン信号を出力する回路である。

【0028】

図 6 に、位相比較回路 29 の構成例を示す。位相比較回路 29 は、入力クロック CLK 1 をクロック信号とする D フリップフロップ 41 と出力クロック CLK 2 をクロック信号とする D フリップフロップ 43 と、D フリップフロップ 41 及び 43 の出力信号の論理積を求め、D フリップフロップ 41 及び 43 のリセット信号を生成する論理積ゲートで構成される。

【0029】

この回路構成では、先に H レベルが現れるクロック CLK に対応する D フリップフロップの出力信号が先に「H」レベルとなり、後に H レベルが現れるクロック CLK に対応する D フリップフロップの出力信号が「H」レベルとなるタイミングで D フリップフロップ 41 及び 43 の出力信号 Q1 及び Q2 が共にリセットされる。

【0030】

結果的に、位相差の分だけアップ信号又はダウン信号が出力される。例えば入力クロック CLK 1 の位相の方が出力クロック CLK 2 の位相より進んでいる場合、その位相差の期間だけアップ信号に対応する出力信号 Q1 が「H」レベルになる。一方、入力クロック CLK 2 の位相の方が出力クロック CLK 1 の位相より進んでいる場合、その位相差の期間だけダウン信号に対応する出力信号 Q2 が「H」レベルになる。

【0031】

なお、入力クロック CLK 1 と出力クロック CLK 2 のエッジ位相がほぼ同じ場合、位相比較回路 29 は、D フリップフロップ 41 及び 43 の両方から「L」レベルの出力信号 Q1 及び Q2 を出力する。

【0032】

なお、エッジ位相がほぼ同じ場合には、図 1 に示すように、入力クロック CLK 1 と出力クロック CLK 2 の位相差が  $0^\circ$  の場合と  $180^\circ$  の場合がある。従って、この位相比較回路 29 の出力信号 Q1 及び Q2 だけでは、擬似ロック状態を誤って同期状態と判定する可能性がある。

【0033】

チャージポンプ 31 は、位相比較回路 29 の出力信号 Q1 及び Q2 に応じて電圧制御型遅延線 23 のバイアス電圧  $V_{bias}$  (アナログ電圧) を発生する回路である。

図 7 に、チャージポンプ 31 の回路構成を示す。

【0034】

図 7 の回路構成の場合、出力信号 Q1 がオン、出力信号 Q2 がオフの場合、負荷容量がチャージされる。これにより、バイアス電圧  $V_{bias}$  が上昇する。一方、出力信号 Q1 がオフ、出力信号 Q2 がオンの場合、負荷容量がディスチャージされる。これにより、バイアス電圧  $V_{bias}$  が下降する。なお、出力信号 Q1 及び Q2 の両方がオフの場合、負荷容量は維持される。

【0035】

擬似ロック検出部 33 は、入力クロック CLK 1 と出力クロック CLK 2 の擬似ロック状態を検出する回路である。図 8 に、擬似ロック検出部 33 の回路構成を示す。図 8 (A) は、ゲート回路と論理回路 51 とを組み合わせる場合の回路構成であり、図 8 (B) は、ゲート回路の組み合わせだけで構成される回路構成である。

【0036】

図 9 に、擬似ロック検出部 33 の入出力関係を示す。図 9 に示すように、擬似ロック検出部 33 は、出力信号 Q1 及び Q2 が共に「L」レベルであって、かつ、入力クロック CLK 1 と出力クロック CLK 2 の信号レベルが異なるとき、入力クロック CLK 1 と出力クロック CLK 2 が擬似ロック状態にあると判定する。図 9 では、黒枠で囲んで示す。

【0037】

10

20

30

40

50

因みに、出力信号 Q 1 及び Q 2 が共に「 L 」レベルであることは、図 8 の否定論理和ゲートにて検出される。また、入力クロック C L K 1 と出力クロック C L K 2 の信号レベルが異なることは、図 8 の排他的論理和ゲートにて検出される。なお、論理回路 5 1 は、論理積ゲートと同じ論理演算を実現する。

【 0 0 3 8 】

擬似ロック検出部 3 3 は、擬似ロック状態の検出時、擬似ロック検出信号 W N G を「 H 」レベルに変換する。なお、擬似ロック状態が検出されない場合、擬似ロック検出部 3 3 は、「 L 」レベルの擬似ロック検出信号 W N G を出力する。

【 0 0 3 9 】

( A - 3 ) 動作及び効果

図 1 0 に、クロック生成回路 1 1 で実行される動作内容を示す。図 1 0 に示すように、クロック生成回路 1 1 の動作は繰り返し動作である。

まず、位相比較回路 2 9 において、入力クロック C L K 1 と出力クロック C L K 2 の位相関係の比較動作が実行される ( 処理 S 1 ) 。

【 0 0 4 0 】

次に、擬似ロック検出部 3 3 では、位相比較回路 2 9 の出力信号 Q 1 、 Q 2 と、入力クロック C L K 1 及び出力クロック C L K 2 の位相関係に基づいて現在の位相状態が擬似ロック状態か否かの判定処理が実行される ( 処理 S 2 ) 。

【 0 0 4 1 】

この処理 S 2 で否定結果が得られた場合、擬似ロック検出部 3 3 によって位相反転 / 非反転部 2 5 の入出力関係は非反転に制御される。

結果的に、電圧制御型遅延線 2 3 によって遅延量の調整された入力クロック C L K 1 がバッファ回路 2 7 より出力クロック C L K 2 として出力される ( 処理 S 4 ) 。

【 0 0 4 2 】

一方、処理 S 2 で肯定結果が得られた場合、擬似ロック検出部 3 3 によって位相反転 / 非反転部 2 5 の入出力関係は反転状態に制御される ( 処理 S 3 ) 。

結果的に、電圧制御型遅延線 2 3 によって遅延量の調整された入力クロック C L K 1 は位相反転 / 非反転部 2 5 において 1 8 0 ° 反転され、バッファ回路 2 7 より出力クロック C L K 2 として出力される ( 処理 S 4 ) 。

【 0 0 4 3 】

擬似ロック状態では入力クロック C L K 1 と出力クロック C L K 2 の位相差が 1 8 0 ° であるので、位相反転 / 非反転部 2 5 の反転動作により、入力クロック C L K 1 と出力クロック C L K 2 の位相差はほぼ 0 ° に変換されることになる。

【 0 0 4 4 】

よって、位相比較回路 2 9 の誤判定により誤って擬似ロック状態に入力クロック C L K 1 と出力クロック C L K 2 が位相ロックした場合でも、短時間のうちに位相差を 0 ° に近づけることができる。

【 0 0 4 5 】

特に、クロック生成回路 1 1 が、絶縁基板であるガラス基板 3 上に薄膜プロセスや印刷技術を用いて形成される場合、能動素子のキャリア移動度が小さいため擬似ロック状態の発生確率が高くなる。しかし、この形態例のように擬似ロック状態の検出機能とクロック位相の反転機能を用意することにより、短時間でロック状態を実現できる。

【 0 0 4 6 】

( B ) 形態例 2

この形態例では、図 2 に示すディスプレイパネルに形成するクロック生成回路 1 1 の遅延量をデジタル的に制御する場合について説明する。

従って、ディスプレイパネルの構成は、クロック生成回路を除き、図 2 と同じである。

【 0 0 4 7 】

( B - 1 ) クロック生成回路 1 1 の構成

図 1 1 に、この明細書において発明者らが提案するクロック生成回路 6 1 の内部構成例

10

20

30

40

50



を示す。なお、図 1 1 には図 3 との対応部分に同一符号を付して示す。

このクロック生成回路 6 1 は、バッファ回路 2 1、遅延線 6 3、位相反転 / 非反転部 2 5、バッファ回路 2 7、位相比較回路 2 9、カウンタ 6 5、擬似ロック検出部 3 3 で構成される。

【 0 0 4 8 】

図 3 との違いは、遅延線 6 3 の遅延量がデジタル的に制御される点と、遅延量の制御にカウンタ 6 5 が用いられる点である。

図 1 2 に、遅延線 6 3 の回路構成を示す。図 1 2 に示す遅延線 6 3 は、入力クロック CLK 1 の伝搬経路を構成する負荷容量付きインバータ回路で構成される。

【 0 0 4 9 】

このうち、負荷容量付きインバータ回路の構成は、図 3 に示す電圧制御型遅延線 2 3 と同じである。ただし、図 1 2 に示す遅延線 6 3 の場合には、インバータ回路の出力段と負荷容量との間に接続されるトランジスタ対をスイッチとしてオン / オフ制御する点で図 3 の駆動方式と異なっている。

【 0 0 5 0 】

すなわち、遅延線 6 3 の場合には、インバータ回路単位で出力端に接続される負荷容量の段数を増やすことで遅延量を増やし、インバータ回路単位で出力端に接続される負荷容量の段数を減らすことで遅延量を減らす駆動方式を採用する。

この点で、遅延時間を全てのインバータ回路段について一律に増減するアナログ方式の遅延線とは異なっている。

【 0 0 5 1 】

カウンタ 6 5 は、カウント値に応じて遅延線 6 3 を構成する負荷容量の接続数を制御する回路であり、バイナリカウンタとデコーダとで構成される。この形態例の場合、バイナリカウンタは、入力クロック CLK 1 と出力クロック CLK 2 の位相差だけカウントがアップカウントされる。

【 0 0 5 2 】

図 1 3 にカウンタ 6 5 のうちバイナリカウンタ部分の構成を示し、図 1 4 にカウンタ 6 5 のうちデコーダ部分の構成を示す。

ここで、バイナリカウンタのカウント値は位相差を表している。また、デコーダは、カウント値に応じた段数だけインバータ回路の出力端に負荷容量が接続されるように、インバータ回路の出力端と負荷容量を接続するトランジスタ対をオン制御するオン信号を出力する。

【 0 0 5 3 】

なお、デコーダは、残りのインバータ回路段に対しては、当該段数だけインバータ回路の出力端に負荷容量が接続されないように、インバータ回路の出力端と負荷容量を接続するトランジスタ対をオフ制御するオフ信号を出力する。

【 0 0 5 4 】

因みに、オン信号として、nチャネル型トランジスタのゲート電極には「Hレベル」が与えられ、pチャネル型トランジスタのゲート電極には「Lレベル」が与えられる。

また、オン信号として、nチャネル型トランジスタのゲート電極には「Lレベル」が与えられ、pチャネル型トランジスタのゲート電極には「Hレベル」が与えられる。

【 0 0 5 5 】

勿論、この形態例の場合にも、擬似ロック状態の検出時には、擬似ロック検出部 3 3 の制御によって遅延伝送路上のクロック位相を 180°反転することができる。かくして、遅延線 6 3 の遅延量をデジタル的に制御する場合も、ロック状態への収束時間が短いクロック生成回路 6 1 を実現できる。

【 0 0 5 6 】

( C ) 他の形態例

( C - 1 ) クロック生成回路の他の構成例

前述の形態例の説明では、いずれの場合も位相反転 / 非反転部 2 5 を搭載する場合につ

10

20

30

40

50

いて説明した。

しかし、位相反転 / 非反転部 25 と同等の機能を他の回路構成によっても実現できる。

【0057】

例えば図15に示すクロック生成回路71が考えられる。図15は図11との対応部分に同一符号を付して示す図である。すなわち、このクロック生成回路71は、デジタル的に遅延量を調整する方式のクロック生成回路71の適応例である。

【0058】

図15の場合、位相反転 / 非反転部 25 に相当する機能をカウンタ65のカウント値の再更新により実現する。すなわち、擬似ロックの検出が通知されたカウンタ65は、入力クロックCLK1と出力クロックCLK2の位相差に基づいて更新したカウント値に、180°の位相差に相当する設定カウント値を更に加算する。

【0059】

そして、再更新後のカウント値に応じた個数の負荷容量が各インバータ回路に接続されるように、遅延線63の各段にオン・オフ信号を与える。

なお、擬似ロックが検出されていない期間には、形態例2の場合と同様、入力クロックCLK1と出力クロックCLK2の位相差に基づいて更新したカウント値に応じた個数の負荷容量が各インバータ回路に接続されるように、遅延線63の各段にオン・オフ信号を与える。

【0060】

この構成例の場合、180°に位相差の相当する設定カウント値を、入力クロックCLK1と出力クロックCLK2の位相差に基づいて更新したカウント値に再加算する機能が、特許請求の範囲における「擬似ロック解除部」に相当する。

【0061】

(C-2) 擬似ロック状態の解除

前述の形態例の場合には、擬似ロックの検出時に、クロック位相を180°反転する場合について説明した。このようにすることで、一気に擬似ロック状態をロック状態に変換することができる。

【0062】

ただし、擬似ロック状態にある位相を、通常の位相比較動作によってロック状態に収束できる位相関係に変更できるのであれば、擬似ロック状態の検出時の位相変化量は180°でなくても良い。例えば擬似ロック状態から90°以上位相を変更することができれば、通常の位相比較動作によってもロック状態に収束することが可能である。

【0063】

(C-3) 絶縁基板

前述の形態例では、クロック生成回路を構成する能動素子は、ポリシリコン(高温・低温を問わず)、アモルファスシリコン、有機材料等の薄膜形成技術や印刷技術を用いて絶縁基板であるディスプレイパネルの表面に直接形成される場合について説明した。

【0064】

しかし、クロック生成回路が形成される絶縁基板は、ディスプレイパネルに実装される絶縁基板でも良い。

【0065】

(C-4) ディスプレイパネルへの応用例

前述の形態例で説明したクロック生成回路は、有機ELパネル、プラズマディスプレイ、フィールドエミッションディスプレイその他の自発光型ディスプレイパネルだけでなく、液晶パネルその他の表示領域と同じ基板上に形成する場合にも適用できる。

【0066】

(C-5) 電子機器への応用例

(a) システム例

前述したクロック生成回路は、システムディスプレイ以外の電子機器にも搭載することができる。以下、電子機器の一例を示す。

10

20

30

40

50

## 【 0 0 6 7 】

図 1 6 に、電子機器のうちディスプレイパネルを搭載するシステム構成例を示す。この電子機器 8 1 は、ディスプレイパネル 8 3 と、システム制御部 8 5 と、クロック生成回路 8 7 で構成される。ここで、クロック生成回路 8 7 は、ディスプレイパネル 8 3 の基板上に形成されていても良いし、別の基板上に形成されていても良い。

## 【 0 0 6 8 】

システム制御部 8 5 は、システム全体の動作を制御する処理ユニットであり、例えば CPU で構成される。この他、電子機器の用途に応じたインターフェースで構成される。

## 【 0 0 6 9 】

図 1 7 に、電子機器のうち撮像デバイス（イメージャ）を搭載するシステム構成例を示す。この電子機器 9 1 は、撮像デバイス 9 3 と、システム制御部 9 5 と、クロック生成回路 9 7 で構成される。

10

## 【 0 0 7 0 】

ここで、クロック生成回路 9 7 は、撮像デバイスの動作クロックを生成する回路である。形態例の場合と同様、クロック生成回路 9 7 は、撮像デバイス 9 3 の基板上に形成されていても良いし、別の基板上に形成されていても良い。

## 【 0 0 7 1 】

システム制御部 9 5 は、システム全体の動作を制御する処理ユニットであり、例えば CPU で構成される。この他、電子機器の用途に応じたインターフェースで構成される。なお、システム制御部 9 5 を搭載しないセンシングデバイス単体としての構成もあり得る。

20

## 【 0 0 7 2 】

## ( b ) 電子機器の外観例

以下では、前述したクロック生成回路を内蔵する電子機器の外観例を例示する。なお、クロック生成回路は、筐体内のいずれかの部分に内蔵されている。

## 【 0 0 7 3 】

図 1 8 は、テレビジョン受像機 1 0 1 の外観例である。テレビジョン受像機 1 0 1 は、フロントパネル 1 0 3 の正面にディスプレイパネル 1 0 5 を配置した構造を有している。

## 【 0 0 7 4 】

図 1 9 に、デジタルカメラ 1 1 1 の外観例を示す。なお、図 1 9 ( A ) はデジタルカメラの正面側（被写体側）外観例であり、図 1 9 ( B ) はデジタルカメラの背面側（撮影者側）外観例である。

30

## 【 0 0 7 5 】

デジタルカメラ 1 1 1 は、保護カバー 1 1 3、撮像レンズ部 1 1 5、ディスプレイパネル 1 1 7、コントロールスイッチ 1 1 9、シャッターボタン 1 2 1 その他を筐体に配置した構造を有している。

## 【 0 0 7 6 】

図 2 0 に、ビデオカメラ 1 3 1 の外観例を示す。ビデオカメラ 1 3 1 は、本体 1 3 3 の前方に被写体を撮像する撮像レンズ 1 3 5 を配置し、本体 1 3 3 の背面に撮影スタート/ストップスイッチ 1 3 7 を配置し、本体 1 3 3 の側面にディスプレイパネル 1 3 9 を配置した構造を有している。

40

## 【 0 0 7 7 】

図 2 1 に、携帯電話機の外観例を示す。図 2 1 に示す携帯電話機 1 4 1 は折りたたみ式であり、図 2 1 ( A ) が筐体を開いた状態の外観例であり、図 2 1 ( B ) が筐体を折りたたんだ状態の外観例である。

## 【 0 0 7 8 】

携帯電話機 1 4 1 は、上側筐体 1 4 3、下側筐体 1 4 5、連結部（この例ではヒンジ部）1 4 7、主ディスプレイパネル 1 4 9、補助ディスプレイパネル 1 5 1、ピクチャーライト 1 5 3、撮像レンズ 1 5 5 を筐体表面に配置した構造を有している。

## 【 0 0 7 9 】

図 2 2 に、コンピュータの外観例を示す。コンピュータ 1 6 1 は、下型筐体 1 6 3、上

50

側筐体 165、キーボード 167 及びディスプレイパネル 169 で構成される。

【0080】

これらの他、クロック生成回路は、オーディオ再生装置、ゲーム機、電子ブック、電子辞書その他の電子機器にも搭載できる。

【0081】

(C-6) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。例えば本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

10

【0082】

【図1】位相ロック状態と擬似ロック状態を説明する図である。

【図2】ディスプレイパネルの平面構成例を示す図である。

【図3】クロック生成回路の構成例を示す図である。

【図4】電圧制御型遅延線の構成例を示す図である。

【図5】位相反転/非反転部の構成例を示す図である。

【図6】位相比較回路の構成例を示す図である。

【図7】チャージポンプの構成例を示す図である。

【図8】擬似ロック検出部の構成例を示す図である。

20

【図9】擬似ロックの内部動作を説明する図である。

【図10】クロック生成回路の動作内容を説明するフローチャートである。

【図11】クロック生成回路の他の構成例を示す図である。

【図12】遅延線の構成例を示す図である。

【図13】バイナリカウンタの構成例を示す図である。

【図14】デコーダの構成例を示す図である。

【図15】クロック生成回路の他の構成例を示す図である。

【図16】電子機器のシステム構成例を示す図である。

【図17】電子機器のシステム構成例を示す図である。

【図18】電子機器の商品例を示す図である。

【図19】電子機器の商品例を示す図である。

30

【図20】電子機器の商品例を示す図である。

【図21】電子機器の商品例を示す図である。

【図22】電子機器の商品例を示す図である。

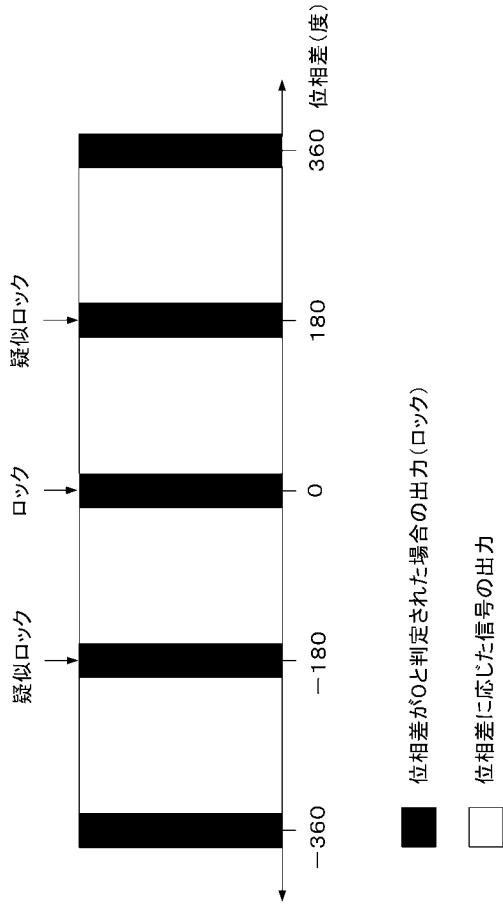
【符号の説明】

【0083】

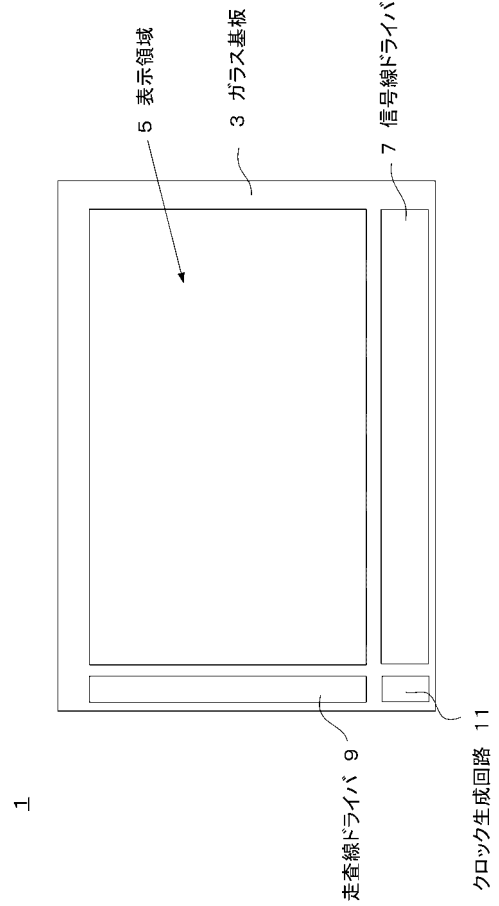
11	クロック生成回路
25	位相反転/非反転部
33	擬似ロック検出部
61	クロック生成回路
71	クロック生成回路

40

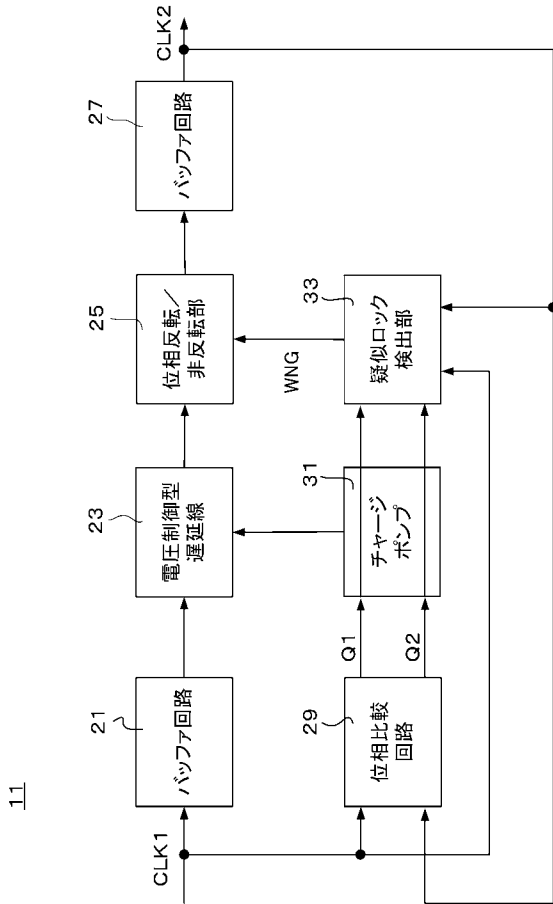
【 図 1 】



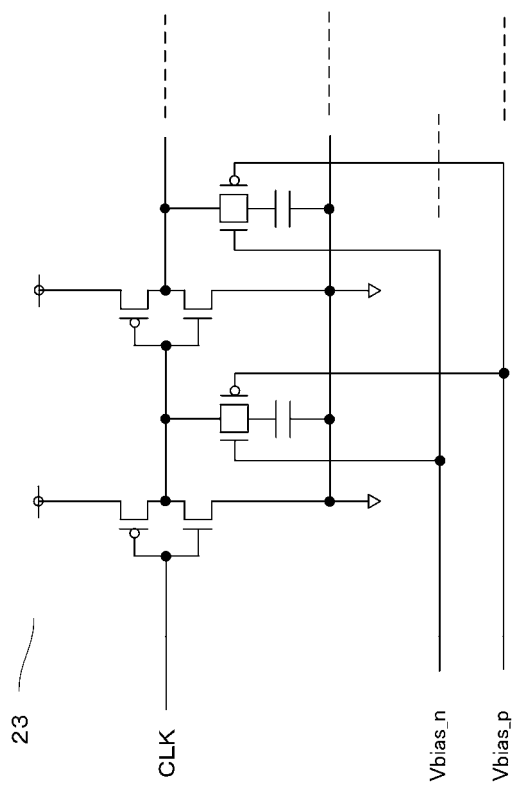
【 図 2 】



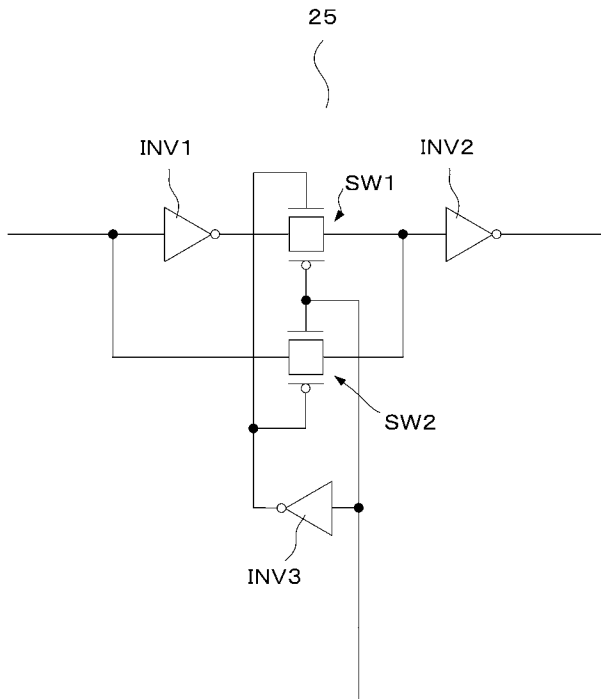
【 図 3 】



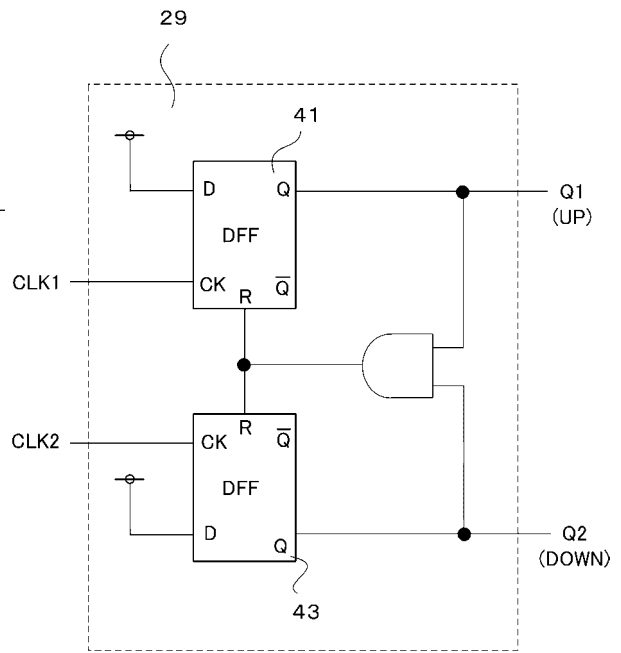
【 図 4 】



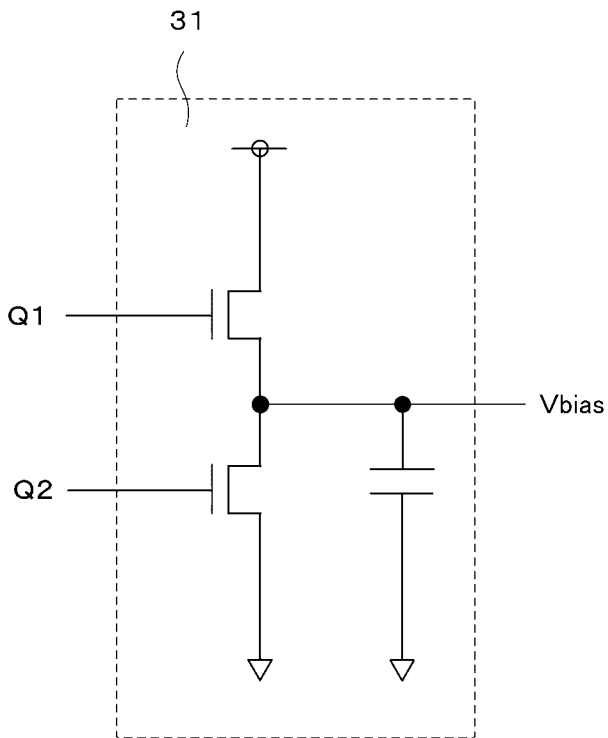
【 図 5 】



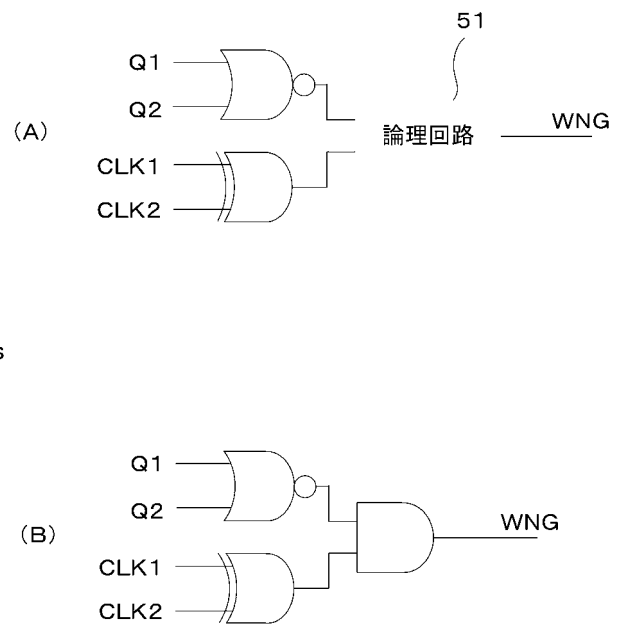
【 図 6 】



【 図 7 】



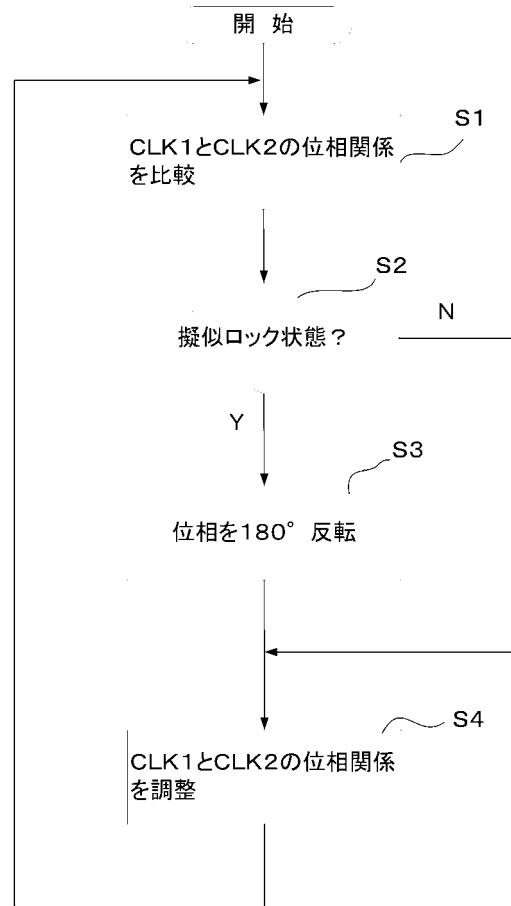
【 図 8 】



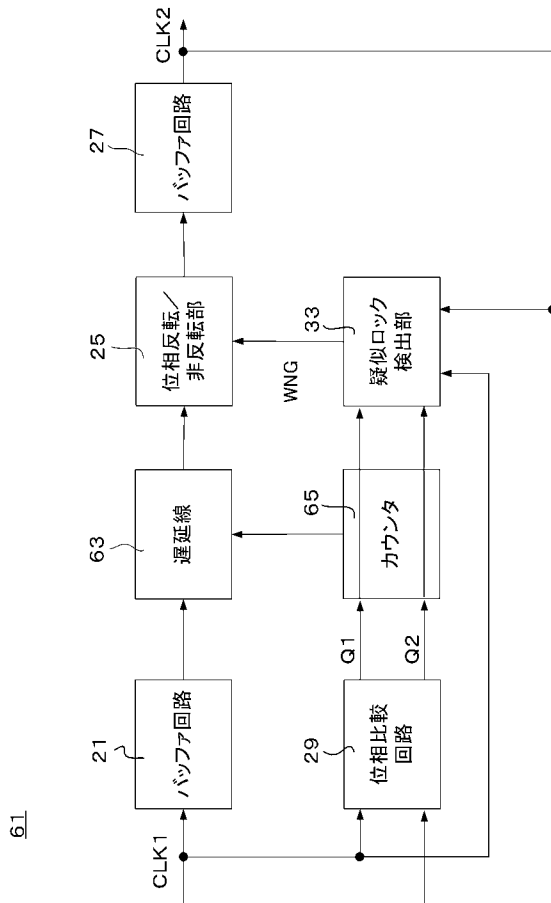
【図9】

CLK1	CLK2	Q1	Q2	wng
L	L	L	L	L
L	L	L	H	L
L	L	H	L	L
L	H	L	L	H
L	H	L	H	L
L	H	H	L	L
H	L	L	L	H
H	L	L	H	L
H	L	H	L	L
H	H	L	L	L
H	H	L	H	L
H	H	H	L	L

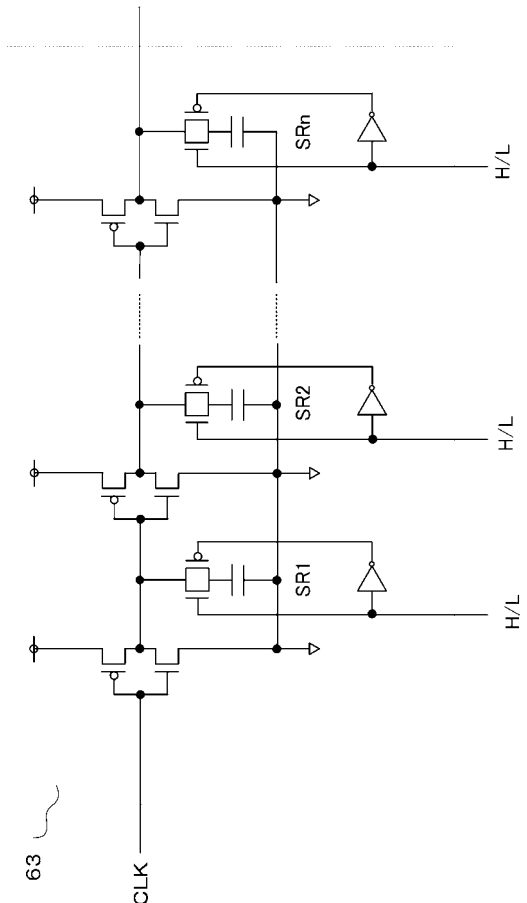
【図10】



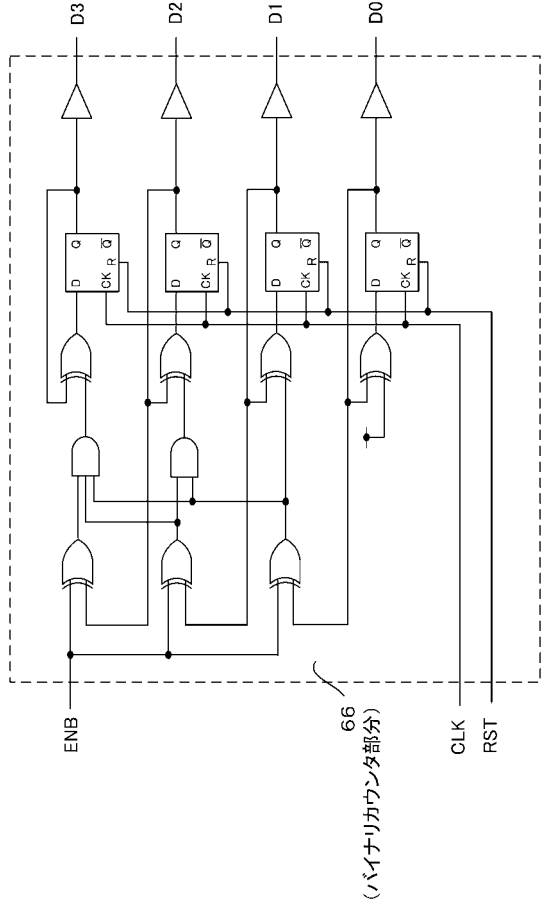
【図11】



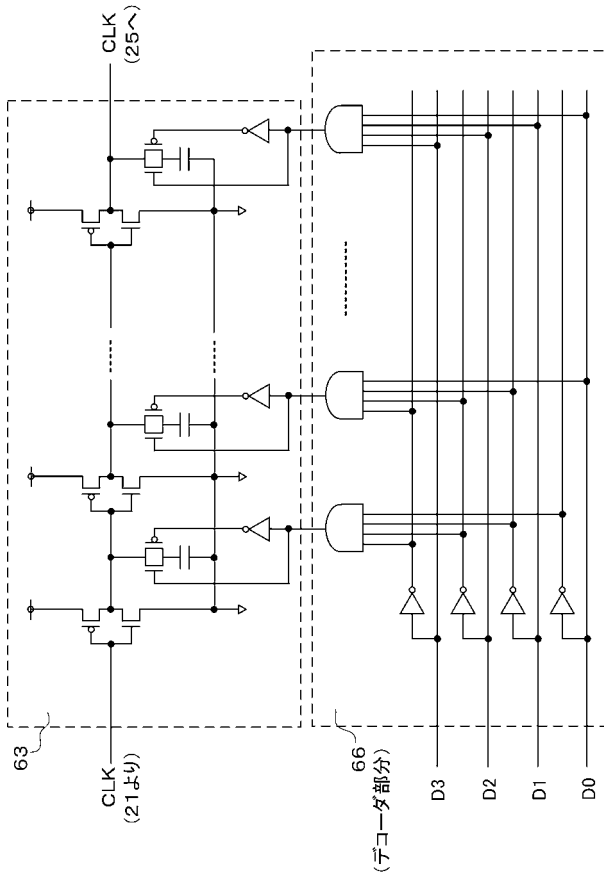
【図12】



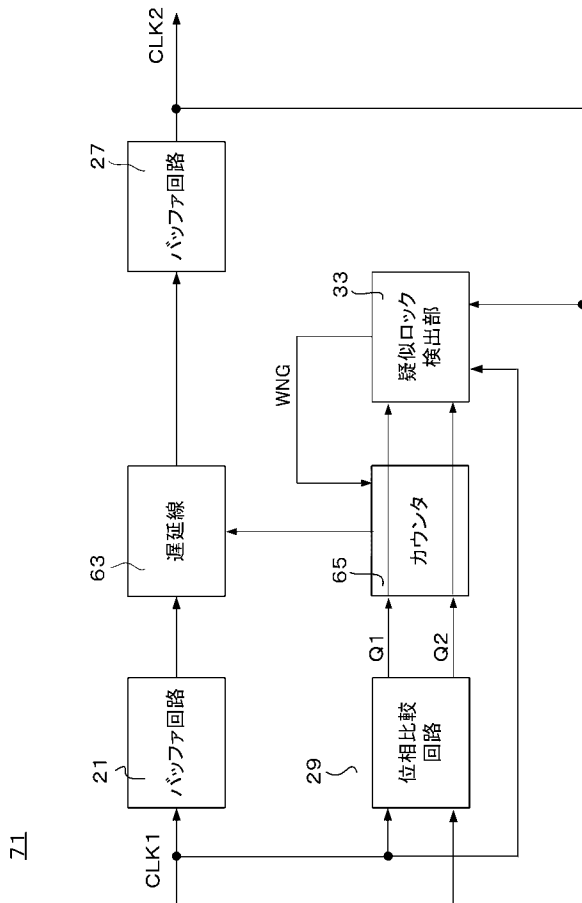
【図13】



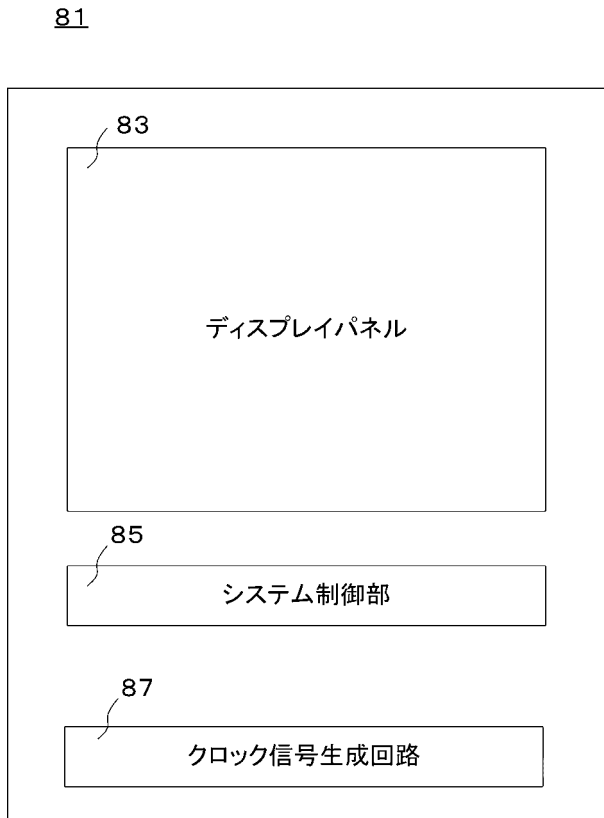
【図14】



【図15】



【図16】

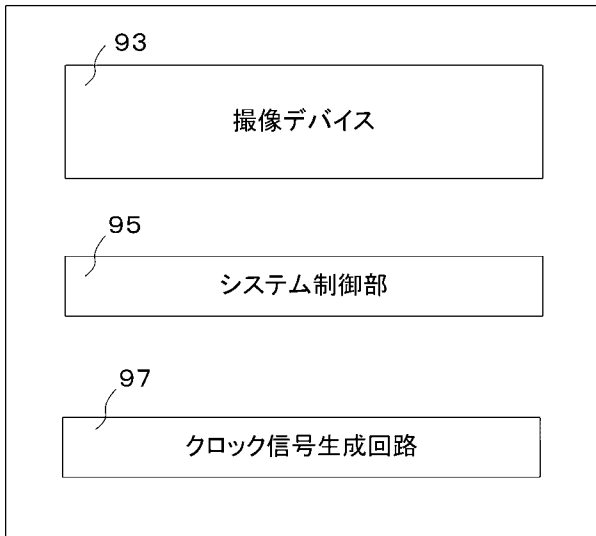


Z1

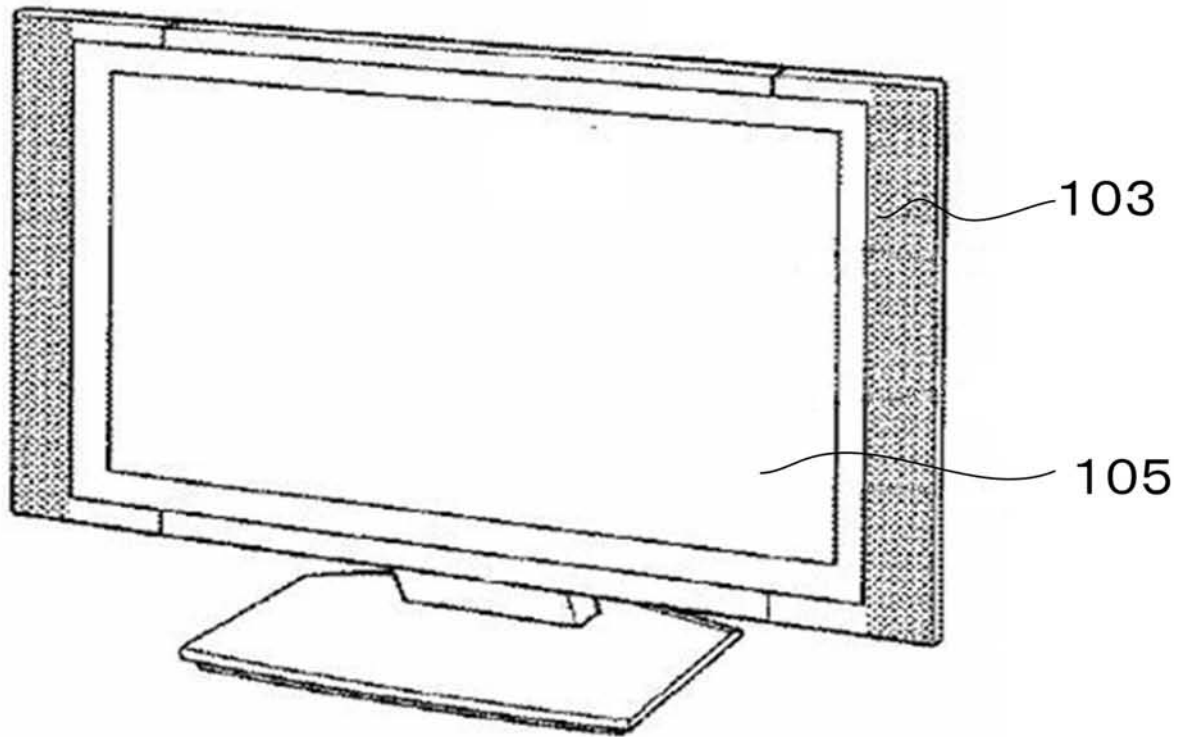


【図17】

91

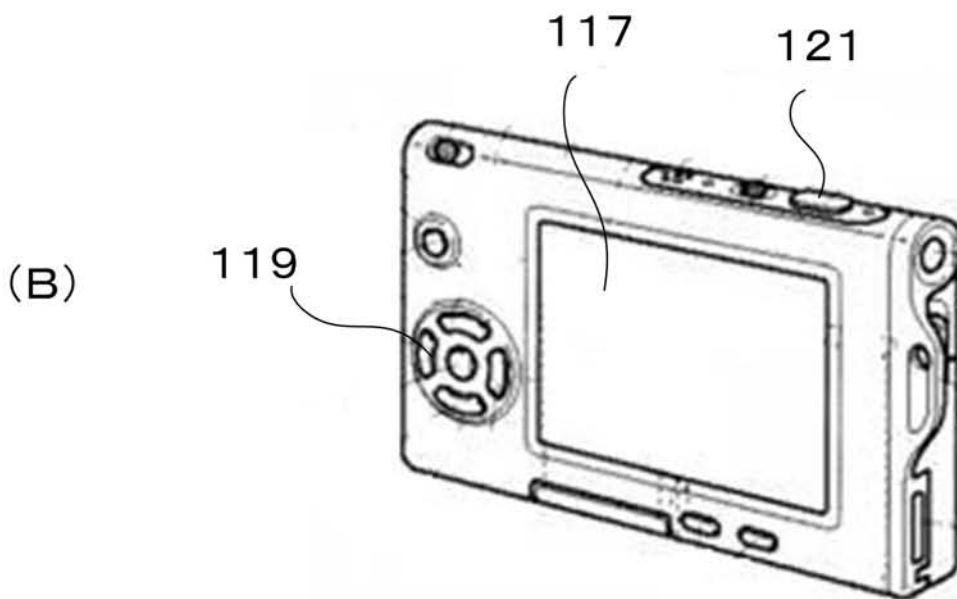
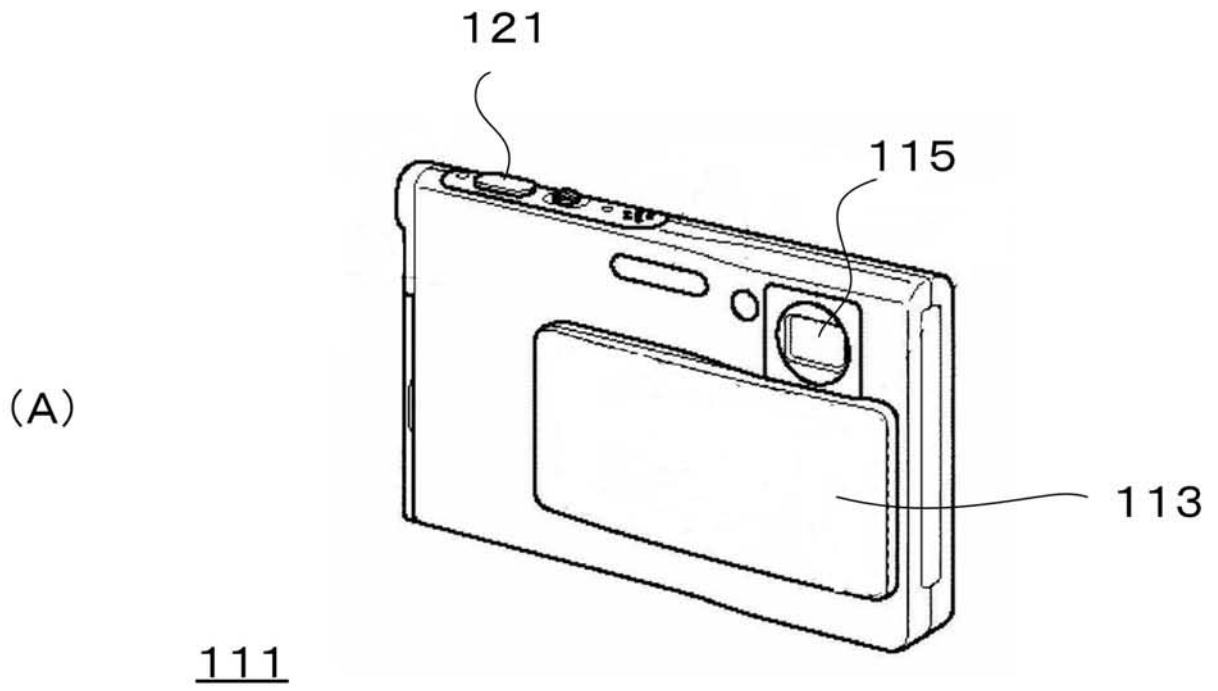


【図18】

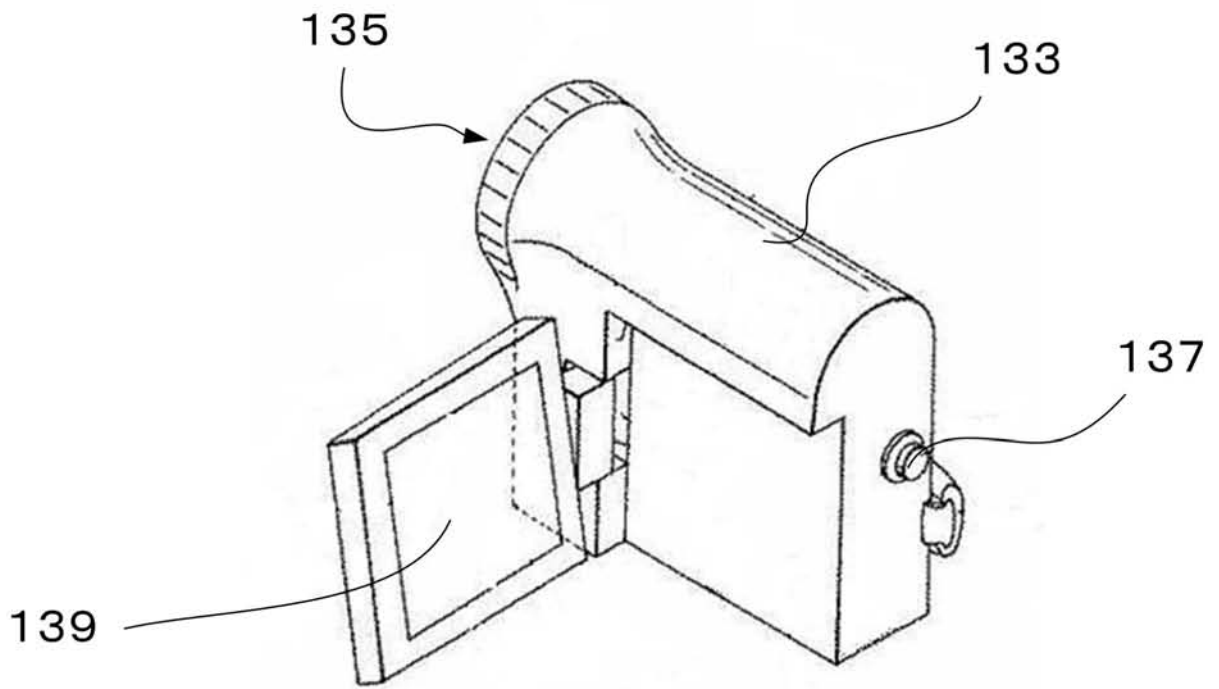


101

【図19】

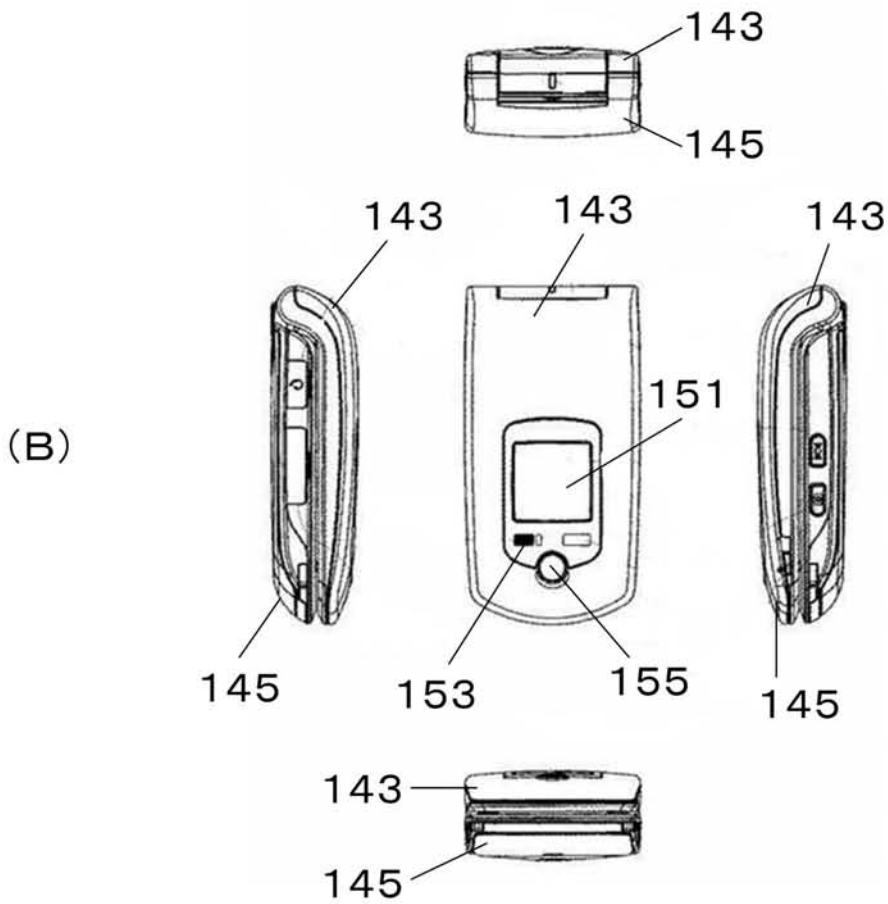
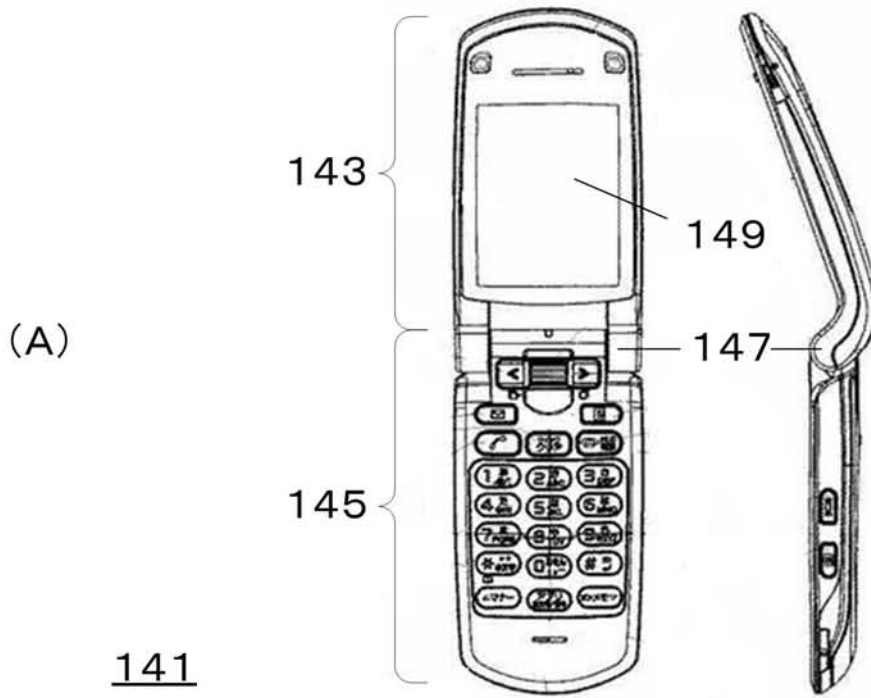


【図 20】

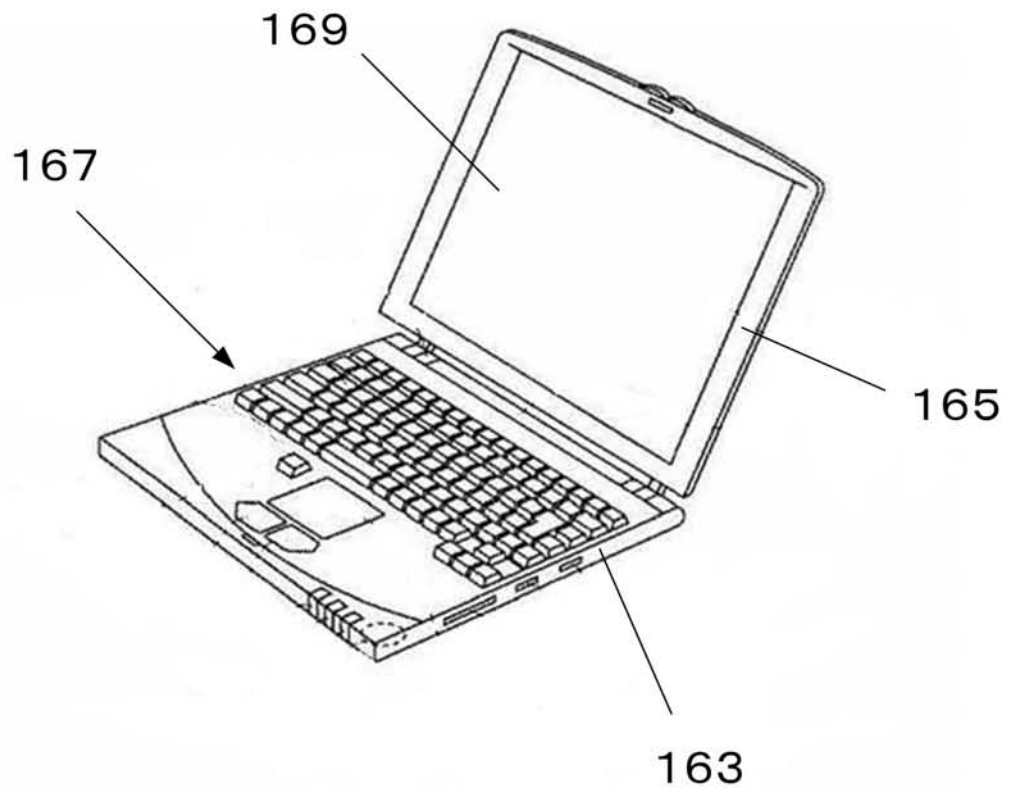


131

【図 21】



【図 22】



161

---

フロントページの続き

審査官 上田 智志

- (56)参考文献 特開2002-100982(JP,A)  
特開2005-038557(JP,A)  
特開2004-050650(JP,A)  
特開2005-020711(JP,A)  
特開2005-074580(JP,A)  
特開2003-204261(JP,A)  
特開2006-287641(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/00 - 7/23,  
H03K 5/14,  
H04N 5/225,  
G02F 1/1333, 1/1345,  
G06F 1/10, 1/12,  
G11C 11/407