

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月8日(08.02.2024)



(10) 国際公開番号

WO 2024/029138 A1

(51) 国際特許分類:

H01L 25/065 (2023.01) H01L 25/10 (2006.01)
H01L 23/32 (2006.01) H01L 25/11 (2006.01)
H01L 25/04 (2023.01) H01L 25/18 (2023.01)
H01L 25/07 (2006.01) H05K 1/03 (2006.01)

JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 舟木 達弥 (FUNAKI, Tatsuya);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP).

(21) 国際出願番号: PCT/JP2023/015137

(22) 国際出願日: 2023年4月14日(14.04.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-122856 2022年8月1日(01.08.2022) JP

(74) 代理人: 山尾 憲人, 外(YAMAOKA, Norihito et al.);
〒5300017 大阪府大阪市北区角田町 8 番
1 号 大阪梅田ツインタワーズ・ノース
青山特許事務所 Osaka (JP).

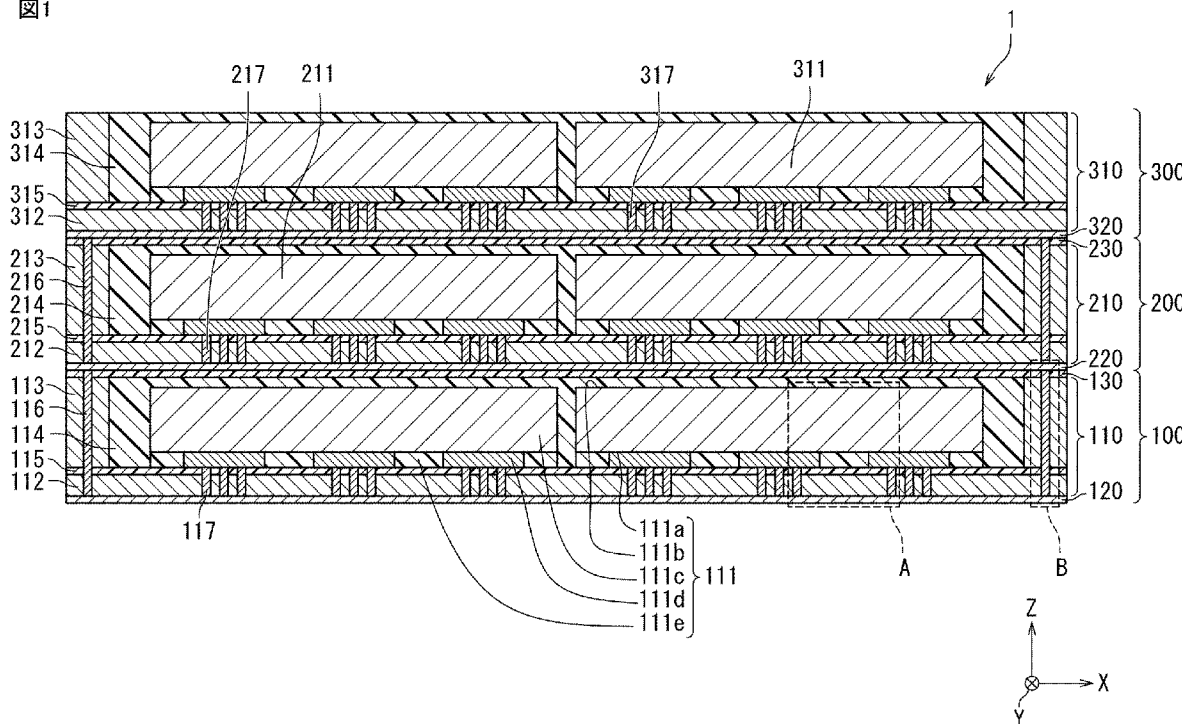
(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: COMPOSITE COMPONENT DEVICE, AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 複合部品デバイスおよびその製造方法

図1



(57) Abstract: Provided is a composite component device comprising two or more composite component layers including an electronic component layer and a rewiring layer provided to the electronic component layer, wherein: the two or more composite component layers are layered in a thickness direction such that the electronic component layer and the rewiring layer are alternately arranged; the electronic component layer includes one or more electronic components having an electronic component body part, which has a first surface perpendicular to the thickness direction and a second surface

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

opposite from the first surface, and a plurality of component electrodes, which are arranged on the first surface; the component electrodes of the one or more electronic components are electrically connected to the rewiring layer; and the electronic component layer in the composite component layer that is adjacent to the rewiring layer, among the two or more composite component layers, furthermore includes an electronic component layer through-via that electrically connects to the rewiring layer of another composite component layer.

(57) 要約: 電子部品層と電子部品層に設けられた再配線層とを有する2以上の複合部品層を備えた複合部品デバイスであって、2以上の複合部品層は、電子部品層と再配線層とが交互に配置されるように厚み方向に積層し、電子部品層は、厚み方向に垂直な第1面および第1面に対向する第2面を有する電子部品本体部と該第1面に配置される複数の部品電極とを有する1以上の電子部品を有し、1以上の電子部品の部品電極は再配線層に電氣的に接続されており、2以上の複合部品層の再配線層に隣接する複合部品層における電子部品層は、別の複合部品層の該再配線層に電氣的に接続する電子部品層貫通ビアをさらに有する、複合部品デバイス。

明 細 書

発明の名称：複合部品デバイスおよびその製造方法

技術分野

[0001] 本開示は、複合部品デバイスおよびその製造方法に関する。

背景技術

[0002] 従来、複数の電子部品を組み合わせたパッケージとしては、例えば、特開 2019-125779号公報（特許文献1）の図4Fに記載の装置がある。この装置（400F）では、再配線層（306）と、再配線層（306）上に配置された第1モールド層（316）と、第1モールド層（316）上に配置された第2モールド層（326）とを備える。第2モールド層（326）内に封止されたダイ（318、320）は、第1モールド層（316）内に封止されたブリッジダイ（310）と電氣的接続部（312）を介して接続し、再配線層（306）と電氣的接続部（314）を介して接続する。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-125779号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、本発明者は、上記のような装置では、次の問題があることを見出した。すなわち、ダイとブリッジダイおよび配線層とは、ボール（バンプ）を介して接続する。このため、接続抵抗が比較的高く、またバンプの割れ等により信頼性が低下する虞がある。さらに、製造時に用いるバンプに起因して装置内に空間が形成されて低背化を妨げる虞がある。

[0005] そこで、本開示の目的は、信頼性を高め、かつ低背化することができる複合部品デバイスを提供することである。

課題を解決するための手段

[0006] 本発明者は、上記課題を解決するために鋭意検討し、電子部品層と電子部

品層に設けられた再配線層とを有する 2 以上の複合部品層を備えた複合部品デバイスにおいて、1 以上の電子部品と再配線層との電氣的接続、および 2 以上の複合部品層間の電氣的接続にはんだバンプを用いずに接続させるとの知見を得た。このような技術的知見に基づき、部品電極を再配線層に電氣的に接続させ、複合部品層間が電子部品層貫通ビアに電氣的に接続している本開示を想到するに至った。すなわち、本開示は、以下の実施形態を含む。

- [0007] 前記課題を解決するため、本開示の一態様である複合部品デバイスは、
- 電子部品層と該電子部品層に設けられた再配線層とを有する 2 以上の複合部品層を備えた複合部品デバイスであって、
- 前記 2 以上の複合部品層は、前記電子部品層と前記再配線層とが交互に配置されるように厚み方向に積層し、
- 前記電子部品層は、
- 前記厚み方向に垂直な第 1 面および該第 1 面に対向する第 2 面を有する電子部品本体部と該第 1 面に配置される複数の部品電極とを有する 1 以上の電子部品
- を有し、
- 前記 1 以上の電子部品の前記部品電極は前記再配線層に電氣的に接続されており、
- 前記 2 以上の複合部品層のうちの別の複合部品層の再配線層に隣接する複合部品層における電子部品層は、
- 該別の複合部品層の該再配線層に電氣的に接続する電子部品層貫通ビアをさらに有する。

- [0008] 前記実施形態によれば、部品電極が再配線層に電氣的に接続しており、複合部品層間が電子部品層貫通ビアに電氣的に接続している。これにより、複合部品デバイスは、バンプ（例えば、はんだバンプ）を用いて電氣的に接続させている場合に比べ、配線長（特に、複合部品デバイスの厚み方向のビア配線の長さ）を短くすることができるため、接続抵抗を低減でき、信頼性を高めることができる。これによりまた、複合部品デバイスは、バンプを用い

て電氣的に接続させている場合に比べ、複合部品層間におけるバンプに起因する空間をなくすことができ、低背化することができる。

発明の効果

[0009] 本開示の一実施形態に係る複合部品デバイスによれば、信頼性を高め、かつ低背化することができる。

図面の簡単な説明

[0010] [図1]第1実施形態に係る複合部品を示す断面図である。

[図2]図1のA部拡大図である。

[図3]図1のB部拡大図である。

[図4A]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4B]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4C]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4D]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4E]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4F]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4G]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4H]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4I]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4J]第1実施形態に係る複合部品デバイスの製造方法について説明する説

明図である。

[図4K]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4L]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4M]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4N]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4O]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4P]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4Q]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4R]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4S]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4T]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4U]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図4V]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図5]第2実施形態に係る複合部品を示す断面図である。

[図6A]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6B]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6C]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6D]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6E]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6F]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6G]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6H]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6I]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6J]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6K]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6L]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6M]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6N]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図6O]第2実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図7]第3実施形態に係る複合部品を示す断面図である。

[図8]図7のD部拡大図である。

[図9A]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9B]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9C]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9D]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9E]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9F]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9G]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9H]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9I]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図9J]第3実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図10A]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

[図10B]第1実施形態に係る複合部品デバイスの製造方法について説明する説明図である。

発明を実施するための形態

[0011] 以下、本開示の一態様である複合部品デバイスおよびその製造方法を図示

の実施の形態により詳細に説明する。なお、図面は一部模式的なものを含み、実際の寸法や比率を反映していない場合がある。また、複合部品デバイス内の構成要素の寸法（より具体的には、厚み等）は、走査型電子顕微鏡（SEM）にて撮影したSEM画像に基づいて測定した。上記寸法は、複数の測定数（測定数 $n \geq 3$ ）の平均値から得た。

[0012] 本明細書で言及する各種の数値範囲は、「未満」、「より大きい」および「より小さい」のような特段の用語が付されない限り、下限および上限の数値（すなわち、上限値および下限値）そのものも含むことを意図している。つまり、例えば、 $80 \sim 120 \mu\text{m}$ といった数値範囲を例にとれば、数値範囲 $80 \sim 120 \mu\text{m}$ は、下限値の " $80 \mu\text{m}$ " を含むと共に、上限値の " $120 \mu\text{m}$ " をも含むものとして解釈される。

[0013] <第1実施形態：複合部品デバイス>

第1実施形態に係る複合部品デバイスは、2以上の複合部品層を備える。本実施形態では、一例として3つの複合部品層を備える複合部品デバイスを挙げて、説明する。

[0014] 第1実施形態に係る複合部品デバイスは、

電子部品層と電子部品層に設けられた再配線層とを有する2以上の複合部品層を備えた複合部品デバイスであって、

2以上の複合部品層は、電子部品層と再配線層とが交互に配置されるように厚み方向に積層し、

電子部品層は、

厚み方向に垂直な第1面および第1面に対向する第2面を有する電子部品本体部と第1面に配置される複数の部品電極とを有する1以上の電子部品を有し、

1以上の電子部品の部品電極は再配線層に電氣的に接続されており、

2以上の複合部品層のうちの別の複合部品層の再配線層に隣接する複合部品層における電子部品層は、

別の複合部品層の再配線層に電氣的に接続する電子部品層貫通ビア

をさらに有する。

[0015] [作用機序]

第1実施形態に係る複合部品デバイスは、信頼性を高め、かつ低背化することができる。特定の理論に拘束されるわけではないが、その理由は以下のように推測される。

第1実施形態に係る複合部品デバイスでは、部品電極が再配線層に電氣的に接続しており、複合部品層間が電子部品層貫通ビアに電氣的に接続している。これにより、複合部品デバイスは、バンプ（例えば、はんだバンプ）を用いて電氣的に接続させている場合に比べ、配線長（特に、複合部品デバイスの厚み方向のビア配線の長さ）を短くすることができるため、接続抵抗を低減でき、信頼性を高めることができる。これによりまた、複合部品デバイスは、バンプを用いて電氣的に接続させている場合に比べ、複合部品層間におけるバンプに起因する空間をなくすことができ、低背化することができる。

[0016] [複合部品デバイスの構成]

第1実施形態に係る複合部品デバイスの構成を図1、図2および図3を参照して説明する。図1は、本開示の第1実施形態に係る複合部品デバイスの断面を模式的に示した図である。図2は、図1のA部拡大図である。図3は、図1のB部拡大図である。

[0017] 図1に示すように、複合部品デバイス1は、3つの複合部品層100, 200, 300を備える。図1中、複合部品デバイス1の厚みに平行な方向をZ方向とし、順Z方向を上側、逆Z方向を下側とする。図1に示す複合部品デバイス1の断面においてZ方向に垂直な方向をX方向とする。図1に示す複合部品デバイス1の断面に垂直な方向をY方向とする。

[0018] [複合部品層]

複合部品層100, 200, 300は、それぞれ電子部品層110, 210, 310と電子部品層110, 210, 310に設けられた再配線層120, 220, 320とを備える。3つの複合部品層100, 200, 300

は、電子部品層 110、210、310 と再配線層 120、220、320 とが交互に配置されるように厚み方向に積層している。複合部品層が別の複合部品層の再配線層と接続している場合、複合部品層は、さらに層間接着層を備える。具体的には、複合部品層 100、200 は、さらに層間接着層 130、230 を備える。

[0019] 第 2、第 3 複合部品層 200、300 の構成は、第 1 複合部品層 100 の構成とほぼ同じであるため、以下、第 1 複合部品層 100 を例に挙げて説明する。ただし、第 1 複合部品層 100 と相違する箇所について第 2、第 3 複合部品層 200、300 について言及することがある。第 3 複合部品層 300 は、層間接着層および複合部品層貫通ビアを有しない点で、第 1、第 2 複合部品層 100、200 と相違する。

[0020] (電子部品層)

第 1 電子部品層 110 は、その下面で第 1 再配線層 120 と接着（接合）し、その上面で第 1 層間接着層（第 1 複合部品接着層）130 を介して第 2 複合部品層 200 の第 2 再配線層 220 と接着している。ここで、第 1 再配線層 120 および第 2 再配線層 220 は、後述するように、例えば、多層配線層のシートまたは基板であり、例えば、配線（導電配線）120b と無機材料（無機絶縁材料）を含む誘電膜 120a とを有する。第 1 電子部品層 110 は、1 以上の第 1 電子部品 111 と第 1 電子部品層貫通ビア 116 とを有し、さらに、第 1 Si ベース層 112 と、第 1 側壁部 113 と、第 1 樹脂封止部 114 と、第 1 電子部品接着層 115 と、第 1 Si 貫通ビア 117 とを有する。

[0021] ー電子部品ー

第 1 電子部品 111 は、第 1 複合部品層 100 内に 1 以上配置されている。1 以上の第 1 電子部品 111 は、厚み方向に垂直な第 1 面 111a および第 1 面 111a に対向する第 2 面 111b（互いに対向する第 1 面 111a および第 2 面 111b）を有する第 1 電子部品本体部 111c と、第 1 面 111a に配置されている複数の第 1 部品電極 111d と、複数の第 1 部品電

極 1 1 1 d 間に配置されている第 1 絶縁部 1 1 1 e とを有する。第 1 電子部品 1 1 1 は、第 1 電子部品接着層 1 1 5 を介して第 1 Si ベース層 1 1 2 に支持されている。第 1 電子部品 1 1 1 は、第 1 複合部品層 1 0 0 内に第 1 樹脂封止部 1 1 4 によって封止されている。第 1 電子部品 1 1 1 の第 1 部品電極 1 1 1 d は、第 1 Si 貫通ビア 1 1 7 を介して第 1 再配線層 1 2 0 と電氣的に接続している。1 以上の第 1 電子部品 1 1 1 が複数存在する場合、それらの第 1 電子部品 1 1 1 は互いに同じ種類であっても、異なる種類であってもよい。第 1 電子部品 1 1 1 の厚みは、例えば、80~120 μm である。

[0022] 1 以上の第 1 電子部品 1 1 1 (具体的は、2つの第 1 電子部品 1 1 1) は、いずれもその第 1 面 1 1 1 a が第 2 面 1 1 1 b に対して第 1 再配線層 1 2 0 側に位置するように、第 1 複合部品層 1 0 0 内に配置されている。そして、第 2, 第 3 複合部品層 2 0 0, 3 0 0 については、1 以上の第 1 電子部品 1 1 1 の配置方向と同様に、1 以上の第 2, 第 3 電子部品 2 1 1, 3 1 1 もすべてその第 1 面 2 1 1 a, 3 1 1 a が第 2 面 2 1 1 b, 3 1 1 b に対して第 2, 第 3 再配線層 2 2 0, 3 2 0 側に位置するように、第 2, 第 3 複合部品層 2 0 0, 3 0 0 内に配置されている。これらの 1 以上の電子部品 1 1 1, 2 1 1, 3 1 1 は、再配線層 1 2 0, 2 2 0, 3 2 0 にそれぞれ接続している。このように、複合部品デバイス 1 は、配線がシンプルであるため、複合部品層を 2 層だけでなく、3 層以上積層することができる。

[0023] 1 以上の第 1 電子部品 1 1 1 は、例えば、第 1 Si ベース層 1 1 2 を構成する物質と同様の物質中に 1 以上の素子が一体化された電子部品である。第 1 電子部品 1 1 1 は、例えば、能動部品 (より具体的には、CPU、GPU、およびLSI等) ならびに受動部品 (より具体的には、キャパシタ、抵抗器、およびインダクタ等) である。

[0024] 第 1 電子部品本体部 1 1 1 c は、例えば、セラミックまたは半導体材料 (より具体的には、シリコン等) を含む。

[0025] 第 1 部品電極 1 1 1 d は、導電性材料として、例えば、Cu、Ni、Sn およびAlならびにこれらを含む合金である。導電性材料は、これらの中で

も、第1 Si 貫通ビア 117 と同じ材料であることが好ましい。第1 部品電極 111 d の厚みは、例えば、 $1\ \mu\text{m} \sim 30\ \mu\text{m}$ であり、好ましくは $5\ \mu\text{m}$ 以下である。第1 部品電極 111 d を、 $1 \sim 5\ \mu\text{m}$ の厚みに薄くすることができる。第1 部品電極 111 d の厚みは、例えば、第1 電子部品本体部 111 c の厚みの $1/4 \sim 1/6$ 倍にすることができる。

[0026] 第1 絶縁部 111 e は、第1 部品電極 111 d 間を電氣的に絶縁する層として機能する。第1 絶縁部 111 e の厚みは、例えば、 $1 \sim 30\ \mu\text{m}$ であり、好ましくは $5\ \mu\text{m}$ 以下である。第1 部品電極 111 d を、 $1 \sim 5\ \mu\text{m}$ の厚みに薄くすることができる。第1 絶縁部 111 e の厚みは、例えば、第1 電子部品本体部 111 c の厚みの $1/4 \sim 1/6$ 倍にすることができる。第1 絶縁部 111 e の厚みは、第1 部品電極 111 d と同じであってもよく、かかる場合、第1 絶縁部 111 e の下面と第1 部品電極 111 d の下面とが面一となる。

[0027] − Si ベース層 −

第1 Si ベース層 112 は、互いに対向する第1 主面 112 a および第2 主面 112 b を有する。第1 Si ベース層 112 は、第2 主面 112 b で第1 電子部品接着層 115 を介して1 以上の第1 電子部品 111 を支持しており、第1 主面 112 a で第1 再配線層 120 と接続している。第1 Si ベース層 112 は、実質的に Si から構成される。ここで、実質的に Si から構成されるとは、本明細書において、対象部材が99 質量%以上の割合で Si を含むことをいう。

[0028] 第1 Si ベース層 112 の厚みは、例えば、 $150\ \mu\text{m}$ 以下であり、好ましくは $50\ \mu\text{m}$ 以下であり、より好ましくは $30\ \mu\text{m}$ 以下である。このように、第1 Si ベース層 112 の厚みを極端に薄くできる理由は、後述する複合部品デバイス 1 の製造方法において、第1 Si ベース層 112 に第1 Si サポート 140 を貼合して強度を補強するため、第1 Si ベース層 112 を研削して薄化しても、強度不足による第1 Si ベース層 112 の破損（割れ等）が発生しにくくなるからである（図4 E および4 F 参照）。第1 Si サ

ポート140による強度の補強によって、複合部品デバイス1の製造が可能となる。第1Siベース層112の厚みを従来に比べ、極端に薄くできるため、1以上の電子部品111の第1部品電極111dから第1再配線層120まで電氣的に接続するビア配線（つまり、第1Si貫通ビア117）の長さを短くすることができる。これにより、ビア配線による寄生インピーダンスを低下させ、複合部品デバイス1を使用する電子機器の電気特性を向上させることができる。

[0029] 一側壁部一

図1に加え図3に示すように、第1側壁部113は、1以上の第1電子部品111を取り囲むように第1Siベース層112の第2主面112bに配置されている。第1側壁部113は、1以上の電子部品111の全体を取り囲むように、第1複合部品層100の両端部に配置されている。第1側壁部113は、その内部を第1電子部品層貫通ビア116が貫通する。第1側壁部113は、断面視において、略矩形状を有し、その上面で第1層間接着層130を介して第2複合部品層200の第2再配線層220と接続し、その下面で第1電子部品接着層115を介して第1Siベース層112と接着する。第1側壁部113の厚みは、例えば、90～130 μ mである。第1側壁部113は、例えば、実質的にSiから構成される。

[0030] 一樹脂封止部一

第1樹脂封止部114は、1以上の第1電子部品111を封止する。

樹脂封止部114は、樹脂（例えば、エポキシ樹脂）を含み、複数の（2以上の）第1電子部品111を樹脂で一体化させることができる。複数の第1電子部品111を樹脂と一体化させることができるため、2以上の第1電子部品111が互いに異なる寸法および形状を有する場合であっても、2以上の第1電子部品111を第1電子部品層110内に配置することができる。これにより、自由度が高い設計が可能となり、用途に応じて2以上の第1電子部品111を組み合わせることができる。例えば、複合部品デバイス1は、異なる種類の第1電子部品111を内蔵することができる。

[0031] ー電子部品接着層ー

第1電子部品接着層115は、1以上の第1電子部品111を第1Siベース層112の第2主面112bに接着させる。本明細書において第1電子部品接着層115の厚みは、第1部品電極111dの下面から第1Siベース層112の第2主面112bまでのZ方向の厚みをいう。第1電子部品接着層115の厚みは、例えば、4～6 μ mである。

[0032] ー電子部品層貫通ビアー

2以上の複合部品層のうちの別の複合部品層の再配線層に隣接する複合部品層における電子部品層は、別の複合部品層の再配線層に電氣的に接続する電子部品層貫通ビアをさらに有する。つまり、複合部品層が別の複合部品層の再配線層と接着している場合、該別の複合部品層の再配線層に電氣的に接続する電子部品層貫通ビアをさらに有する。

[0033] 例えば、第2複合部品層200の第2再配線層220に隣接する第1複合部品層100における第1電子部品層110は、第2複合部品層200の第2再配線層220に電氣的に接続する第1電子部品層貫通ビア116をさらに有する。つまり、第1複合部品層100が別の第2複合部品層200の第2再配線層220と接続しているため、第1電子部品層110は、第2複合部品層200の第2再配線層220に電氣的に接続する第1電子部品層貫通ビア116をさらに有する。第2複合部品層200が第3複合部品層300の第3再配線層320と接続しているため、第2電子部品層210は、第3複合部品層300の第3再配線層320に電氣的に接続する第2電子部品層貫通ビア216をさらに有する。一方、第3複合部品層300が別の複合部品層の再配線層と接続していないため、第3複合部品層300は電子部品層貫通ビアを有しない。

[0034] 第1電子部品層貫通ビア116は第1電子部品層110をZ方向に貫通し（より具体的には、第1側壁部113、第1電子部品接着層115および第1Siベース層112をZ方向に貫通し）、さらに第1層間接着層130も貫通する。第1電子部品層貫通ビア116は、第1層間接着層130を貫通

する接着層導電ビア116aと、第1側壁部113を貫通する側壁部貫通ビア116bと、第1電子部品接着層115を貫通する導電ビア116cと、第1Siベース層112を貫通するSi貫通ビア116dとを有する。接着層導電ビア116aは、第1電子部品層貫通ビア116と第2複合部品層200の第2再配線層220とを電氣的に接続する。複合部品デバイス1の厚み方向に垂直な平面において、接着層導電ビア116aの断面積（XY平面における断面積）が側壁部貫通ビア116bの断面積よりも大きい。このため、第1電子部品層貫通ビア116は第2再配線層220との電氣的接続が良好となり、第1、第2複合部品層100、200間の接続抵抗が低下し、これにより信頼性がさらに向上する。

[0035] 第1電子部品層貫通ビア116は、好ましくは実質的に銅から成る。ここで、実質的に銅（Cu）から成るとは、本明細書において、対象部材が99質量%以上の割合で銅を含むことをいう。第1電子部品層貫通ビア116が実質的に銅から成ると、銅は良好な導電材であるため、配線の電気抵抗が低下する。

[0036] −Si貫通ビア−

図1に加え図2に示すように、第1Si貫通ビア117は、第1Siベース層112（および第1電子部品接着層115）を貫通して第1部品電極111dと第1再配線層120とを電氣的に接続する。

第1Si貫通ビア117は、Si貫通ビア本体部117aと、延出部117bとを有する。Si貫通ビア本体部117aは、第1再配線層120と電氣的に接続し第1Siベース層112内を貫通する。延出部117bは、Si貫通ビア本体部117aと電氣的に接続し、第1Siベース層112の第2主面112bから延出し、第1電子部品接着層115内を貫通しかつ第1部品電極111dと電氣的に接続する。このように、第1部品電極111dから第1再配線層120まで電氣的に接続するビア配線は、第1Si貫通ビア117のみから構成させるため、バンプ（例えば、はんだバンプ）を有しない（要しない）。よって、本実施形態に係る複合部品デバイス1は、ビア

配線による寄生インピーダンスをさらに低減させることができる。また、これにより複合部品デバイス 1 を使用する電子機器の電子特性が向上する。さらに、従来に比べ配線長を短くできるため、複合部品デバイス 1 の厚みを低減することができ、複合部品デバイス 1 の小型化、薄型化および低背化が可能となる。ビア配線の長さ（すなわち、第 1 S i 貫通ビア 1 1 7 の積層方向の長さ）は、例えば、 $3\mu\text{m}\sim 36\mu\text{m}$ である。参考までに、例えば、はんだバンプは、一般に $100\sim 150\mu\text{m}$ の直径を有する。

[0037] 第 1 S i 貫通ビア 1 1 7 は、図 2 では、積層方向に略直線状となっている。Z X 平面における第 1 S i 貫通ビア 1 1 7 の断面形状は、図 2 では略矩形形状である。また、X Y 平面における第 1 S i 貫通ビア 1 1 7 の断面形状は、例えば、略円形状、略多角形状、および略多角形の角が丸みを帯びた形状である。

[0038] （再配線層）

第 1 再配線層 1 2 0 は、第 1 S i ベース層 1 1 2 の第 1 主面 1 1 2 a に形成されている。第 1 再配線層 1 2 0 は、多層配線層である。第 1 再配線層 1 2 0 は、配線（導電配線）1 2 0 b と、無機材料（無機絶縁材料）から実質的に構成される誘電膜 1 2 0 a とを有する。

[0039] 配線 1 2 0 b は、導電ビアを有する。導電ビアは、第 1 再配線層 1 2 0 内の異なる層間の配線を電氣的に接続する。配線 1 2 0 b は導電性材料を含む。導電性材料は、例えば、C u、A g、および A u、ならびにそれらを含む合金であり、これらの中でも C u が好ましい。第 1 再配線層 1 2 0 は、複数の層を有することができ、例えば、2 層以上の配線 1 2 0 b と、1 層以上の誘電膜 1 2 0 a とを有する。第 1 再配線層 1 2 0 を構成する配線 1 2 0 b 1 層および誘電膜 1 2 0 a 1 層の厚みは、例えば、 $1.5\mu\text{m}\sim 5.0\mu\text{m}$ である。この場合、第 1 再配線層 1 2 0 の厚みは、これらの 1 層分の厚み（ $1.5\mu\text{m}\sim 5.0\mu\text{m}$ ）に第 1 再配線層 1 2 0 内の合計層数を乗じた値（単位： μm ）となる。

[0040] 誘電膜 1 2 0 a は、絶縁材料としての無機材料（無機絶縁材料）で実質的

に構成されている。ここで、実質的に無機材料から構成されるとは、本明細書において、対象部材が99質量%以上の割合で無機材料を含むことをいう。無機絶縁材料としては、例えば、酸化ケイ素 (SiO_2) および窒化ケイ素 (SiN 、 Si_3N_4) が挙げられる。誘電膜120aが無機絶縁材料で構成されると、例えば、第2実施形態に係る複合部品デバイス1Aにおける誘電膜に比べ、配線幅を約1/10にすることができる。これにより、複合部品デバイス1の更なる小型化および低背化が可能となる。無機材料から実質的に構成される誘電膜120aを含む第1再配線層120のライン・アンド・スペース (L/S) は、例えば、 $1\mu\text{m}/1\mu\text{m}$ である。

[0041] 誘電膜120aの厚みは、例えば、 $0.1\sim 2\mu\text{m}$ である。誘電膜120aは、2種以上の成分を含む多成分膜であってもよい。多成分膜は、複数の層が成分ごとに形成される多層膜であってもよい。多層膜の層構造は、例えば、第1Siベース層112側から順に、 SiO_2 (厚み $0.25\mu\text{m}$) / Si_3N_4 (厚み $0.1\mu\text{m}$) / SiO_2 (厚み $0.25\mu\text{m}$) / Si_3N_4 (厚み $0.1\mu\text{m}$) である。

[0042] (層間接着層)

第1層間接着層130は、第1電子部品層110と第2複合部品層200の第2再配線層220とを接着させる。

[0043] [複合部品デバイスの製造方法]

第1実施形態に係る複合部品デバイス1の製造方法の一例を説明する。

第1実施形態に係る複合部品デバイス1の製造方法は、例えば、

格子状の側壁部を有するSiベース層の底面部に1以上の電子部品の複数の部品電極が電子部品接着層を介して接触するように、Siベース層に1以上の電子部品を接着させる電子部品接着工程と、

1以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

再配線層を形成して複合部品層を作製する再配線層形成工程と、

電子部品接着工程、電子部品封止工程および再配線層形成工程によって別

の複合部品層を形成し、別の複合部品層の側壁部に電子部品層貫通ビアを形成して複合部品層に別の複合部品層を積層する積層工程とを含んで成り、

積層工程が少なくとも 1 回実施される。

- [0044] 第 1 実施形態に係る複合部品デバイス 1 の製造方法は、
S i ベース層を薄くする S i ベース層薄化工程と、
薄化した S i ベース層および電子部品接着層に貫通孔を形成して、部品電極の表面の一部を露出させる貫通孔形成工程と、
貫通孔に S i 貫通ビアを形成する S i 貫通ビア形成工程とをさらに含んで成る。

- [0045] 第 1 実施形態に係る複合部品デバイス 1 の製造方法は、さらに、
S i ベース層を準備する S i ベース層準備工程と、
部品電極間に絶縁部を形成する絶縁部形成工程と、
樹脂封止部を薄くする樹脂封止部薄化工程と、
電子部品層に S i サポートを貼合する S i サポート貼合工程と、
所定のパターンを有する誘電膜を S i ベース層に形成する誘電膜形成工程と、
ダイシングにより個片化するダイシング工程とを含んで成ってもよい。

- [0046] 具体的に、図 10 A～図 10 B および図 4 A～図 4 V を参照して、複合部品デバイス 1 の製造方法の一例について説明する。図 10 A～図 10 B および図 4 A～図 4 V は、複合部品デバイス 1 の製造方法を説明するための図である。第 1 実施形態に係る複合部品デバイス 1 の製造方法は、絶縁部形成工程と、S i ベース層準備工程と、電子部品接着工程と、電子部品封止工程と、樹脂封止部薄化工程と、S i サポート貼合工程と、S i ベース層薄化工程と、誘電膜形成工程と、貫通孔形成工程と、S i 貫通ビア形成工程と、再配線層形成工程と、積層工程と、ダイシング工程とを含む。

なお、この製造方法では電子部品接着工程から積層工程までに複合部品デ

バイス 1 が集積したマザー集積体を作製する。また、この製造方法では第 3 複合部品層 300、第 2 複合部品層 200、第 1 複合部品層 100 の順に作製する。

[0047] (絶縁部形成工程)

絶縁部形成工程では、第 1 電子部品 111 の第 1 部品電極 111d 間に第 1 絶縁部 111e を形成する。具体的には、樹脂層形成工程では、樹脂を含む塗布膜を形成し、平坦化処理を施して第 1 絶縁部 111e を形成する。図 10A に示すように、樹脂と溶媒とを含む溶液を、スピンコート法を用いて塗布して塗布膜を形成する。ここで、塗布膜の最も低い部分が、第 1 部品電極 111d の最も高い部分よりも高くなるようにする。つまり、複数の第 1 部品電極 111d のすべてが塗布膜に完全に埋没するように塗布膜を形成する。塗布層を乾燥して第 1 絶縁部 111e を形成する。後続の平坦化処理前の第 1 絶縁部 111e は、好ましくは完全に第 1 部品電極 111d を被覆する。

[0048] 平坦化処理では、図 10B に示すように、例えば、サーフェスプレーナおよびグラインダを用いて、第 1 部品電極 111d および第 1 絶縁部 111e の表面を研削して平坦化し、第 1 部品電極 111d 間に第 1 絶縁部 111e を形成する。これにより、第 1 部品電極 111d の頂面が露出し、第 1 部品電極 111d および第 1 絶縁部 111e の頂面が面一となる。

[0049] (Si ベース層準備工程)

Si ベース層準備工程では、第 3 Si ベース層 312 を準備する。具体的には、Si ベース層準備工程は、図 4A に示すように、第 3 Si ベース層 312 として Si ウェハを準備し、第 3 Si ベース層 312 上に第 3 電子部品接着層 315 (厳密には、接着剤の塗布膜) を形成し、第 3 側壁部 313 を配置する。これにより、平面視で矩形状の底面部と、矩形状の底面部を取り囲むように格子状に配置された側壁部とを有する第 3 Si ベース層 312 を形成する。これらの底面部および側壁部で取り囲まれた凹部 (またはくぼみ、またはキャビティ) に後述する電子部品接着工程において 1 以上の第 3 電

子部品 3 1 1 を接着させる。

[0050] 接着剤の塗布膜は、第 3 Si ベース層 3 1 2 の第 2 主面 3 1 2 b 上に形成する。これにより、塗布膜が形成された第 3 Si ベース層 3 1 2 を作製する。塗布法は、例えば、スピンコートである。塗布膜の厚みが 1 以上の第 3 電子部品 3 1 1 の第 3 部品電極 3 1 1 d の厚み $\sim 10 \mu\text{m}$ の範囲となるように制御して、塗布することが好ましい。接着剤は、例えば、熱硬化性樹脂である。このような熱硬化性樹脂は、例えば、ベンゾシクロブテン (BCB) に由来する繰り返し単位を含む熱硬化性樹脂であり、例えば、1,3-divinyl-1,1,3,3-tetramethyldisiloxane-bis-benzocyclobutene (DVS-bis-BCB) を重合して得ることができる。市販品としては、例えば、ダウ・ケミカル製「CYCLOTENE」がある。

[0051] Si ウェハの形状は、平面視で俯瞰すると扁平な円柱形状であり得るが、これに限定されない。扁平とは、本明細書において、円柱形状の高さ (h) が外径 (直径: $2r$) よりも小さいこと ($h/2r < 1$) をいう。Si ウェハの形状が円柱形状である場合、Si ウェハの厚みは、例えば、 $775 \mu\text{m}$ (Si ウェハの直径 $\phi 300 \text{ mm}$)、 $725 \mu\text{m}$ ($\phi 200 \text{ mm}$)、 $675 \mu\text{m}$ ($\phi 150 \text{ mm}$)、および $525 \mu\text{m}$ ($\phi 100 \text{ mm}$) である。なお、Si ベース層準備工程は、絶縁部形成工程の前に実施されてもよい。第 3 Si ベース層 3 1 2 および第 3 側壁部 3 1 3 は、ともに実質的に Si から構成される。

[0052] (電子部品接着工程)

電子部品接着工程では、格子状の第 3 側壁部 3 1 3 を有する第 3 Si ベース層 3 1 2 の底面部に 1 以上の第 3 電子部品 3 1 1 の複数の第 3 部品電極 3 1 1 d が第 3 電子部品接着層 3 1 5 を介して接触するように、第 3 Si ベース層 3 1 2 に 1 以上の第 3 電子部品 3 1 1 を接着させる。具体的には、電子部品接着工程では、図 4 B に示すように、第 3 部品電極 3 1 1 d および第 3 絶縁部 3 1 1 e が第 3 電子部品接着層 3 1 5 (厳密には、接着剤の塗布膜) を介して、第 3 Si ベース層 3 1 2 (の底面部) と接触するように、第 3 S

i ベース層 3 1 2 (の底面部) に 1 以上の第 3 電子部品 3 1 1 を配置 (搭載) する。次いで、接着剤の塗布膜を硬化させて、第 3 電子部品接着層 3 1 5 を形成する。これにより、1 以上の第 3 電子部品 3 1 1 を第 3 S i ベース層 3 1 2 上に接着させる。

[0053] 第 3 電子部品 3 1 1 は、真空チャンバーを備えた装置を用いて塗布膜へ配置される。詳しくは、電子部品集積ウェハ (1 以上の第 3 電子部品 3 1 1 を複数集積したウェハ) を第 3 S i ベース層 3 1 2 (第 3 側壁部 3 1 3 を有する第 3 S i ベース層 3 1 2) に貼合させる。第 3 電子部品 3 1 1 の積層方向に沿って双方向に圧力を印加し、加熱する。具体的には、装置における真空チャンバー内の下ステージに、当該第 3 S i ベース層 3 1 2 をセットする。第 3 電子部品 3 1 1 の第 3 部品電極 3 1 1 d が塗布膜と対向する方向となるように、真空チャンバー内の上ステージに第 3 電子部品 3 1 1 を真空吸引 (または減圧吸引) させる。当該第 3 S i ベース層 3 1 2 と、電子部品集積ウェハとの位置合わせでは、例えば、第 3 S i ベース層 3 1 2 の認識マークを用いる。当該第 3 S i ベース層 3 1 2 の塗布膜側に、1 以上の第 3 電子部品 3 1 1 を配置する。上下ステージが互いに対向する方向に沿って、双方向に圧力を印加し、加熱する。

[0054] 第 3 部品電極 3 1 1 d および第 3 絶縁部 3 1 1 e が第 3 電子部品接着層 3 1 5 を介して第 3 S i ベース層 3 1 2 と対向するようにして、電子部品集積ウェハは当該第 3 S i ベース層 3 1 2 上に接着される。

[0055] (電子部品封止工程)

電子部品封止工程では、1 以上の第 3 電子部品 3 1 1 を樹脂で封止させて第 3 樹脂封止部 3 1 4 を形成する。電子部品封止工程では、具体的には、図 4 C に示すように、ディスペンサを用いて、1 以上の第 3 電子部品 3 1 1 を搭載した第 3 S i ベース層 3 1 2 上に、液状樹脂を塗布する。その後、コンプレッションモールド装置を用いて、塗布した液状樹脂を成形する。その後、例えば、熱風循環オーブンを用いて、液状樹脂を硬化させる。硬化における熱処理条件は、例えば、150℃、1 時間である。これにより第 3 樹脂封

止部 314 を形成する。

[0056] (樹脂封止部薄化工程)

樹脂封止部薄化工程では、第3樹脂封止部 314 を薄くする。樹脂封止部薄化工程では、具体的には、図4Dに示すように、Siウエハのバックグラインダを用いて、第3樹脂封止部 314 を研削して薄化する。電子部品薄化工程では、第3電子部品 311 の第2面 311b側の第3樹脂封止部 314 の面を研削する。研削量は可能な限り多いことが好ましい。薄化後の第3樹脂封止部 314 の厚みは、例えば、50～150 μm である。

[0057] 樹脂封止部薄化工程の一例を示す図4Dでは、第3電子部品層 310 の第3樹脂封止部 314 を研削しているが、さらに1以上の第3電子部品 311 を研削してもよい。ただし、第3電子部品 311 の内部の機能部分を損傷しないようにする。機能部分は、例えば、キャパシタの場合は誘電体および電極であり、インダクタの場合は配線である。

[0058] (Siサポート貼合工程)

Siサポート貼合工程では、図4Eに示すように、第3樹脂封止部 314 に第3Siサポート 340 を貼合する。具体的には、Siベース層準備工程で説明したSiウエハを第3Siサポート 340 として別途準備する。次いで、電子部品接着工程で説明した方法により、第3Siサポート 340 上に接着層 350 (厳密には、接着剤の塗布膜) を形成する。その後、第3樹脂封止部 314 の研削面が塗布膜と接触するようにして、第3Siサポート 340 上に第3樹脂封止部 314 を貼合し、圧力を印加して加熱する。これにより、接着剤の塗布膜を硬化させ接着層 350 を形成し、第3樹脂封止部 314 の研削面上に接着層 350 を介して第3Siサポート 340 を配置する。第3Siサポート 340 を設ける目的は、後続のSiベース層薄化工程において、製造過程の層が従来に比べ薄いことによる弊害の発生 (より具体的には、強度の低下等) を防止するためである。

[0059] 第3Siサポート 340 は、必要に応じて、加工性を向上させる観点から、貼合前に薄化することができる。後続の工程において半導体デバイス装置

を用いて誘電膜を形成するためである。例えば、第3電子部品311の厚みが $150\mu\text{m}$ である場合、第3Siサポート340としてのSiウェハ（ $\phi 300\text{mm}$ 、一般的な厚み $775\mu\text{m}$ ）を約 $625\mu\text{m}$ に薄化する。

[0060] （Siベース層薄化工程）

Siベース層薄化工程は、第3Siベース層312を薄くする。具体的には、Siベース層薄化工程では、図4Fに示すように、樹脂封止部薄化工程と同様の方法で、第3Siベース層312を研削して、第3Siベース層312を薄化し研削面を平坦化する。Siベース層薄化工程では、第3Siサポート340で第3Siベース層312を担持した状態で薄化するため、第3Siベース層312を効果的に薄くすることができる。これにより、本実施形態に係る複合部品デバイス1の製造方法は、電子部品モジュールに優れ、かつ低背化や小型化した複合部品デバイス1を製造することができる。研削量は、上記弊害を防止して、例えば、一定の強度が維持できる範囲で可能な限り多い方が好ましい。研削面の平坦化のばらつきを考慮して、薄化後の第3Siベース層312の厚みは、 $3\mu\text{m}$ 以上が好ましい。

[0061] （誘電膜形成工程）

誘電膜形成工程では、図4G、図4Hおよび図4Iに示すように、所定のパターンを有する誘電膜320aを第3Siベース層312上に形成する。

ここで、図4G～図4Iは、図4FのC部に対応する部分の拡大図である。図4J～図4Mも同様である。また、図4G～図4Mは、主に第3Si貫通ビア317および第3再配線層320の形成に関する図であるため、便宜上、第3Si貫通ビア317、第3再配線層320およびそれらが形成される箇所が大きく占めるように拡大していることに留意されたい。

[0062] 具体的には、プラズマ励起化学気相成長（plasma-enhanced chemical vapor deposition：PECVD）のような気相成長（CVD）法を使用して、図4Gに示すように、第3Siベース層312の全面に誘電膜（厚み $0.1\sim 0.2\mu\text{m}$ ）320aを形成する。誘電膜320aは、1層以上を形成してもよい。例えば、4層の誘電膜320aを形成する場合、第3Siベース層

312側から順に、 $\text{SiO}_2: 0.25\mu\text{m}/\text{Si}_3\text{N}_4: 0.1\mu\text{m}/\text{SiO}_2: 0.25\mu\text{m}/\text{Si}_3\text{N}_4: 0.1\mu\text{m}$ とすることができる。

また、誘電膜形成工程は、誘電膜320aの形成前に第3Siベース層312の表面を洗浄することができる。洗浄は、例えば、ウェット洗浄、および酸素プラズマアッシングである。

[0063] 次いで、図4Hおよび図4Iに示すように、フォトリソグラフィ法を用いて誘電膜320aをパターンニングする。液体レジストをスピコートして、誘電膜320a全面にフォトレジスト膜360を形成する。所定のパターンに対応するマスクを介してフォトレジスト膜360を露光する。露光されたフォトレジスト膜360を現像する。RIE（反応性エッチング：Reactive Ion Etching）を用いて、フォトレジスト膜360の誘電膜320aを選択的に除去する。例えば、上述した4層の誘電膜320aを形成した場合、誘電膜320aの表面側（誘電膜320aにおいて第3Siベース層312側に対向する面側）の2層を選択的に除去する。その後、フォトレジスト膜360を剥離する。これにより、所定のパターンを有する誘電膜320aが第3Siベース層312に形成される。誘電膜320aはまた、後述する図4Lに示す2つの第3Si貫通ビア317間を電氣的に絶縁する絶縁膜として機能する。

なお、第3Siベース層312の第1主面312aは、さらにマーク層を有してもよい。マーク層を赤外線（IR）カメラで検知して、フォトリソグラフィ法における位置合わせをすることができる。

[0064] （貫通孔形成工程）

貫通孔形成工程では、薄化した第3Siベース層312および第3電子部品接着層315に貫通孔312c、315cを形成して、第3部品電極311dの表面の一部を露出させる。具体的には、貫通孔形成工程では、フォトレジスト膜360を全面に形成する。第3Si貫通ビア317のパターンに対応するマスクを介してフォトレジスト膜360を露光する。露光されたフォトレジスト膜360を現像して、図4Jに示すような所定のパターンを有

するフォトリジスト膜360を形成する。図4Kに示すように、フォトリジスト膜360の開口部360aからZ方向に存在する第3Siベース層312および第3電子部品接着層315を選択的に除去（エッチング）する。エッチングは、例えば、RIEおよびレーザー照射を用いて実施する。これにより貫通孔312c、315cが形成され、第3部品電極311d（の上面の一部）が露出する。ここで、ZX断面における第3電子部品接着層315の貫通孔315cは略楕円形状を有する。略楕円形状とは、本明細書において、厳密な楕円形状だけでなく、製造時のエッチング条件等の現実のバラツキ等を考慮した類似の楕円形状も含む。これは、第3電子部品接着層315を構成する材料が、第3Siベース層312を構成する材料に比べ、エッチングされやすいためである。これにより、後続のSi貫通ビア形成工程において略楕円形状の延出部317bが形成される。貫通孔312c、315cの形成後、フォトリジスト膜360を除去する。エッチング手段としては、好ましくはRIEである。エッチング手段としてRIEを用いることで、曝露する第3部品電極311dの上面の平坦性が向上するため、後に形成される第3Si貫通ビア317と良好な接合を形成することができる。これにより電氣的接続性の低下をさらに抑制できる。

[0065] （Si貫通ビア形成工程）

Si貫通ビア形成工程では、貫通孔にSi貫通ビアを形成する。具体的には、貫通孔形成工程では、図4Lに示すように、電気めっきにより貫通孔312c、315cに第3Si貫通ビア317を形成する。デュアル・ダマシン法（より具体的には、Cuデュアル・ダマシン法）を用いて、電解めっき（より具体的には、電解Cuめっき）により貫通孔312c、315cに第3Si貫通ビア317を形成する。これにより、第3電子部品層310が形成される。

[0066] （再配線層形成工程）

再配線層形成工程では、第3再配線層320を形成して第3複合部品層300を作製する。具体的には、再配線層形成工程では、図4Mに示すように

、上述のフォトリソグラフィ法およびエッチングにより、所定のパターンを有する誘電膜 320a および配線 320b を形成して、第 3 再配線層 320 を形成する。なお、図 4M では、第 3 再配線層 320 中に、図 4H で形成した誘電膜 320a および図 4L で形成した配線 320b を組み込んで描写している。図 4N は図 4M を包含する第 3 複合部品層 300 の断面図を示す。図 4M は、図 4N の C' 部拡大図である。

[0067] (積層工程)

積層工程では、上述の絶縁部形成工程～再配線層形成工程によって別の複合部品層（第 1，第 2 複合部品層 100，200）を形成し、該別の複合部品層に電子部品層貫通ビア 116，216 を形成して第 3 複合部品層 300 に該別の複合部品層を積層する。本実施形態では、複合部品層を 2 回積層させる。

具体的には、まず、積層工程では、第 3 複合部品層 300 に第 2 複合部品層 200 を積層する。図 4A～図 4M に示す絶縁部形成工程～再配線層形成工程によって第 2 複合部品層 200 を形成する。第 2 Si サポート 240 が貼合した第 2 複合部品層 200 から第 2 Si サポート 240 を除去して、図 4O に示すように、新たに第 2 複合部品層 200 の第 2 再配線層 220 に第 2 Si サポート 240 を貼合する。図 4P に示すように、第 2 層間接着層 230 によって図 4N に示す第 3 複合部品層 300 に図 4O に示す第 2 複合部品層 200 を貼合する。図 4Q に示すように第 2 Si サポート 240 を除去する。図 4R に示すように第 2 複合部品層 200 に第 2 電子部品層貫通ビア 216 を形成する。第 2 電子部品層貫通ビア 216 は、上述の Si 貫通ビア工程と同様の手段によって形成することができる。これにより、第 2 複合部品層 200 が第 3 複合部品層 300 に積層される。

[0068] 次に、第 1 複合部品層 100 を積層する。第 2 複合部品層 200 と同様に、図 4A～図 4P に示すようにして第 2 複合部品層 200 に第 1 複合部品層 100 を積層する（図 4S 参照）。図 4T に示すように第 1 Si サポート 140 を除去する。図 4U に示すように第 1 複合部品層 100 に第 1 電

子部品層貫通ビア 116 を形成する。第 1 電子部品層貫通ビア 116 は、上述の Si 貫通ビア工程と同様の手段によって形成することができる。これにより、第 1 複合部品層 100 がさらに積層される。

[0069] (ダイシング工程)

ダイシング工程は、図 4 V に示すようにダイシングしてマザー集積体を個片化し、第 3 Si サポート 340 を除去する。これにより、複合部品デバイス 1 が製造される。

[0070] <第 2 実施形態>

[複合部品デバイスの構成]

第 2 実施形態に係る複合部品デバイスは、第 1 実施形態に係る複合部品デバイスに比べ、Si ベース層 112, 212, 312、側壁部 113, 213, 313 および Si 貫通ビア 117, 217, 317 を有しない点、金属層 370 を有する点、ならびに電子部品接着層 115, 215, 315 および電子部品層貫通ビア 116, 216, 316 が異なる点で相違する。この相違する構成を以下で主として説明する。なお、第 2 実施形態において、第 1 実施形態と同一の符号は、第 1 実施形態を同じ構成であるため、原則としてその説明を省略する。

[0071] 第 2 実施形態に係る複合部品デバイスの構成を図 5 および図 6 を参照して説明する。図 5 は、本開示の第 2 実施形態に係る複合部品デバイスの断面を模式的に示した図である。第 1 実施形態と同様に、第 2, 第 3 複合部品層 200, 300 の構成は、第 1 複合部品層 100 とほぼ同じであるため、以下、第 1 複合部品層 100 について主として説明する。ただし、第 1 複合部品層 100 と相違する事項について、第 2, 第 3 複合部品層 200, 300 に言及することがある。

[0072] (電子部品層)

第 1 電子部品層 110 は、第 1 電子部品 111 と、第 1 電子部品層貫通ビア 116 A とを有し、さらに、第 1 樹脂封止部 114 と、第 1 電子部品接着層 115 A とを有する。

[0073] ー電子部品ー

第1電子部品111は、第1再配線層120Aに支持されている。第1電子部品111の第1部品電極111dは、第1再配線層120と直接的に電気接続している（に直接接合している）。

[0074] ー電子部品接着層ー

複合部品層が別の複合部品層の再配線層と接続している場合、複合部品層内に配置される1以上の電子部品は、電子部品接着層によって別の複合部品層の再配線層に接着される。より具体的には、第1電子部品接着層115Aは、第1電子部品111の第2面111bを第2複合部品層200の第2再配線層220Aに接着させる。第2電子部品接着層215Aは、第2電子部品211の第2面211bを第3複合部品層300の第3再配線層320に接着させる。一方、第3電子部品接着層315Aは、第3電子部品311の第2面311bを金属層370に接着させる。

[0075] ー電子部品層貫通ビアー

第1電子部品層貫通ビア116Aは、柱状配線（より具体的には、Cuピラー）である。第1電子部品層貫通ビア116AのXY平面における断面積は、第1実施形態での第1電子部品層貫通ビア116に比べ、大きい。第1電子部品層貫通ビア116AのXY平面における断面径は、例えば、35～100 μ mである。第1電子部品層貫通ビア116Aの数は断面視で全部で4本であり、第1複合部品層100の各端部にそれぞれ2本配置されている。

[0076] 複合部品デバイス1Aの厚み方向に垂直な面における第1電子部品層貫通ビア116Aの断面積は、第1電子部品111の第2面111bから第1面111aに向かって増加してもよい。つまり、第1電子部品層貫通ビア116AのZX断面における形状（ZX断面形状）は、複合部品層100、200、300の積層方向に対してテーパ形状であってもよい。より具体的には、第1電子部品層貫通ビア116AのXY平面における断面積（XY断面積）は、第2面111bから第1面111aに向かって減少してもよい。

[0077] (再配線層)

第1再配線層120Aは、第1部品電極111dと直接接合している。第1再配線層120Aは、第1部品電極111dと直接接合していると、第1再配線層120Aと第1部品電極111dとの間のビア配線の長さをさらに減少できるため、複合部品デバイスをさらに小型化および低背化でき、ビア配線の電気抵抗も低下できる。

[0078] 第1再配線層120Aは、有機材料（有機絶縁材料）から実質的に構成される誘電膜と、配線（導電配線）とを有する。ここで、誘電膜が有機材料から実質的に構成されるとは、本明細書において、誘電膜が99質量%以上の割合で有機材料を含むことをいう。

誘電膜は、絶縁材料としての有機絶縁材料で実質的に構成されている。有機絶縁材料としては、例えば、エポキシ樹脂、シリコン樹脂、ポリエステル、ポリプロピレン、ポリイミド、アクリロニトリルブタジエンスチレン（ABS）樹脂、アクリロニトリルスチレン（AS）樹脂、メタクリル樹脂、ポリアミド、フッ素樹脂、液晶ポリマー、ポリブチレンテレフタレート、およびポリカーボネートが挙げられる。誘電膜を構成する絶縁材料が有機絶縁材料であると、誘電体膜は、例えば、PECVDのような方法を使用しないで形成されるため、第1実施形態に係る複合部品デバイス1に比べ、コストを低減することができる。

無機材料から実質的に構成される誘電膜を含む第1再配線層120Aのライン・アンド・スペース（L/S）は、例えば、 $10\mu\text{m}/10\mu\text{m}$ である。誘電膜の厚みは、例えば、 $1\sim 20\mu\text{m}$ である。

[0079] (金属層)

第3複合部品層300は、金属層370を有する。金属層370は、複合部品デバイス1Aの電磁シールドとして機能する。

[0080] [複合部品デバイスの製造方法]

第2実施形態に係る複合部品デバイス1Aの製造方法の一例を説明する。

第2実施形態に係る複合部品デバイス1Aの製造方法は、例えば、

S i サポート（S i サポート基材）に 1 以上の電子部品の第 2 面が電子部品接着層を介して接触するように、S i サポートに 1 以上の電子部品を接着させる電子部品接着工程と、

1 以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

樹脂封止部を薄くして部品電極の表面全体を露出させる樹脂封止部薄化工程と、

再配線層を形成して複合部品層を作製する再配線層形成工程と、

複合部品層上に電子部品層貫通ビアを形成し、複合部品層に 1 以上の電子部品の第 2 面が電子部品接着層を介して接触するように、複合部品層に 1 以上の電子部品を接着させ、1 以上の電子部品を樹脂で封止して樹脂封止部を形成し、樹脂封止部を薄くして部品電極の表面全体を露出させ、再配線層を形成して複合部品層に別の複合部品層を積層する積層工程とを含んで成り、

前記積層工程が少なくとも 1 回実行される。

[0081] 第 2 実施形態に係る複合部品デバイス 1 A の製造方法は、さらに、

絶縁部を形成する絶縁部形成工程と、

ダイシングにより個片化するダイシング工程と

を含んで成ってもよい。

[0082] 具体的に、図 6 A ～図 6 O を参照して、複合部品デバイス 1 A の製造方法の一例について説明する。図 6 A ～図 6 O は、複合部品デバイス 1 A の製造方法を説明するための図である。第 2 実施形態に係る複合部品デバイス 1 A の製造方法は、時系列の順に、絶縁部形成工程と、電子部品接着工程と、電子部品封止工程と、樹脂封止部薄化工程と、再配線層形成工程と、積層工程と、ダイシング工程とを含む。これらの工程のうち、絶縁部形成工程（図 10 A および図 10 B 参照）、電子部品封止工程（図 6 B 参照）、ダイシング工程（図 6 O 参照）は第 1 実施形態の対応する工程とそれぞれ実質的に同じであるため、割愛する。

[0083] (電子部品接着工程)

電子部品接着工程では、第3 Si サポート 340 に1以上の第3 電子部品 311 の第2面 311 b が第3 電子部品接着層 315 A を介して接触するように、第3 Si サポート 340 に1以上の第3 電子部品 311 を接着させる。具体的には、電子部品接着工程では、図6 Aに示すように、(第1実施形態の絶縁部形成工程と同様にして第3 絶縁部 311 e を形成した) 第3 電子部品 311 の第2面 311 b に第3 電子部品接着層 315 A (厳密には、接着剤の塗布膜) を形成し、塗布膜を介して第3 Si サポート 340 (厳密には、接着層 350 を介して金属層 370 が配置された第3 Si サポート 340) に1以上の第3 電子部品 311 を配置(搭載)する。次いで、第3 電子部品接着層 315 A を硬化させる。これにより、1以上の第3 電子部品 311 を第3 Si サポート 340 上に接着させる。

[0084] (樹脂封止部薄化工程)

樹脂封止部薄化工程では、第3 樹脂封止部 314 を薄くして第3 部品電極 311 d の表面全体を露出させる。具体的には、樹脂封止部薄化工程では、図6 Cに示すように、Si ウェハのバックグラインダを用いて、第3 樹脂封止部 314 を研削して薄化する。これにより、第3 部品電極 311 d の表面全体を露出させる。なお、本工程では、部品電極 311 d および第3 絶縁部 311 e の一部を研削してもよい。

[0085] (再配線層形成工程)

再配線層形成工程は、第3 再配線層 320 A を形成して第3 複合部品層 300 を作製する。具体的には、再配線層形成工程では、図6 Dに示すように、フォトリソグラフィ法を用いて、所定のパターンを有する誘電膜および配線を形成して、第3 再配線層 320 A を形成する。第2実施形態では、誘電膜の形成に、比較的高価なPVCVD等の装置を用いないため、コストを低減することができる。

[0086] (積層工程)

積層工程は、第3 複合部品層 300 上に第2 電子部品層貫通ビア 216 A

を形成し、第3複合部品層300に1以上の第2電子部品211の第2面211bが第2電子部品接着層215Aを介して接触するように、第3複合部品層300に1以上の第2電子部品211を接着させ、1以上の第2電子部品211を樹脂で封止して第2樹脂封止部214を形成し、第2樹脂封止部214を薄くして第2部品電極311dの表面全体を露出させ、第2再配線層220Aを形成して第3複合部品層300に別の複合部品層（第1，第2複合部品層100，200）を積層する。積層工程は2回実行される。

[0087] 具体的には、積層工程では、まず、第3複合部品層300に第2複合部品層200を積層する。図6Eに示すように、第3複合部品層300上に第2電子部品層貫通ビア216Aを形成する。詳しくは、第3複合部品層300の第3再配線層320A（の全面）にドライフィルムレジスト（DFR）をラミネートする。フォトリソグラフィーにより、DFRを貫通して開口部を設ける。Cuビアめっきにより、開口部に第2電子部品層貫通ビア216Aを形成する。DERを剥離する。これにより、第3複合部品層300上に第2電子部品層貫通ビア216Aを形成する。

[0088] 電子部品接着工程と同様にして、図6Fに示すように、第3複合部品層300に1以上の第2電子部品211の第2面211bが第2電子部品接着層215Aを介して接触するように、第3複合部品層300に1以上の第2電子部品211を接着させる。

[0089] 電子部品封止工程と同様にして、図6Gに示すように、1以上の第2電子部品211を樹脂で封止して第2樹脂封止部214を形成する。樹脂封止部薄化工程と同様にして、図6Hに示すように、第2樹脂封止部214を薄くして第2部品電極211dおよび第2絶縁部211eの表面全体を露出させる。再配線層形成工程と同様にして、図6Iに示すように、第2再配線層220Aを形成する。これにより、第3複合部品層300に第2複合部品層200を積層する。

[0090] 次いで、第2複合部品層200に第1複合部品層100を積層する。上述の積層工程における第2複合部品層200の形成と同様にして、図6J～図

6 Nに示すように、第2複合部品層200に第1複合部品層100を積層する。

[0091] 図60に示すダイシング工程を経て、第2実施形態に係る複合部品デバイス1Aが製造される。

[0092] <第3実施形態>

[複合部品デバイスの構成]

第3実施形態に係る複合部品デバイスは、第1実施形態に係る複合部品デバイスに比べ、Siベース層112、212、312、電子部品接着層115、215、315およびSi貫通ビア117、217、317を有しない点、ならびに電子部品層貫通ビア116、216、316が異なる点で相違する。この相違する構成を以下で主として説明する。なお、第3実施形態において、第1、第2実施形態と同一の符号は、第1、第2実施形態とそれぞれ同じ構成であるため、原則としてその説明を省略する。

[0093] 第3実施形態に係る複合部品デバイスの構成を図7および図8を参照して説明する。図7は、本開示の第3実施形態に係る複合部品デバイスの断面を模式的に示した図である。図8は、図7のD部拡大図である。第1実施形態と同様に、第2、第3複合部品層200、300の構成は、第1複合部品層100とほぼ同じであるため、以下、第1複合部品層100について主として説明する。ただし、第1複合部品層100と相違する事項について、第2、第3複合部品層200、300に言及することがある。第1複合部品層100は、第1電子部品層110と、第1電子部品層110に設けられた再配線層120Aとを有する。

[0094] (電子部品層)

第1電子部品層110は、第1電子部品111と、第1電子部品層貫通ビア116Bとを有し、さらに第1側壁部113と、第1樹脂封止部114とを有する。

[0095] ー電子部品層貫通ビアー

第1電子部品層貫通ビア116Bは第1電子部品層110の第1側壁部1

13をZ方向に貫通し、さらに第1層間接着層130も貫通する。第1電子部品層貫通ビア116Bは、第1層間接着層130を貫通する接着層導電ビア116aと、第1側壁部113を貫通する側壁部貫通ビア116bとを有する。

[0096] [複合部品デバイスの製造方法]

第3実施形態に係る複合部品デバイス1Bの製造方法の一例を説明する。

第3実施形態に係る複合部品デバイス1Bの製造方法は、例えば、

格子状の側壁部を有するSiベース層の底面部に1以上の電子部品の複数の部品電極が電子部品接着層を介して接触するように、Siベース層に1以上の電子部品を接着させる電子部品接着工程と、

1以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

再配線層を形成して複合部品層を作製する再配線層形成工程と、

電子部品接着工程、電子部品封止工程および再配線層形成工程によって別の複合部品層を形成し、別の複合部品層の側壁部に電子部品層貫通ビアを形成して、複合部品層に別の複合部品層を積層する積層工程と、
を含んで成り、

積層工程が少なくとも1回実行される。

[0097] 第3実施形態に係る複合部品デバイス1Bの製造方法は、

Siベース層および電子部品接着層を除去して部品電極の表面全体を露出させるSiベース層除去工程
をさらに含んで成る。

[0098] 第3実施形態に係る複合部品デバイス1Bの製造方法は、さらに、

Siベース層を準備するSiベース層準備工程と、

絶縁部を形成する絶縁部形成工程と、

樹脂封止部を薄くする樹脂封止部薄化工程と、

電子部品層にSiサポートを貼合するSiサポート貼合工程と、

ダイシングにより個片化するダイシング工程と

を含んで成ってもよい。

[0099] 具体的に、図 9 A～図 9 J を参照して、複合部品デバイス 1 B の製造方法の一例について説明する。図 9 A～図 9 J は、複合部品デバイス 1 B の製造方法を説明するための図である。第 3 実施形態に係る複合部品デバイス 1 B の製造方法は、絶縁部形成工程と、S i ベース層準備工程と、電子部品接着工程と、電子部品封止工程と、樹脂封止部薄化工程と、S i サポート貼合工程と、S i ベース層除去工程と、再配線層形成工程と、積層工程と、ダイシング工程とを含んで成る。

[0100] (絶縁部形成工程～S i サポート貼合工程)

第 1 実施形態と同様に、絶縁部形成工程～S i サポート貼合工程を実行する(参照：図 4 A～図 4 E)。

[0101] (S i ベース層除去工程)

S i ベース層除去工程では、第 3 S i ベース層 3 1 2 および第 3 電子部品接着層 3 1 5 を除去して第 3 部品電極 1 1 1 d の表面全体を露出させる。具体的には、S i ベース層除去工程では、図 9 A に示すように、第 1 実施形態での S i ベース層薄化工程と同じ手段を用いて、第 3 S i ベース層 3 1 2 および第 3 電子部品接着層 3 1 5 を除去する。

[0102] (再配線層形成工程)

再配線層形成工程では、第 3 再配線層 3 2 0 A を形成する。具体的には、再配線層形成工程では、第 2 実施形態での再配線層形成工程と同じ手段を用いて、図 9 B に示すように、第 3 再配線層 3 2 0 A を形成する。これにより、第 3 複合部品層 3 0 0 が形成される。

[0103] (積層工程)

積層工程は、図 9 C～図 9 I に示すように、第 1 実施形態の積層工程と同様にして、上述の絶縁部形成工程～再配線層形成工程によって別の複合部品層(第 1, 第 2 複合部品層 1 0 0, 2 0 0)を形成し、該別の複合部品層に電子部品層貫通ビア 1 1 6 B, 2 1 6 B を形成して第 3 複合部品層 3 0 0 に該別の複合部品層を積層する。

[0104] (ダイシング工程)

第1実施形態と同様に、ダイシング工程を実行する(参照:図9J)。これにより、複合部品デバイス1Bが製造される。

[0105] <その他の実施形態>

本開示は上述の実施形態に限定されず、本開示の要旨を逸脱しない範囲で設計変更可能である。また、第1～第3実施形態の構成を様々に組み合わせてもよい。

[0106] 第1～第3実施形態では、3つの複合部品層を備える複合部品デバイス1, 1A, 1Bであったが、これに限定されない。例えば、複合部品デバイスは、2つまたは4つ以上の複合部品層を備えてもよい。このような場合、複合部品デバイスの製造方法において積層工程を1回または3回以上実行する。本開示に係る複合部品デバイスは、各複合部品層の構成がほぼ同じであるため、配線設計が複雑となりにくく、複合部品層間を容易に電氣的に接続しやすい。よって、複合部品層を3以上積層しても配線を容易に形成できる。このため、回路設計において内蔵する電子部品の数や種類等の制限がかかりにくく、設計の自由度が高い。多様な回路構成が可能となり、適用される用途範囲がより広がる。

[0107] 第1～第3実施形態では、複合部品デバイスは、同じ種類の電子部品を各複合部品層に2つずつ有していたが、これに限定されない。例えば、複合部品デバイスは、異なる種類の電子部品を有してもよく、1つまたは3以上の電子部品を各複合部品層に有してもよい。また、複合部品デバイスは、各複合部品層で異なる数の電子部品を有してもよい。このため、回路設計において内蔵する電子部品の数や種類等の制限がかかりにくく、設計の自由度が高い。多様な回路構成が可能となり、適用される用途範囲がより広がる。

[0108] 本開示に係る複合部品デバイスおよびその製造方法の態様は、以下の通りである。

<1>

電子部品層と該電子部品層に設けられた再配線層とを有する2以上の複合

部品層を備えた複合部品デバイスであって、

前記 2 以上の複合部品層は、前記電子部品層と前記再配線層とが交互に配置されるように厚み方向に積層し、

前記電子部品層は、

前記厚み方向に垂直な第 1 面および該第 1 面に対向する第 2 面を有する電子部品本体部と該第 1 面に配置される複数の部品電極とを有する 1 以上の電子部品

を有し、

前記 1 以上の電子部品の前記部品電極は前記再配線層に電氣的に接続されており、

前記 2 以上の複合部品層のうちの別の複合部品層の再配線層に隣接する複合部品層における電子部品層は、

該別の複合部品層の該再配線層に電氣的に接続する電子部品層貫通ビアをさらに有する、複合部品デバイス。

< 2 >

前記電子部品層貫通ビアは、実質的に銅から成る、< 1 >に記載の複合部品デバイス。

< 3 >

前記電子部品層は、前記 1 以上の電子部品を封止する樹脂封止部をさらに有する、< 1 >または< 2 >に記載の複合部品デバイス。

< 4 >

前記複合部品デバイスに含まれるすべての電子部品は、その第 1 面が第 2 面に対して再配線層側に位置するように、前記 2 以上の複合部品層内に配置されている、< 1 >~< 3 >のいずれか 1 つに記載の複合部品デバイス。

< 5 >

前記電子部品層は、

前記 1 以上の電子部品を取り囲むように配置され、前記電子部品層貫通ビアが貫通する側壁部

をさらに有する、＜1＞～＜4＞のいずれか1つに記載の複合部品デバイス。

＜6＞

前記電子部品層は、

前記1以上の電子部品を支持するS i ベース層と、

前記S i ベース層を貫通して前記部品電極と前記再配線層とを電氣的に接続するS i 貫通ビアと

をさらに有する、＜1＞～＜5＞のいずれか1つに記載の複合部品デバイス。

＜7＞

前記再配線層は、無機材料から実質的に構成される誘電膜を有する、＜1＞～＜6＞のいずれか1つに記載の複合部品デバイス。

＜8＞

前記複合部品層は前記別の複合部品層と接着層を介して接着し、

前記電子部品層貫通ビアは、前記側壁部を貫通する側壁部貫通ビアと前記接着層を貫通する導電ビアとを有し、

前記導電ビアは、前記電子部品層貫通ビアと前記別の複合部品層の再配線層とを電氣的に接続し、

前記厚み方向に垂直な平面において、前記導電ビアの断面積が前記側壁部貫通ビアの断面積よりも大きい、＜5＞に記載の複合部品デバイス。

＜9＞

前記再配線層は、前記部品電極と直接接合している、＜1＞～＜4＞のいずれか1つに記載の複合部品デバイス。

＜10＞

前記再配線層は、有機材料から実質的に構成される誘電膜を有する、＜1＞～＜5＞および＜9＞のいずれか1つに記載の複合部品デバイス。

＜11＞

前記厚み方向に垂直な面における前記電子部品層貫通ビアの断面積が、前

記第2面から前記第1面に向かって増加する、＜10＞に記載の複合部品デバイス。

＜12＞

＜1＞～＜8＞のいずれか1つに記載の複合部品デバイスを製造する方法であって、

前記複合部品デバイスの前記電子部品層は、

前記1以上の電子部品を取り囲むようにして配置され、前記電子部品層貫通ビアが貫通する側壁部と、

前記1以上の電子部品を一体化させる樹脂封止部とをさらに有し、

格子状の側壁部を有するSiベース層の底面部に前記1以上の電子部品の複数の部品電極が電子部品接着層を介して接触するように、前記Siベース層に前記1以上の電子部品を接着させる電子部品接着工程と、

前記1以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

前記再配線層を形成して複合部品層を作製する再配線層形成工程と、

前記電子部品接着工程、前記電子部品封止工程および前記再配線層形成工程によって別の複合部品層を形成し、該別の複合部品層に電子部品層貫通ビアを形成して、前記複合部品層に別の複合部品層を積層する積層工程とを含んで成り、

前記積層工程が少なくとも1回実行される、複合部品デバイスの製造方法。

＜13＞

前記Siベース層を薄くするSiベース層薄化工程と、

前記薄化したSiベース層および前記電子部品接着層に貫通孔を形成して、前記部品電極の表面の一部を露出させる貫通孔形成工程と、

前記貫通孔にSi貫通ビアを形成するSi貫通ビア形成工程とをさらに含んで成り、

前記S i 貫通ビアは、前記S i ベース層および前記電子部品接着層を貫通し、前記再配線層と前記電子部品の前記部品電極とを電氣的に接続し、

前記再配線層の誘電膜が実質的に無機材料で構成される、＜12＞に記載の複合部品デバイスの製造方法。

＜14＞

前記S i ベース層および前記電子部品接着層を除去して前記部品電極の表面全体を露出させるS i ベース層除去工程をさらに含んで成り、

前記再配線層の前記誘電膜が実質的に有機材料で構成される、＜12＞に記載の複合部品デバイスの製造方法。

＜15＞

＜1＞～＜5＞および＜9＞のいずれか1つに記載の複合部品デバイスを製造する方法であって、

前記複合部品デバイスの前記電子部品層は、前記1以上の電子部品を一体化させる樹脂封止部をさらに有し、

前記再配線層は、前記部品電極と直接接合し、有機材料から実質的に構成される誘電膜をさらに有し、

S i サポートに前記1以上の電子部品の前記第2面が電子部品接着層を介して接触するように、前記S i サポートに前記1以上の電子部品を接着させる電子部品接着工程と、

前記1以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

前記樹脂封止部を薄くして前記部品電極の表面全体を露出させる樹脂封止部薄化工程と、

前記再配線層を形成して複合部品層を作製する再配線層形成工程と、

前記複合部品層上に前記電子部品層貫通ビアを形成し、前記複合部品層に前記1以上の電子部品の前記第2面が電子部品接着層を介して接触するように、前記複合部品層に前記1以上の電子部品を接着させ、該1以上の電子部品を樹脂で封止して樹脂封止部を形成し、該樹脂封止部を薄くして前記部品

電極の表面全体を露出させ、再配線層を形成して前記複合部品層に別の複合部品層を積層する積層工程と、

を含んで成り、

前記積層工程が少なくとも1回実行される、複合部品デバイスの製造方法。

産業上の利用可能性

[0109] 本開示に係る複合部品デバイスは、様々な電子機器に搭載して利用することができる。

符号の説明

[0110] 1, 1 A, 1 B . . . 複合部品デバイス
1 0 0, 2 0 0, 3 0 0 . . . 第1, 第2, 第3複合部品層
1 1 0, 2 1 0, 3 1 0 . . . 第1, 第2, 第3電子部品層
1 1 1, 2 1 1, 3 1 1 . . . 第1, 第2, 第3電子部品
1 1 1 a, 2 1 1 a, 3 1 1 a . . . 第1面
1 1 1 b, 2 1 1 b, 3 1 1 b . . . 第2面
1 1 1 c, 2 1 1 c, 3 1 1 c . . . 第1, 第2, 第3電子部品本体部
1 1 1 d, 2 1 1 d, 3 1 1 d . . . 第1, 第2, 第3部品電極
1 1 1 e, 2 1 1 e, 3 1 1 e . . . 第1, 第2, 第3絶縁部
1 1 2, 2 1 2, 3 1 2 . . . 第1, 第2, 第3 S i ベース層
1 1 2 a, 3 1 2 a . . . 第1主面
1 1 2 b, 3 1 2 b . . . 第2主面
1 1 3, 2 1 3, 3 1 3 . . . 第1, 第2, 第3側壁部
1 1 4, 2 1 4, 3 1 4 . . . 第1, 第2, 第3樹脂封止部
1 1 5, 1 1 5 A, 2 1 5, 2 1 5 A, 3 1 5, 3 1 5 A . . . 第1, 第2, 第3電子部品接着層
1 1 6, 1 1 6 A, 1 1 6 B, 2 1 6, 2 1 6 A, 2 1 6 B . . . 第1, 第2電子部品層貫通ビア
1 1 7, 2 1 7, 3 1 7 . . . 第1, 第2, 第3 S i 貫通ビア

1 2 0, 1 2 0 A, 2 2 0, 2 2 0 A, 3 2 0, 3 2 0 A . . . 第 1,
第 2, 第 3 再配線層

3 2 0 a . . . 誘電膜

3 2 0 b . . . 配線

1 3 0, 2 3 0 第 1, 第 2 層間接着層

1 4 0, 2 4 0, 3 4 0 第 1, 第 2, 第 3 S i サポート

1 5 0, 2 5 0, 3 5 0 接着層

請求の範囲

- [請求項1] 電子部品層と該電子部品層に設けられた再配線層とを有する2以上の複合部品層を備えた複合部品デバイスであって、
- 前記2以上の複合部品層は、前記電子部品層と前記再配線層とが交互に配置されるように厚み方向に積層し、
- 前記電子部品層は、
- 前記厚み方向に垂直な第1面および該第1面に対向する第2面を有する電子部品本体部と該第1面に配置される複数の部品電極とを有する1以上の電子部品
- を有し、
- 前記1以上の電子部品の前記部品電極は前記再配線層に電氣的に接続されており、
- 前記2以上の複合部品層のうちの別の複合部品層の再配線層に隣接する複合部品層における電子部品層は、
- 該別の複合部品層の該再配線層に電氣的に接続する電子部品層貫通ビア
- をさらに有する、複合部品デバイス。
- [請求項2] 前記電子部品層貫通ビアは、実質的に銅から成る、請求項1に記載の複合部品デバイス。
- [請求項3] 前記電子部品層は、前記1以上の電子部品を封止する樹脂封止部をさらに有する、請求項1または2に記載の複合部品デバイス。
- [請求項4] 前記複合部品デバイスに含まれるすべての電子部品は、その第1面が第2面に対して再配線層側に位置するように、前記2以上の複合部品層内に配置されている、請求項1～3のいずれか1項に記載の複合部品デバイス。
- [請求項5] 前記電子部品層は、
- 前記1以上の電子部品を取り囲むように配置され、前記電子部品層貫通ビアが貫通する側壁部

をさらに有する、請求項 1 ～ 4 のいずれか 1 項に記載の複合部品デバイス。

[請求項6] 前記電子部品層は、

前記 1 以上の電子部品を支持する S i ベース層と、

前記 S i ベース層を貫通して前記部品電極と前記再配線層とを電氣的に接続する S i 貫通ビアと

をさらに有する、請求項 1 ～ 5 のいずれか 1 項に記載の複合部品デバイス。

[請求項7] 前記再配線層は、無機材料から実質的に構成される誘電膜を有する、請求項 1 ～ 6 のいずれか 1 項に記載の複合部品デバイス。

[請求項8] 前記複合部品層は前記別の複合部品層と接着層を介して接着し、
前記電子部品層貫通ビアは、前記側壁部を貫通する側壁部貫通ビアと前記接着層を貫通する導電ビアとを有し、

前記導電ビアは、前記電子部品層貫通ビアと前記別の複合部品層の再配線層とを電氣的に接続し、

前記厚み方向に垂直な平面において、前記導電ビアの断面積が前記側壁部貫通ビアの断面積よりも大きい、請求項 5 に記載の複合部品デバイス。

[請求項9] 前記再配線層は、前記部品電極と直接接合している、請求項 1 ～ 4 のいずれか 1 項に記載の複合部品デバイス。

[請求項10] 前記再配線層は、有機材料から実質的に構成される誘電膜を有する、請求項 1 ～ 5 および 9 のいずれか 1 項に記載の複合部品デバイス。

[請求項11] 前記厚み方向に垂直な面における前記電子部品層貫通ビアの断面積が、前記第 2 面から前記第 1 面に向かって増加する、請求項 10 に記載の複合部品デバイス。

[請求項12] 請求項 1 ～ 8 のいずれか 1 項に記載の複合部品デバイスを製造する方法であって、

前記複合部品デバイスの前記電子部品層は、

前記 1 以上の電子部品を取り囲むようにして配置され、前記電子部品層貫通ビアが貫通する側壁部と、

前記 1 以上の電子部品を一体化させる樹脂封止部とをさらに有し、

格子状の側壁部を有する S i ベース層の底面部に前記 1 以上の電子部品の複数の部品電極が電子部品接着層を介して接触するように、前記 S i ベース層に前記 1 以上の電子部品を接着させる電子部品接着工程と、

前記 1 以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

前記再配線層を形成して複合部品層を作製する再配線層形成工程と、

前記電子部品接着工程、前記電子部品封止工程および前記再配線層形成工程によって別の複合部品層を形成し、該別の複合部品層に電子部品層貫通ビアを形成して、前記複合部品層に別の複合部品層を積層する積層工程とを含んで成り、

前記積層工程が少なくとも 1 回実行される、複合部品デバイスの製造方法。

[請求項13]

前記 S i ベース層を薄くする S i ベース層薄化工程と、

前記薄化した S i ベース層および前記電子部品接着層に貫通孔を形成して、前記部品電極の表面の一部を露出させる貫通孔形成工程と、

前記貫通孔に S i 貫通ビアを形成する S i 貫通ビア形成工程とをさらに含んで成り、

前記 S i 貫通ビアは、前記 S i ベース層および前記電子部品接着層を貫通し、前記再配線層と前記電子部品の前記部品電極とを電氣的に接続し、

前記再配線層の誘電膜が実質的に無機材料で構成される、請求項 1

2 に記載の複合部品デバイスの製造方法。

[請求項14]

前記 S i ベース層および前記電子部品接着層を除去して前記部品電極の表面全体を露出させる S i ベース層除去工程をさらに含んで成り、

前記再配線層の誘電膜が実質的に有機材料で構成される、請求項 1 2 に記載の複合部品デバイスの製造方法。

[請求項15]

請求項 1 ～ 5 および 9 のいずれか 1 項に記載の複合部品デバイスを製造する方法であって、

前記複合部品デバイスの前記電子部品層は、前記 1 以上の電子部品を一体化させる樹脂封止部をさらに有し、

前記再配線層は、前記部品電極と直接接合し、有機材料から実質的に構成される誘電膜をさらに有し、

S i サポートに前記 1 以上の電子部品の前記第 2 面が電子部品接着層を介して接触するように、前記 S i サポートに前記 1 以上の電子部品を接着させる電子部品接着工程と、

前記 1 以上の電子部品を樹脂で封止させて樹脂封止部を形成する電子部品封止工程と、

前記樹脂封止部を薄くして前記部品電極の表面全体を露出させる樹脂封止部薄化工程と、

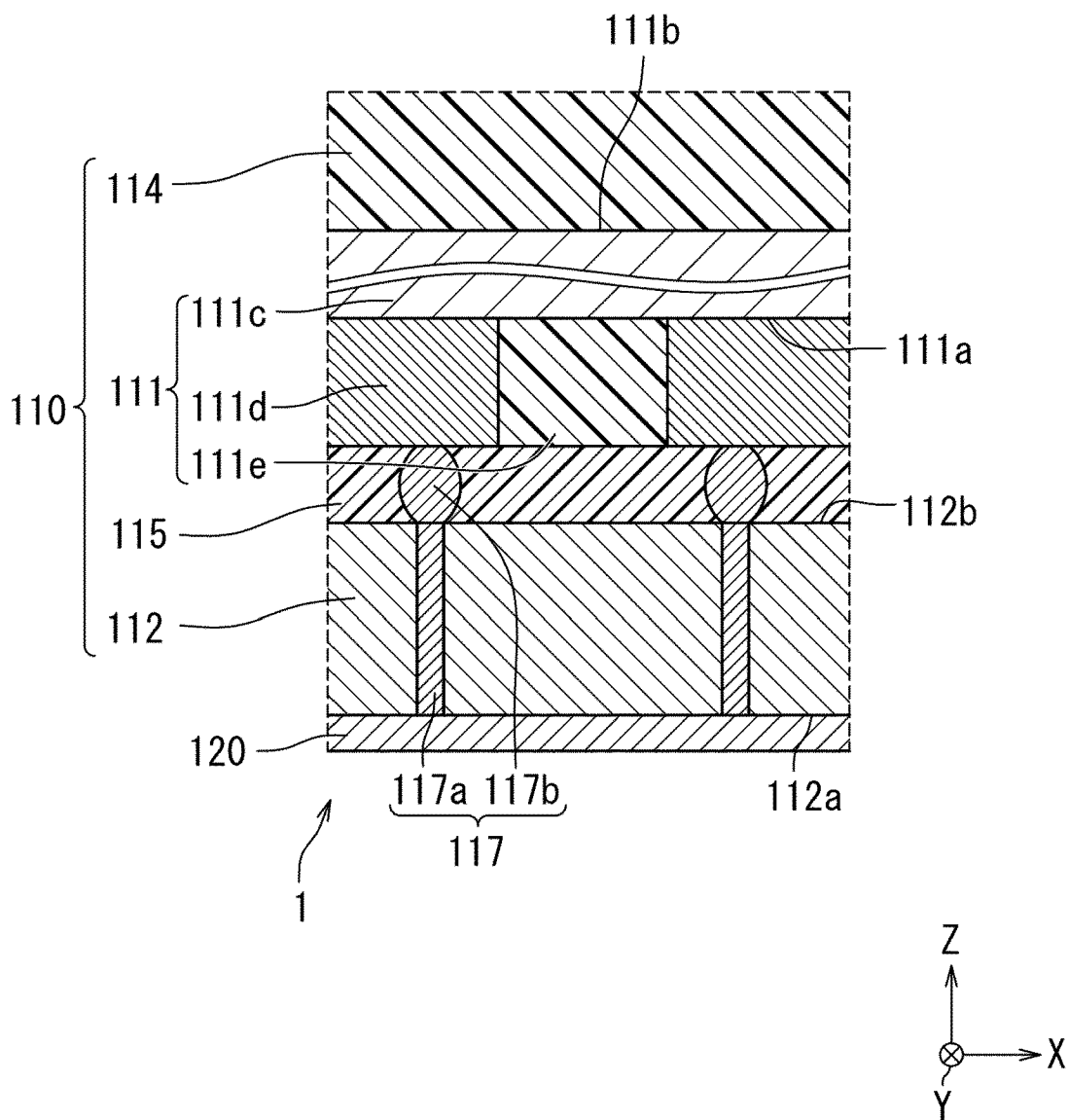
前記再配線層を形成して複合部品層を作製する再配線層形成工程と、

前記複合部品層上に前記電子部品層貫通ビアを形成し、前記複合部品層に前記 1 以上の電子部品の前記第 2 面が電子部品接着層を介して接触するように、前記複合部品層に前記 1 以上の電子部品を接着させ、該 1 以上の電子部品を樹脂で封止して樹脂封止部を形成し、該樹脂封止部を薄くして前記部品電極の表面全体を露出させ、再配線層を形成して前記複合部品層に別の複合部品層を積層する積層工程と、を含んで成り、

前記積層工程が少なくとも 1 回実行される、複合部品デバイスの製造方法。

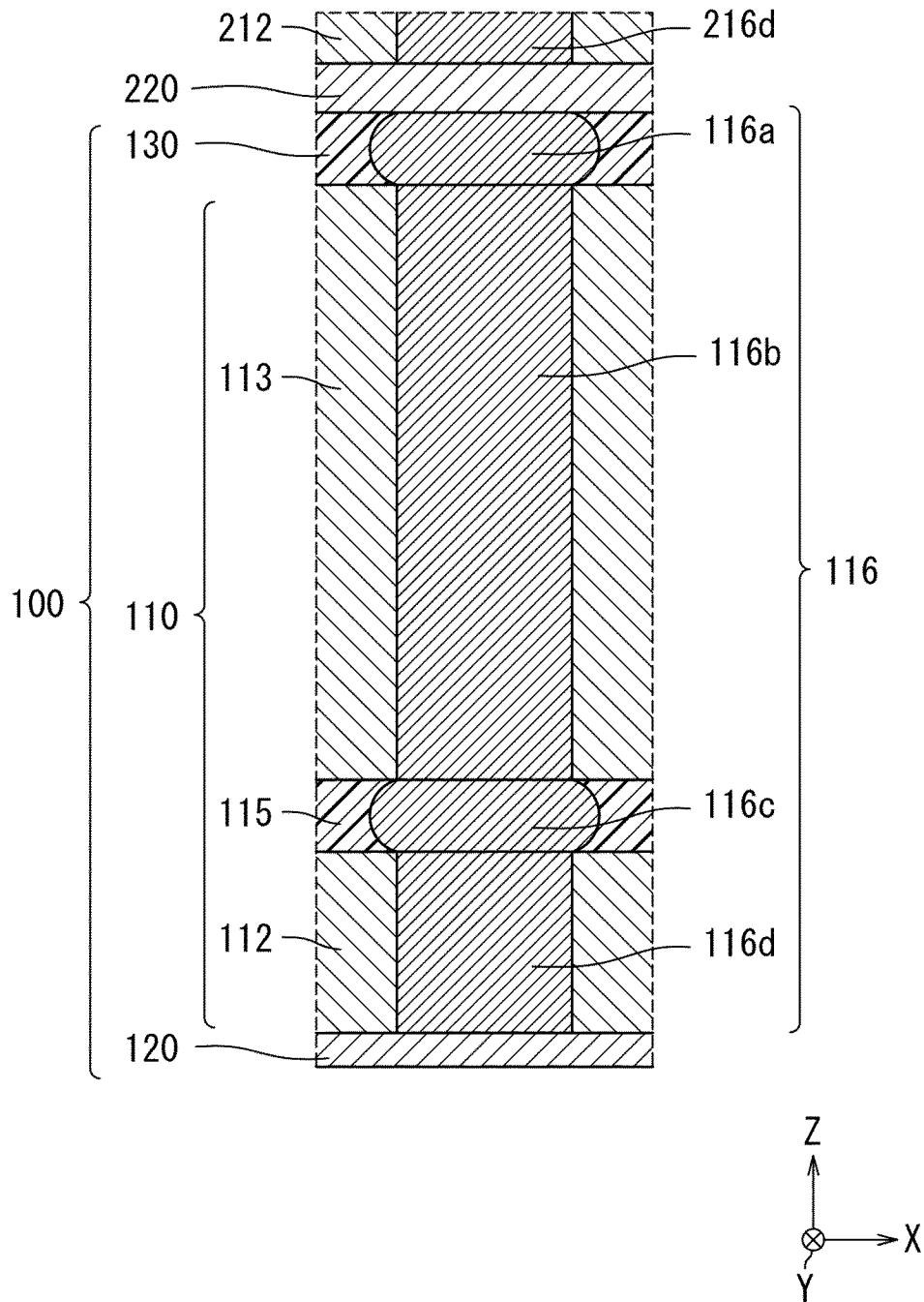
[図2]

図2



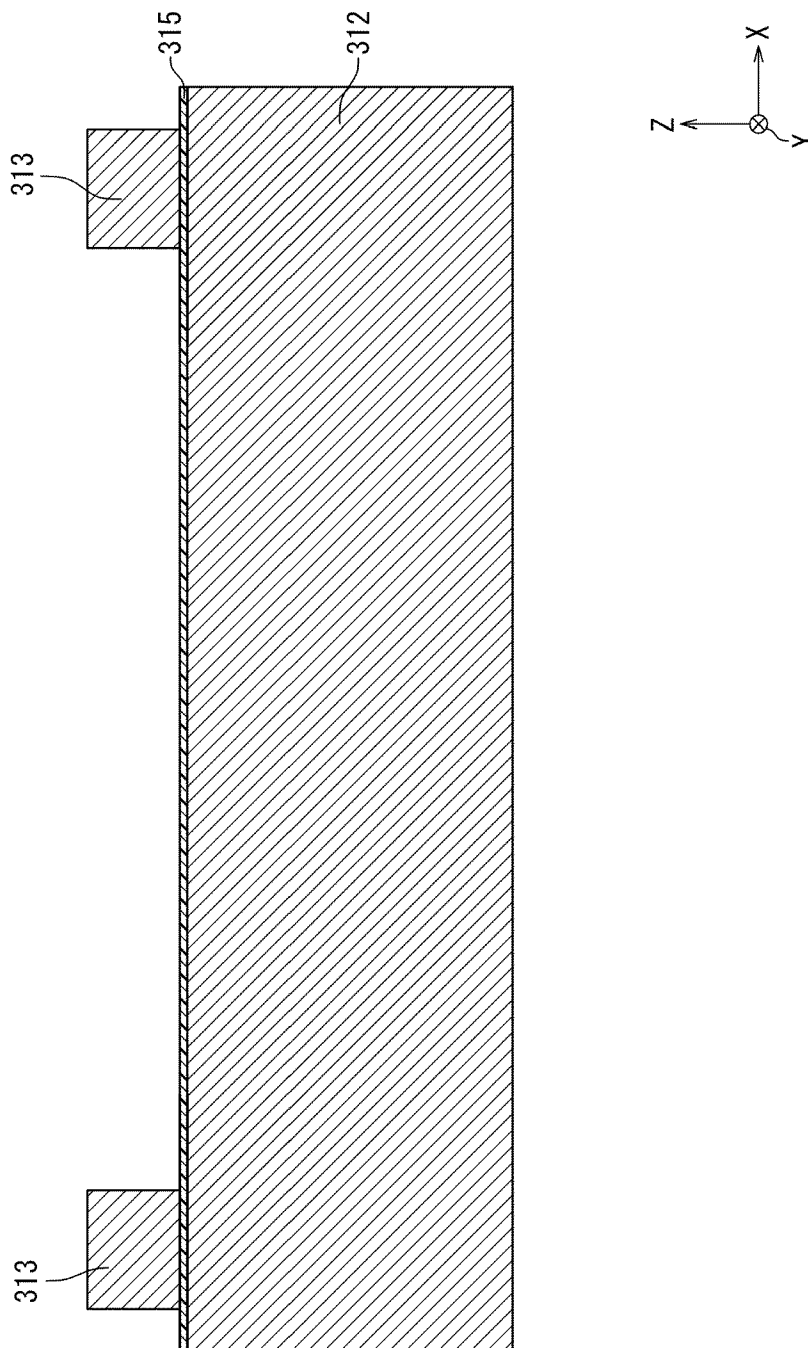
[図3]

図3



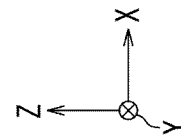
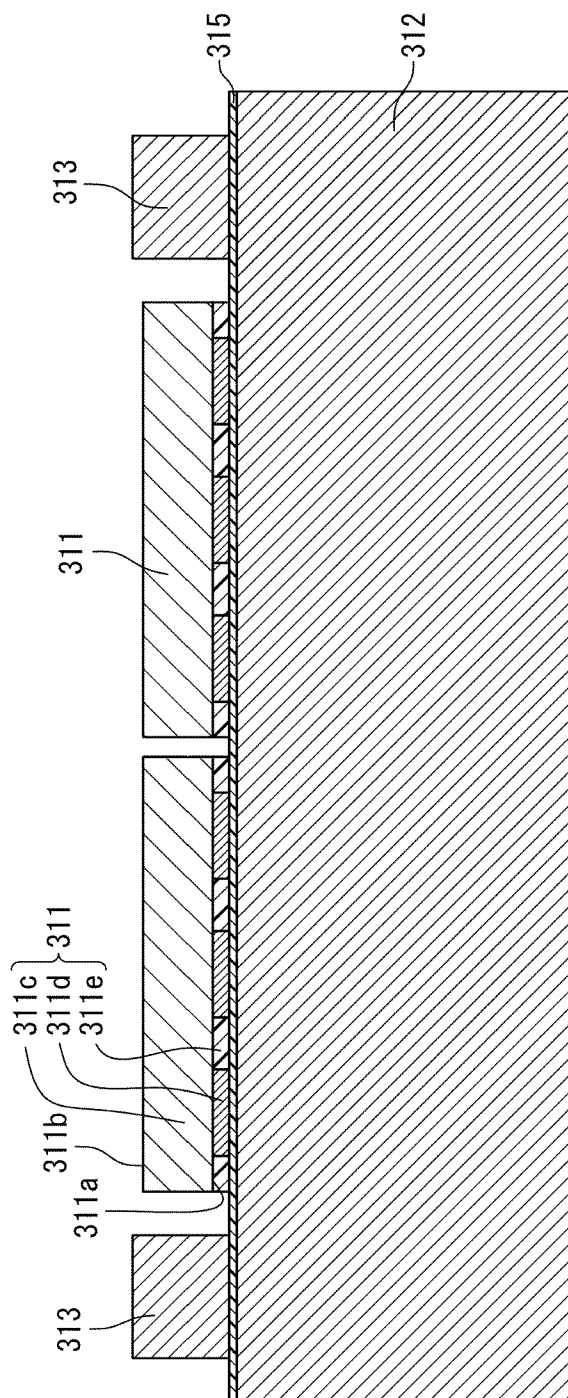
[図4A]

図4A



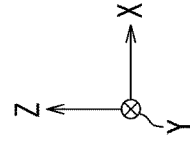
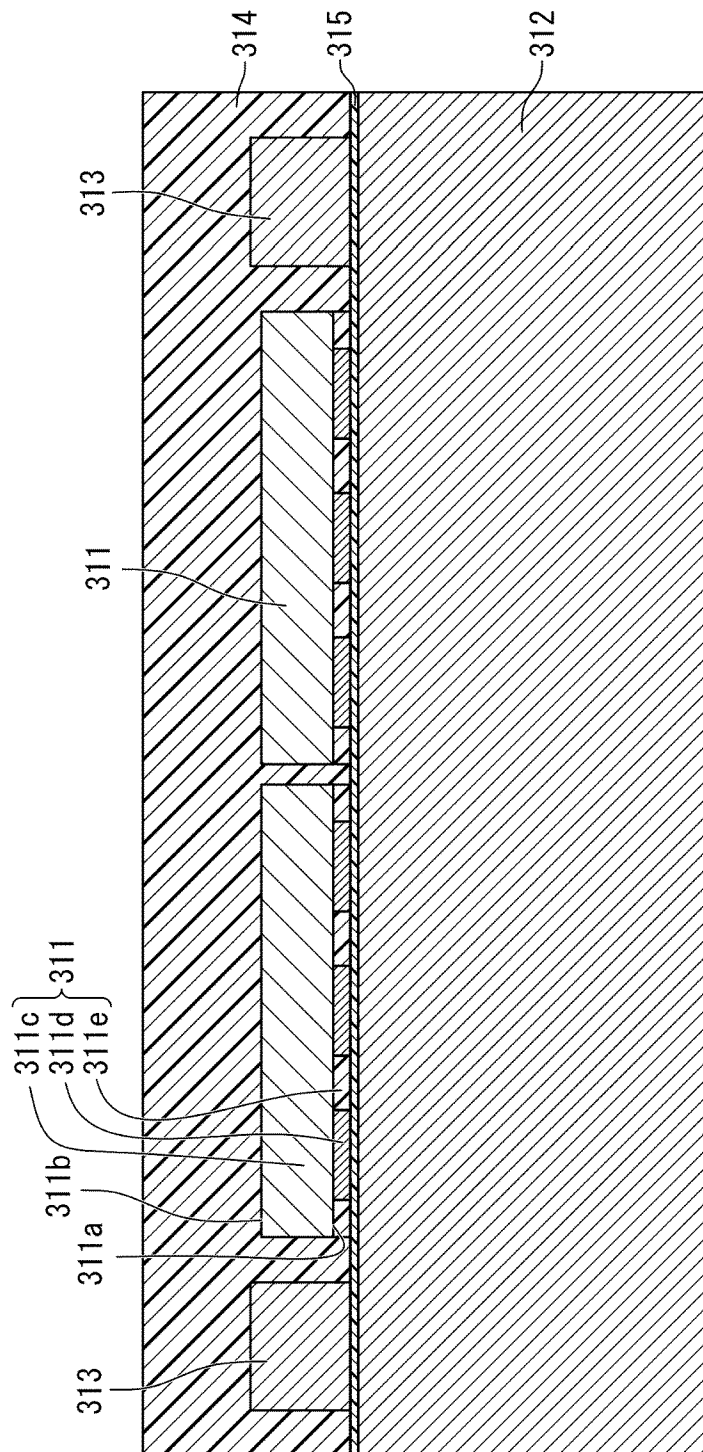
[図4B]

図4B



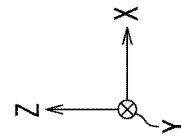
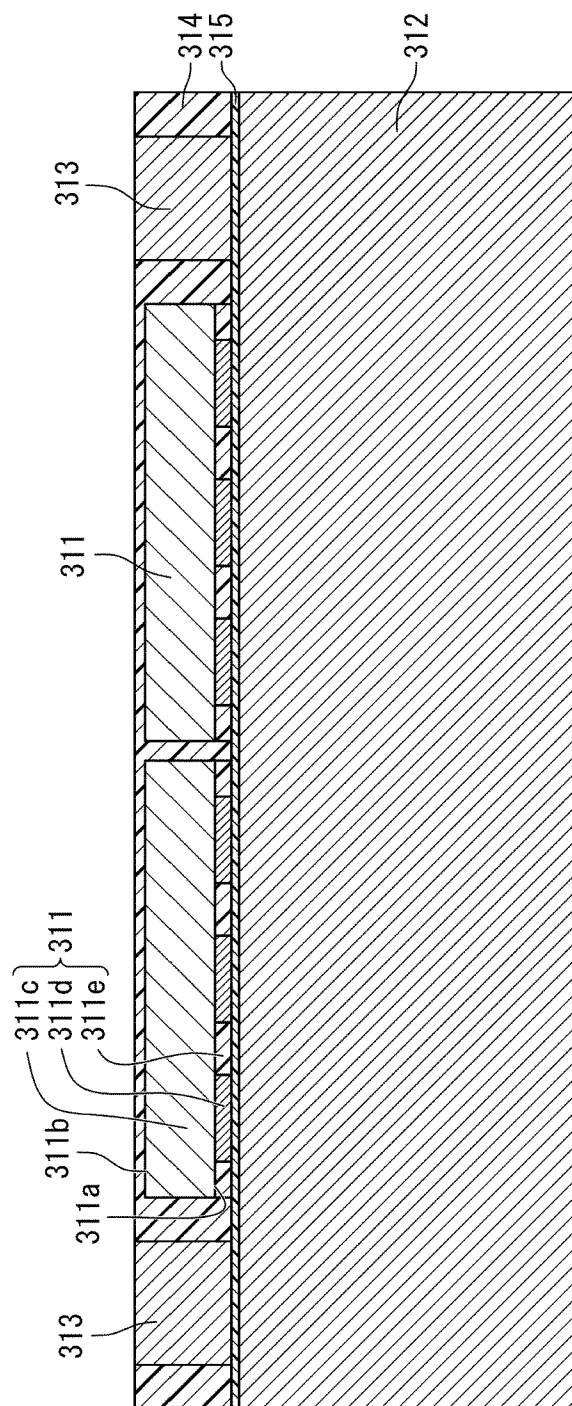
[図4C]

図4C



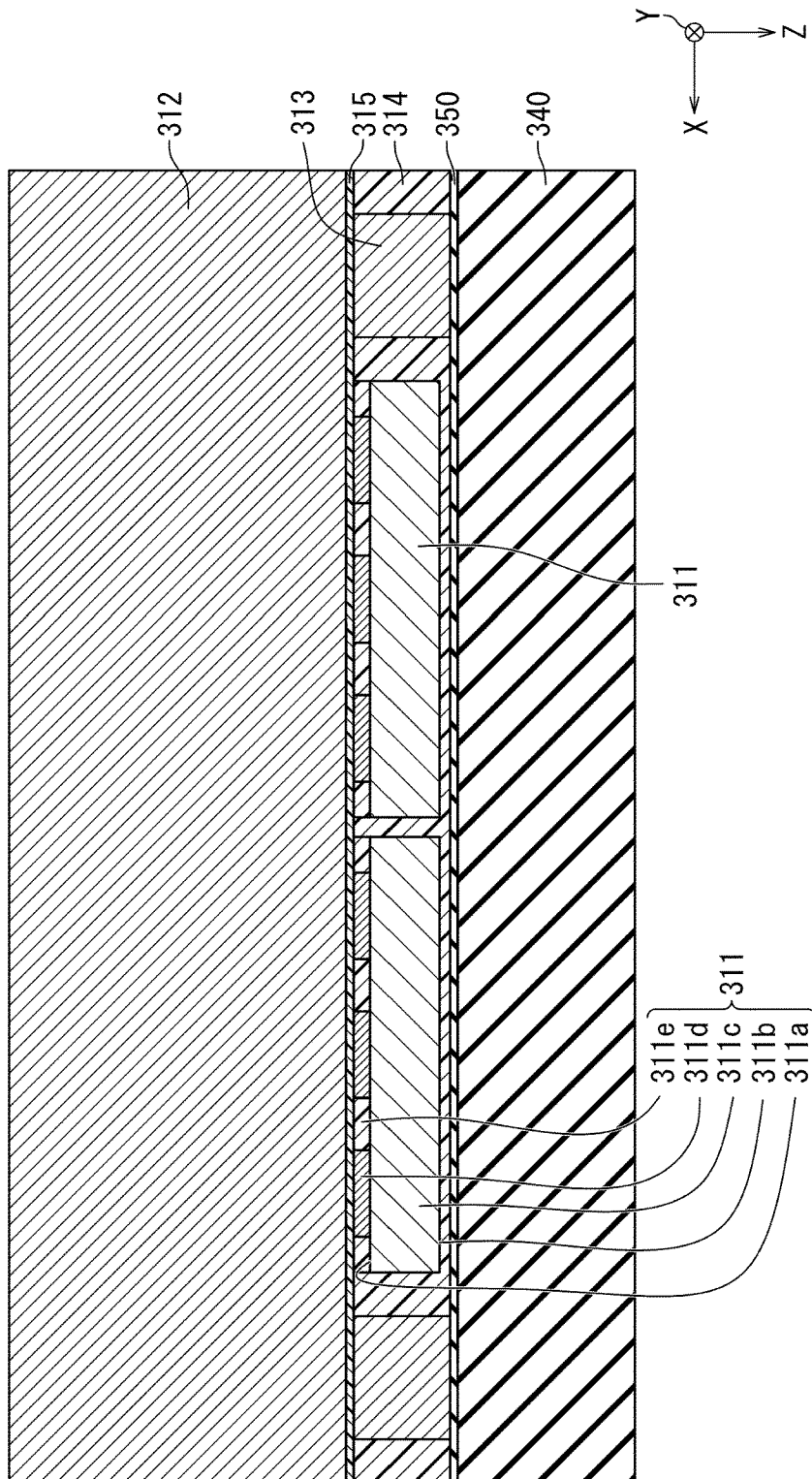
[図4D]

図4D



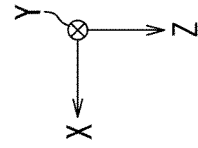
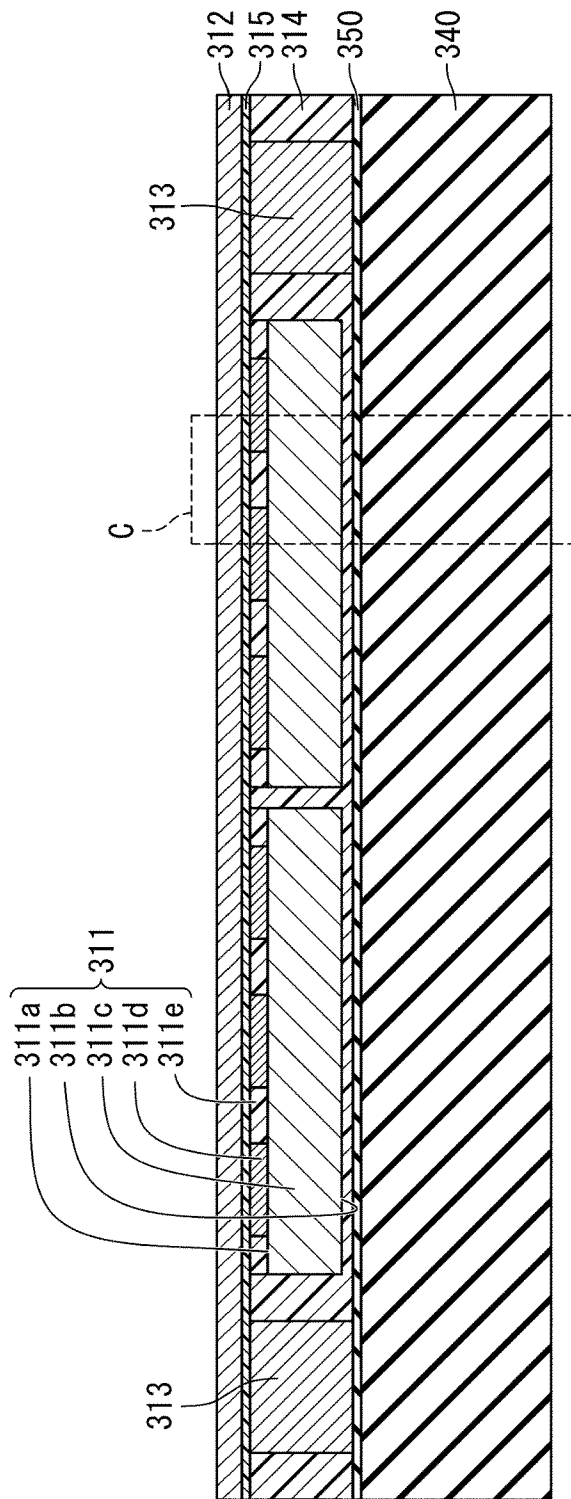
[図4E]

図4E



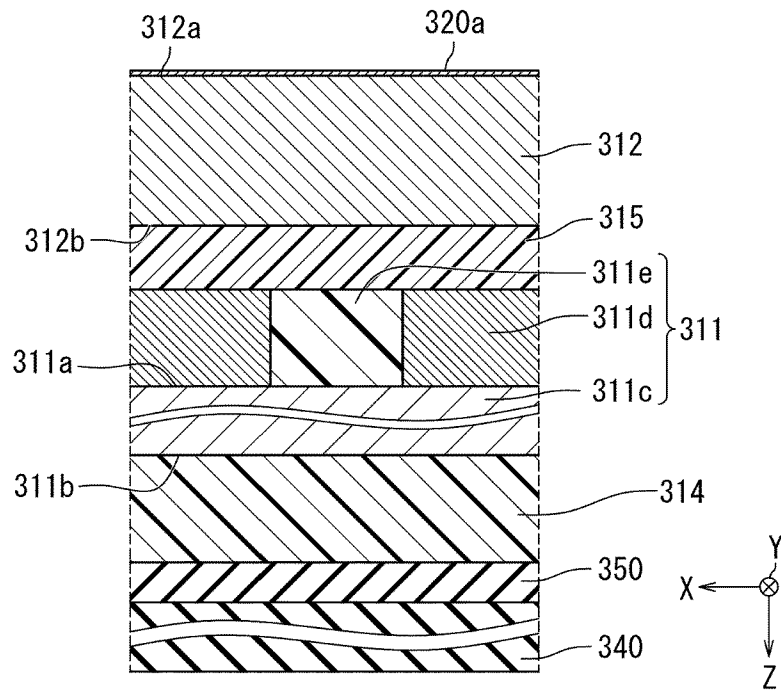
[図4F]

図4F



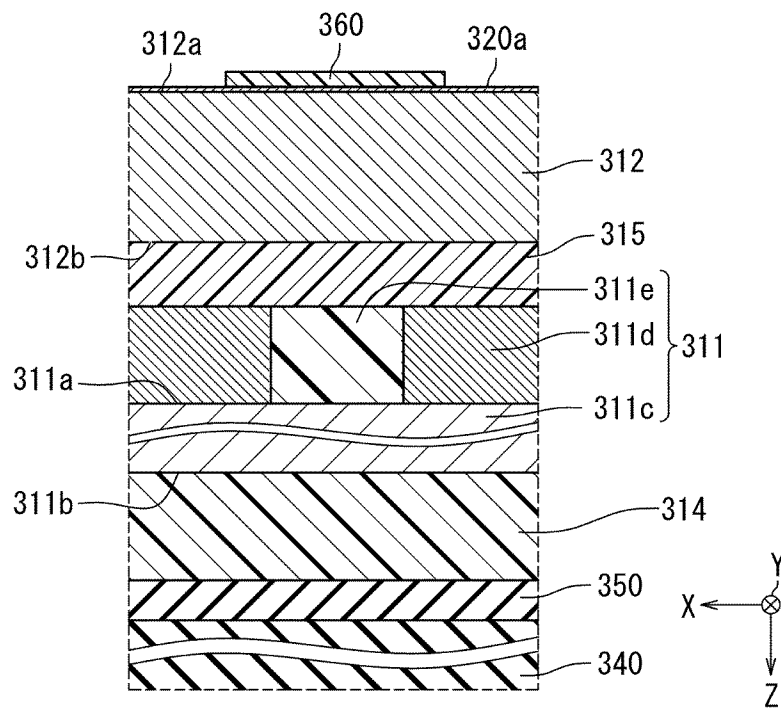
[図4G]

図4G



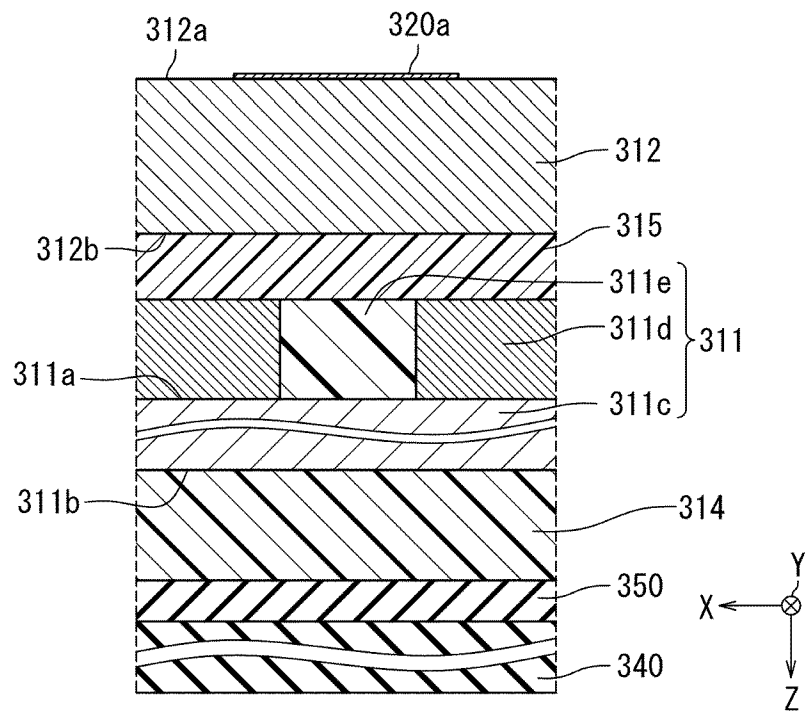
[図4H]

図4H



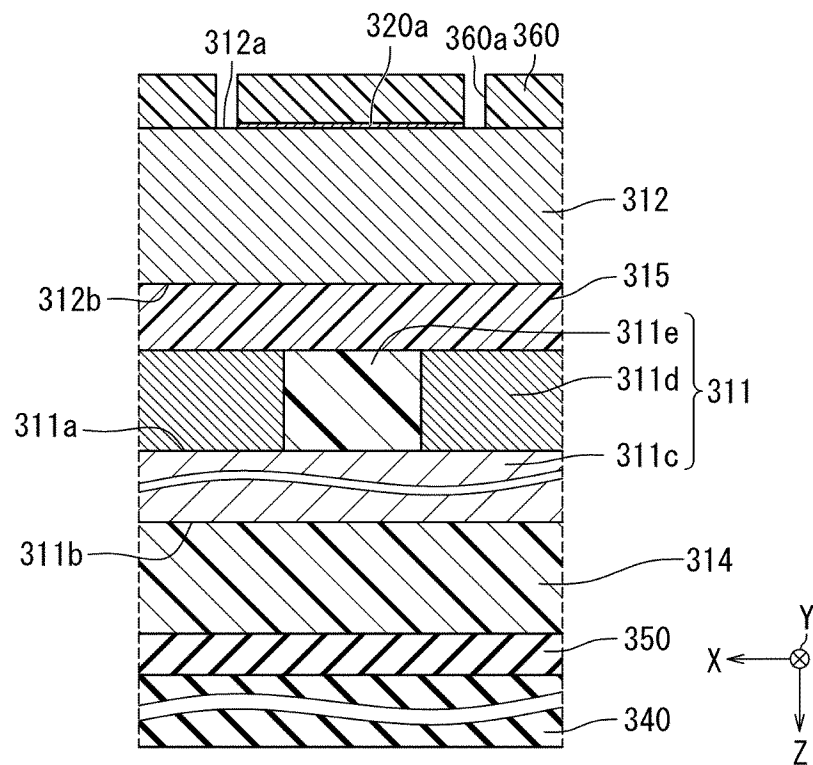
[図4I]

図4I



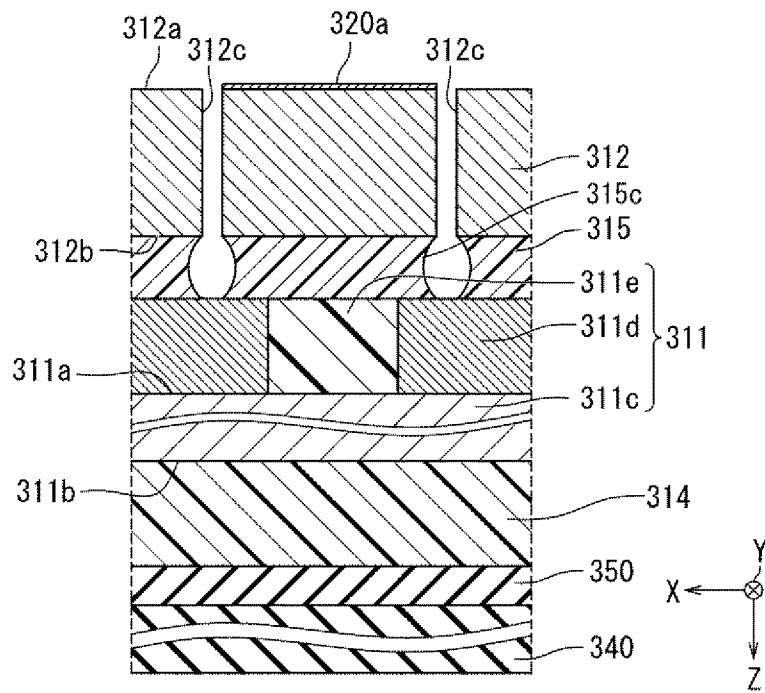
[図4J]

図4J



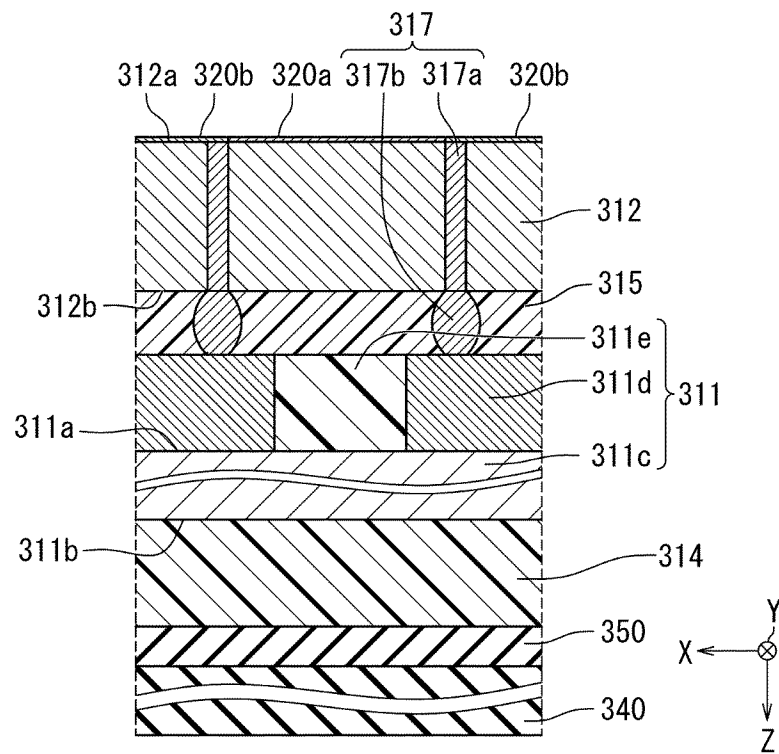
[図4K]

図4K



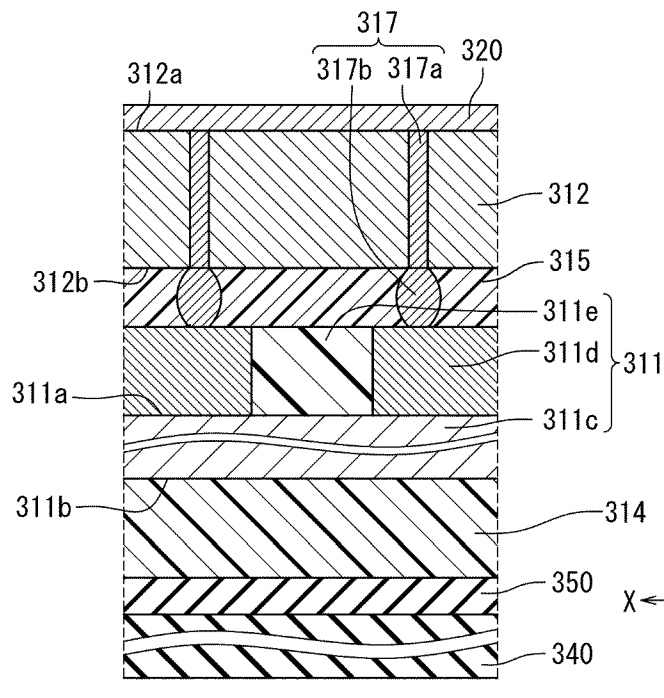
[図4L]

図4L



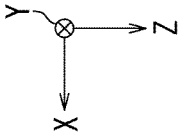
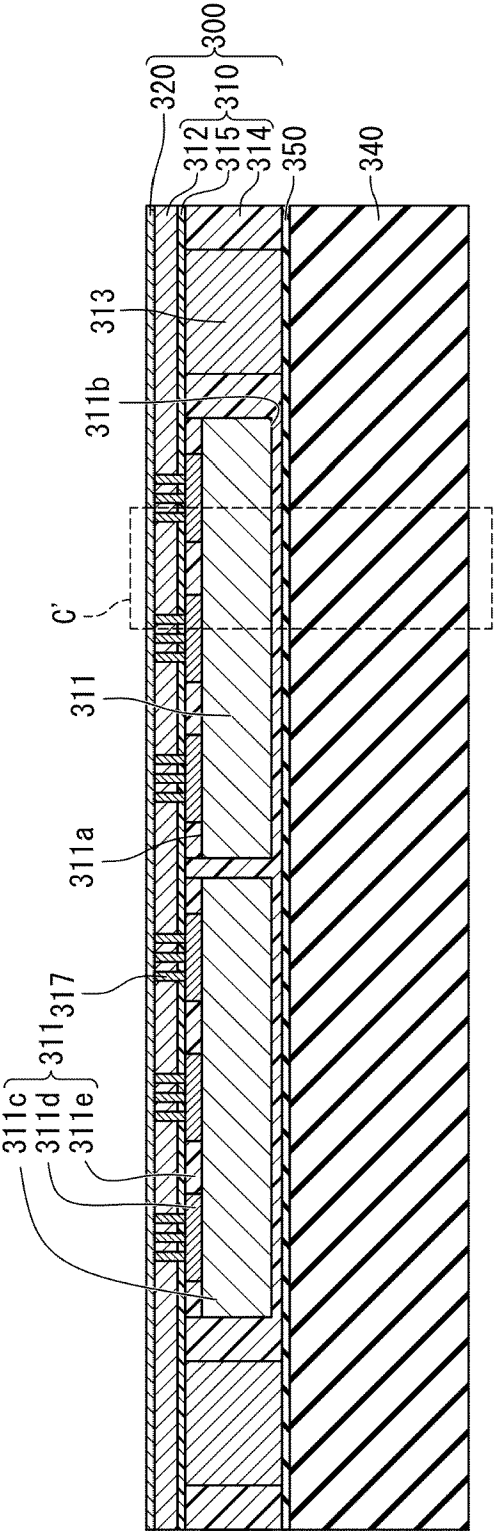
[図4M]

図4M



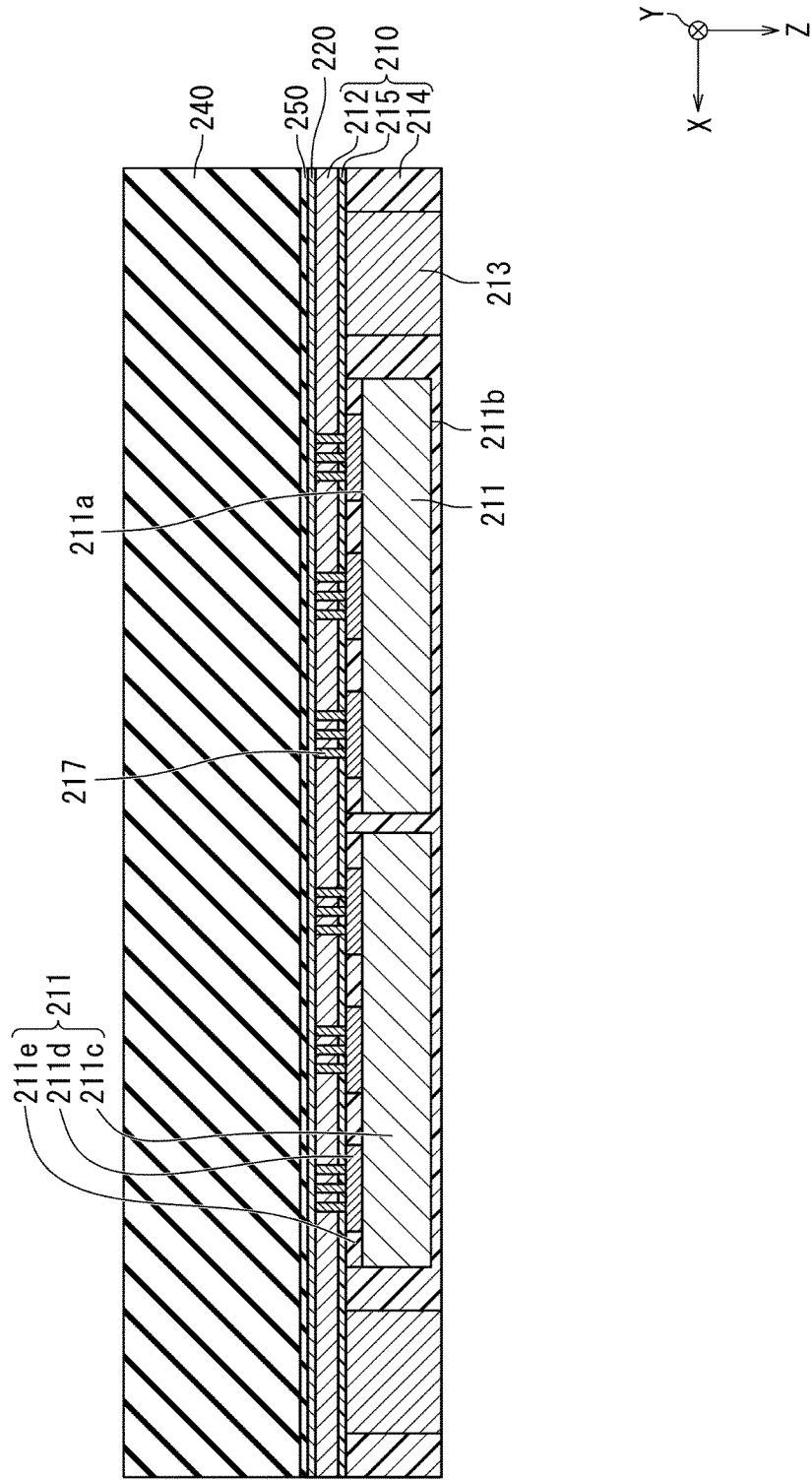
[図4N]

図4N



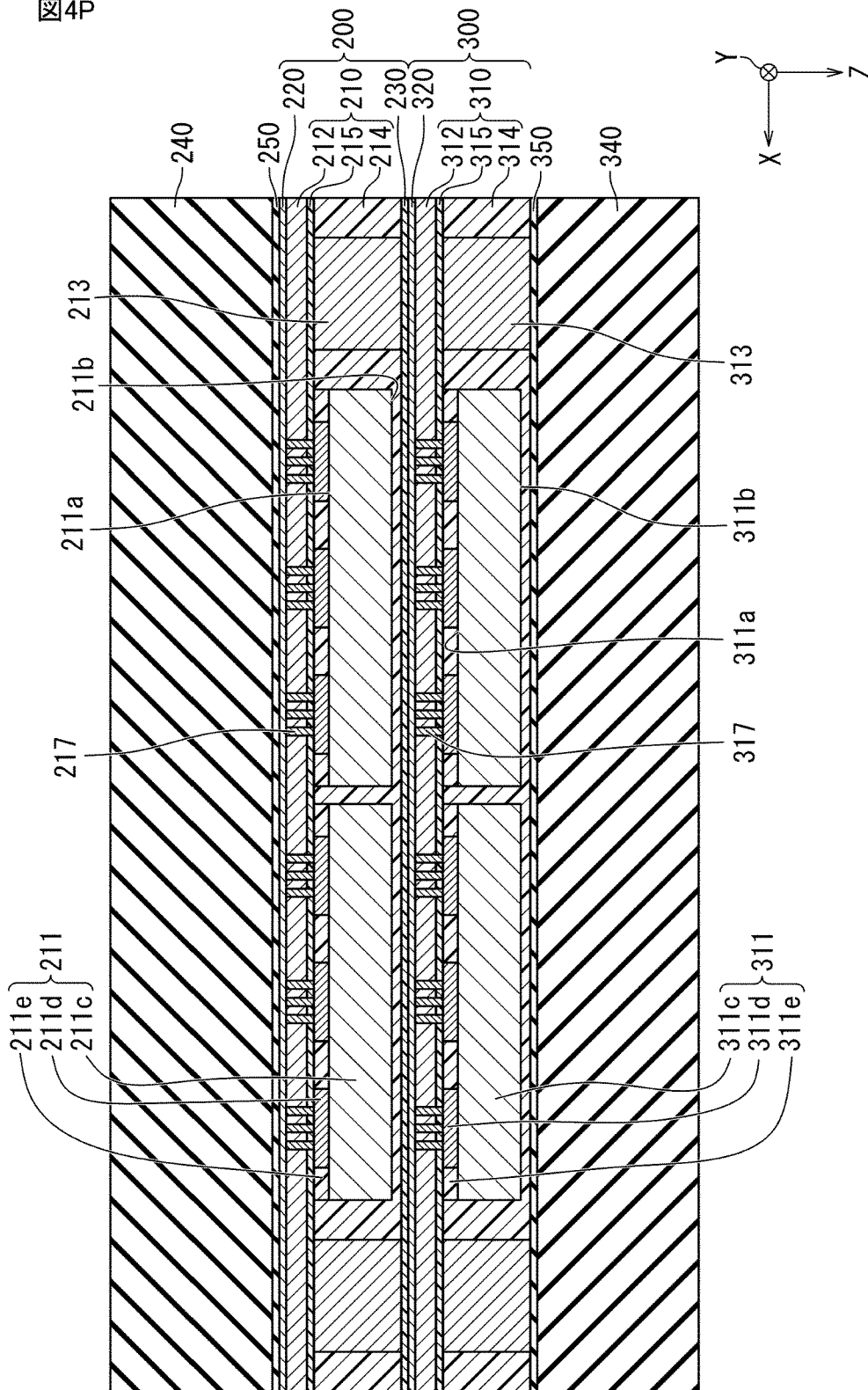
[図40]

図40



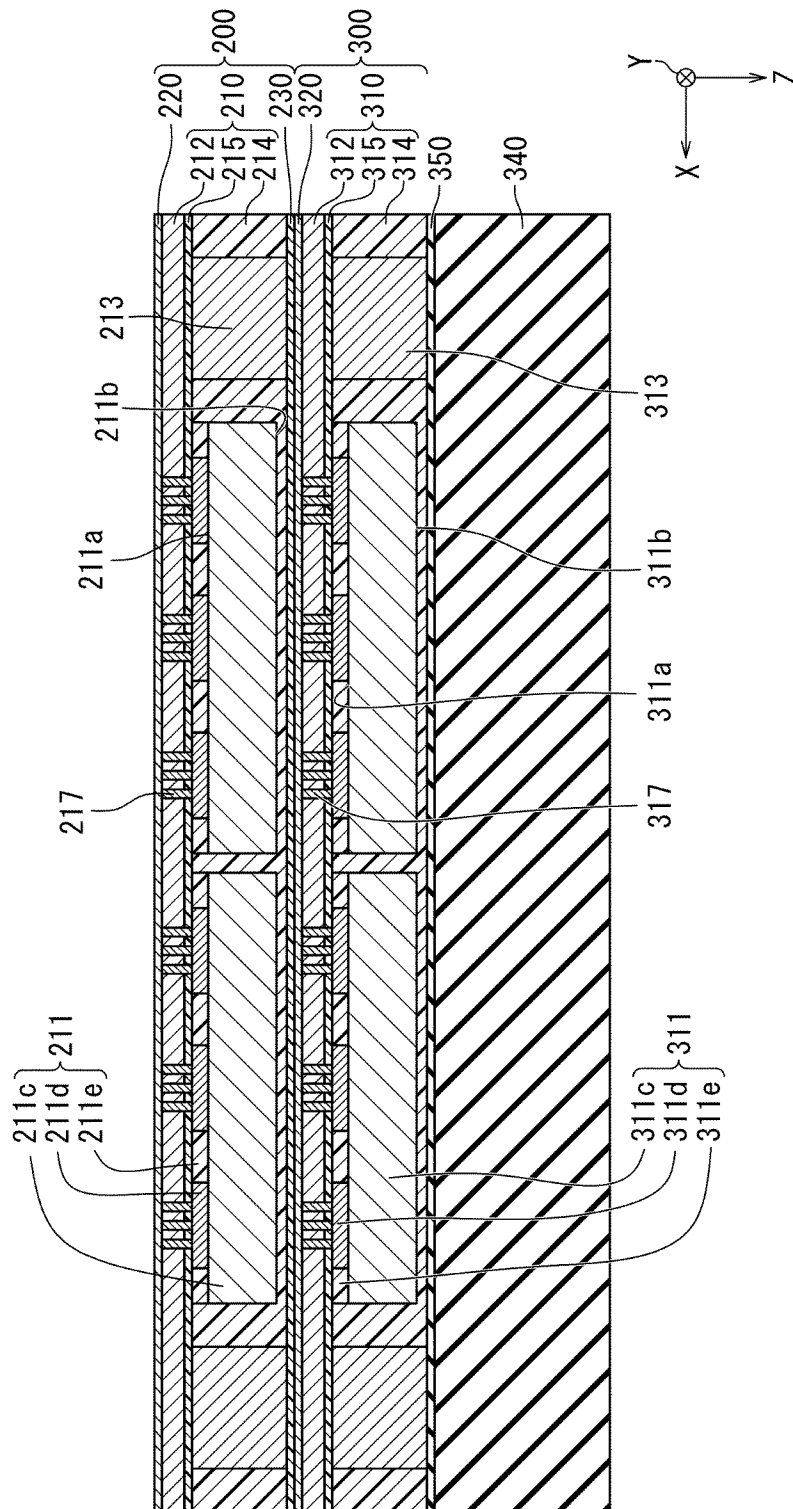
[図4P]

図4P



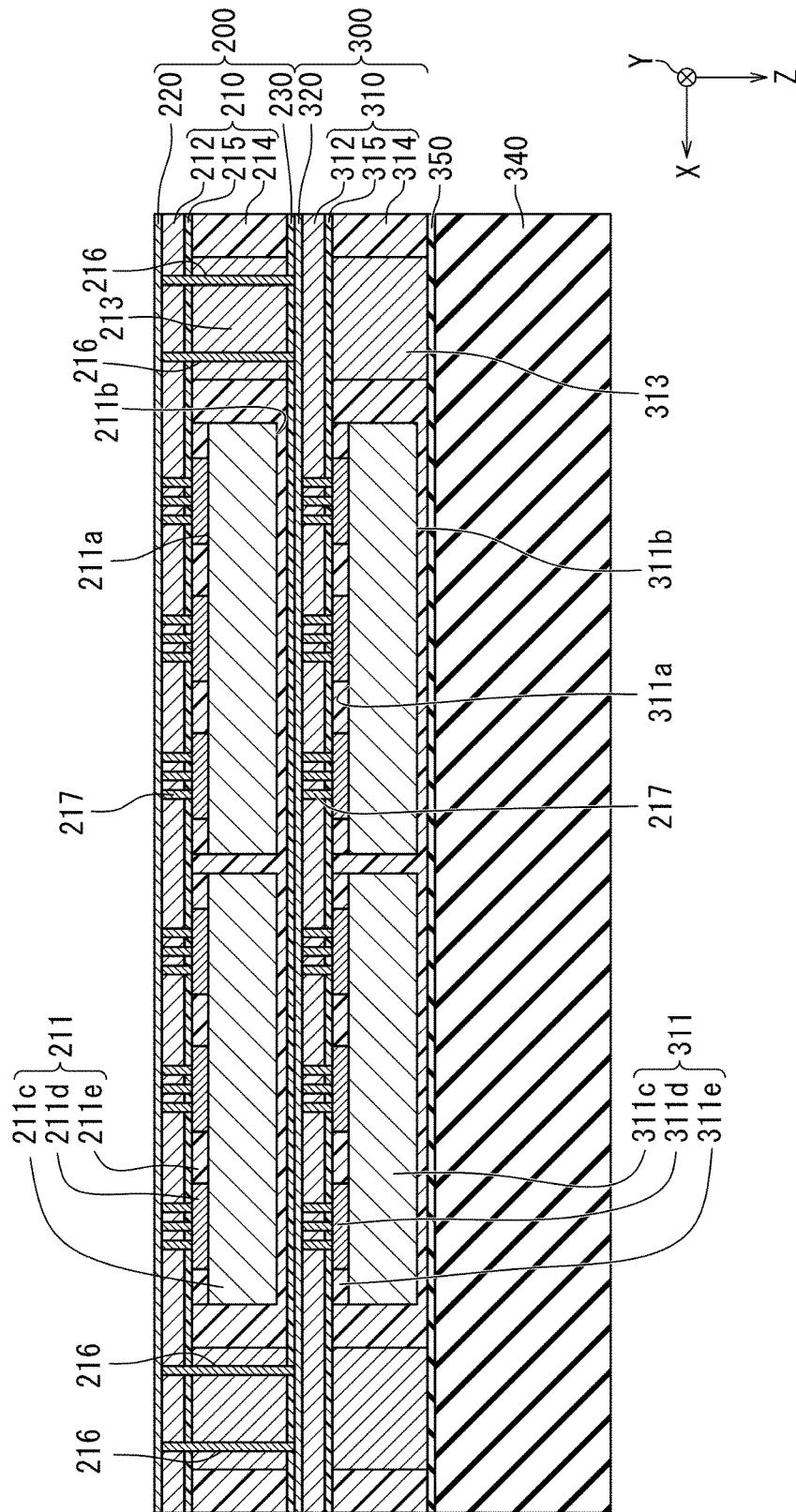
[図4Q]

図4Q



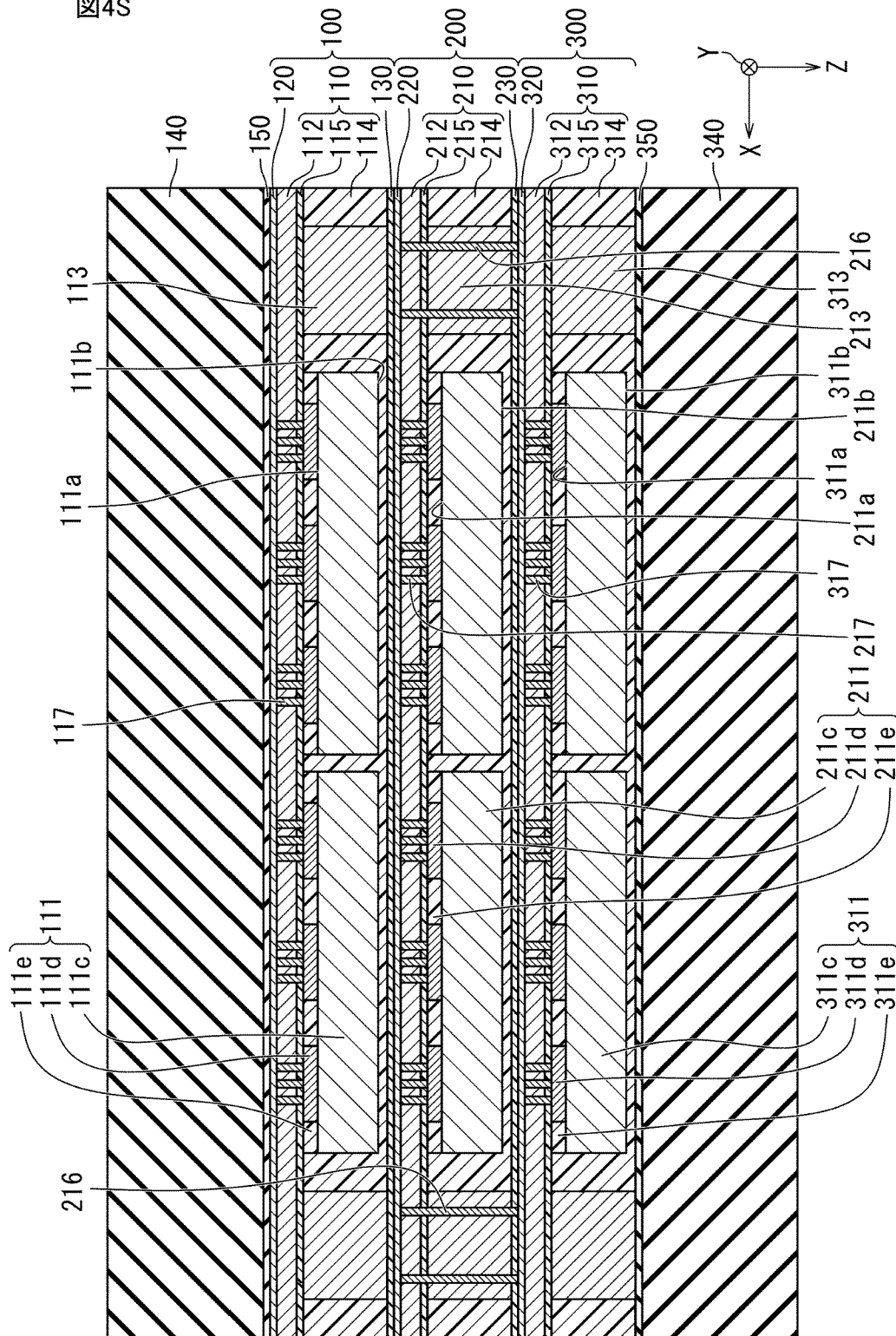
[図4R]

図4R



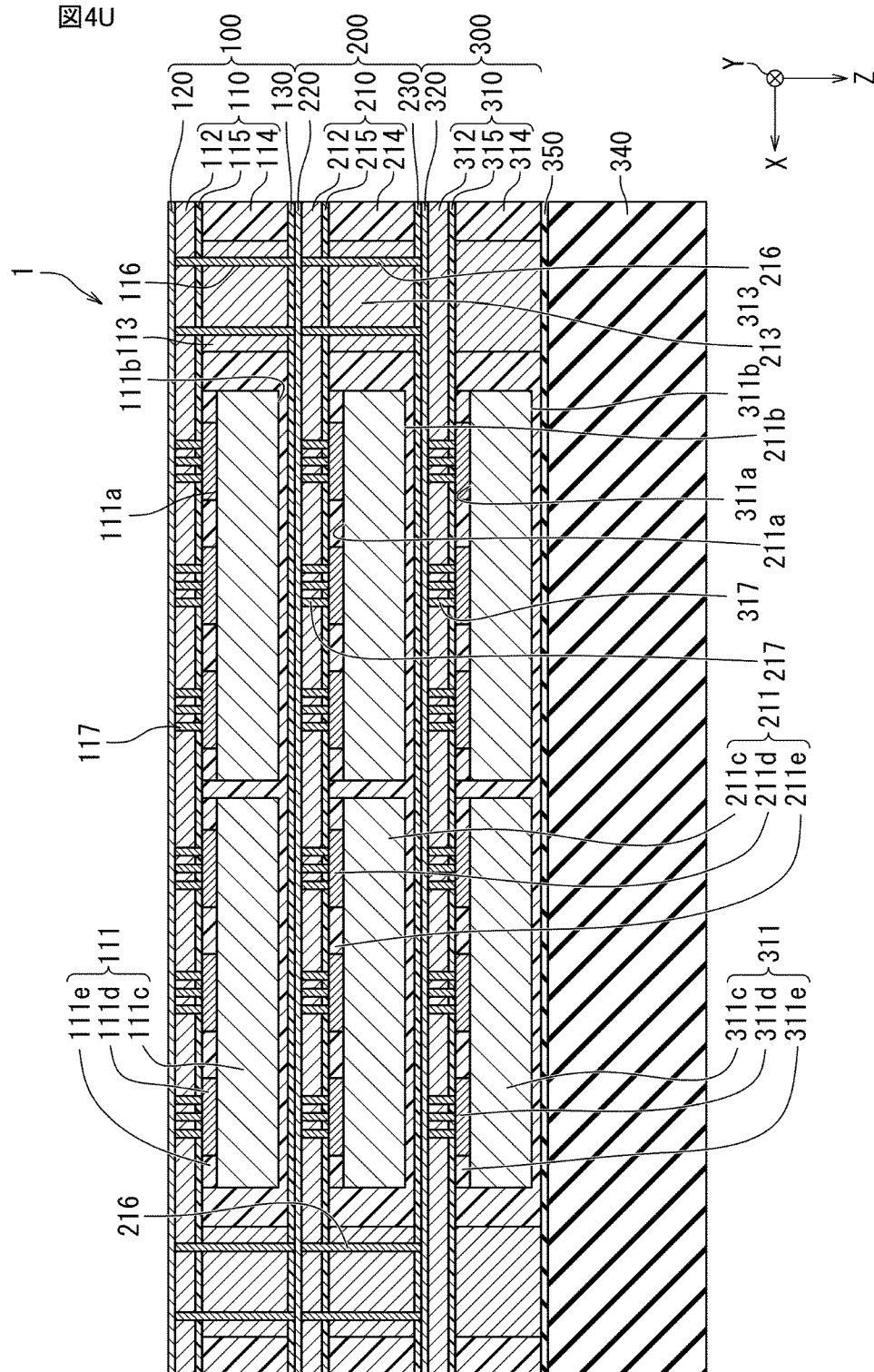
[図4S]

図4S



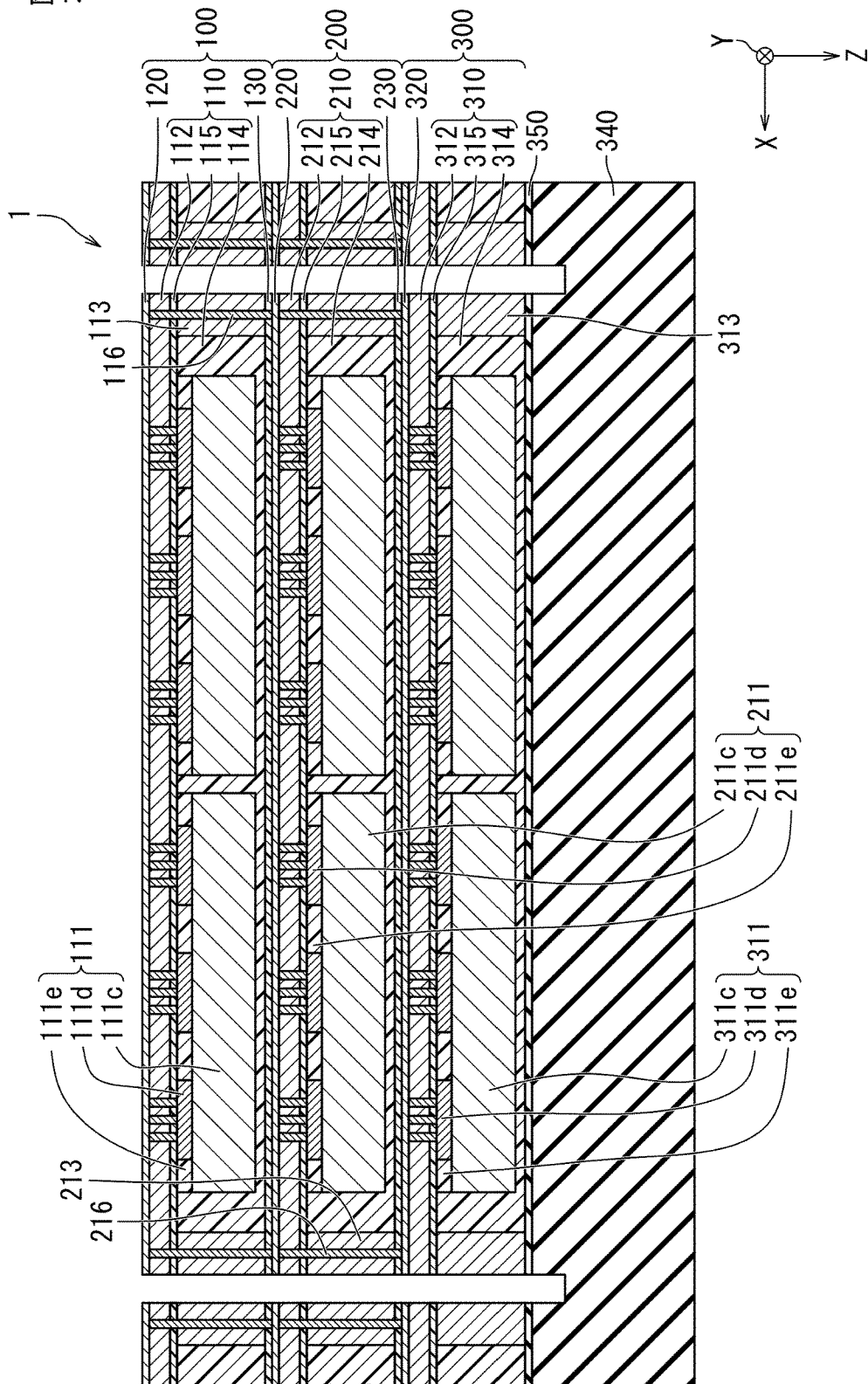
[図4U]

図4U



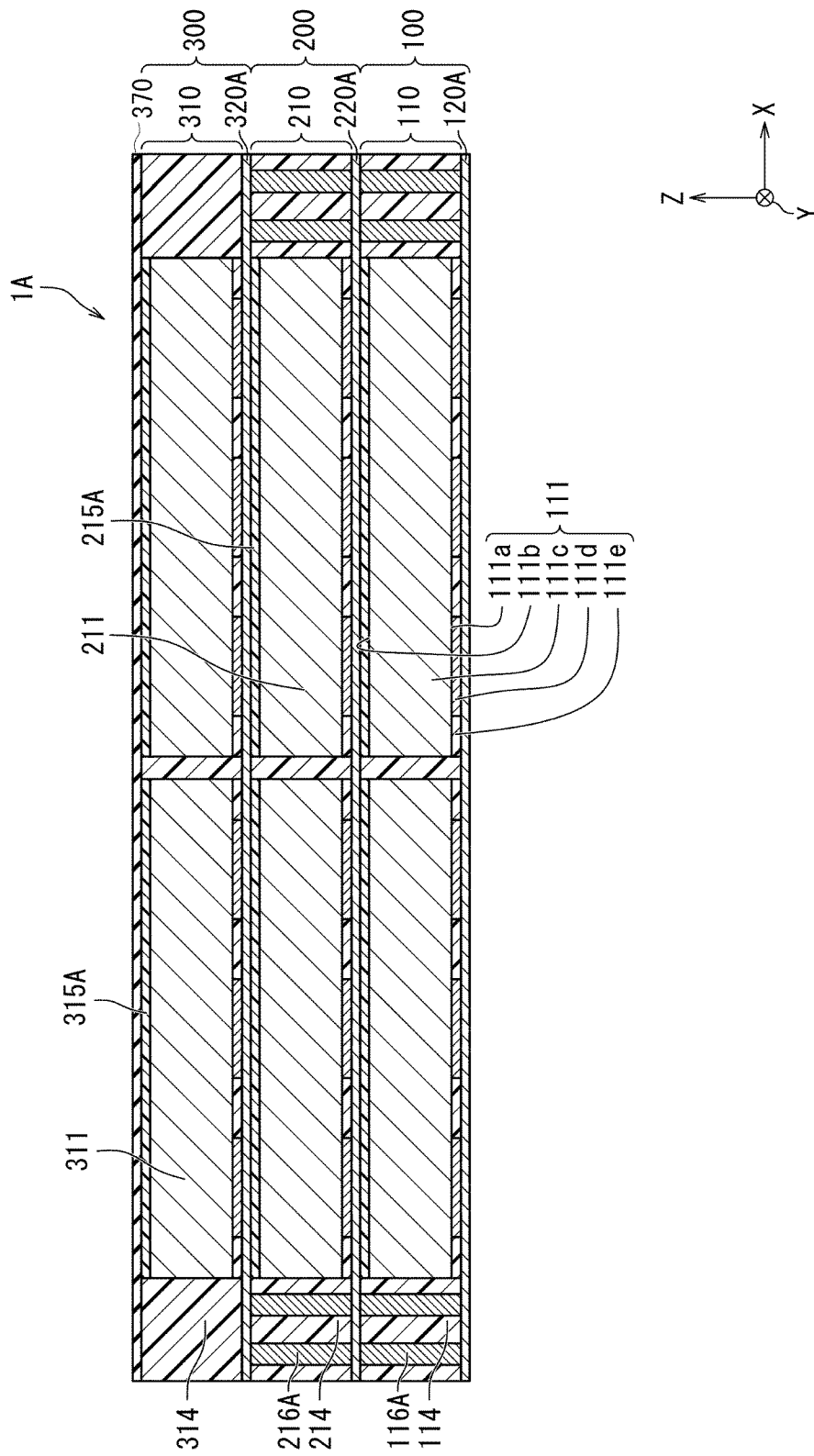
[図4V]

図4V



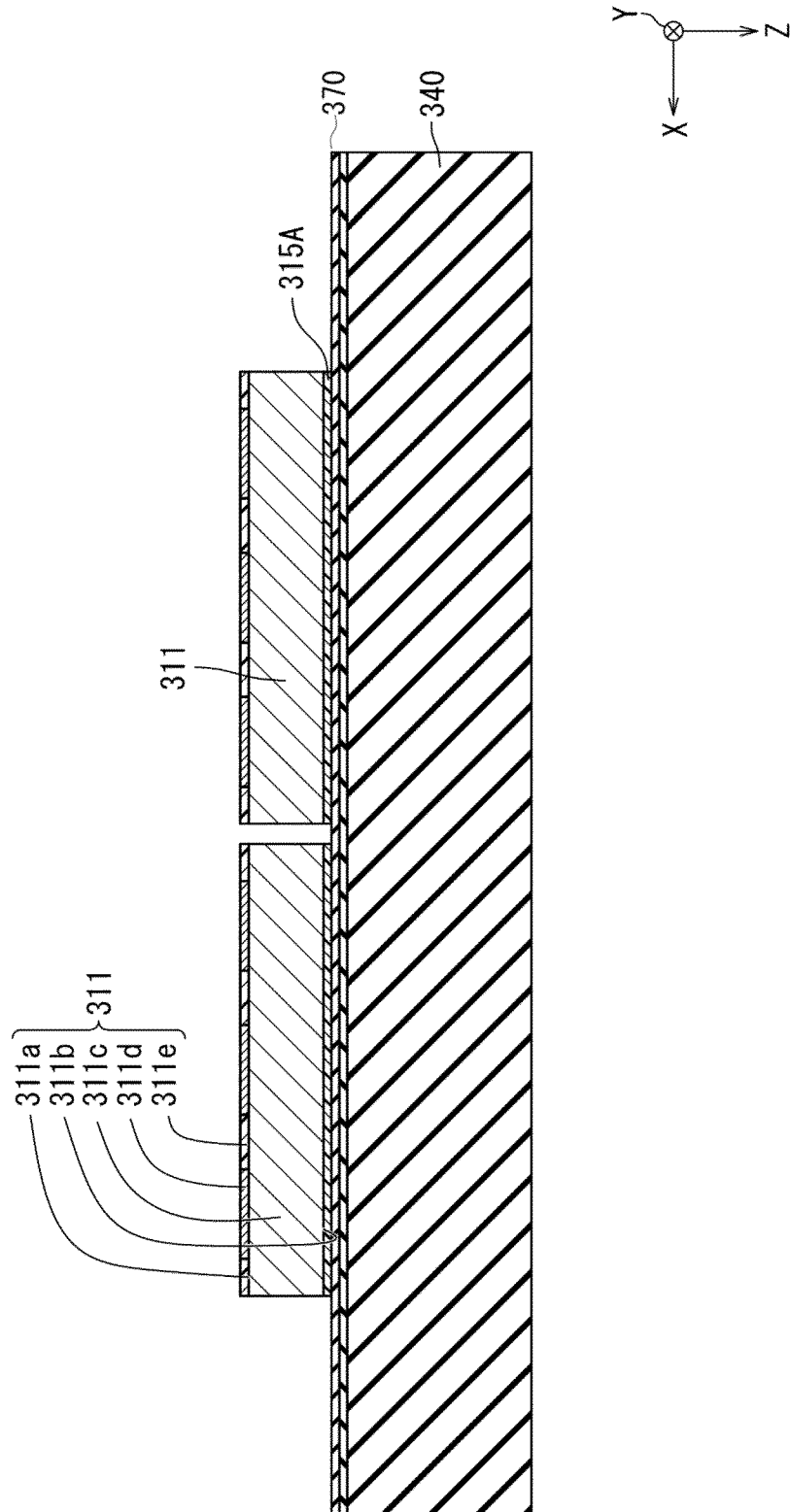
[図5]

図5



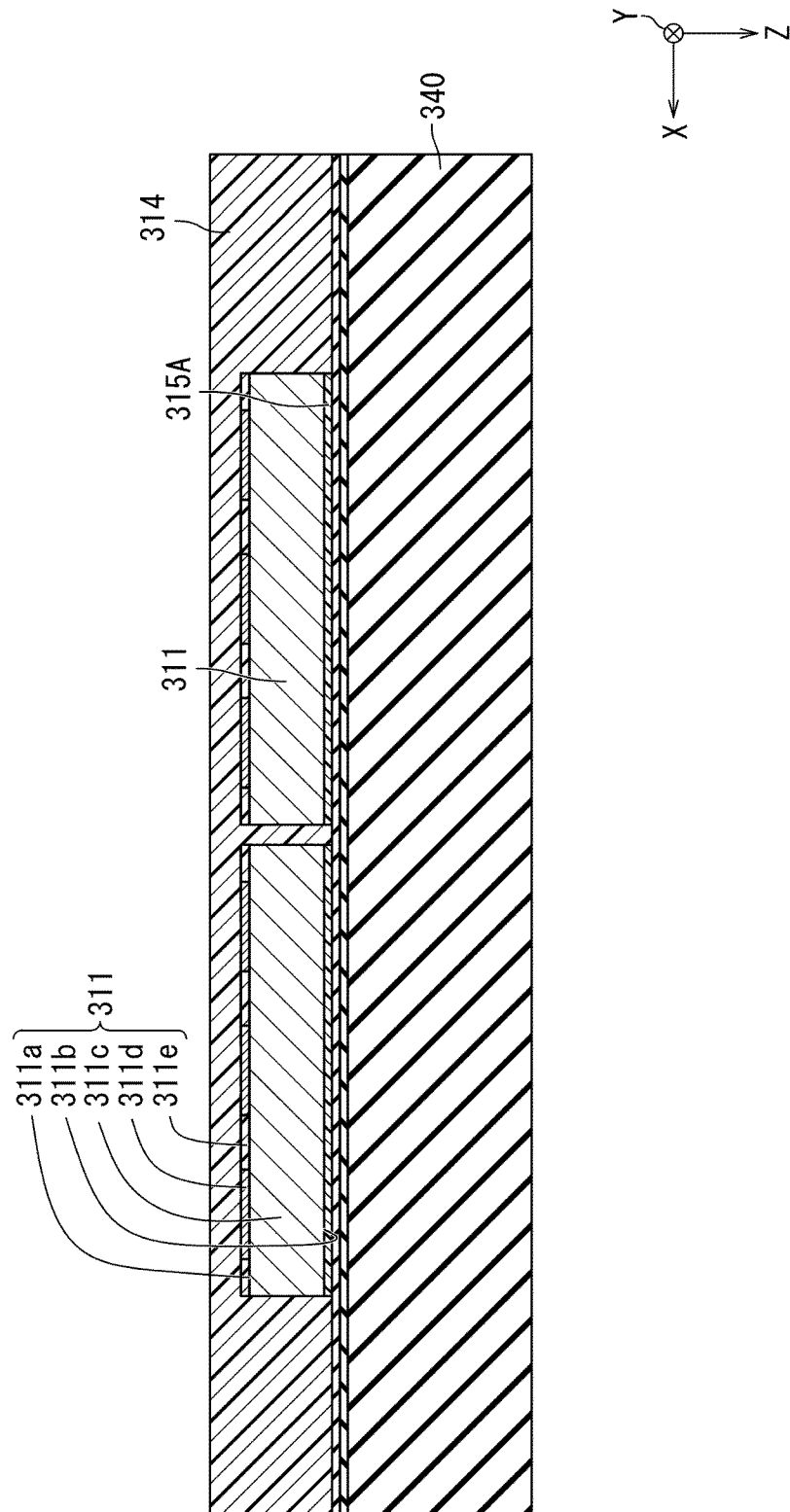
[図6A]

図6A



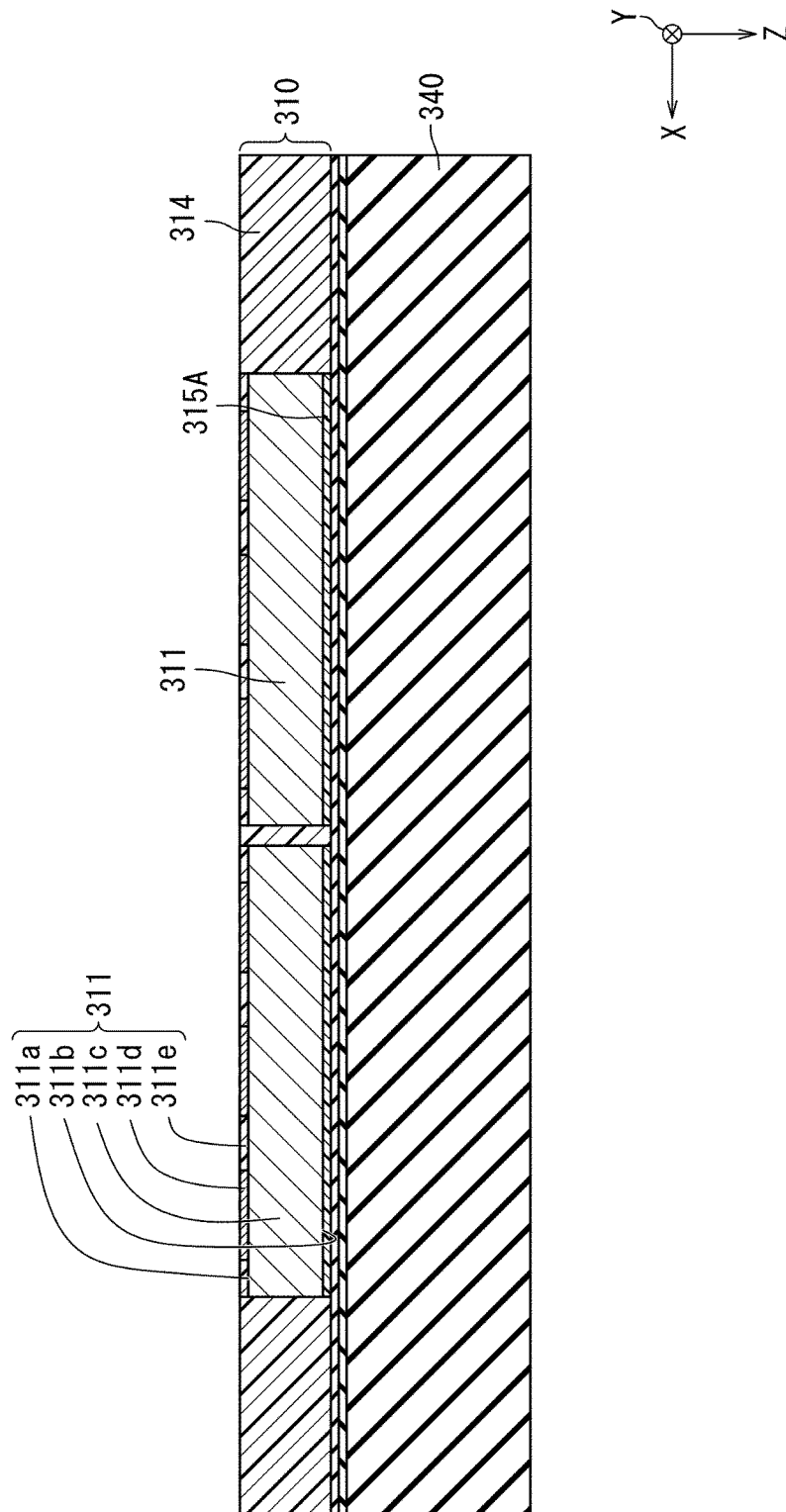
[図6B]

図6B



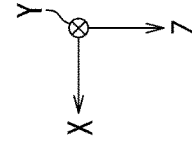
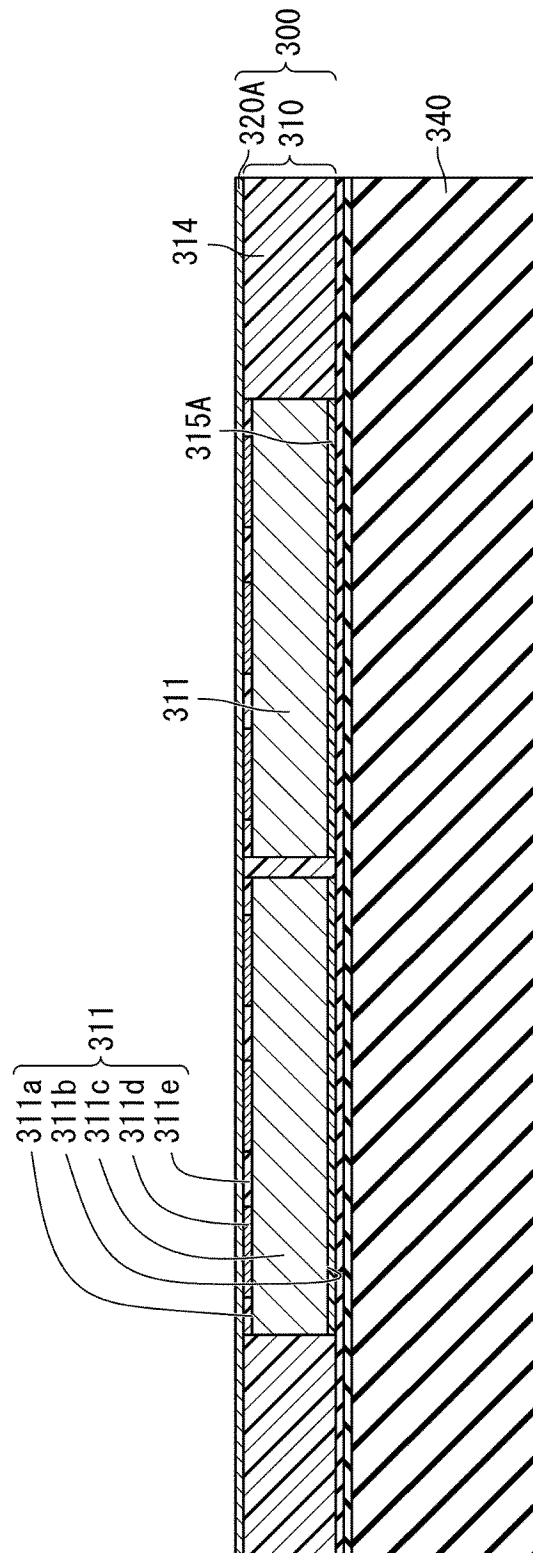
[図6C]

図6C



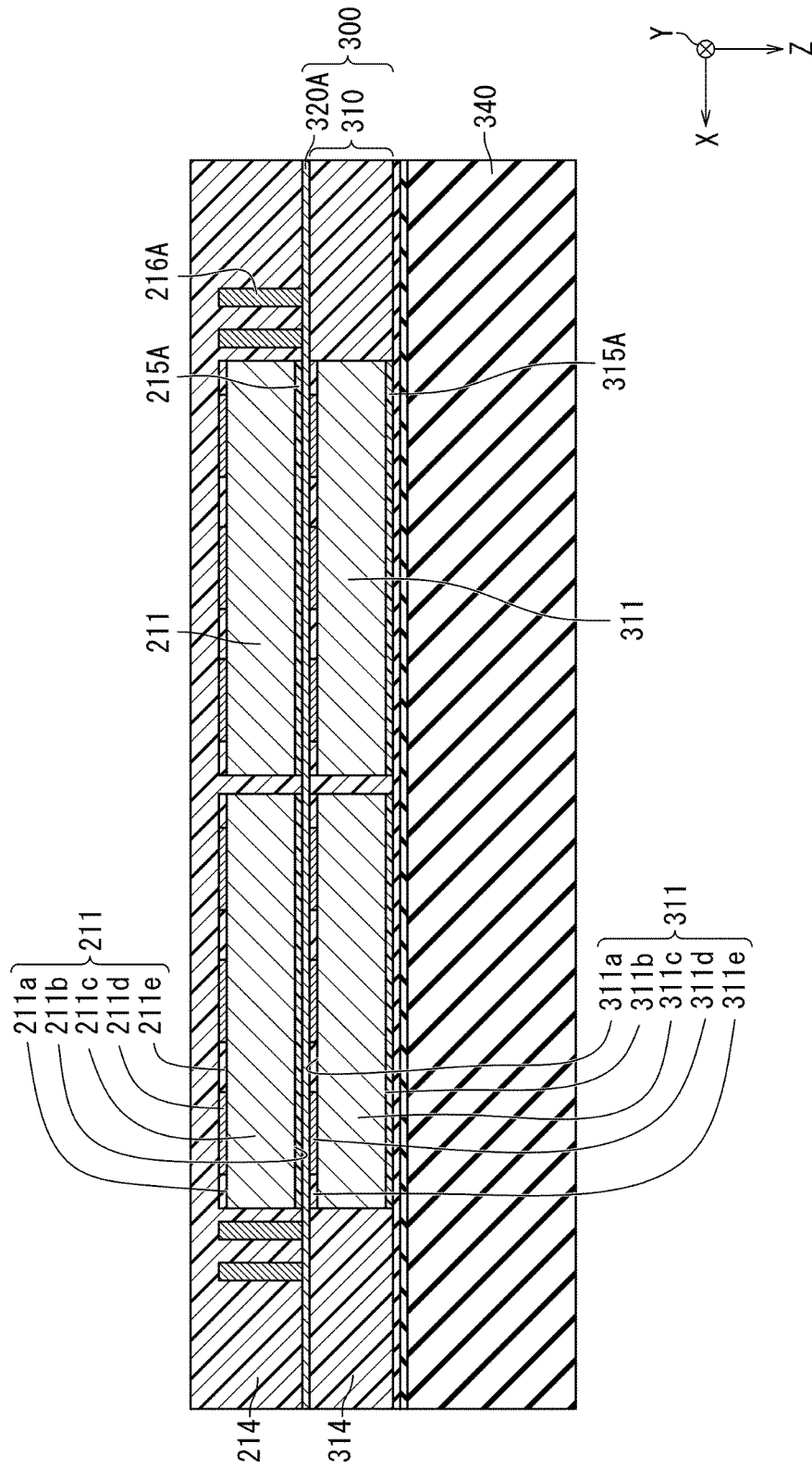
[図6D]

図6D



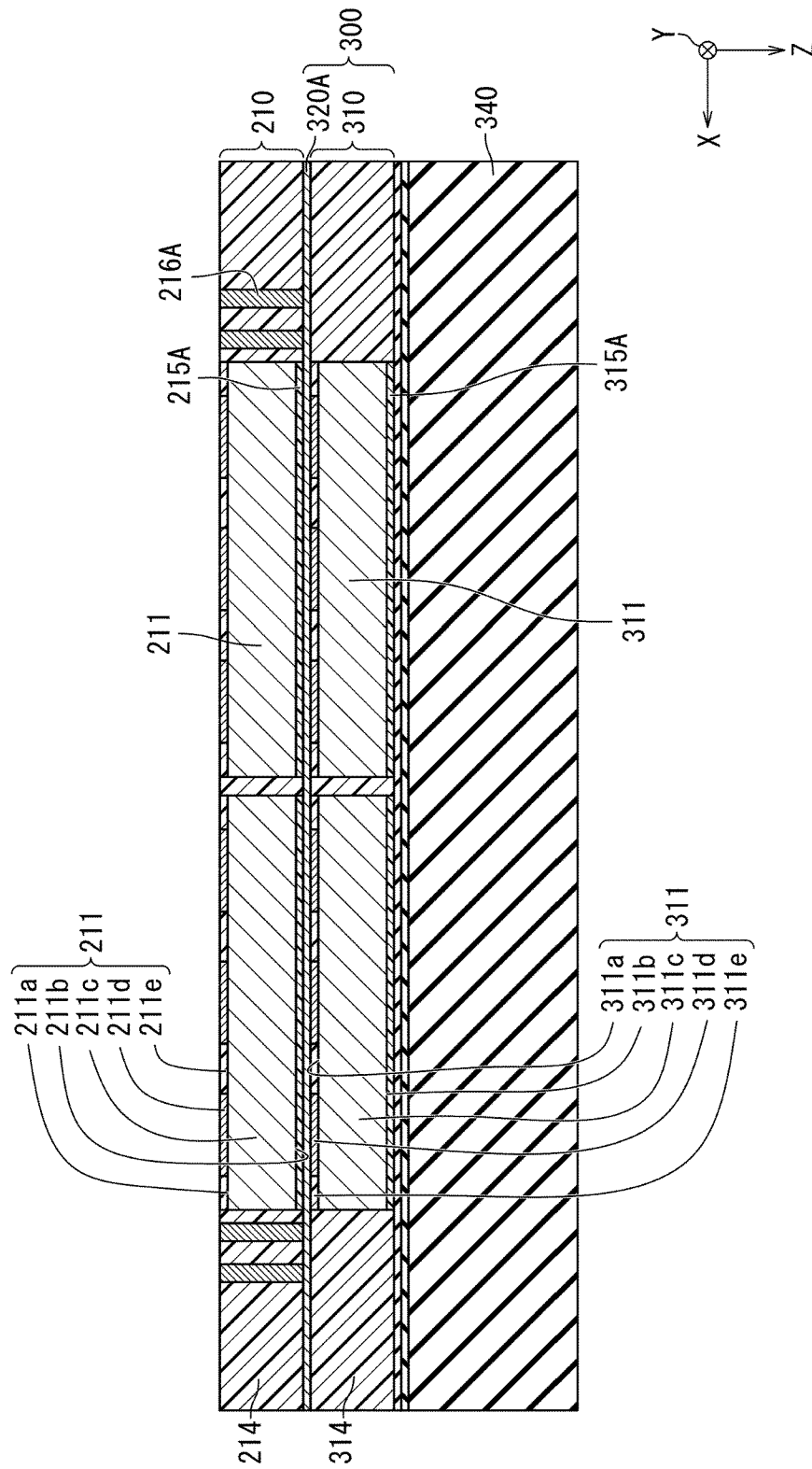
[図6G]

図6G



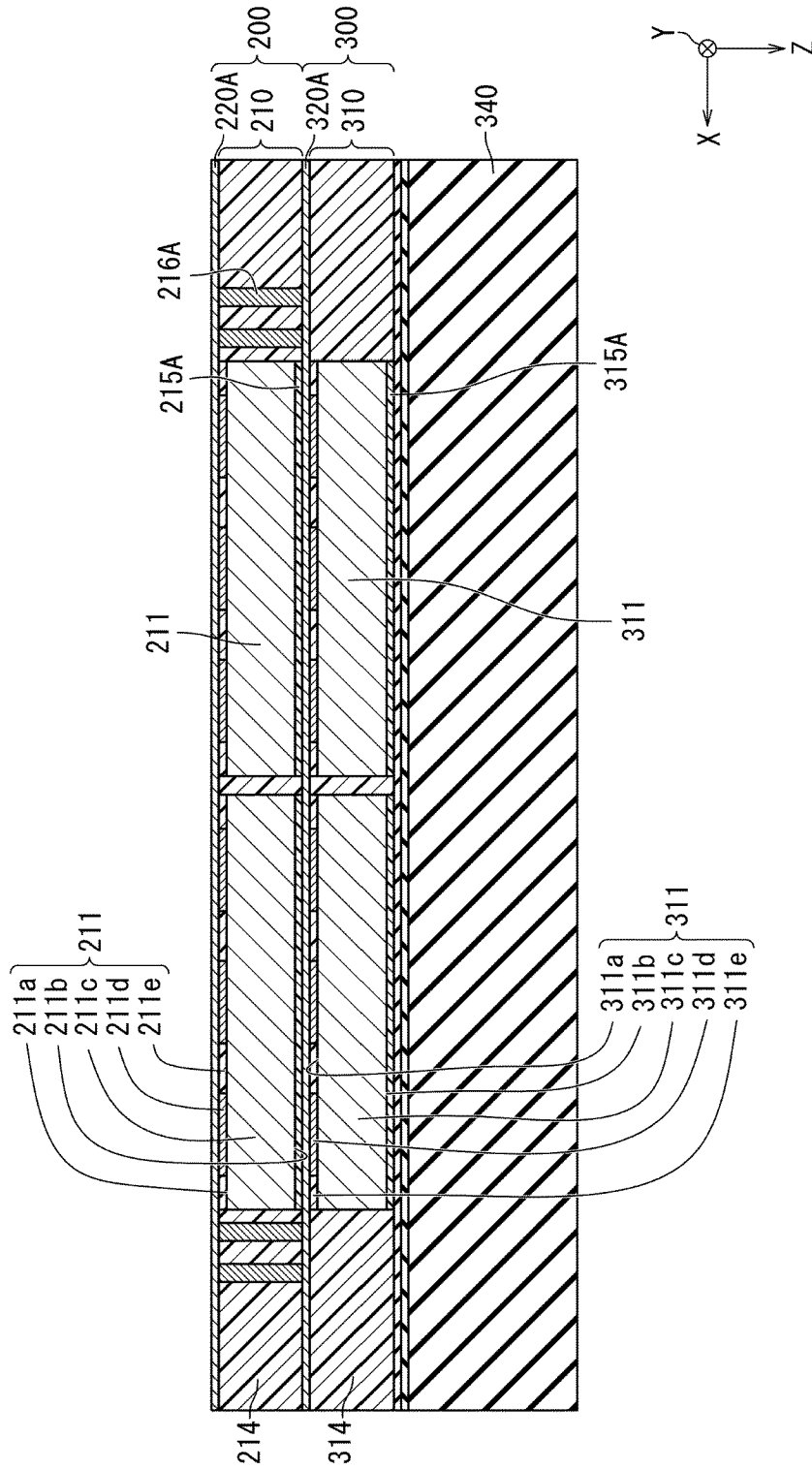
[図6H]

図6H



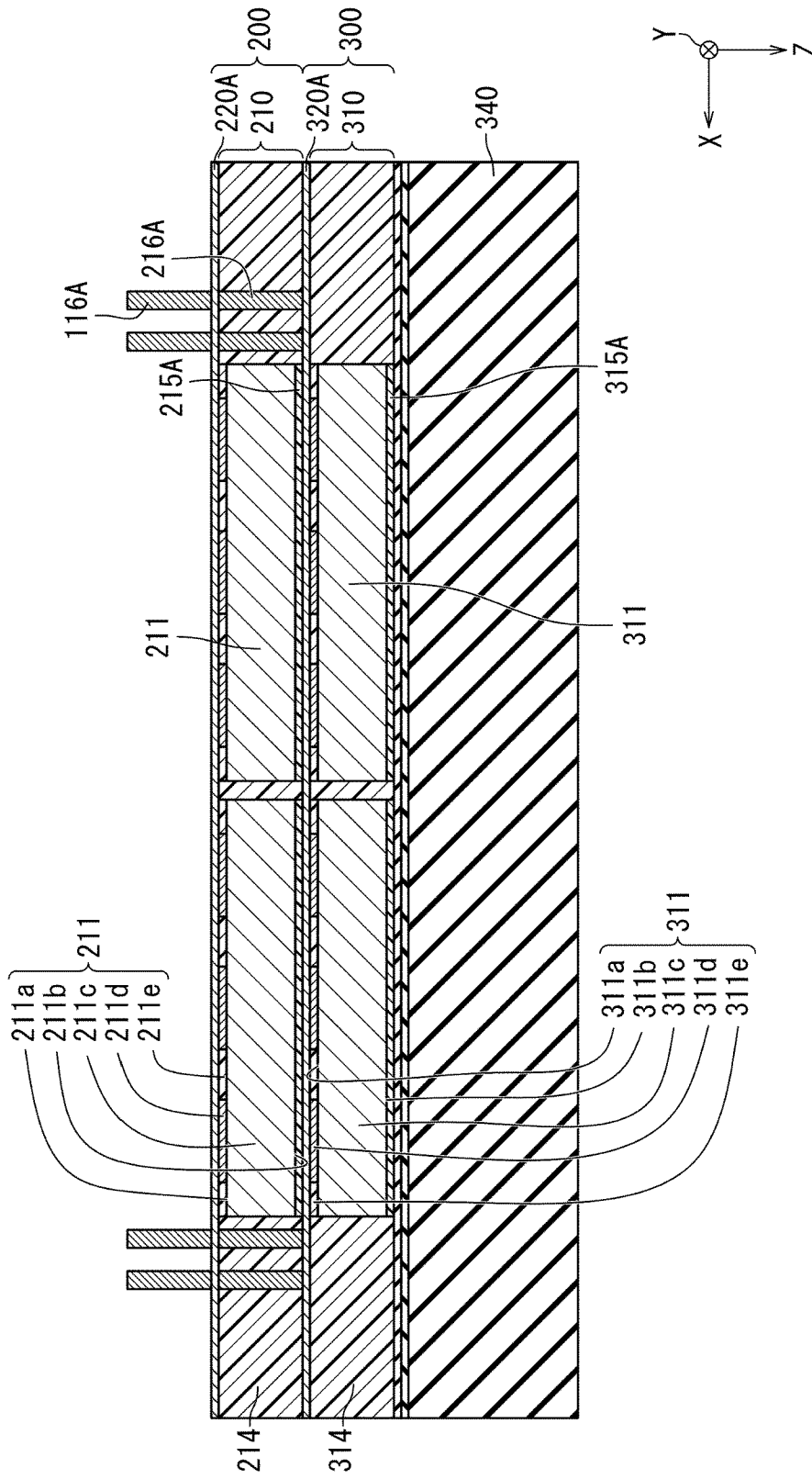
[図6I]

図6I



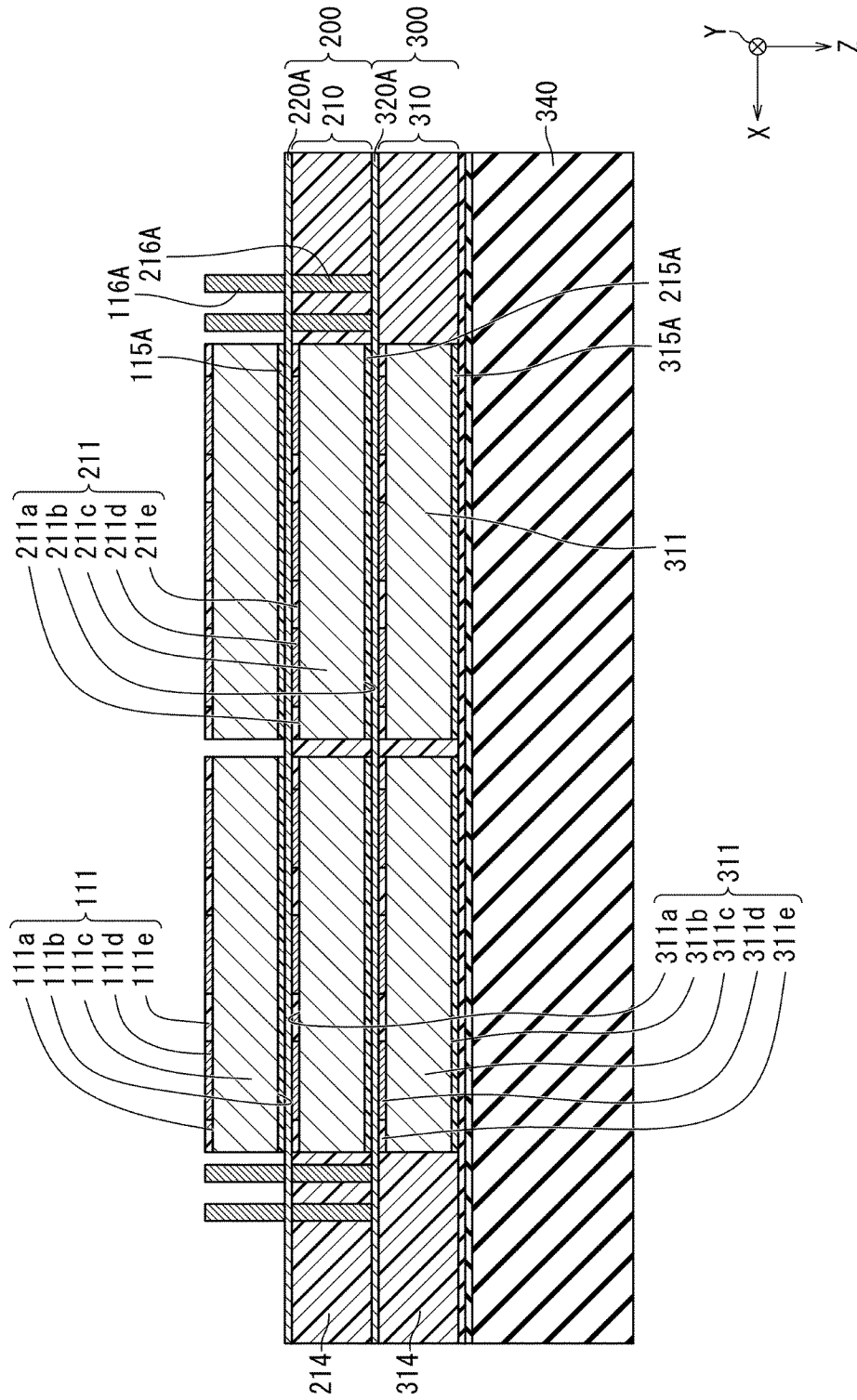
[図6J]

図6J



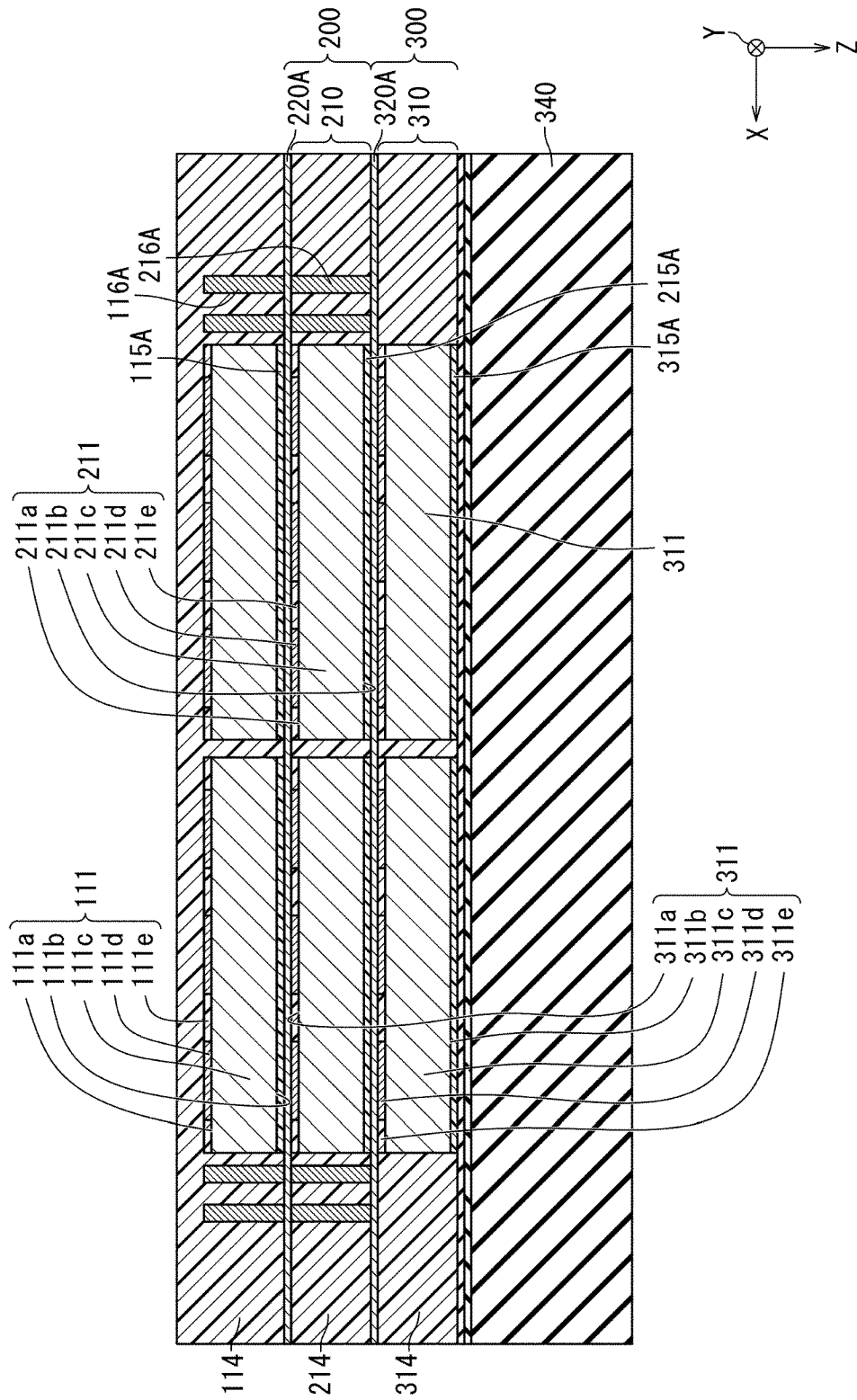
[図6K]

図6K



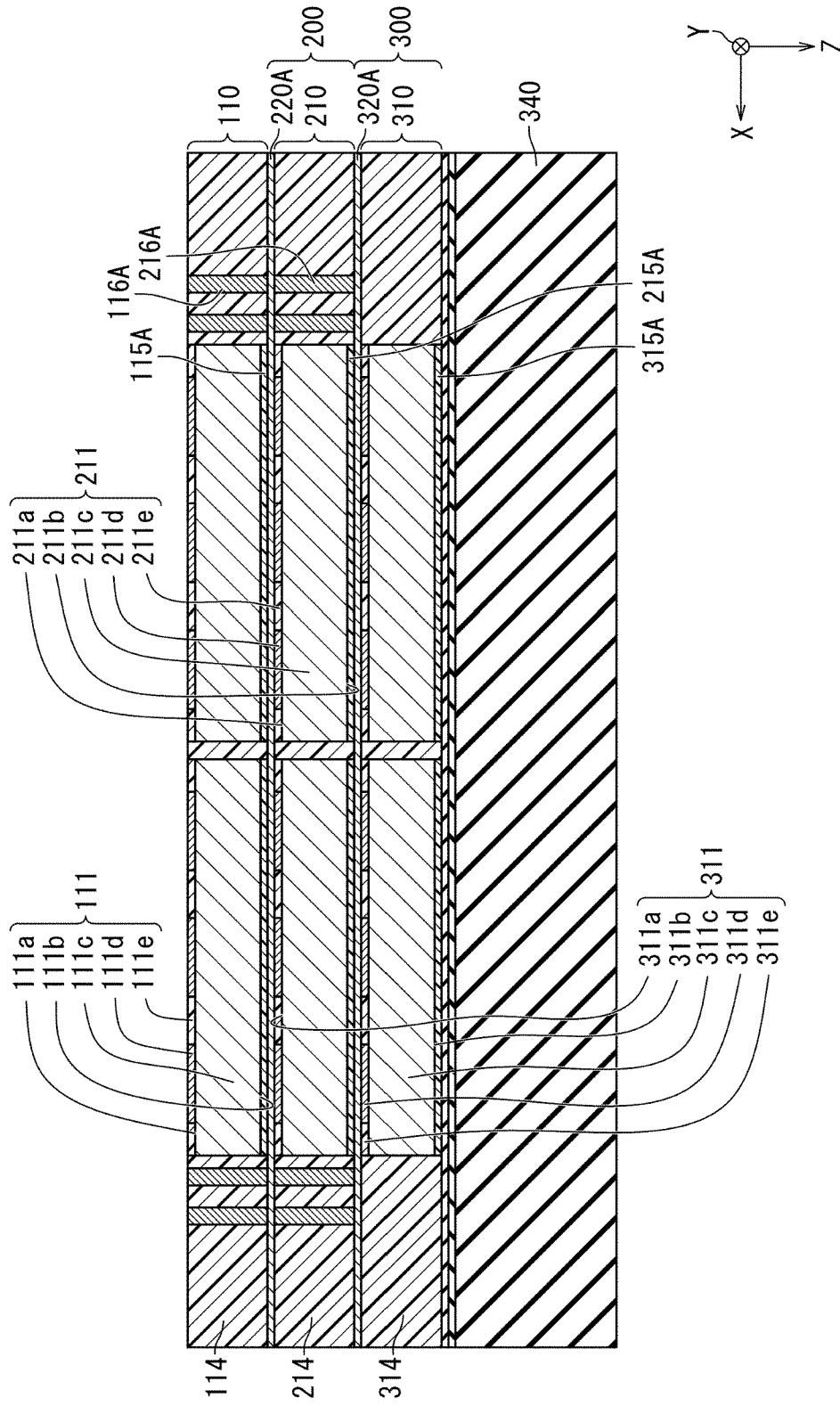
[図6L]

図6L



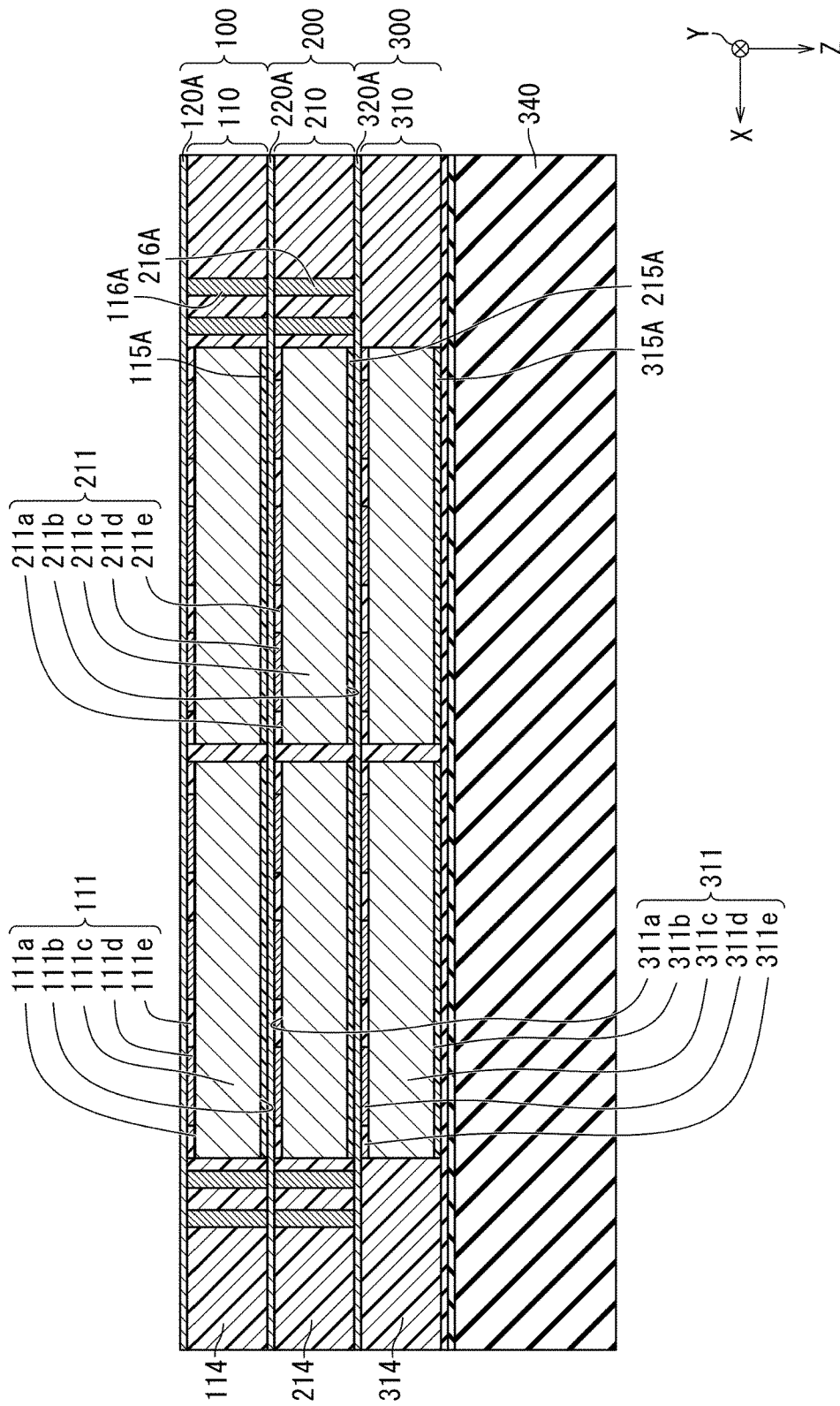
[図6M]

図6M



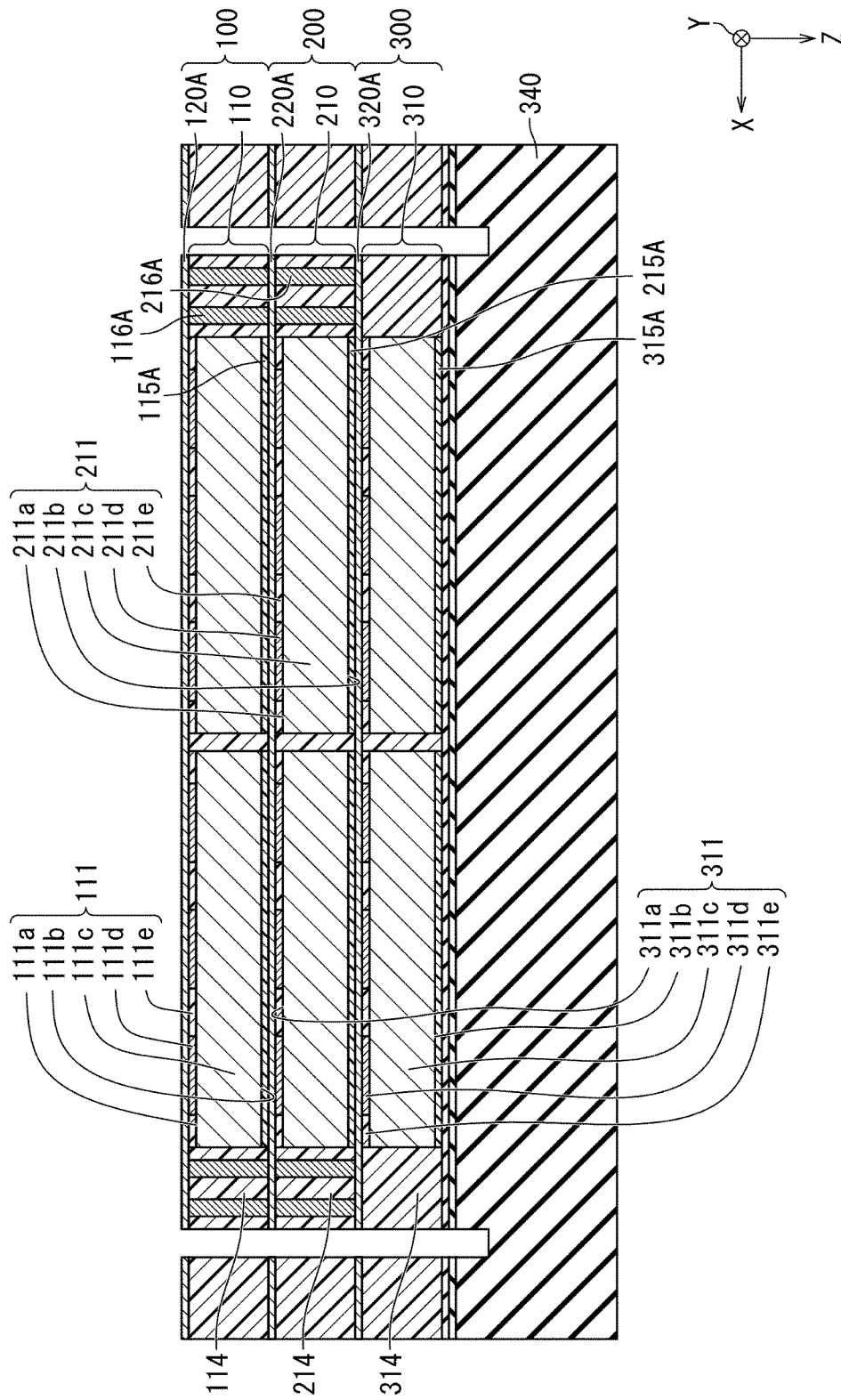
[図6N]

図6N



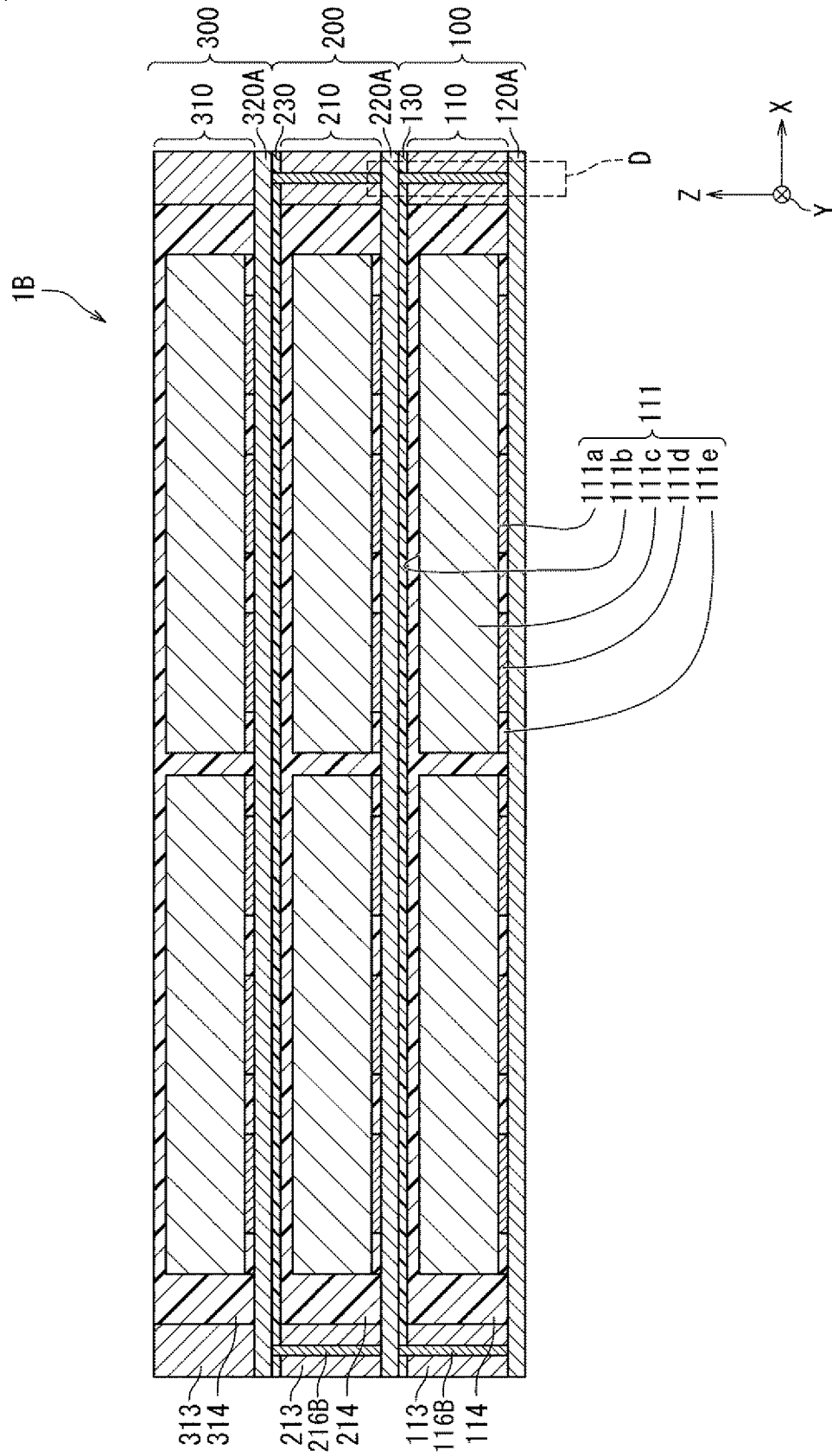
[図60]

図60



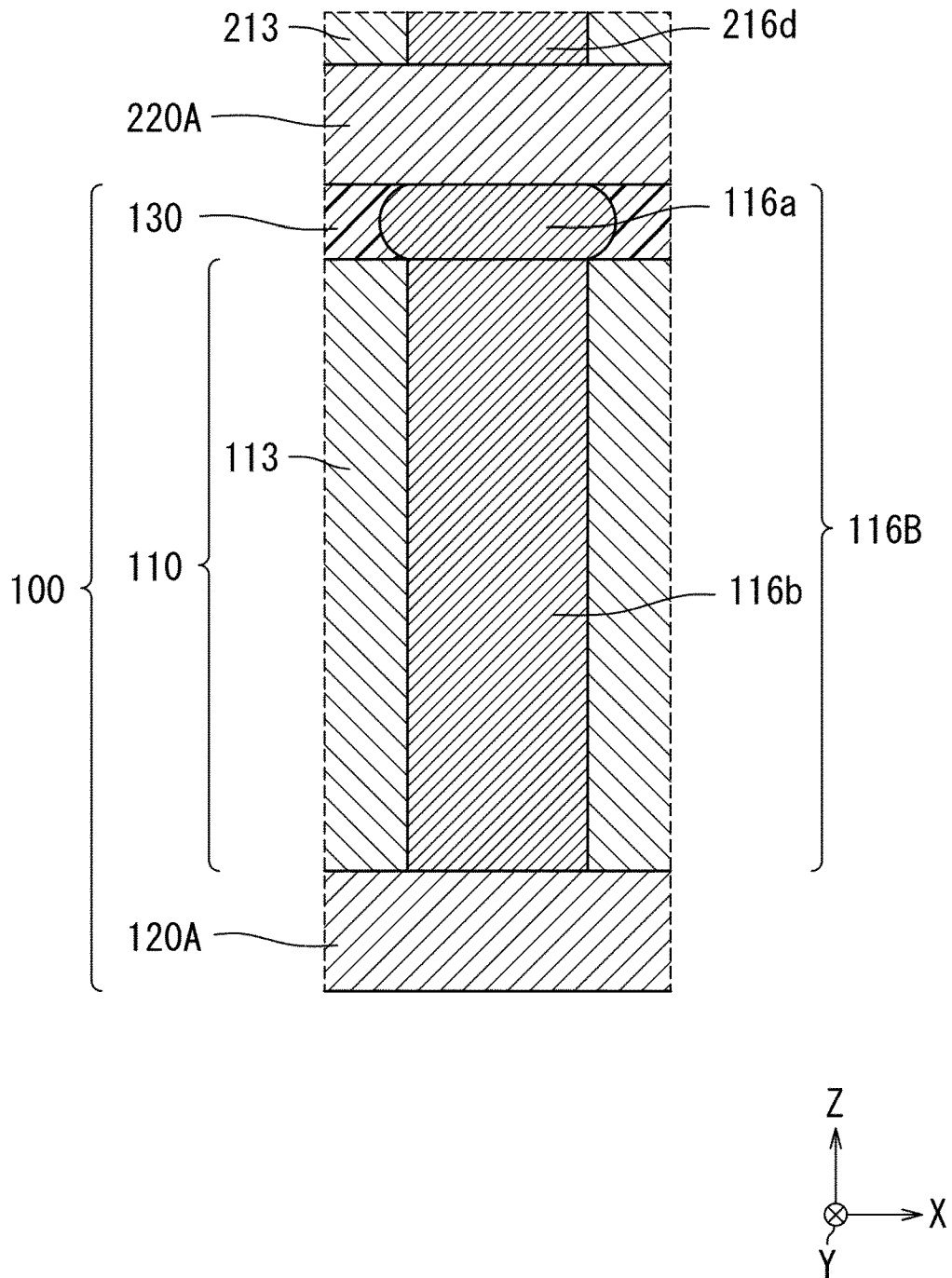
[図7]

図7



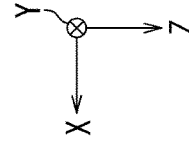
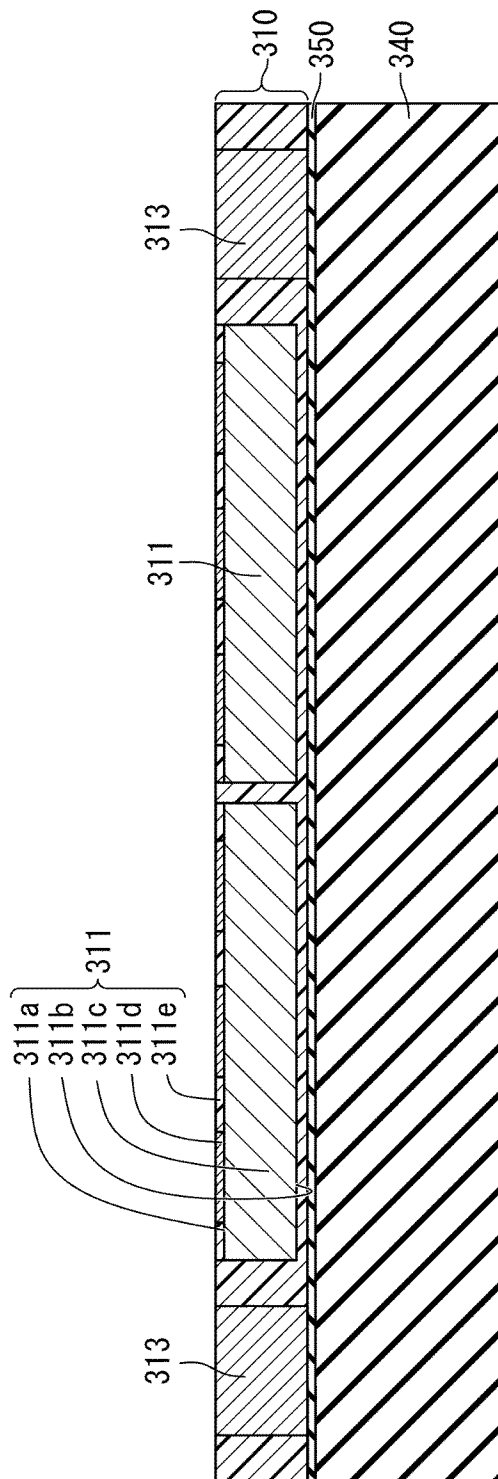
[図8]

図8



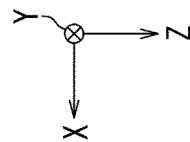
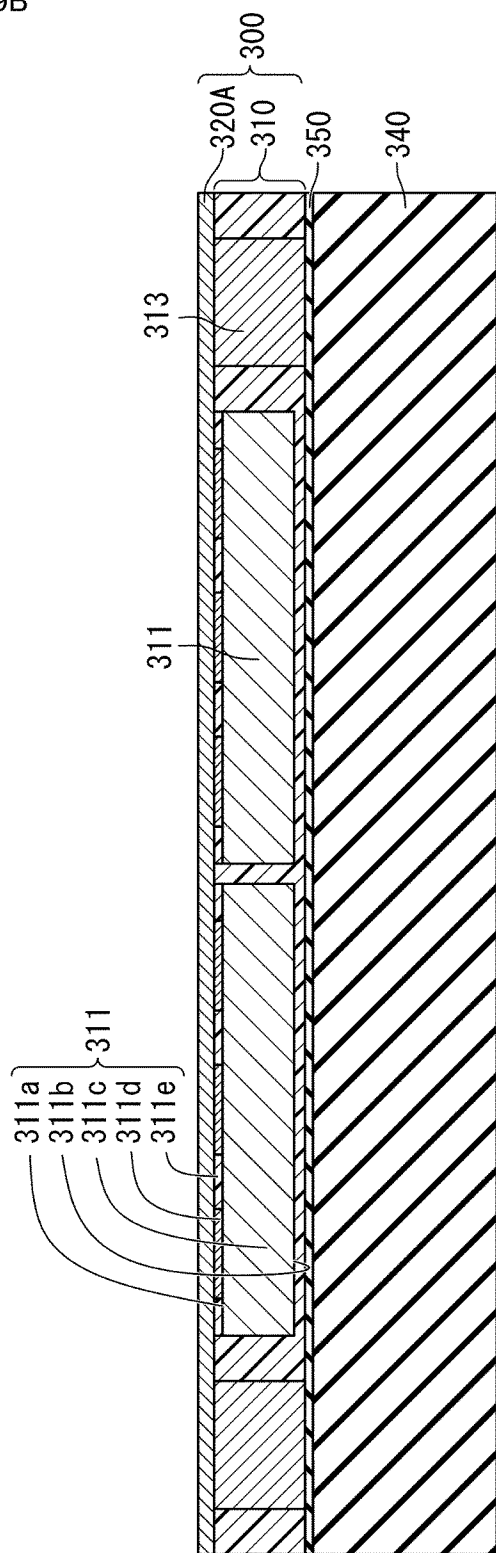
[図9A]

図9A



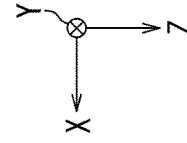
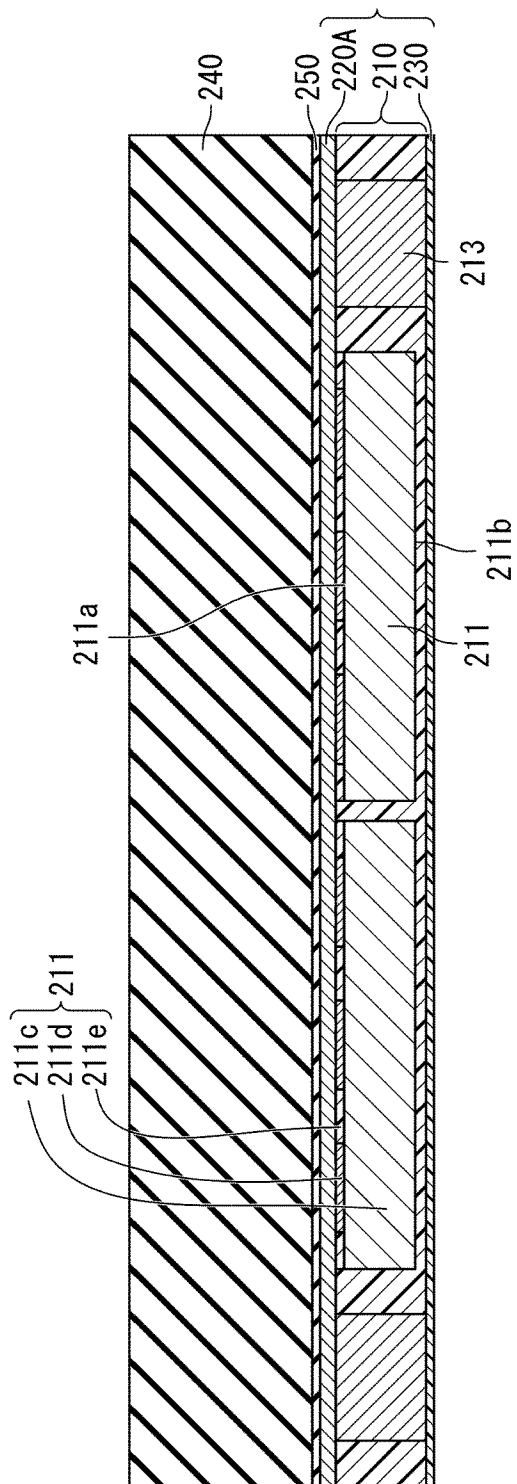
[図9B]

図9B



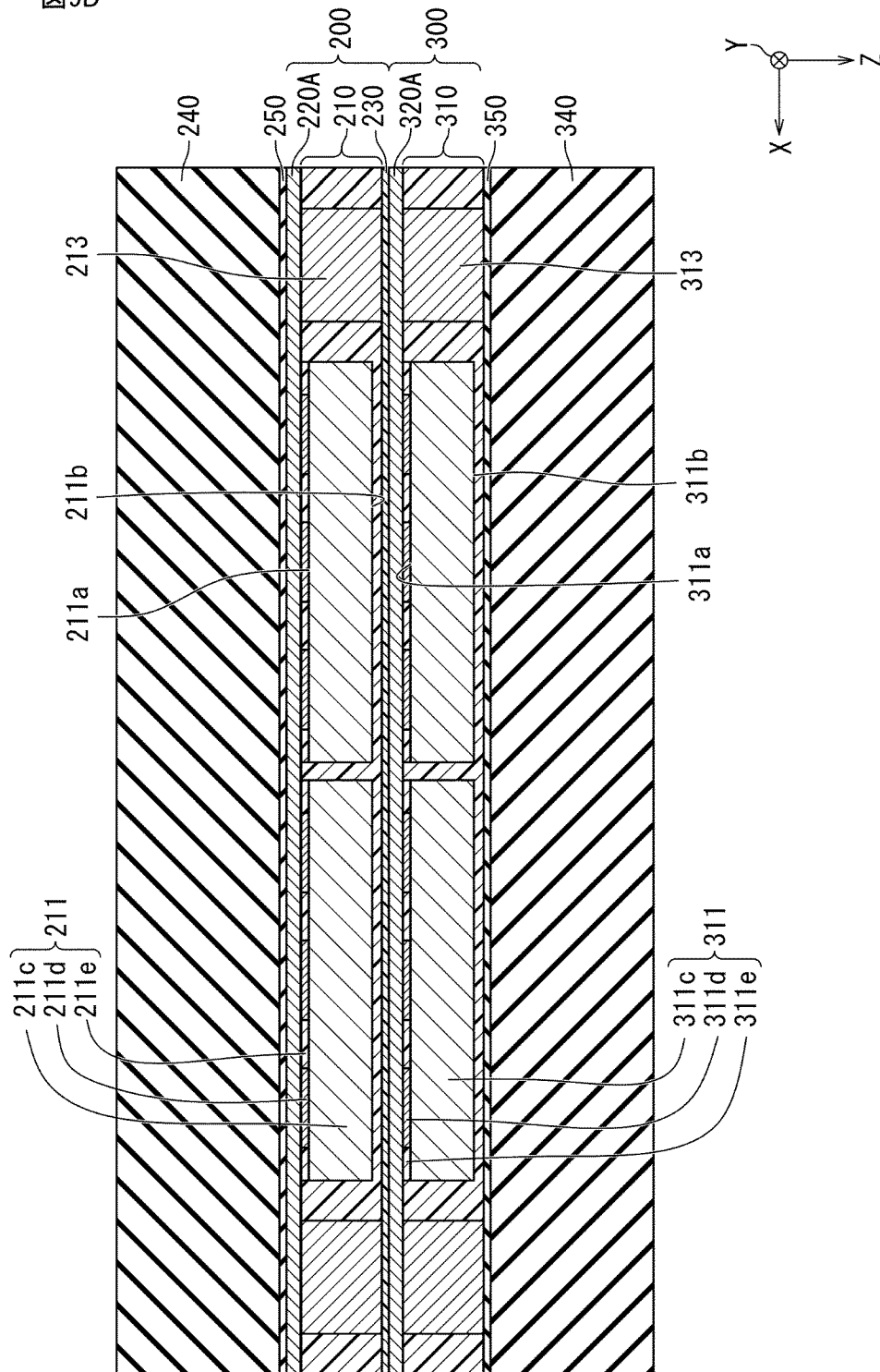
[図9C]

図9C



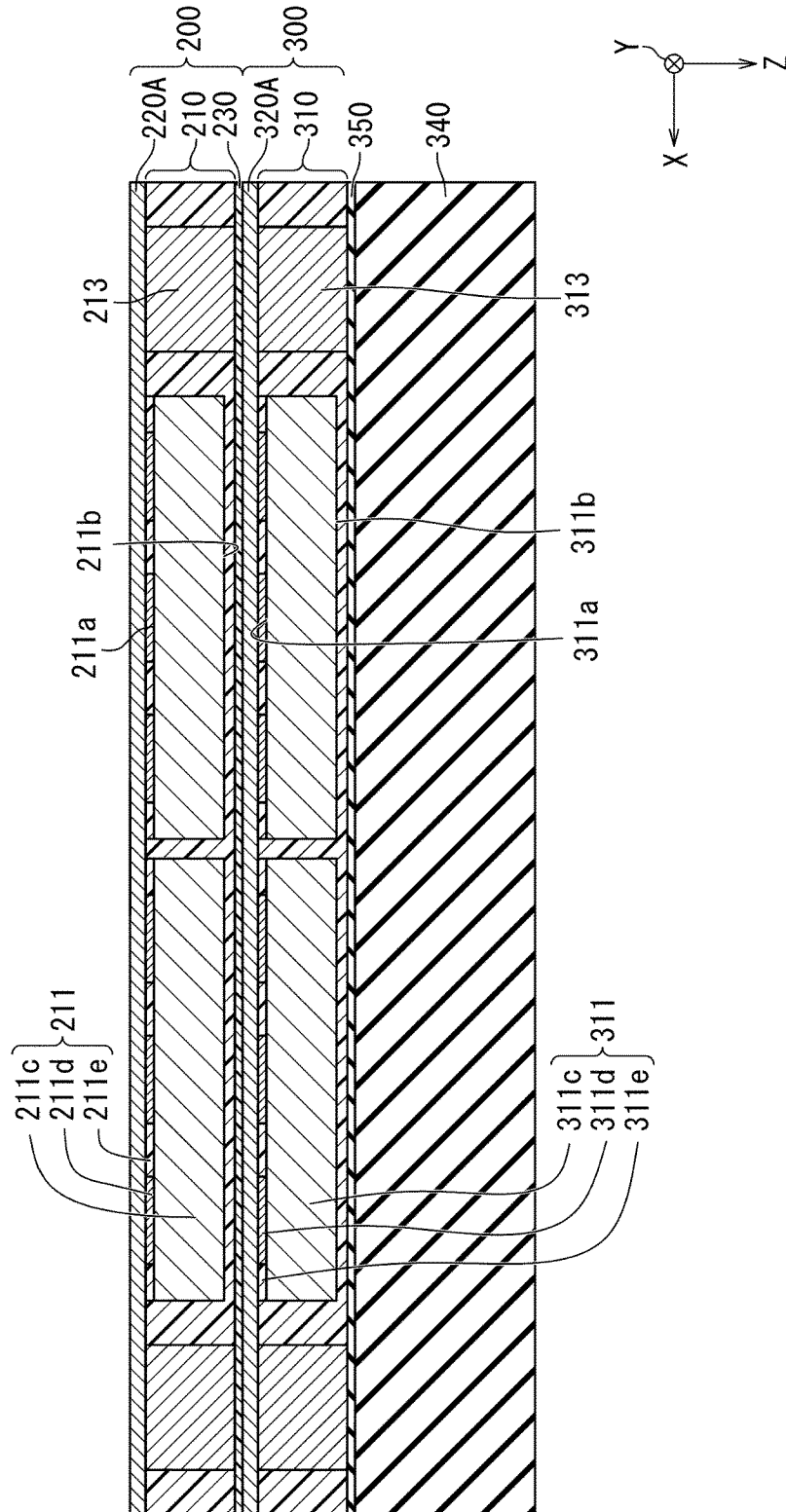
[図9D]

図9D



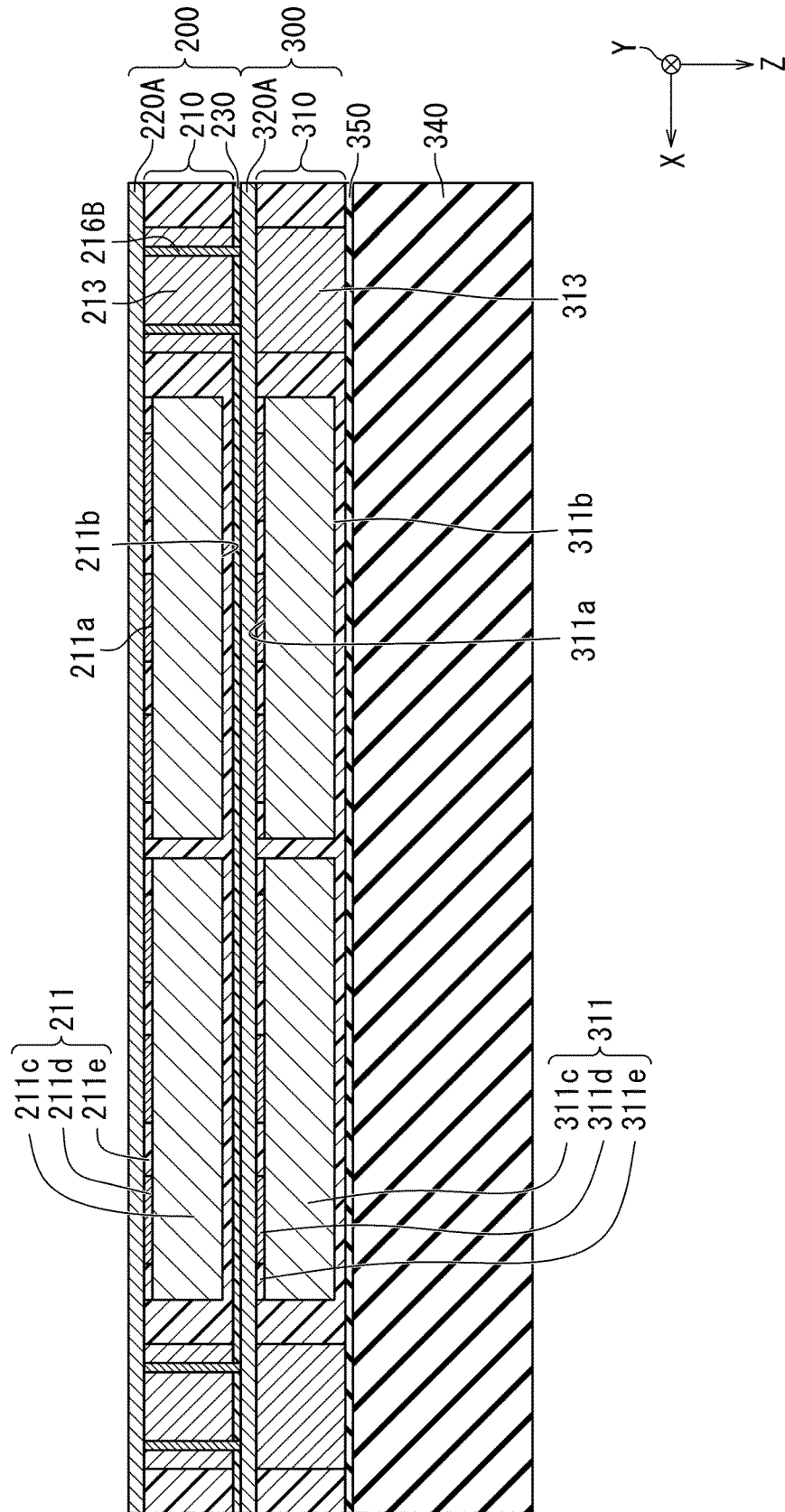
[図9E]

図9E



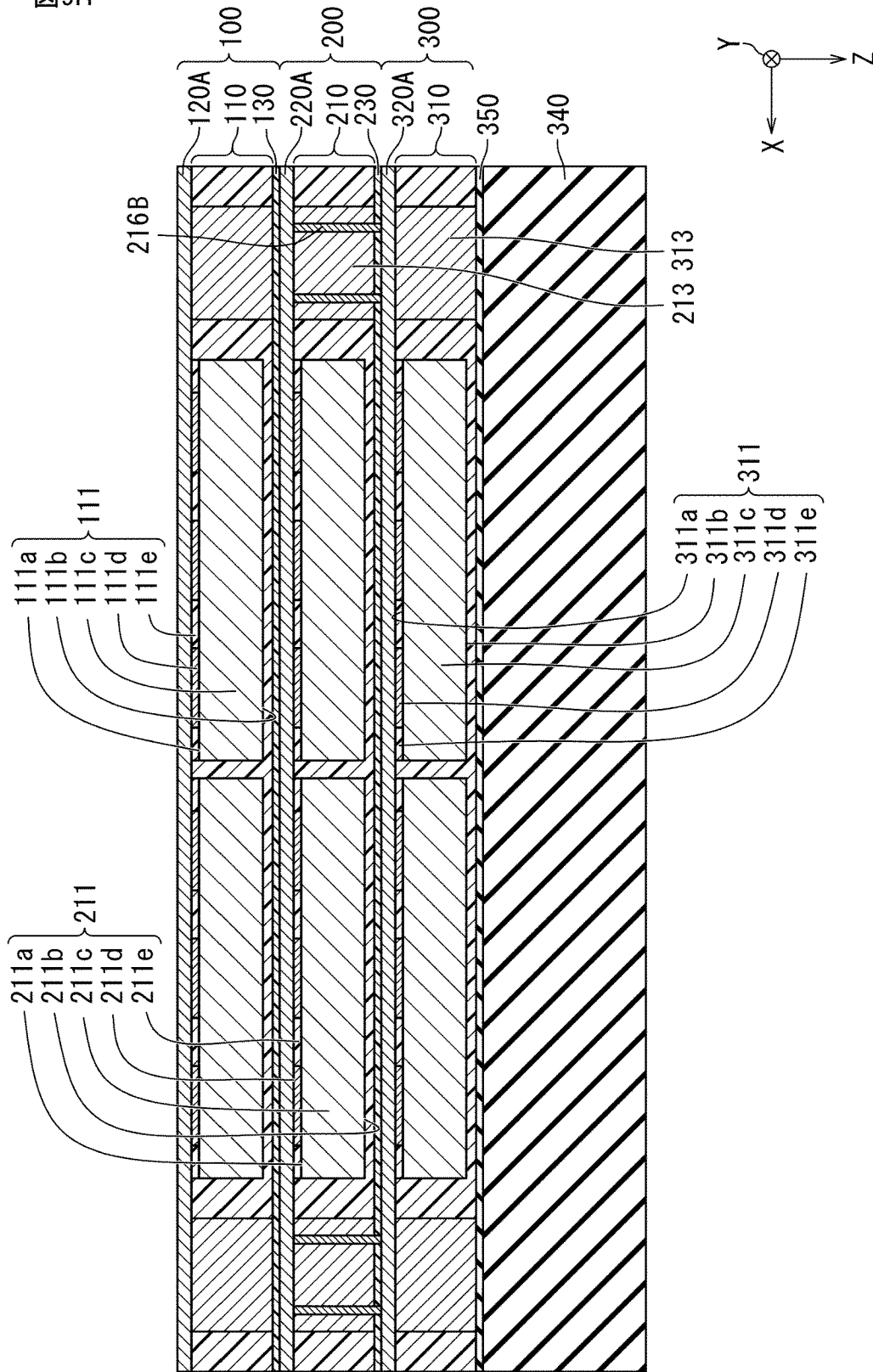
[図9F]

図9F



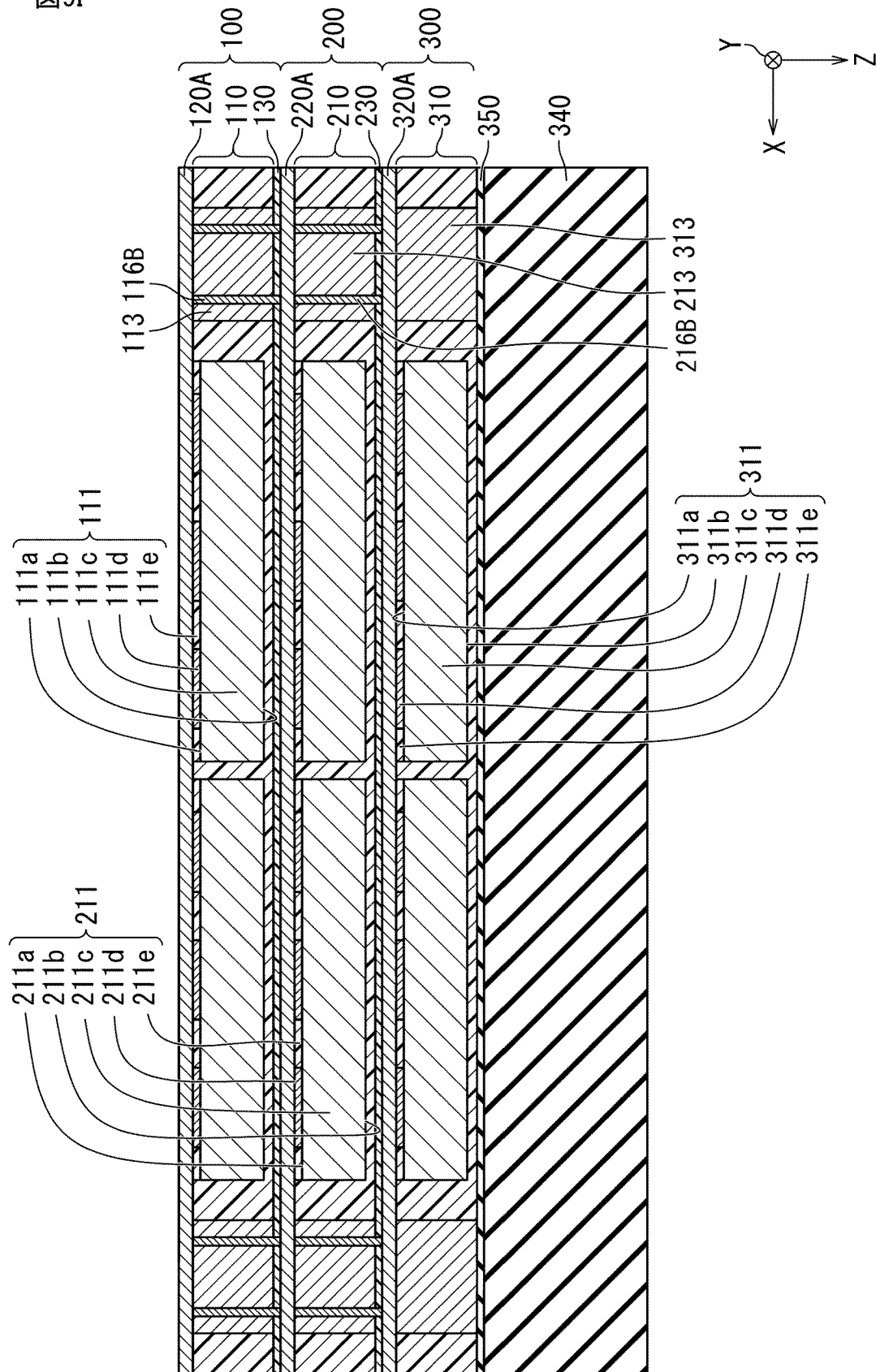
[図9H]

図9H



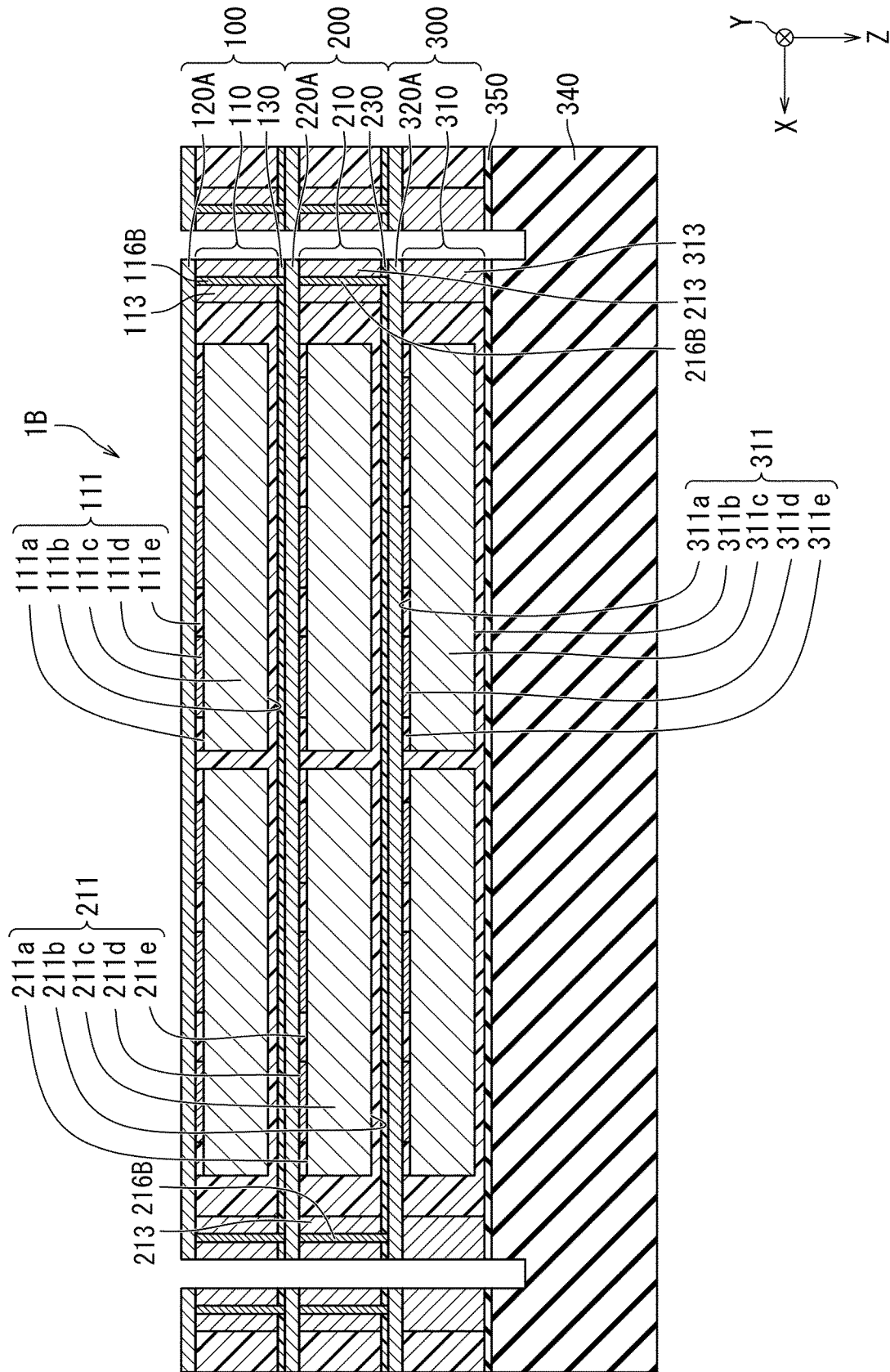
[図9I]

図9I



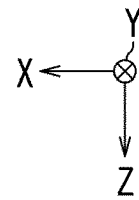
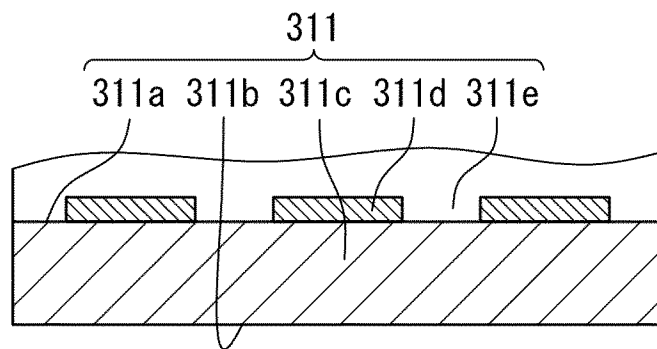
[図9J]

図9J



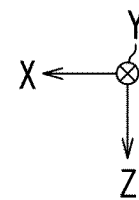
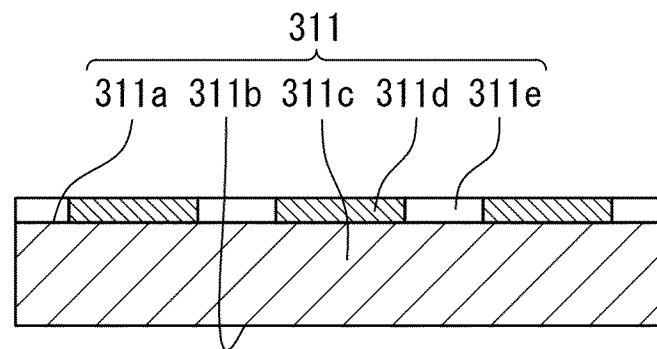
[図10A]

図10A



[図10B]

図10B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015137

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/065(2023.01)i; **H01L 23/32**(2006.01)i; **H01L 25/04**(2023.01)i; **H01L 25/07**(2006.01)i; **H01L 25/10**(2006.01)i;
H01L 25/11(2006.01)i; **H01L 25/18**(2023.01)i; **H05K 1/03**(2006.01)i
 FI: H01L25/08 H; H01L25/14 Z; H01L25/04 Z; H01L25/10 Z; H01L23/32 D; H05K1/03 610B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065; H01L23/32; H01L25/04; H01L25/07; H01L25/10; H01L25/11; H01L25/18; H05K1/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-245259 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 28 October 2010 (2010-10-28) paragraphs [0029]-[0168], fig. 2-13	1-4, 9-10
Y		5-7, 10-15
A		8
X	JP 2007-287803 A (SONY CORP) 01 November 2007 (2007-11-01) paragraphs [0025]-[0033], [0053], fig. 3	1-4, 10
Y	JP 2001-144218 A (SONY CORP) 25 May 2001 (2001-05-25) paragraphs [0019], [0023], fig. 1-2	5-7, 10-15
Y	WO 2020/261994 A1 (MURATA MANUFACTURING CO., LTD.) 30 December 2020 (2020-12-30) paragraphs [0039]-[0040], [0058], [0069]-[0076], fig. 1-2, 3D-3L	6-7, 12-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

16 May 2023

Date of mailing of the international search report

04 July 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015137**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-039090 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 23 February 2012 (2012-02-23) fig. 4	11
Y	JP 2021-526309 A (INTEL CORPORATION) 30 September 2021 (2021-09-30) paragraphs [0045], [0055]-[0060], fig. 6A-6F	15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/015137

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-245259	A	28 October 2010	US 2010/0252937 A1 paragraphs [0031]-[0170], fig. 2A-3K	
JP	2007-287803	A	01 November 2007	(Family: none)	
JP	2001-144218	A	25 May 2001	US 6548330 B1 column 4, lines 16-23, 40-49, fig. 1-2	
				KR 10-2001-0060343 A	
WO	2020/261994	A1	30 December 2020	US 2022/0020692 A1 paragraphs [0073]-[0074], [0110]-[0112], [0135]-[0154], fig. 1-2, 3D-3L	
				CN 113826195 A	
JP	2012-039090	A	23 February 2012	US 2012/0013021 A1 fig. 4	
JP	2021-526309	A	30 September 2021	US 2019/0385977 A1 paragraphs [0057], [0067]- [0072], fig. 6A-6F	
				WO 2019/240901 A1	
				EP 3807932 A1	
				CN 111902933 A	
				KR 10-2021-0010431 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/065(2023.01)i; H01L 23/32(2006.01)i; H01L 25/04(2023.01)i; H01L 25/07(2006.01)i; H01L 25/10(2006.01)i; H01L 25/11(2006.01)i; H01L 25/18(2023.01)i; H05K 1/03(2006.01)i FI: H01L25/08 H; H01L25/14 Z; H01L25/04 Z; H01L25/10 Z; H01L23/32 D; H05K1/03 610B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L25/065; H01L23/32; H01L25/04; H01L25/07; H01L25/10; H01L25/11; H01L25/18; H05K1/03		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-245259 A（新光電気工業株式会社）28.10.2010（2010-10-28） 段落 [0029] - [0168]，図2-13	1-4, 9-10
Y		5-7, 10-15
A		8
X	JP 2007-287803 A（ソニー株式会社）01.11.2007（2007-11-01） 段落 [0025] - [0033]，[0053]，図3	1-4, 10
Y	JP 2001-144218 A（ソニー株式会社）25.05.2001（2001-05-25） 段落 [0019]，[0023]，図1-2	5-7, 10-15
Y	WO 2020/261994 A1（株式会社村田製作所）30.12.2020（2020-12-30） 段落 [0039] - [0040]，[0058]，[0069] - [0076]，図1-2，3D-3L	6-7, 12-14
Y	JP 2012-039090 A（新光電気工業株式会社）23.02.2012（2012-02-23） 図4	11
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 16.05.2023		国際調査報告の発送日 04.07.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高橋 優斗 5F 5585 電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/015137

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-245259	A	28.10.2010	US 2010/0252937 A1 段落 [0031] - [0170], 図 2A-3K	
JP	2007-287803	A	01.11.2007	(ファミリーなし)	
JP	2001-144218	A	25.05.2001	US 6548330 B1 第4欄第16-23行, 40-49行, 図1-2 KR 10-2001-0060343 A	
WO	2020/261994	A1	30.12.2020	US 2022/0020692 A1 段落 [0073] - [0074], [0110] - [0112], [0135] - [0154], 図1-2, 3D-3L CN 113826195 A	
JP	2012-039090	A	23.02.2012	US 2012/0013021 A1 図4	
JP	2021-526309	A	30.09.2021	US 2019/0385977 A1 段落 [0057], [0067] - [0072], 図6A-6F WO 2019/240901 A1 EP 3807932 A1 CN 111902933 A KR 10-2021-0010431 A	