

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2019-0114310
(43) 공개일자 2019년10월10일(51) 국제특허분류(Int. Cl.)
H01L 29/49 (2006.01) H01L 21/02 (2006.01)
H01L 21/324 (2017.01)(52) CPC특허분류
H01L 29/4908 (2013.01)
H01L 21/02164 (2013.01)

(21) 출원번호 10-2018-0036823

(22) 출원일자 2018년03월29일

심사청구일자 2018년03월29일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이희덕

대전광역시 서구 둔산북로 175, 8동 604호 (둔산동, 햇님아파트)

이 맵

충청북도 청주시 서원구 경신로 67, 107동 1010호 (개신동, 개신주공1단지아파트)

이정찬

충청남도 공주시 신금1길 98, 403동 1901호 (금흥동, 새뜰현대4차아파트)

(74) 대리인

유미특허법인

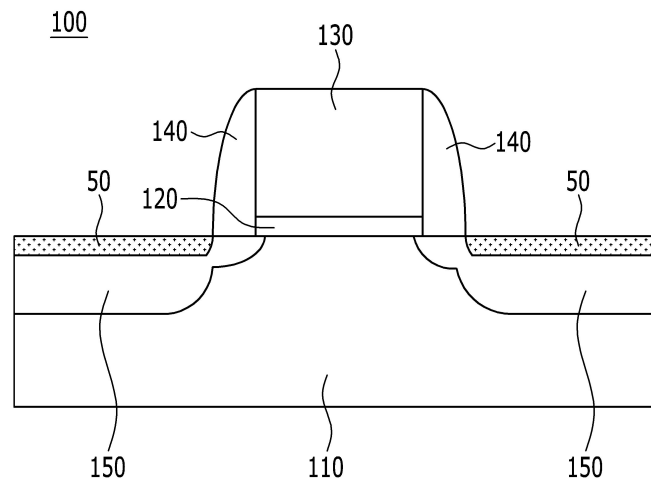
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 인듐(In)이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법

(57) 요약

본 발명의 한 실시예에 따른 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)는 게르마늄(Ge) 기판(substrate), 게르마늄(Ge) 기판 상에 형성된 게이트 산화물층(gate oxide), 게이트 산화물층 상에 형성된 게이트(gate), 그리고 게르마늄(Ge) 기판 상에 형성되어 있고, 서로 이격되어 있는 소스(source) 전극 및 드레인(drain) 전극을 포함하고, 소스 전극 및 드레인 전극은, 인듐이 도핑된 게르마늄(Ge)층, 그리고 인듐이 도핑된 게르마늄층 상에 형성된 NiGe층을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02274 (2013.01)

H01L 21/02381 (2013.01)

H01L 21/02532 (2013.01)

H01L 21/324 (2013.01)

H01L 29/7869 (2013.01)

H01L 2924/01049 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10048536

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 200nm급 이하 차세대 반도체 소자를 위한 저항 감소 기술 개발 (100%)

기 여 율 1/1

주관기관 충남대학교

연구기간 2017.06.01 ~ 2018.03.31

명세서

청구범위

청구항 1

게르마늄(Ge) 기판(substrate),
 상기 게르마늄(Ge) 기판 상에 형성된 게이트 산화물층(gate oxide),
 상기 게이트 산화물층 상에 형성된 게이트(gate), 그리고
 상기 게르마늄(Ge) 기판 상에 형성되어 있고, 서로 이격되어 있는 소스(source) 전극 및 드레인(drain) 전극
 을 포함하고
 상기 소스 전극 및 상기 드레인 전극은,
 인듐이 도핑된 게르마늄(Ge)층, 그리고
 상기 인듐이 도핑된 게르마늄층 상에 형성된 NiGe층
 을 포함하는
 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET).

청구항 2

제1항에서,
 상기 게르마늄 기판은 n-type인 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET).

청구항 3

제1항에서,
 상기 인듐이 도핑된 게르마늄(Ge)층 및 상기 NiGe층 계면의 접촉저항이 $4.04 \times 10^{-8} \Omega \text{cm}^2$ 이하인 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET).

청구항 4

제1항에서,
 상기 인듐이 도핑된 게르마늄(Ge)층 및 상기 NiGe층 계면에서 인듐의 편중 현상이 나타나는 제설 효과(snowplow effect)로 인해 접촉 저항이 감소되는 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET).

청구항 5

제1항에서,
 상기 인듐이 도핑된 게르마늄(Ge)층 및 상기 NiGe층은 오믹 접촉(ohmic contact)되어 있는 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET).

청구항 6

게르마늄 기판에 게이트 산화물층을 형성하는 단계,
 상기 게이트 산화물층 상에 게이트를 형성하는 단계,
 상기 게르마늄 기판에 소스 및 드레인 전극을 형성하는 단계
 를 포함하고,
 상기 소스 및 드레인 전극은,
 게르마늄(Ge) 박막을 형성하는 단계,
 상기 게르마늄 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계,
 상기 인듐이 주입된 Ge층에 Ni층을 형성하는 단계,
 상기 Ni층 상에 TiN 기판을 형성하는 단계,
 상기 인듐이 주입된 Ge층, 상기 Ni층 및 상기 TiN 기판을 열처리하여 상기 인듐이 주입된 Ge층 상에 NiGe층을
 형성하는 단계, 그리고
 TiN 기판(capping layer)을 에칭하여 제거하는 단계
 를 포함하는
 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 7

제6항에서,
 상기 게르마늄(Ge) 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계에서, 상기 인듐은 이
 온 주입법을 통해 실온에서 주입되는 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 8

제6항에서,
 상기 게르마늄(Ge) 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계에서, 상기 인듐 이온
 을 주입한 후 PECVD(plasma-enhanced chemical vapor deposition)를 통해 SiO₂가 증착되는 단계를 포함하는 금
 속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 9

제8항에서,
 상기 SiO₂가 증착되는 단계에서, 상기 SiO₂은 완충된 산화물 에칭제(BOE)를 통해 제거되는 금속-산화물-반도체
 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 10

제6항에서,
 상기 열처리하는 단계에서, 상기 NiGe층은 니켈(Ni)이 RTA(rapid thermal annealing) 시스템에서 어닐링
 (annealing)되어 형성된 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 11

제6항에서,

상기 인듐이 주입된 Ge층에 Ni층을 형성하는 단계 및 상기 Ni층 상에 TiN 기판을 형성하는 단계에서, 상기 Ni층 및 상기 TiN 기판은 라디오 주파수(RF) 스퍼터링(sputtering) 공정을 통해 인시츄(in situ)에서 증착되는 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

청구항 12

제6항에서,

상기 TiN 기판(capping layer)을 에칭하여 제거하는 단계에서, 상기 TiN 기판은 에칭되어 제거되는 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법.

발명의 설명**기술 분야**

[0001] 인듐(In) 이온이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법을 제공한다.

배경 기술

[0002] 금속-산화-반도체 전계 효과 트랜지스터(MOSFET)는 소스 및 드레인 전극을 포함한다. 소스 및 드레인 전극은 접촉 저항이 발생하며, 이로 인해 소자의 특성이 저하될 수 있다. 따라서, 이와 같은 소자의 특성을 향상시키기 위하여 저항 특성의 조절이 중요해지고 있다.

[0003] 게르마늄(Ge)은 우수한 홀(hole) 이동도 특성을 가지고 있으며, 채널 재료로 이용될 수 있다.

[0004] 한편, 종래 p-type의 소스 및 드레인에서, Ge/NiGe을 이용한 소자가 개발되었으나, Ge이 p-type 도펀트(dopant)의 낮은 고체 용해도 특성으로 인해, 도펀트들은 형성된 NiGe 안으로 종종 분산되었다. 따라서, Ge/NiGe 계면에서 $1 \times 10^{-7} \Omega \text{cm}^2$ 의 큰 비접촉저항(ρ_c)을 나타내었다. 이에, Ge/NiGe을 낮은 비접촉저항을 요구하는 소자에 적용하는 것이 쉽지 않을 수 있다.

발명의 내용**해결하려는 과제**

[0005] 본 발명의 한 실시예에 따른 인듐(In)이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법은 접촉 저항 특성을 감소시키기 위한 것이다.

[0006] 본 발명의 한 실시예에 따른 인듐(In)이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법은 인듐 편중 특성을 향상시키기 위한 것이다.

[0007] 본 발명의 한 실시예에 따른 인듐(In)이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법은 소자의 이용률을 향상시키기 위한 것이다.

[0008] 상기 과제 이외에도 구체적으로 언급되지 않은 다른 과제를 달성하는 데 본 발명에 따른 실시예가 사용될 수 있다.

과제의 해결 수단

[0009] 본 발명의 한 실시예에 따른 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)는 게르마늄(Ge) 기판(substrate), 게르마늄(Ge) 기판 상에 형성된 게이트 산화물층(gate oxide), 게이트 산화물층 상에 형성된 게이트(gate), 그리고 게르마늄(Ge) 기판 상에 형성되어 있고, 서로 이격되어 있는 소스(source) 전극 및 드레인(drain) 전극을 포함하고, 소스 전극 및 드레인 전극은, 인듐이 도핑된 게르마늄(Ge)층, 그리고 인듐이 도핑된

게르마늄층 상에 형성된 NiGe층을 포함한다.

- [0010] 게르마늄 기판은 n-type일 수 있다.
- [0011] 인듐이 도핑된 게르마늄(Ge)층 및 NiGe층 계면의 접촉저항이 $4.04 \times 10^{-8} \Omega \text{cm}^2$ 이하일 수 있다.
- [0012] 인듐이 도핑된 게르마늄(Ge)층 및 NiGe층 계면에서 인듐의 편중 현상이 나타나는 제설 효과(snowplow effect)로 인해 접촉 저항이 감소될 수 있다.
- [0013] 인듐이 도핑된 게르마늄(Ge)층 및 NiGe층은 옴릭 접촉(ohmic contact)되어 있을 수 있다.
- [0014] 본 발명의 한 실시예에 따른 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)의 제조방법은 게르마늄 기판에 게이트 산화물층을 형성하는 단계, 게이트 산화물층 상에 게이트를 형성하는 단계, 게르마늄 기판에 소스 및 드레인 전극을 형성하는 단계를 포함하고, 소스 및 드레인 전극은, 게르마늄(Ge) 박막을 형성하는 단계, 게르마늄 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계, 인듐이 주입된 Ge층에 Ni층을 형성하는 단계, Ni층 상에 TiN 기판을 형성하는 단계, 인듐이 주입된 Ge층, Ni층 및 TiN 기판을 열처리하여 인듐이 주입된 Ge층 상에 NiGe층을 형성하는 단계, 그리고 TiN 기판(capping layer)을 에칭하여 제거하는 단계를 포함한다.
- [0015] 게르마늄(Ge) 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계에서, 인듐은 이온 주입법을 통해 실온에서 주입될 수 있다.
- [0016] 게르마늄(Ge) 박막에 인듐(In) 이온을 주입하여 인듐이 주입된 Ge층을 형성하는 단계에서, 인듐 이온을 주입한 후 PECVD(plasma-enhanced chemical vapor deposition)를 통해 SiO_2 가 증착되는 단계를 포함할 수 있다.
- [0017] SiO_2 가 증착되는 단계에서, SiO_2 은 완충된 산화물 에칭제(BOE)를 통해 제거될 수 있다.
- [0018] 열처리하는 단계에서, NiGe층은 니켈(Ni)이 RTA(rapid thermal annealing) 시스템에서 어닐링(annealing)되어 형성될 수 있다.
- [0019] 인듐이 주입된 Ge층에 Ni층을 형성하는 단계 및 Ni층 상에 TiN 기판을 형성하는 단계에서, Ni층 및 TiN 기판은 라디오 주파수(RF) 스퍼터링(sputtering) 공정을 통해 인시츄(in situ)에서 증착될 수 있다.
- [0020] TiN 기판(capping layer)을 에칭하여 제거하는 단계에서, TiN 기판은 에칭되어 제거될 수 있다.

발명의 효과

- [0021] 본 발명의 한 실시예에 따른 인듐(In)이 도핑된 NiGe 전극을 포함하는 금속-산화물-반도체 전계 효과 트랜지스터 및 그 제조방법은 접촉 저항 특성을 감소시킬 수 있고, 인듐 편중 특성을 향상시킬 수 있으며, 소자의 이용률을 향상시킬 수 있다.

도면의 간단한 설명

- [0022] 도 1은 실시예에 따른 전계 효과 트랜지스터의 단면을 나타내는 도면이다.
- 도 2는 실시예에 따른 소스 및 드레인 전극의 형성 과정을 나타내는 도면이다.
- 도 3은 실시예에 따른 소스 및 드레인 전극의 제조방법을 나타내는 도면이다.
- 도 4는 실시예에 따른 소스 및 드레인 전극의 SIMS 분석을 나타내는 그래프이다.
- 도 5는 실시예에 따른 소스 및 드레인 전극의 XRD 분석을 나타내는 그래프이다.
- 도 6은 실시예에 따른 소스 및 드레인 전극의 면저항을 나타내는 그래프이다.
- 도 7은 실시예에 따른 소스 및 드레인 전극의 총 저항을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다.

또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.

- [0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0025] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0026] 도 1은 실시예에 따른 전계 효과 트랜지스터의 단면을 나타내는 도면이다.
- [0027] 도 1을 참조하면, 실시예에 따른 전계 효과 트랜지스터(100)는, 기판(100), 게이트 산화물층(120), 게이트(130), 소스 및 드레인 전극(150)을 포함한다. 이때, 전계 효과 트랜지스터(100)는 금속-산화막-반도체 전계 효과 트랜지스터(MOSFET, metal-oxide-semiconductor field-effect transistor)이다.
- [0028] 도 1에서, 전계 효과 트랜지스터(100)는 pMOSFET을 도시하고 있으나, 이에 제한되지 않는다.
- [0029] 도 1을 참조하면, 전계 효과 트랜지스터(100)는, 기판(110), 기판(110) 상에 위치하는 게이트 산화물층(120), 게이트 산화물층(120) 상에 위치하는 게이트(130), 기판(110) 상에 위치하고 게이트(130)에 접촉되어 있지 않는 소스(source) 및 드레인(drain) 전극(150)을 포함한다. 이때, 스페이서(140)를 더 포함할 수 있다. 스페이서(140)의 일부는 소스 전극(150)과 접촉되어 소스 영역을 형성하고, 스페이서(140)의 다른 일부는 드레인 전극(150)과 접촉되어 드레인 영역을 형성하며, 게이트 산화물층(120)에서 소스 영역과 드레인 영역 사이에 채널 영역이 위치할 수 있다. 소스 및 드레인 전극(150)은 서로 이격되어 있으며, 게이트 산화물층(120)의 채널 영역의 전도성에 따라 전기적으로 연결될 수도 있고, 전기적으로 분리될 수도 있다.
- [0030] 기판(110)은, 게르마늄(Ge) 기판일 수 있으나, 이에 제한되지 않는다. 예를 들면, 기판(110)은 유리 기판, 플라스틱 기판, 실리콘 기판 등을 포함할 수 있다. 게르마늄은 우수한 홀(hole) 이동도(mobility)로 인해 채널 재료로 이용될 수 있고, 예를 들어, n-type의 Ge 기판일 수 있다. 우수한 홀 이동도는 포화된 드레인의 높은 전류, 높은 차단주파수, 그리고 큰 트랜스컨덕턴스(transconductance) 특성을 나타낼 수 있다.
- [0031] 게이트 산화물층(120)은 기판(110) 상에 배치되며, 소스 및 드레인 전극(150)을 전기적으로 연결하는 채널(channel)층으로 사용될 수 있다.
- [0032] 게이트(130)는 게이트 산화물층(120) 상에 배치되며, 게이트 산화물층(120)과 중첩된다. 게이트(130)는 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 몰리브덴 텅스텐(MoW) 등의 금속 또는 전도성 폴리머를 포함할 수 있다.
- [0033] 스페이서(140)는 게이트 산화물층(120) 및 게이트(130)의 양측 벽에 접촉되어 있다. 스페이서(140)는 실리콘산화물, 실리콘질화물 또는 이들의 조합일 수 있으나, 이에 제한되지 않는다.
- [0034] 소스 및 드레인 전극(150)은 게르마늄(Ge)을 포함할 수 있고, 하나 이상의 층으로 이루어질 수 있다. 이때, 소스 및 드레인 전극(150)은, 예를 들어, p-type일 수 있다. 소스 및 드레인 전극(150)은 인듐(In)이 도핑된 Ge 층(20) 및 NiGe층(50)을 포함할 수 있다. 이때, 소스 및 드레인 전극(150)은 자기 배열되어 있는 금속 Ge(germanide)를 기반으로 하며, 낮은 저항성, 낮은 형성 온도, 그리고 자기 배열 특성을 나타내는 NiGe층(50)을 포함하므로 낮은 접촉 저항 효과를 나타낼 수 있다. 이는, Ni germanidation 단계에서, 빠른 열적 어닐링(RTA) 공정을 통해 인듐 도핑된 Ge층(20) 및 NiGe층(50) 계면에서 인듐(In) 도펀트가 편중되는 것에 기인한 것일 수 있다.
- [0035] 도 2는 실시예에 따른 소스 및 드레인 전극(150)의 형성 과정을 나타내는 도면이다.
- [0036] 도 3은 실시예에 따른 소스 및 드레인 전극(150)의 제조방법을 나타내는 도면이다.
- [0037] 실시예에 따른 전계 효과 트랜지스터(100)의 제조방법은, Ge 기판에 게이트 산화물층(120)을 형성하는 단계, 게이트 산화물층(120) 상에 게이트(130)를 형성하는 단계, 소스 및 드레인 전극(150)의 Ge 박막(10)을 형성하는 단계, Ge 박막(10)에 인듐(In) 이온을 주입하는 단계, 인듐이 주입된 Ge층(20)에 Ni층(30)을 형성하는 단계, Ni층(30) 상에 TiN 기판(40)을 형성하는 단계, 열처리하여 NiGe층(50)을 형성하는 단계, TiN 기판(capping layer)을 에칭하는 단계를 포함한다.

- [0038] 우선, Ge 기판에 게이트 산화물층(120)을 형성하는 단계가 수행된다. 이때, Ge 기판은 n-type일 수 있다. 게이트 산화물은, 예를 들어, SiO₂일 수 있으나, 이에 제한되지 않는다. 게이트 산화물층(120)은 화학기상증착법(CVD)을 통해 증착될 수 있다.
- [0039] 다음으로, 게이트 산화물층(120) 상에 게이트(130)를 형성하는 단계가 수행된다. 이때, 마스크 패턴이 형성될 수 있다. 또한, 스페이서(140)가 형성될 수 있다.
- [0040] 이어서, 소스 및 드레인 전극(150)의 Ge 박막(10)을 형성하는 단계가 수행된다. Ge 박막(10)은 p-type일 수 있다.
- [0041] 다음으로, Ge 박막(10)에 인듐(In) 이온을 주입하는 단계가 수행된다. 인듐 이온은 50 keV로 $1 \times 10^{15} \text{ cm}^{-2}$ 씩(dose) 실온에서 주입될 수 있으며, 인듐이 주입된 Ge 박막(20)이 형성될 수 있다. 인듐 이온의 주입 후에, 20 nm 두께의 SiO₂ 캡핑(capping) 층이 증착될 수 있다. SiO₂는 PECVD(plasma-enhanced chemical vapor deposition)를 통해 200 °C 온도에서 증착될 수 있다. 이 단계에서, 도펀트(dopant) 활성화(activation)를 위해 RTA(rapid thermal annealing)를 이용될 수 있으며, 약 650 °C에서 약 10초 동안 수행될 수 있다. 이 후, 완충된 산화물 에칭제(BOE)가 SiO₂ 캡핑(capping) 층을 제거하는데 이용될 수 있다. 따라서, Ge 박막(10)에 인듐이 도핑(doping)되어 있는 인듐이 주입된 Ge층(20)이 형성될 수 있다.
- [0042] 이어서, 인듐이 주입된 Ge층(20)에 Ni층(30)을 형성하는 단계 및 Ni층(30) 상에 TiN 기판(40)을 형성하는 단계가 수행된다. Ni층(30) 및 TiN 기판(40)은 라디오 주파수(RF) 스퍼터링(sputtering)을 통해 인시츄(in situ)에서 증착될 수 있다. TiN 기판(40)은 Ni germane(NiGe) 공정 동안 산화로부터 Ni층(30)을 보호하기 위해 캡핑 층으로 이용될 수 있다. 이때, Ni층(30) 및 TiN 기판(40)은 각각 약 15 nm 및 약 10 nm일 수 있으나, 이에 제한되지 않는다.
- [0043] 다음으로, 열처리하여 NiGe층(50)을 형성하는 단계가 수행된다. 증착된 인듐 주입된 Ge층(20), Ni층(30) 및 TiN 기판(40)은 RTA 시스템에서 약 350 °C에서 약 30초 동안 어닐링될 수 있다. 따라서, 인듐 주입된 Ge층(20) 상에 형성된 NiGe층(50)을 얻을 수 있다. 이때, NiGe층(50)은 15 nm의 Ni를 이용하였을 때, 약 37.5 nm가 형성될 수 있고, SIMS profile 상에서는 약 39 nm로 확인될 수 있으나, 이에 제한되지 않는다. 니켈(Ni)이 germanidation되는 단계에서, NiGe층(50) 및 Ge층(20)의 계면에서 인듐 도펀트가 재분배되고, 편중(segragation)되는 제설효과(snowplow effect)가 나타날 수 있다. 이로 인해, 매우 낮은 기생 저항을 가지는 소스 및 드레인 전극(150)이 형성될 수 있다. 소스 및 드레인 전극(150)은 NiGe(50)/p-Ge(20) 계면에서 나타나는 인듐의 편중으로 인해 매우 낮은 접촉 저항을 나타낼 수 있다. 이는, NiGe층(50) 바로 아래에서 인듐의 도핑 밀도가 증가하는 것에 기인한 것일 수 있다. 이때, NiGe층 및 p-Ge층 사이의 비접촉저항성(ρ_c)은 약 $4.04 \times 10^{-8} \Omega \text{ cm}^2$ 일 수 있으나, 이에 제한되지 않는다.
- [0044] 마지막으로, TiN 기판(capping layer)을 에칭하는 단계가 수행된다. 열처리 단계에서 반응하지 않은 Ni 및 TiN은 H₃PO₄ 용액을 사용하여 선택적으로 에칭된다. 이때, 약 150 °C에서 약 30초 동안 에칭이 수행될 수 있으나, 이에 제한되지 않는다.
- [0045] 이하, 실시예를 들어 본 발명에 대해서 더욱 상세하게 설명할 것이나, 하기의 실시예는 본 발명의 실시예일뿐 본 발명이 하기 실시예에 한정되는 것은 아니다.
- [0046] 실시예들에서, ρ_c 는 CTLM(circular transfer length method) 방식을 사용하여 얻어졌고, 도펀트의 농도, 면저항(Rsh), 질감 특성 및 깊이 분석을 각각 조사하기 위해 Hall 측정장치, 4-point probe (FPP), X-ray 회절(XRD) 및 이차이온 질량 분석기(SIMS)를 이용하였다.
- [0047] **실시예 1 - 소스 및 드레인 전극**
- [0048] 4 인치 비소(As) 도핑된 Ge 웨이퍼(100)(4-inch arsenic (As)-doped Ge wafer)가 기판으로 사용되었다. 이때, 도핑은 $1 \times 10^{17} \text{ cm}^{-3}$ 의 농도로 도핑되었다.
- [0049] 인듐(In) 이온은 50 keV로 $1 \times 10^{15} \text{ cm}^{-2}$ 씩 실온에서 주입되었다. 인듐 이온의 주입 후에, 20 nm 두께의 SiO₂ 캡핑(capping) 층은 PECVD(plasma-enhanced chemical vapor deposition)를 통해 200 °C 온도에서 증착되었다.

- [0050] 도펀트(dopant) 활성화(activation)는 RTA(rapid thermal annealing)를 이용하였고, 650 °C에서 10초 동안 수행되었다. 그 후, 완충된 산화물 에칭제(BOE)는 SiO₂ 캡핑(capping) 층을 제거하는데 이용된다.
- [0051] 이어서, Ni 및 TiN (15 nm 및 10 nm)층들은 라디오 주파수(RF) 스퍼터링(sputtering)을 통해 인시츄(in situ)에서 증착된다.
- [0052] TiN은 Ni germane의 형성 동안 산화로부터 Ni층을 보호하기 위해 캡핑층으로 사용된다.
- [0053] 증착된 Ge-Ni-TiN은 RTA 시스템에 넣어지고 350 °C에서 30초 동안 어닐링되어 NiGe가 형성된다. 반응하지 않은 Ni 및 TiN은 150 °C에서 30초 동안 H₃PO₄ 용액을 사용하여 선택적으로 에칭된다.
- [0054] 따라서, 인듐이 도핑된 p-Ge 및 NiGe 박막을 얻었으며, 이를 소스 및 드레인 전극으로 이용되었다. 니켈(Ni)이 germanidation되는 동안 인듐 도펀트가 재분배되고, 편중된다. 인듐 도펀트의 편중은 NiGe 및 p-Ge의 계면에서 관찰되었으며, 그 결과, $4.04 \times 10^{-8} \Omega \text{cm}^2$ 의 낮은 비접촉저항(ρ_c) 값이 나타났다.
- [0055] **실험예 1 - SIMS 분석**
- [0056] 실시예 1에 따른 전극을 준비하고, In이 주입된 Ge층(p-Ge층), p-Ge층 상에 형성된 Ni층, p-Ge층 상에 형성된 NiGe층의 깊이 단면도를 SIMS (Secondary ion mass spectrometry)로 측정하였으며, 이를 도 4에 나타내었다.
- [0057] 도 4의 가로축은 깊이(depth, nm)를 나타내고, 왼쪽 세로축은 세기(intensity, C/S)를 나타내며, 오른쪽 세로축은 농도(concentration, cm⁻³)를 나타낸다.
- [0058] 도 4를 참조하면, NiGe층은, In이 주입된 Ge층 상에 Ni층을 증착시키고, RTA를 350 °C에서 30초 동안 수행하여 얻어진다. 이때, Ge층 상에 NiGe층이 형성된다. 이 단계에서, NiGe 및 Ge의 계면에서 인듐(In) 원자들이 편중되며, 제설 효과(snowplow effect) 때문에 가파른 면(steep profiles)들이 관찰되는 것을 확인할 수 있다. 이때, 인듐 원자들이 편중되는 구간(snowplow area)은 약 10nm로 확인되었다.
- [0059] 제설 효과에 따르면, 합금 성분의 제거는 한 단계 성장 과정에서 즉, 이동식 계면에 의해 추가적인 성분이나 성분의 불순물이 제거되어 이러한 요소들이 한쪽 면에 쌓이게 된다.
- [0060] 상이 더 성장할수록, 더 많은 합금 성분들이 상위 상 중 어느 하나에 축적된다. 이런 현상은 Ni germanidation 공정의 끝부분에서, 인듐 불순물들의 매우 제한된 고체 용해도를 가지는 새로운 상 NiGe(Ni germanide)으로 나타난다.
- [0061] NiGe의 두께는 약 39nm이다.
- [0062] NiGe층의 바로 아래에서 인듐의 도핑 밀도가 증가로 인하여, NiGe/p-Ge 계면에서 인듐의 편중은 매우 낮은 접촉저항을 나타낼 수 있다.
- [0063] **실험예 2 - XRD 분석**
- [0064] 실시예 1에 따른 인듐-도핑된 Ge 상에 형성된 NiGe층 및 비교예에 따른 보론-도핑된 Ge 상에 형성된 NiGe층을 준비하고, XRD를 사용하여 NiGe의 상 형성을 조사하였으며, 이를 도 5에 나타냈다.
- [0065] 도 5의 가로축은 2theta(degrees)를 나타내고, 세로축은 세기(intensity, A.U.)를 나타낸다.
- [0066] 도 5를 참조하면, 인듐 도핑된 NiGe(NiGe In+doped) 및 보론 도핑된 NiGe(NiGe B+doped)에서 NiGe의 고분자결정(polycrystalline) 구조를 나타내는 피크가 동일하게 나타나는 것을 확인할 수 있다.
- [0067] 다만, 보론 도핑된 NiGe에 비하여, 인듐 도핑된 NiGe는 (211) 방향에서 약간 더 약한 강도를 나타내는 것을 확인할 수 있었다.
- [0068] 따라서, 인듐 원자들이 NiGe의 상 형성에 영향을 미치지 않는다는 것을 유추할 수 있고, 인듐의 편중은 보론 도핑된 NiGe와 다른 새로운 상 때문이 아닌 것을 확인할 수 있었다.
- [0069] 한편, 인듐 원자들이 NiGe의 결정 경계면에 남아있고, 결정들 사이에서 전류를 흐르게 하는데 이로인한 것을 유추할 수 있다.
- [0070] **실험예 3 - 저항 분석**

- [0071] 실시예 1에 따른 전극을 준비하고, NiGe의 저항을 측정하였으며, 이를 도 6 및 7에 도시하였다.
- [0072] 도 6은 면저항을 나타내는 그래프이며, 가로축은 인듐 도핑된 Ge층의 활성화(activation), 증착된 Ni/TiN(As_dep.Ni/TiN) 및 선택적 에칭 후 형성된 NiGe(RTA 350 ℃, 30s) 샘플들을 나타내고, 세로축은 면저항(sheet resistance, /sq)을 나타낸다.
- [0073] 도 7은 총 저항을 나타내는 그래프이며, 가로축은 차이 간격(gap space, μm)을 나타내고, 세로축은 총 저항(total resistance,)를 나타낸다.
- [0074] 도 6을 참조하면, 활성화(activation) 이후에 면저항(R_{sh})은 182.33 /sq였다. 그러나, Ni germanidation 및 선택적 에칭 후에, 측정된 NiGe의 면저항 값은 4.51 /sq로 급격하게 감소하였다. 이러한 수치는, 고성능 장치들에서 금속 소스 및 드레인의 요구조건을 만족한다. 이때, 계면에서 인듐의 편중이 면저항의 감소에 기여한다고 유추할 수 있다.
- [0075] 도 7을 참조하면, NiGe 및 In 도핑된 Ge층(p-type) 사이의 접촉 저항성은 원의 간격 차이의 함수로서 원 안과 밖 사이의 총 저항 값을 측정하였다. 총 저항은 4차원적 방법을 이용하며, 하기 식 1 및 2로 계산될 수 있다.

[0076] 식 1:
$$R_T = \frac{R_{sh}}{2\pi L} (d + 2L_T)C$$

[0077] 식 2:
$$C = \frac{L}{d} \ln\left(1 + \frac{d}{L}\right)$$

[0078] 이때, R_T 는 총 저항을 나타내고, R_{sh} 는 면저항을 나타내며, L 는 안쪽 원의 원주이고, d 는 차이 간격(gap space)이고, L_T 는 유효변화 길이이고, C 는 보정계수이다.

[0079] 다른 차이 간격을 가지는 총 저항값과 맞춰 그린 선을 통해서, 면저항 및 유효이동길이를 얻었다. ρ_c 는 하기 식 3으로 나타낼 수 있다.

[0080] 식 3:
$$\rho_c = R_{sh} L_T^2$$

[0081] ρ_c 는 $4.04 \times 10^{-8} \Omega\text{cm}^2$ 로 나타났다. 이 값은 보론-도핑된 Ge의 공지된 ρ_c 값보다 상당히 낮은 값이다.

[0082] 결론적으로, 인듐의 편중은 NiGe의 형성 동안 발생하고, 이는 NiGe 및 p-Ge 사이에서 접촉 저항이 매우 낮은 옴릭 접촉(ohmic contact)의 형성으로 나타남을 확인할 수 있다. 남아있는 인듐 원자들은 NiGe 결정들의 결정 경계에서 머무르고, NiGe의 상 형성에는 영향을 주지 않는다.

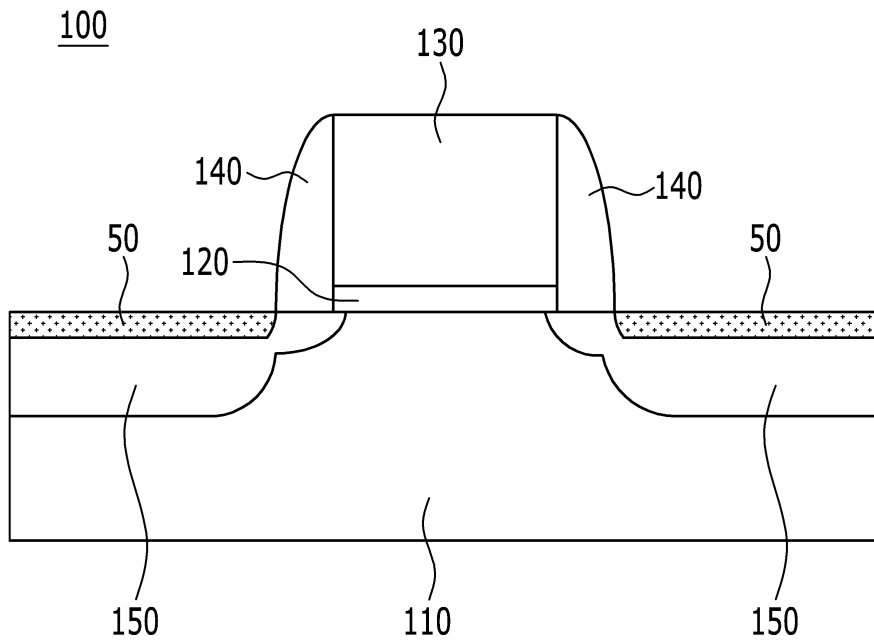
[0083] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

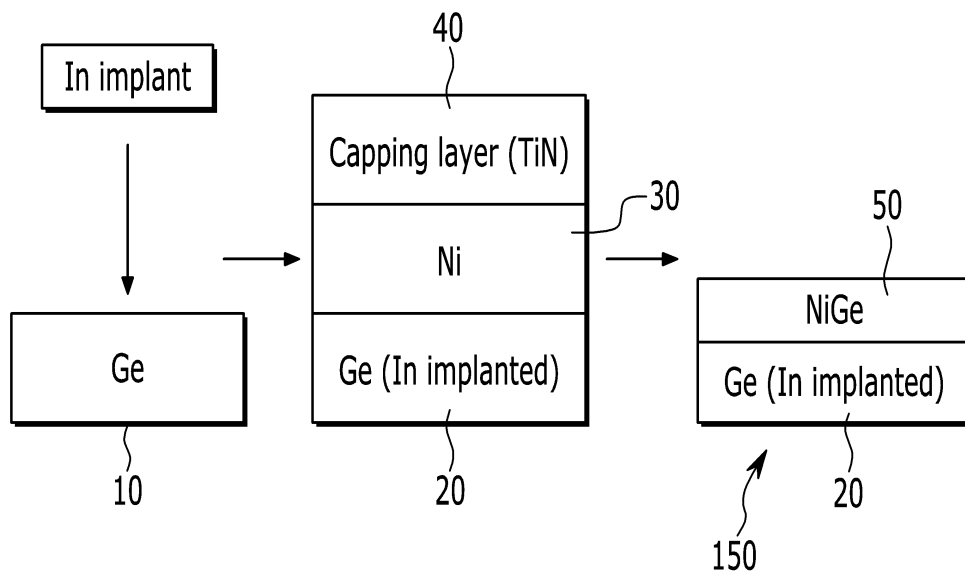
- [0084] 10: Ge 박막 20: 인듐 주입된 Ge층
 30: Ni층 40: TiN 기판
 50: NiGe층 100: 전계 효과 트랜지스터
 110: n-Ge 박막 120: 게이트 산화물층
 130: 게이트 140: 스페이서
 150: 소스 및 드레인 전극

도면

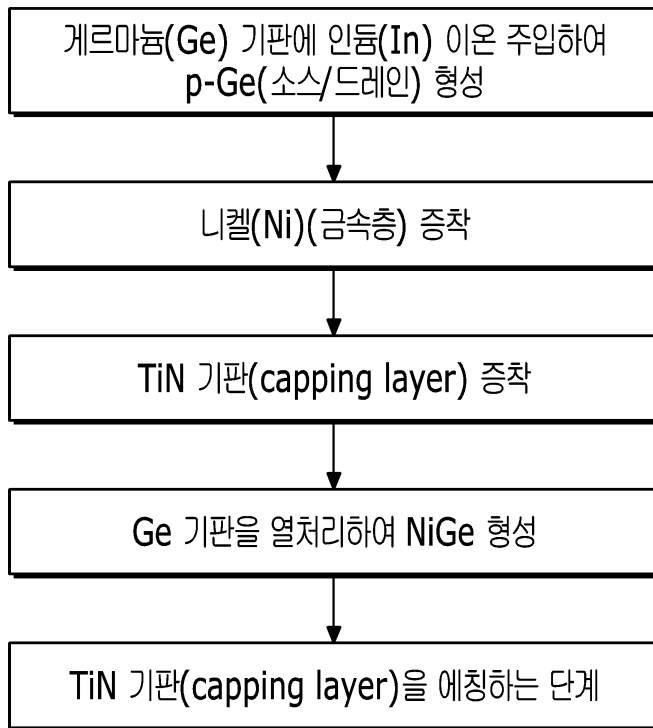
도면1



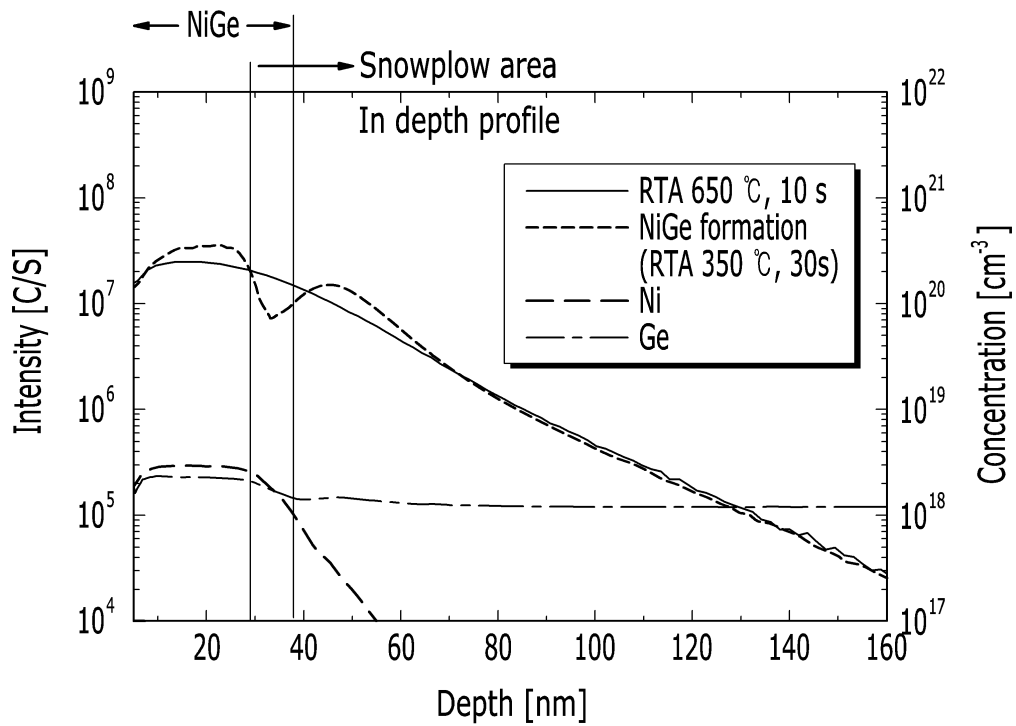
도면2



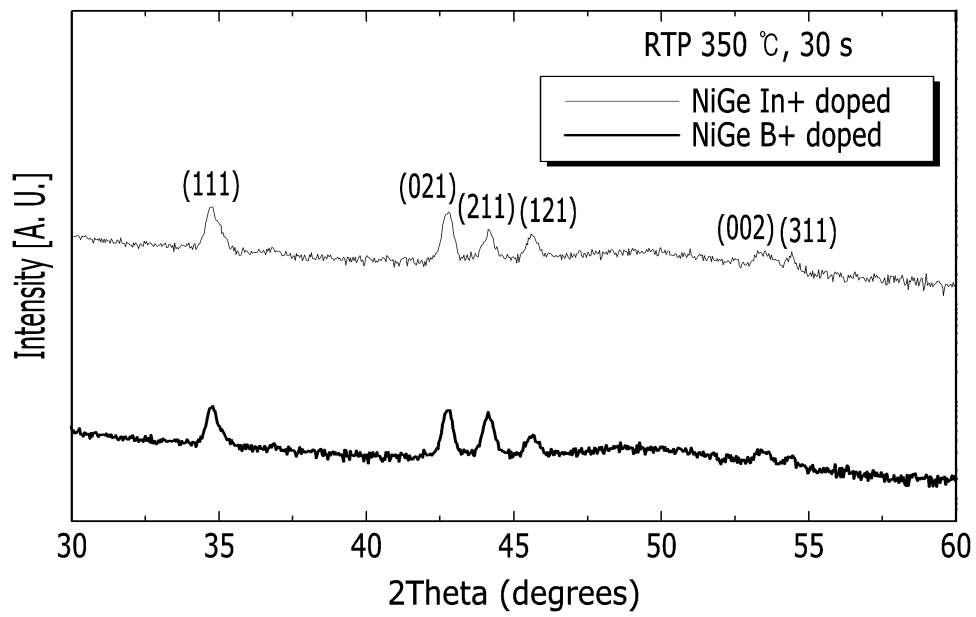
도면3



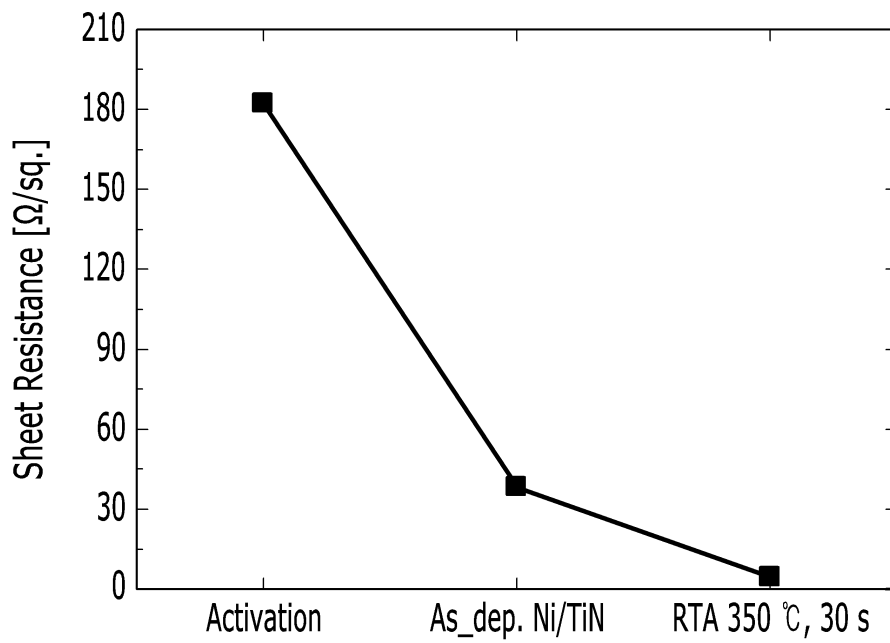
도면4



도면5



도면6



도면7

