

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成19年4月19日(2007.4.19)

【公開番号】特開2004-282072(P2004-282072A)

【公開日】平成16年10月7日(2004.10.7)

【年通号数】公開・登録公報2004-039

【出願番号】特願2004-70540(P2004-70540)

【国際特許分類】

H 01 L 23/32 (2006.01)

【F I】

H 01 L 23/32 D

【手続補正書】

【提出日】平成19年3月7日(2007.3.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体物質で形成された基板を含み、前記基板の第1のメイン表面上に置かれた第1の入力／出力接点(122、340、360)と該基板の第2のメイン表面上に置かれた第2の入力／出力接点(126、330、415)とを有するインタポーラ(120、200、300、400)を含み、

前記第2の入力／出力接点が、前記第1の入力／出力接点に電気的に接続(124、320)されており、

前記基板の第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、それに対して前記インタポーラ(120、200、300、400)を取り付けようとしているデバイス(140、210、310、410)の入力／出力パッド(142)に取り付けるためのものであり、

前記第2のメイン表面上に置かれた前記第2の入力／出力接点(126、330、415)が、それに対しても前記インタポーラを取り付けようとしている構成要素(220)の接点に対する結合を可能にし、

前記第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、前記インタポーラ基板の第2のメイン表面上に置かれた前記第2の入力／出力接点(126、330、415)とは異なるピッチを有している
 ことを特徴とする構造体。

【請求項2】

前記インタポーラ基板の第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、それに対して前記インタポーラを取り付けようとしている前記デバイス(140、210、310、410)の入力／出力パッド(142)と対応する形状サイズを有することを特徴とする、請求項1に記載の構造体。

【請求項3】

前記デバイス(140、210、310、410)が、x、y表面区域を有する集積回路ベアチップを含み、前記インタポーラ(120、200、300、400)が、前記集積回路ベアチップのx、y表面区域と同じサイズにされた表面区域を有することを特徴とする、請求項1に記載の構造体。

【請求項4】

前記集積回路ペアチップ(140、210、310、410)が、第1の集積回路チップを含み、前記構成要素(220)が、第2の集積回路チップを含み、前記インタポーラ(120、200、300、400)が、前記第1の集積回路チップと前記第2の集積回路チップとの間の電気的接続を可能にすることを特徴とする、請求項3に記載の構造体。

【請求項5】

前記半導体物質が、シリコン、炭化ケイ素、及びガリウム砒素の少なくとも1つを含むことを特徴とする、請求項1に記載の構造体。

【請求項6】

前記デバイスが、半導体物質で形成された基板を有し、

前記インタポーラ基板の半導体物質が、前記デバイス基板の半導体物質と少なくとも部分的に一致していることを特徴とする、請求項1に記載の構造体。

【請求項7】

その表面上に置かれた入力／出力パッド(142)を有する集積回路デバイス(140、210、310、410)と、

半導体物質で形成された基板を有し、前記基板の第1のメイン表面上に置かれた第1の入力／出力接点(122、340、360)と該基板の第2のメイン表面上に置かれかつ前記第1の入力／出力接点に電気的に接続(124、320)された第2の入力／出力接点(126、330、415)とを有するインタポーラ(120、200、300、400)と、を含み、

前記基板の第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、前記集積回路デバイス(140、210、310、410)の入力／出力パッド(142)に電気的に取り付けられ、前記第2のメイン表面上に置かれた前記第2の入力／出力接点(126、330、415)が、それに対しても前記インタポーラを取り付けることができる構成要素(220)の接点に対する結合を可能にし、

前記第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、前記インタポーラ基板の第2のメイン表面上に置かれた前記第2の入力／出力接点(126、330、415)とは異なるピッチを有している
ことを特徴とする構造体(100)。

【請求項8】

その表面上に置かれた入力／出力パッド(142)を有する集積回路デバイス(140、210、310、410)と、

半導体物質で形成された基板を有し、前記基板の第1のメイン表面上に置かれた第1の入力／出力接点(122、340、360)と該基板の第2のメイン表面上に置かれかつ前記第1の入力／出力接点に電気的に接続(124、320)された第2の入力／出力接点(126、330、415)とを有するインタポーラ(120、200、300、400)と、を含み、

前記基板の第1のメイン表面上に置かれた前記第1の入力／出力接点(122、340、360)が、前記集積回路デバイス(140、210、310、410)の入力／出力パッド(142)に電気的に取り付けられ、前記第2のメイン表面上に置かれた前記第2の入力／出力接点(126、330、415)が、それに対しても前記インタポーラを取り付けることができる構成要素(220)の接点に対する結合を可能にし、

前記第1の入力／出力接点(122、340、360)を、前記インタポーラ基板の前記第2の入力／出力接点(126、330、415)に接続する電気的相互接続手段を更に有し、該電気的相互接続手段は前記インタポーラ基板の前記半導体物質から電気的に絶縁されている
ことを特徴とする構造体(100)。

【請求項9】

デバイス(140、210、310、410)の入力／出力パッド(142)に接触させるための方法であって、

半導体物質で形成された基板を有し、前記基板の第1のメイン表面上に置かれた第1の入

力 / 出力接点 (1 2 2 、 3 4 0 、 3 6 0) と該基板の第 2 のメイン表面上に置かれかつそれに対して前記第 1 の入力 / 出力接点が電気的に接続 (1 2 4 、 3 2 0) された第 2 の入力 / 出力接点 (1 2 6 、 3 3 0 、 4 1 5) とを含むインタポーラ (1 2 0 、 2 0 0 、 3 0 0 、 4 0 0) を準備する段階と、

前記インタポーラ (1 2 0 、 2 0 0 、 3 0 0 、 4 0 0) の第 1 の入力 / 出力接点 (1 2 2 、 3 4 0 、 3 6 0) をデバイス (1 4 0 、 2 1 0 、 3 1 0 、 4 1 0) の入力 / 出力パッド (1 4 2) に電気的に接続することにより、該インタポーラ (1 2 0 、 2 0 0 、 3 0 0 、 4 0 0) を該デバイスに対して電気的に接続する段階と、

を含み、

前記第 1 のメイン表面上に置かれた前記第 1 の入力 / 出力接点 (1 2 2 、 3 4 0 、 3 6 0) が、前記インタポーラ基板の第 2 のメイン表面上に置かれた前記第 2 の入力 / 出力接点 (1 2 6 、 3 3 0 、 4 1 5) とは異なるピッチを有している

ことを特徴とする方法。