

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2001-358233(P2001-358233A)

【公開日】平成13年12月26日(2001.12.26)

【出願番号】特願2000-180004(P2000-180004)

【国際特許分類第7版】

H 01 L 21/8244

H 01 L 27/11

H 01 L 21/8234

H 01 L 27/088

H 01 L 21/8238

H 01 L 27/092

H 01 L 27/10

H 01 L 29/78

H 01 L 21/336

【F I】

H 01 L 27/10 3 8 1

H 01 L 27/10 4 6 1

H 01 L 27/10 4 8 1

H 01 L 27/08 1 0 2 B

H 01 L 27/08 3 2 1 E

H 01 L 29/78 3 0 1 L

【手続補正書】

【提出日】平成16年5月21日(2004.5.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板に設けられた相補型電界効果トランジスタ構成の複数のS R A Mセルの各々を構成する複数の電界効果トランジスタのうち、少なくとも1つの第1の電界効果トランジスタのソース又はドレインを構成する一対の半導体領域のチャネル側端部を、その電界効果トランジスタのゲート電極と重ならないように、そのゲート電極の両端部から遠ざかる方向に離して配置し、

前記半導体基板に形成された電界効果トランジスタであって、前記第1の電界効果トランジスタ以外の第2の電界効果トランジスタを構成する一対の半導体領域のチャネル側端部を、その電界効果トランジスタのゲート電極と一部が重なるように配置したことを特徴とする半導体集積回路装置。

【請求項2】

半導体基板に設けられた相補型電界効果トランジスタ構成の複数のS R A Mセルの各々を構成する複数の電界効果トランジスタのうち、少なくとも1つの第1の電界効果トランジスタのソース又はドレイン領域とゲート電極とをオフセット構造としたことを特徴とする半導体集積回路装置。

【請求項3】

半導体基板に設けられた相補型電界効果トランジスタ構成の複数のS R A Mセルの各々を

構成する複数の電界効果トランジスタのうち、少なくとも1つの第1の電界効果トランジスタのゲート絶縁膜の厚さを、前記半導体基板に形成された電界効果トランジスタであって、前記第1の電界効果トランジスタ以外の電界効果トランジスタであり、前記第1の電界効果トランジスタと同じ電源電圧が供給される第2の電界効果トランジスタのゲート絶縁膜よりも厚くしたことを特徴とする半導体集積回路装置。

【請求項4】

請求項3記載の半導体集積回路装置において、前記第1の電界効果トランジスタのソース又はドレイン領域とゲート電極とをオフセット構造とし、前記第2の電界効果トランジスタのソース又はドレイン領域とゲート電極とを非オフセット構造としたことを特徴とする半導体集積回路装置。

【請求項5】

半導体基板に設けられた相補型電界効果トランジスタ構成の複数のS R A Mセルの各々を構成する複数の電界効果トランジスタのうち、少なくとも1つの第1の電界効果トランジスタのソース又はドレイン用の半導体領域は、チャネル側に配置され相対的に不純物濃度の低い第1の半導体領域と、前記第1の半導体領域に接続され相対的に不純物濃度の高い第2の半導体領域とを有し、

前記半導体基板に形成された電界効果トランジスタであって、前記第1の電界効果トランジスタ以外の電界効果トランジスタであり、前記第1の電界効果トランジスタと同じ電源電圧が供給される第2の電界効果トランジスタのソース又はドレイン用の半導体領域は、チャネル側に配置され相対的に不純物濃度の低い第1の半導体領域と、前記第1の半導体領域に接続され相対的に不純物濃度の高い第2の半導体領域とを有し、

前記第1の電界効果トランジスタの第1の半導体領域の不純物濃度を、前記第2の電界効果トランジスタの第1の半導体領域の不純物濃度よりも低くしたことを特徴とする半導体集積回路装置。

【請求項6】

請求項5記載の半導体集積回路装置において、前記第1の電界効果トランジスタおよび前記第2の電界効果トランジスタのソース又はドレイン領域とゲート電極とを非オフセット構造としたことを特徴とする半導体集積回路装置。

【請求項7】

請求項5記載の半導体集積回路装置において、前記第1の電界効果トランジスタのソース又はドレイン領域とゲート電極とをオフセット構造とし、前記第2の電界効果トランジスタのソース又はドレイン領域とゲート電極とを非オフセット構造としたことを特徴とする半導体集積回路装置。

【請求項8】

請求項5、6または7記載の半導体集積回路装置において、前記第1の電界効果トランジスタのゲート絶縁膜を、前記第2の電界効果トランジスタのゲート絶縁膜よりも厚くしたことを特徴とする半導体集積回路装置。

【請求項9】

請求項1～8のいずれか1項に記載の半導体集積回路装置において、前記S R A Mセルの負荷用の電界効果トランジスタを、前記第1の電界効果トランジスタで構成し、前記S R A Mセルの駆動用および選択用の電界効果トランジスタを、前記第2の電界効果トランジスタで構成したことを特徴とする半導体集積回路装置。

【請求項10】

請求項1～8のいずれか1項に記載の半導体集積回路装置において、前記S R A Mセルの負荷用および駆動用の電界効果トランジスタを、前記第1の電界効果トランジスタで構成し、前記S R A Mセルの選択用の電界効果トランジスタを、前記第2の電界効果トランジスタで構成したことを特徴とする半導体集積回路装置。

【請求項11】

請求項1～8のいずれか1項に記載の半導体集積回路装置において、前記S R A Mセルの負荷用、駆動用および選択用の電界効果トランジスタを、前記第1の電界効果トランジ

タで構成したことを特徴とする半導体集積回路装置。

【請求項 1 2】

請求項 9 ~ 11 のいずれか 1 項に記載の半導体集積回路装置において、前記負荷用の電界効果トランジスタが、p チャネル型の電界効果トランジスタであることを特徴とする半導体集積回路装置。

【請求項 1 3】

請求項 1 ~ 12 のいずれか 1 項に記載の半導体集積回路装置において、前記半導体基板に形成された S R A M セルの周辺回路、前記半導体基板に形成された S R A M セル以外の論理回路またはその両方の回路を構成する電界効果トランジスタを、前記第 2 の電界効果トランジスタで構成したことを特徴とする半導体集積回路装置。

【請求項 1 4】

請求項 1 ~ 13 のいずれか 1 項に記載の半導体集積回路装置において、2 次電池で駆動する携帯型電子装置に電気的に組み込むことを特徴とする半導体集積回路装置。

【請求項 1 5】

相補型電界効果トランジスタ構成の複数の S R A M セルの各々を構成する複数の電界効果トランジスタおよび前記 S R A M セル以外の回路を構成する複数の電界効果トランジスタを半導体基板に形成する工程を有し、

前記 S R A M セルを構成する複数の電界効果トランジスタのうち、少なくとも 1 つの第 1 の電界効果トランジスタのソース又はドレイン用の半導体領域とゲート電極とがオフセットとなり、前記複数の電界効果トランジスタのうち、前記第 1 の電界効果トランジスタ以外の第 2 の電界効果トランジスタのソース又はドレイン用の半導体領域とゲート電極とが非オフセットとなるように、前記第 1 および第 2 の電界効果トランジスタの半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】

( a ) 半導体基板に、第 1 、第 2 の電界効果トランジスタのゲート絶縁膜を形成する工程と、

( b ) 前記ゲート絶縁膜上に、前記第 1 、第 2 の電界効果トランジスタのゲート電極を形成する工程と、

( c ) 前記第 1 の電界効果トランジスタの形成領域を被覆し、前記第 2 の電界効果トランジスタの形成領域が露出されるマスクを形成した後、その半導体基板に第 1 の不純物を導入することにより、前記第 2 の電界効果トランジスタのソース又はドレイン用の半導体領域のうち、相対的に不純物濃度の低い第 1 の半導体領域を、前記第 2 の電界効果トランジスタのゲート電極に対して自己整合的に形成する工程と、

( d ) 前記第 1 、第 2 の電界効果トランジスタの各々のゲート電極の側面に側壁絶縁膜を形成した後、その半導体基板に第 2 の不純物を導入することにより、前記第 1 、第 2 の電界効果トランジスタのソース又はドレイン用の半導体領域のうち、相対的に不純物濃度の高い第 2 の半導体領域を、前記第 1 、第 2 の電界効果トランジスタの各々のゲート電極および側壁絶縁膜に対して自己整合的に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】

相補型電界効果トランジスタ構成の複数の S R A M セルの各々を構成する複数の電界効果トランジスタおよび前記 S R A M セル以外の回路を構成する複数の電界効果トランジスタを半導体基板に形成する工程を有し、

前記 S R A M セルを構成する複数の電界効果トランジスタのうち、少なくとも 1 つの第 1 の電界効果トランジスタのゲート絶縁膜を、その厚さが、前記第 1 の電界効果トランジスタ以外の電界効果トランジスタであって、前記第 1 の電界効果トランジスタと同一の電源電圧が供給される第 2 の電界効果トランジスタのゲート絶縁膜よりも厚くなるように形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体集積回路装置の製造方法において、

- (a) 前記半導体基板の主面上に第1のゲート絶縁膜を形成する工程と、
- (b) 前記第1の電界効果トランジスタ形成領域に形成された前記第1のゲート絶縁膜部分を選択的に除去する工程と、
- (c) 前記(b)工程後、前記半導体基板の主面上に第2のゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項19】

請求項17または18記載の半導体集積回路装置の製造方法において、前記第1の電界効果トランジスタのソース又はドレイン用の半導体領域がゲート電極に対してオフセットとなり、前記第2の電界効果トランジスタのソース又はドレイン用の半導体領域がゲート電極に対して非オフセットとなるように、各々の半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項20】

請求項15～19のいずれか1項に記載の半導体集積回路装置の製造方法において、前記SRAMセルの負荷用の電界効果トランジスタを、前記第1の電界効果トランジスタで形成し、前記SRAMセルの駆動用および選択用の電界効果トランジスタを、前記第2の電界効果トランジスタで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項21】

請求項15～19のいずれか1項に記載の半導体集積回路装置の製造方法において、前記SRAMセルの負荷用および駆動用の電界効果トランジスタを、前記第1の電界効果トランジスタで形成し、前記SRAMセルの選択用の電界効果トランジスタを、前記第2の電界効果トランジスタで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項22】

請求項15～19のいずれか1項に記載の半導体集積回路装置の製造方法において、前記SRAMセルの負荷用、駆動用および選択用の電界効果トランジスタを、前記第1の電界効果トランジスタで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項23】

請求項20～22のいずれか1項に記載の半導体集積回路装置の製造方法において、前記負荷用の電界効果トランジスタを、pチャネル型の電界効果トランジスタで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項24】

請求項15～23のいずれか1項に記載の半導体集積回路装置の製造方法において、前記半導体基板に形成されたSRAMセルの周辺回路、前記半導体基板に形成された論理回路またはその両方の回路を構成する電界効果トランジスタを、前記第2の電界効果トランジスタで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項25】

半導体基板上に形成されたSRAMセルおよび周辺回路を含む半導体装置であって、前記SRAMセルは1対の負荷用のpチャネル型のMIS·FETと、1対の駆動用のnチャネル型のMIS·FETと、1対の選択用のnチャネル型のMIS·FETとから構成され、

前記周辺回路は、第1のpチャネル型のMIS·FETおよび第1のnチャネル型のMIS·FETから構成され、

前記第1のpチャネル型のMIS·FETおよび第1のnチャネル型のMIS·FETはLDD構造を有し、

前記負荷用のpチャネル型のMIS·FETはシングルドレイン構造を有することを特徴とする半導体装置。

【請求項26】

請求項25に記載の半導体装置において、前記半導体装置はさらに論理回路を含み、前記論理回路は、前記第1のpチャネル型のMIS·FETおよび第1のnチャネル型のMIS·FETから構成されることを特徴とする半導体装置。