

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94108818

※申請日期：94.3.22

※IPC 分類：H03M 3/60 (2006.01)

一、發明名稱：(中文/英文)

切換電容器信號比例電路

SWITCHED CAPACITOR SIGNAL SCALING CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商微晶片科技公司

MICROCHIP TECHNOLOGY INCORPORATED

代表人：(中文/英文)

高登 W 帕乃爾

PARNELL, GORDON W.

住居所或營業所地址：(中文/英文)

美國亞歷桑那州查德勒市西查德勒路2355號

2355 WEST CHANDLER BOULEVARD, CHANDLER, ARIZONA

85224-6199, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 人)

姓 名：(中文/英文)

1. 賈伯 C 泰米斯
TEMES, GABOR C.

2. 佳諾斯 馬克斯
MARKUS, JANOS

3. 約瑟 希爾維
SILVA, JOSE

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 匈牙利 HUNGARY

3. 葡萄牙 PORTUGAL

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年03月23日；10/806,598

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係普遍關於信號處理，且更尤指用於信號處理應用中精確之信號比例。

【先前技術】

過取樣 A/D(類比轉數位)轉換器以一速率 Df_s 取樣類比輸入信號，其中 f_s 大約為濾波後類比輸入信號之兩倍頻寬且 D 為一整數乘數。 Df_s 大於該類比輸入信號頻寬之兩倍。過取樣轉換器架構通常包含一抗混淆濾波器(anti-alias filter)、一以該提升後之取樣率 Df_s 運作之取樣器和調變器(量化器)、以及一數位濾波器。該數位濾波器(通常稱為刪減器(decimator))通常提供用於抑制高於 $f_s/2$ 之信號的低通濾波、以及一用於將該取樣率降低至期望速率 f_s 之取樣降低。較高輸入取樣率之重要性在於過取樣轉換器通常具有比傳統轉換器嚴謹度還要低的抗混淆濾波器要求。另外，過取樣轉換器在信號頻帶內允許較低的量化雜訊功率，並因而比傳統轉換器具有更好的信號對雜訊比。

A/D轉換器通常在一指定之最大與最小輸入信號範圍內運作。最大輸入信號可視為轉換器之全比例輸入值。在最佳之運作條件下，若一全比例輸入係施加至該轉換器，則轉換器一般將提供一全比例輸出。然而，實際上，轉換器之真實輸出通常與理想結果不同。真實輸出與理想輸出之間的差異係已知為全比例誤差。一精確之全比例轉換器具有非常小的全比例誤差。

一精確的全比例過取樣轉換器在例如資料擷取、測試與量測方法、工業控制等領域中具有相當實際的重要性。精確的全比例過取樣轉換器係較佳的，因為該等精確之全比例過取樣轉換器提供一個精確的轉換結果、優越的無用信號拒斥能力並且具有簡化之抗混淆要求。

一三角積分(DS)調變器產生一數位輸出信號，該數位輸出信號之直流平均值(DC average)一般係一經以一參考電壓 V_{REF} 予以除算之直流或低頻輸入信號 V_{IN} 的良好估計值。一般而言，A/D轉換器可運作在 $-V_{REF} < V_{IN} < +V_{REF}$ 的範圍內。然而，轉換精準度在輸入信號 V_{IN} 接近 $-V_{REF}$ 或 $+V_{REF}$ 時通常會下降。所以，一朝著設計精準之全比例過取樣轉換器和其它數位信號處理元件之步驟包含得到可控制且精準之 V_{IN} 振幅降低。美國專利案第6,140,950號描繪一種需要 $N+M$ 個切換式電容用於以 N/M 比例化一輸入電壓的三角積分(DS)調變器。

【發明內容】

根據本發明之指導，提供一種具有複數 M 個可共同耦合運作之切換式電容電路的信號比例電路。在一較佳具體實施例中，該 M 個切換式電容電路係可運作以接收一來自一輸入源、參考源和偏壓源之信號，並且係進一步可運作以將一輸出信號接通(communicate)至一輸出電路。該 M 個切換式電容電路較佳地對控制電路起反應，其中控制電路選擇性地將 M 個切換式電容電路耦接至輸入源、參考源和偏壓源，使得該接通至輸出電路之輸出信號包含一呈 N/M 乘

算比例之輸入信號， N 為一小於 M 之正整數。不像需要 $N+M$ 個切換式電容用於以 N/M 之比例調整一輸入電壓的美國專利案第6,140,950號，本發明僅需要 M 個切換式電容用來以 N/M 之比例調整一輸入電壓。

在一替代性具體實施例中，本發明揭露一種用於在一輸出節點產生一以 N/M 比例因子乘算一輸入信號之輸出信號的電路。該電路最好包含一可運作用來從一輸入信號源接收輸入信號之輸入信號節點、一可運作用來從一參考信號源接收一參考信號之參考信號節點以及一可運作用來從一偏壓信號源接收一偏壓信號之偏壓節點。複數 M 個切換式電容電路係亦較佳地予以提供並且可選擇性地藉由相關控制電路予以耦接至該輸入信號節點、參考信號節點、偏壓信號節點和輸出節點。該控制電路和 M 個切換式電容電路共同產生一具有 N 個切換式電容電路的第一子集和一具有 $M-N$ 個切換式電容電路的第二子集。該 M 個切換式電容電路和控制電路進一步合作使得該 N 個切換式電容電路選擇性地取樣該參考信號和輸入信號且該 $M-N$ 個切換式電容電路選擇性地取樣參考信號而在輸出節點產生一以一比例因子 N/M 乘算該輸入信號所得到的輸出信號。

在另一具體實施例中，本發明提供一種包含複數 M 個切換式電容電路之信號比例電路，該複數 M 個切換式電容電路可運作以耦接至一輸入節點、一參考節點、一偏壓節點以及一可運作將一輸出信號接通至一輸出電路之輸出節點。該輸入節點、參考節點和偏壓節點可運作以分別接收

一輸入信號、一參考信號和一偏壓信號。該M個切換式電容電路中的每一個切換式電容電路最好皆具有一實質相等之電容值 C/M ，其中C為M個切換式電容電路之總電容值。可運作耦接至M個切換式電容電路之控制電路最好亦予以包含且係可運作以將該M個切換式電容電路區分成一具有N個切換式電容電路之子集和一具有 $M-N$ 個切換式電容電路之子集。該控制電路指揮該N個切換式電容電路中的每一個切換式電容電路以送出一趨近 (C/M) (參考信號-輸入信號)之電荷信號並指揮該 $M-N$ 個切換式電容電路中的每一個切換式電容電路以送出一趨近 (C/M) (參考信號)之電荷信號至輸出節點。

在又一具體實施例中，本發明提供一種從一具有M個切換式電容電路之子集比例調整一輸入信號的方法。該方法最好包含選擇性地將一具有該等切換式電容電路之第一子集和第二子集耦接至一輸入源、一參考源和一偏壓源。本方法最好亦包含在每一個時脈週期內將一含有一以比例因子 N/M 乘算該輸入信號之輸出信號接通至一輸出節點。

在一觀點中，本發明對於使用M個切換式電容電路以一有理因子 N/M 精確地且可控制地比例調整一輸入信號提供技術優點，其中 $N < M$ 。

在另一觀點中，本發明對於在各種應用中以及結合此處所含時序和控制電路之可運作性提供技術優點。

在又一觀點中，本發明對於藉由跳移信號取樣子集成員使普遍與信號比例調整和取樣電路相關之誤差最小化提供

技術優點。

本發明之其它特徵和優點將從底下基於揭露並配合附圖對具體實施例所作的說明而明顯。

【實施方式】

參照底下之說明和圖1至3，其描述本發明示例性具體實施例之細節。圖式中之相稱元件係以相稱符號予以代表。

在一觀點中，本發明之原理在於利用M個切換式電容電路(其中每一個皆具有名義電容值C/M)以達到期望之信號比例。使用控制電路和每一個切換式電容電路內所包含之切換器，該M個切換式電容電路可區分成兩個群組或子集。該M個切換式電容電路之第一區分較佳地產生一具有N個切換式電容電路之群組或子集且第二群組或子集較佳地將包含剩餘M-N個切換式電容電路。

在一較佳運作模式中，該M個切換式電容電路和控制電路合作而使得該具有N個切換式電容電路之群組或子集中的每一個切換式電容電路在每一個時脈週期內將一實質等於 $(C/M)(V_{REF}-V_{IN})$ 之電荷送至該信號比例電路之一個虛擬接地節點。該具有M-N個切換式電容電路之群組或子集內的每一個切換式電容電路最好在每一個時脈週期內將一實質等於 $(C/M)V_{REF}$ 之電荷送至該虛擬接地節點。因此，每一個時脈週期內傳送至該虛擬接地節點之總電荷實質趨近 $C[V_{REF}-(N/M)V_{IN}]$ ，該信號比例電路之輸出如期望地包含輸入信號之N/M分量。

本發明之信號比例電路之設計和說明中的一項假設考慮

了匹配該M個切換式電容電路中每一個切換式電容電路之電容值的能力。因此，該信號比例電路之最佳化效能可藉由最小化任何電容性差異之效應而予以達成。根據本發明之指導，該M個切換式電容電路中任何切換式電容電路之間任何電容值差異之效應皆可藉由跳移該等切換式電容電容而予以最小化或消除。

如本發明之實現，跳移包含改變電路運作期間切換式電容電路之兩個子集中每一個子集之個數(population)。切換式電容電路跳移之實現最好使得每一個切換式電容電路包含在該具有N個切換式電容電路之子集內的次數實質相等。切換式電容電路跳移其中一項效應為比例因子N/M因電容值不匹配而在平均誤差次數上之減少。如此一來，可實現各種切換式電容電路子集個數變化而對比例因子N/M達成到一期望之誤差降低。例如，該等包含在該具有N個切換式電容電路之子集內的切換式電容電路其變化可為每一個時脈週期、每兩個時脈週期、每三個時脈週期等。底下對一示例性跳移實現將有較詳細的說明。

首先參照圖1，其表示一根據本發明指導之切換式電容N/M信號比例電路之單端具體實施例。功能上與圖3之信號比例電路62類似，信號比例電路10包含三個(3)切換式電容電路且係可運作以產生1/3或2/3輸入信號比例。可選擇替代之信號比例N/M供信號比例電路10和62以及供其它含括本發明指導之信號比例電路具體實施例。

在圖1所繪之信號比例電路10之具體實施例中，該三個

(3) 切換式電容分枝最好包含電容12、14和16。由複數個電容、一或多個電容和其它電路元件或者由各種其它電路元件所構成之切換式電容分枝可根據本發明之指導而予以使用。

電容12可選擇性地經由切換器18耦接至一輸入信號或電壓源 V_{IN} ，以及經由切換器20耦接至一參考信號或電壓源 V_{DAC} 。類似地，電容14可選擇性地經由切換器22耦接至 V_{IN} 以及經由切換器24耦接至 V_{DAC} 。電容16可選擇性地經由切換器26耦接至 V_{IN} 以及經由切換器28耦接至 V_{DAC} 。電容12、14和16可選擇性地分別經由切換器30、32和34予以短接。電容12、14和16可選擇性地經由切換器36予以耦接至一偏壓或共模電壓源 V_{CM} 。

輸出電路38最好包含於信號比例電路10之輸出。輸出電路38可選擇性地經由切換器40耦接至信號比例電路10，如圖1所繪，輸出電路38可包含一運算放大器42和迴授電容44。如圖1之設計，正端耦接至 V_{CM} 且負端經由迴授電容44耦接至運算放大器42輸出之輸出電路38係經配置而作為一反相積分器。其它輸出電路可予以使用而不脫離本發明之精神和範疇。

信號比例電路10可藉由控制電路46予以控制。控制電路46最好使用一或多個與應用有關聯之時脈信號，其中信號比例電路10係用於產生與切換器18、20、22、24、26、28、30、32、34、36和40相關之控制信號。在圖1所繪之信號比例電路10之具體實施例中，控制電路46最好產生與

圖2之時序圖中所繪類似的成串控制信號。

參照圖1和2，信號比例電路10之動作方式最好如底下更詳細之說明所述與參照圖3之信號比例電路62極為相同。在時脈相位48期間，切換器18、26、32和36最好呈閉接。因此，電容12和16分別可得到與 $C_{12}(V_{IN}-V_{CM})$ 和 $C_{16}(V_{IN}-V_{CM})$ 實質相等之電荷。電容14因切換器32所產生之短接、和切換器22與24之斷開狀態而未充電。

在時脈相位50內，切換20、24、28和40最好呈閉接。在時脈相位50內，電容12和16可將一實質等於 $C_n(V_{DAC}-V_{IN})$ (C_n 代表電容12和16之電容值， $n=12, 16$)之電荷傳送至輸出電路38且電容14將送出一實質等於 $C_{14}V_{DAC}$ 之電荷。對於 $C_{12}=C_{14}=C_{16}=C_{Total}/M$ ，傳送至輸出電路38之電荷實質等於 $C_{Total}[V_{DAC}-(2/3)V_{IN}]$ ，其中 C_{Total} 為M個切換式電容電路之總電容值且 $M=3$ 。歷經時脈相位52、54、56、和58，電容12、14和16之動作可類似於底下所述與信號比例電路62相關。如底下更為詳細的說明，該N個切換式電容電路子集和M-N個切換式電容電路子集之分配最好將歷經每一個時脈週期予以跳移或改變而使得每一個切換式電容電路在每一個子集內皆可選擇含括一實質等同之次數。例如，在時脈相位52期間，電容12和14可含括於該具有N個切換式電容電路之子集且電容16係含括於該具有M-N個切換式電容電路之子集，而在時脈相位56期間，電容14和16係含括於具有N個切換式電容電路之子集且電容12係含括於具有M-N個切換式電容電路之子集。

現在參照圖3，其表示一內含本發明指導之差動信號比例電路之示例性具體實施例。如圖1之配置，比例電路62提供 $M=3$ 個切換式電容電路和一值為 $N/M=2/3$ 之比例因子。圖3所繪信號比例電路62之具體實施例使用一種差動拓撲。替代之拓撲可含括本發明之指導且因而得以在本發明之範疇和精神內予以考慮。例如，一含括本發明指導之信號比例電路可差動地將一或多個信號源耦接至該 M 個切換式電容、可將一或多個信號源連接至接地等。

如圖3所繪，電容64和66形成第一切換式電容電路之一部分，電容68和70形成第二切換式電容電路之一部分且電容72和74形成第三切換式電容電路之一部分，因此 $M=3$ 。就圖示之實現而言， $N=2$ 。電容64、66、68、70、72和74之電容值在本文中係標示為 C_n ，其中 $n=64、66、68、70、72$ 和 74 ，並且指定一相關電容。如上所述，每一個切換式電容電路之電容值最好皆實質等於 C/M ，其中 C 為該 M 個切換式電容電路之總電容值。取決於一電路設計者所希望得到的特性，切換式電容電路之替代性實現可予以使用。例如，替代或除了圖1和3所繪個別電容之外的元件可用於一給定之電路設計。

與第一切換式電容電路相關，電容64和66可分別經由切換器76和78予以選擇性地耦接至輸入信號源 V_{IN+} 和 V_{IN-} 。類似地，電容64和66可分別經由切換器80和82予以選擇性地耦接至參考信號源 V_{DAC+} 和 V_{DAC-} 。為了使電容64和66並行動作，最好提供切換器84。

與第二切換式電容電路相關，電容68和70可分別經由切換器86和88予以選擇性地耦接至輸入信號源 V_{IN+} 和 V_{IN-} 。類似地，電容68和70可分別經由切換器90和92予以選擇性地耦接至參考信號源 V_{DAC+} 和 V_{DAC-} 。為了使電容68和70並行動作，最好提供切換器94。

與第三切換式電容電路相關，電容72和74可分別經由切換器96和98予以選擇性地耦接至輸入信號源 V_{IN+} 和 V_{IN-} 。類似地，電容72和74可分別經由切換器100和102予以選擇性地耦接至參考信號源 V_{DAC+} 和 V_{DAC-} 。為了使電容72和74並行動作，最好提供切換器104。

如圖3所繪，信號比例電路62之一個具體實施例最好係可運作以接收來自各種信號源之信號。輸入信號 V_{IN} (包含成分 V_{IN+} 和 V_{IN-})通常代表要予以取樣、比例調整並轉換成一較佳形式之信號。輸入信號 V_{IN} 之類形和格式可改變且通常至少就某種程度取決於信號比例電路62有予以使用之應用。

一參考信號(本文之 V_{DAC} 並且含有成分 V_{DAC+} 和 V_{DAC-})最好亦用於由信號比例電路62予以執行之信號比例調整。該參考信號可由信號比例電路62有予以使用之應用或裝置之外的信號源予以提供。或者，例如在一三角積分調變器中，參考信號可由如DAC(數位轉類比轉換器)之類的內部信號源予以提供。

一偏壓或共模電壓 V_{CM} 最好亦由信號比例電路62予以使用。可提供一偏壓或 V_{CM} 以幫助電容64、66、68、70、72

和 74 之充電和放電。在一具體實施例中，可提供一固接於個別電容並固接於接地之偏壓源。或者，如圖 3 所繪，可提供一共模電壓或 V_{CM} ，其包含一作為偏抵用於對選擇之電容充放電之電壓值。如圖 3 所繪，偏壓源或 V_{CM} 可經由切換器 106 予以選擇性地耦接至電容 64、68 和 72 並且經由切換器 108 予以選擇性地耦接至電容 66、70 和 74。亦可在信號比例電路 62 中提供切換器 110 以選擇性地將電容 64、66、68、70、72 和 74 一起耦接至一偏壓源或 V_{CM} 。

輸出電路 112 係予以表示並可經由切換器 114 和 116 予以選擇性地耦接至該 M 個切換式電容電路。輸出電路 112 可予以描述成一差動式反相積分器。輸出電路 112 最好包含運算放大器 118 和迴授電容 120 和 122。輸出電路 112 之替代性具體實施例可予以用在一含括本發明指導之信號比例電路 62 之輸出節點。

為了使信號比例電路 62 達到希望的動作，狀態機或控制電路 124 最好亦予以提供。控制電路 124 可從其動作環境使用一時脈信號（一源起於一相關之三角積分調變器之時脈信號）以使得切換控制 Φ_1 、 Φ_2 、 Φ_{1A} 、 Φ_{1B} 和 Φ_{1C} 得以產生。 Φ_1 、 Φ_2 、 Φ_{1A} 、 Φ_{1B} 和 Φ_{1C} 之間的關係係普遍描繪在圖 2 之時序圖中。或者，一實現可予以建議，其中控制電路 124 內之時脈信號係用於產生切換控制 Φ_1 、 Φ_2 、 Φ_{1A} 、 Φ_{1B} 和 Φ_{1C} 。在任一事件中，控制電路 124 皆可使用各種技術予以實現。

參照圖 2 和 3，可瞭解信號比例電路 62 之動作實現。由圖

2之時脈相位48開始，控制信號 Φ_1 和 Φ_{1A} 為高準位且控制信號 Φ_2 、 Φ_{1B} 和 Φ_{1C} 為低準位。起回應，切換器76、78、96、98、94、106、108和110呈閉接而剩餘的切換器80、82、84、86、88、90、92、100、102、104、114和116則維持斷開。這些切換配置使得電容64和72可充電至一實質等於 $V_{IN+}-V_{CM}$ 之值且電容66和74可充電至一實質等於 $V_{IN-}-V_{CM}$ 之值。另外，電容68和70維持並聯，使得跨越這兩個電容之電壓實質等於 V_{IN} 與 V_{CM} 之共模電壓之間的差值，本文假設為零(0)。

在下一個時脈相位50期間， Φ_2 呈高準位而控制信號 Φ_1 、 Φ_{1A} 、 Φ_{1B} 和 Φ_{1C} 則呈低準位。起回應， V_{DAC+} 係分別經由切換器80、90和100選擇性地耦接至電容64、68和72。類似地， V_{DAC-} 係分別經由切換器82、92和102選擇性地耦接至電容66、70和74。同樣地在相位50期間，輸出電路112係經由切換器114和116選擇性地耦接至電容64、66、68、70、72和74。相位50內對 V_{DAC+} 之施加致使電容64和72將一實質等於 $(C_{64}+C_{72})(V_{DAC+}-V_{IN+})$ 之電荷傳送至輸出節點126。同樣地，亦使得電容66和74將一實質等於 $(C_{66}+C_{74})(V_{DAC-}-V_{IN-})$ 之電荷傳送至輸出節點128。實質同一時間，使得電容68將一實質等於 $C_{68}V_{DAC+}$ 之電荷傳送至輸出節點126且電容70將一實質等於 $C_{70}V_{DAC-}$ 之電荷傳送至輸出節點128。因此，對於

$$C_{64}=C_{68}=C_{72}=C/3$$

方程式(1)

在 Φ_1 之第一時脈週期期間傳送至輸出節點126之總電荷實

質等於 $C[V_{DAC+}-(2/3)V_{IN+}]$ 且傳送至輸出節點 128 之總電荷實質等於 $C[V_{DAC-}-(2/3)V_{IN-}]$ 。所以，只要方程式 (1) 仍成立， V_{IN} 以因子 N/M 作比例調整所希望得到的降低得以達到。

在下兩個時脈相位內 (52 和 54)，該具有 N 個切換式電容電路之子集中的電容包含電容 64、66、68 和 70。該具有 $M-N$ 個電容之子集內包含電容 72 和 74。接通至輸出電路 112 之信號值與以上對 $C_{64}=C_{66}=C_{68}=...=C_{74}$ 所述實質相同。類似地，在時脈相位 56 和 58 內，該具有 N 個切換式電容電路之子集內的電容包含電容 68、70、72 和 74。該具有 $M-N$ 個電容之子集內則包含電容 64 和 66。該等接通至輸出電路 112 之信號值再次地與以上對於 $C_{64}=C_{66}=C_{68}=...=C_{74}$ 所述實質相等。在時脈相位 60 內，電容 64、66、72 和 74 係再次地包含於該具有 N 個切換式電容電路之子集內且切換反應、電荷傳送等係再次如同與時脈相位 48 相關所述。

在上述的說明中，說明了如本發明所指導之跳移概念。如以上與時脈相位 48 相關所述，該具有 N 個切換式電容電路之子集內的電容包含電容 64、66、72 和 74。因此，該具有 $M-N$ 個切換式電容電路之子集內的電容包含電容 68 和 70。在時脈相位 52 內，該具有 N 個切換式電容電路之子集內的電容係經跳移或已予跳移以含括電容 64、66、68 和 70。該具有 $M-N$ 個切換式電容電路之子集內的電容在時脈相位 52 期間係經跳移或已予跳移以含括電容 72 和 74。類似地，在時脈相位 56 內，該具有 N 個切換式電容電路之子集

內的電容係經跳移或已予跳移以含括電容68、70、72和74。該具有M-N個切換式電容電路之子集內之電容在時脈相位56期間係經或已予跳移以含括電容64和66。在時間上，取決於最終之時脈相位取樣，電容64、66、68、70、72和74中每一個電容在每一個子集內皆以一實質相等之次數予以含括。如底下之說明，跳移電容分配使得成分差異效應最小並且產生其它好處。

實際上，方程式(1)將不再精確，亦即 $C_{64} \neq C_{66} \neq C_{68} \neq \dots \neq C_{74}$ 。因此，在時脈相位 $2i$ 期間傳送至輸出節點126之電荷 Q ，其中 $i=64、68$ 或 72 ， $C_+ = C_{64} + C_{68} + C_{72}$ ；且 e_i 為相對誤差 $[C_{64} + C_{68} - (2/3)C_+]/C_+$ 等，將等於

$$Q_{2i+} = C_+[V_{DAC+} - (2/3 + e_i)V_{IN+}] \quad \text{方程式(2)}$$

在相同時脈相位期間傳送至輸出節點128之電荷 Q_{2i-} 其表示式係類似的。因此，每一個時脈週期期間所傳送的電荷將不精確。然而，在六個(6)連續時脈相位(例如48、50、52、54、56和58)期間造成之誤差 e_i 其總和實質滿足：

$$e_{64} + e_{68} + e_{72} = 0 \quad \text{方程式(3)}$$

因此，平均誤差實質等於零(0)。另外，誤差 e_i 通常僅產生一具有載頻 $Df_s/3$ 之 V_{IN} 調變。D通常遠大於1，故圍繞 $Df_s/3$ 、 $2Df_s/3$ 等所產生之頻譜旁波因而無害。對於一含有M個切換式電容電路之信號比例電路具體實施例，所產生之調變具有一載頻 Df_s/M 。注意電路之正與負側之間的不對稱會產生額外誤差，該等額外誤差可藉由更複雜的切換架構予以移除。

因此，本發明很適合實施所述目的並達到所述結果和優點以及其它本文固有之論點。儘管本發明已引用本發明之示例性具體實施例予以描繪、說明、並界定，該等引用不意味著對本發明之限制，且該限制係未予推斷。可在形式和功能上對本發明作大幅度修改、變換、和對等表示，如相關技藝人士所作並具有本揭露之優點。本發明中所繪與所述具體實施例僅供示例，而且不是本發明範疇之全部。所以，對所有觀點中之對等項目給予以完全認知，本發明係意圖僅受限於附加請求項之精神和範疇。

【圖式簡單說明】

藉由參考以上說明並配合圖式可對本揭露及其優點有更完整的瞭解，其中：

圖1係一電路圖，其根據本發明之指導描繪一單端切換式電容信號比例電路之示例性具體實施例；

圖2係一時序圖，其根據本發明之指導述繪圖1所繪切換式電容信號比例電路所使用之控制電路信號；以及

圖3係一電路圖，其根據本發明之教導描繪一差動切換式電容信號比例電路之示例性具體實施例。

雖然本發明容許各種修改和替代形式，其特定示例性具體實施例仍已藉由圖式中之實施例予以表示並在本文中予以說明。然而，應瞭解本文中對特定具體實施例之說明非意欲將本發明局限於所揭露之特殊形式。取而代之地，本揭露之目的在於函括本發明之精神和範疇內所有之修改、等義、和替代，如附加之請求項內所界定。

【主要元件符號說明】

10	信號比例電路
12、14、16	電容
18、20、22、24、	切換器
26、28、30、32、	
34、36	
38	輸出電路
40	切換器
42	運算放大器
44	迴授電容
46	控制電路
48	時脈相位
50、52、54、56、和	時脈相位
58	
62	信號比例電路
64、66、68、70、	電容
72、74	
76、78、80、82、	切換器
84、86、88、90、	
92、94、96、98、	
100、102、104、	
106、108、110	
112	輸出電路
114、116	切換器

118	運算放大器
120、122	迴授電容
124	控制電路
V_{IN}	輸入信號或電壓源
V_{IN+} 、 V_{IN-}	輸入信號源
V_{DAC}	參考信號或電壓源
V_{DAC+} 、 V_{DAC-}	參考信號源
V_{CM}	偏壓或共模電壓源
Φ_1 、 Φ_2 、 Φ_{1A} 、 Φ_{1B} 、 Φ_{1C}	切換控制

五、中文發明摘要：

本發明揭露一種信號比例電路，該信號比例電路係用於精確地以一分式因子 N/M 降低一輸入信號之有效振幅，其中 N 及 M 為整數且 $N < M$ 。一輸入、參考、偏壓和輸出節點以及控制電路係選擇性地耦接至 M 個切換式電容電路，致使達到 N/M 之比例。 M 個切換式電容電路與該控制器之間的合作將該 M 個切換式電容電路分別區分成具有 N 與 $M-N$ 個切換式電容之子集。每一個子集係接著選擇性地耦接至一輸入、參考及/或偏壓信號以產生一輸出信號，其中該輸出信號之成份中的其中之一為該輸入信號之一個 N/M 部分。比例信號之誤差降低係藉由在選擇之時間區間之後跳移(shuffle)每一個子集中之切換式電容電路而予以達成。

六、英文發明摘要：

十、申請專利範圍：

1. 一種信號比例電路，其包含：

複數M個可運作耦接在一起的切換式電容電路；

該複數M個切換式電容電路可運作以接收一來自一輸入源、一參考源和一偏壓源之信號並且可進一步運作以將一輸出信號接通至一輸出電路；以及

該M個切換式電容電路對控制電路起反應，該控制電路可運作以選擇性地將M個切換式電容電路耦接至該輸入源、參考源和偏壓源使得該接通至該輸出電路之輸出信號含有該輸入信號之一部分 N/M ，其中 $N < M$ 。

2. 如請求項1之信號比例電路，其進一步包含該可運作以選擇性地將N個切換式電容電路耦接至該參考源、輸入源和偏壓源、以及將 $M-N$ 個切換式電容電路耦接至參考源和偏壓源之控制電路。

3. 如請求項1之信號比例電路，其進一步包含該可運作以產生一趨近 $C[\text{參考信號} - (N/M)(\text{輸入信號})]$ 之輸出信號的控制電路和M個切換式電容電路，其中C為該M個切換式電容電路之總電容值。

4. 如請求項1之信號比例電路，其進一步包含：

該可運作以將該M個切換式電容電路區分成一具有N個切換式電容電路之子集和一具有 $M-N$ 個切換式電容電路之子集的控制電路；以及

該第一和第二切換式電容電路子集，該第一和第二切換式電容電路子集可運作以實質同步地取樣選擇性地與

其耦接之信號。

5. 如請求項4之信號比例電路，其進一步包含該可運作以改變該等含括在該具有N個切換式電容電路之第一子集內選擇之切換式電容電路以及該等含括在該具有M-N個切換式電容電路之第二子集內選擇之切換式電容電路的控制電路。
6. 如請求項1之信號比例電路，其中該複數M個切換式電容電路中每一個切換式電容電路皆包含兩個電容。
7. 如請求項1之信號比例電路，其進一步包含該包含一具有至少一迴授電容之反相積分器的輸出電路。
8. 如請求項1之信號比例電路，其進一步包含該根據一差動拓撲耦接至該M個切換式電容電路之輸入、參考和偏壓源。
9. 一種用於在一輸出節點產生一以一比例因子N/M包含一輸入信號之輸出信號的電路，該電路包含：

一可運作以接收來自一輸入信號源之輸入信號的輸入節點；

一可運作以接收一來自一參考信號源之參考信號的參考節點；

一可運作以接收一來自一偏壓信號源之偏壓信號的偏壓節點；

M個選擇性耦接至該輸入節點、參考節點、偏壓節點和輸出節點之切換式電容電路；以及

耦接至該M個切換式電容電路之控制電路，該控制電

路和該M個切換式電容電路共同合作產生一具有N個切換式電容電路之第一子集和一具有M-N個切換式電容電路之第二子集，其中該N個切換式電容電路選擇性地取樣該參考信號和輸入信號且該M-N個切換式電容電路選擇性地取樣該參考信號，使得位於該輸出節點之輸出信號以該比例因子 N/M 包含該輸入信號。

10. 如請求項9之電路，其進一步包含合作於該輸出節點產生一以一比例因子 N/M 含有該輸入信號之輸出信號之切換式電容電路的第一子集和第二子集，其中 $N < M$ 。

11. 如請求項9之電路，其進一步包含該等耦接至共模電壓源(VCM)之信號源中的至少一個信號源。

12. 如請求項9之電路，其進一步包含該含有一偏抵成分之偏壓信號源。

13. 如請求項9之電路，其進一步包含該合作改變該等分配第一和第二切換式電容電路子集之切換式電容電路的控制電路和M個切換式電容電路。

14. 如請求項9之電路，其進一步包含：

該M個具有一總電容值為C之切換式電容電路；以及

該M個切換式電容電路中每一個切換式電容電路皆具有一實質等於 C/M 之電容值。

15. 如請求項14之電路，其進一步包含該合作於該輸出節點產生一趨近 $C[\text{參考信號} - (N/M)(\text{輸入信號})]$ 之輸出信號的控制電路和M個切換式電容電路。

16. 一種信號處理裝置，其包含：

- 一可運作以接收一輸入信號之輸入節點；
- 一可運作以接收一參考信號之參考節點；
- 一可運作以接收一偏壓信號之偏壓節點；
- 一可運作以將一輸出信號接通至一輸出電路之輸出節點；

複數M個可運作耦接至該輸入節點、參考節點、偏壓節點和輸出節點之切換式電容電路，每一個切換式電容皆具有實質等於 C/M 之電容值；以及

耦接至該M個切換式電容電路之控制電路，該控制電路可運作以將該M個切換式電容電路區分成一具有N個切換式電容電路之子集和一具有 $M-N$ 個切換式電容電路之子集並且使該N個切換式電容電路中每一個切換式電容電路皆送出一趨近 (C/M) (參考信號-輸入信號)之信號以及該 $M-N$ 個切換式電容電路中每一個切換式電容電路皆送出一趨近 (C/M) (參考信號)之信號至該輸出節點。

17. 如請求項16之信號處理裝置，其進一步包含該共同產生一以一部分 N/M 含括該輸入信號之輸出信號的M個切換式電容和控制電路。
18. 如請求項16之信號處理裝置，其進一步包含該與M個切換式電容電路共同改變該等含括在該具有N個切換式電容電路之子集和具有 $M-N$ 個切換式電容電路之子集內之切換式電容電路的控制電路。
19. 如請求項18之信號處理裝置，其進一步包含在連續時脈週期內改變N與 $M-N$ 個切換式電容電路子集中之切換式

電容電路。

20. 一種比例調整一輸入信號之方法，其包含：

從一具有M個切換式電容電路之子集選擇性地將一具有切換式電容電路之第一子集和第二子集耦接至一輸入源、一參考源和一偏壓源；以及

在每一個時脈週期內將一以一比例因子 N/M 含括該輸入信號之輸出信號接通至一輸出節點。

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	信號比例電路
12、14、16	電容
18、20、22、24、	切換器
26、28、30、32、	
34、36	
38	輸出電路
40	切換器
42	運算放大器
44	迴授電容
46	控制電路
V_{IN}	輸入信號或電壓源
V_{DAC}	參考信號或電壓源
V_{CM}	偏壓或共模電壓源

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十一、圖式：

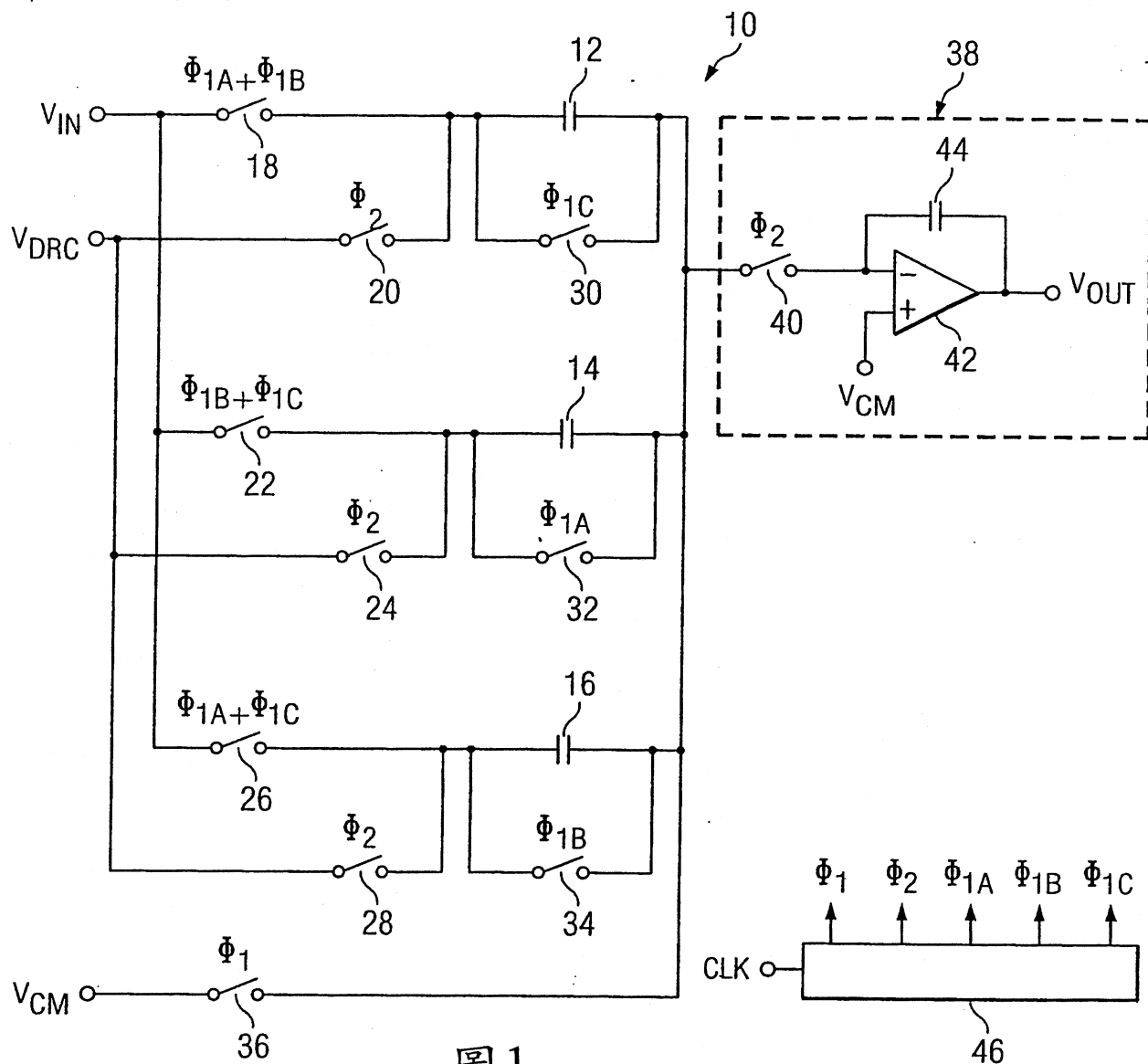


圖 1

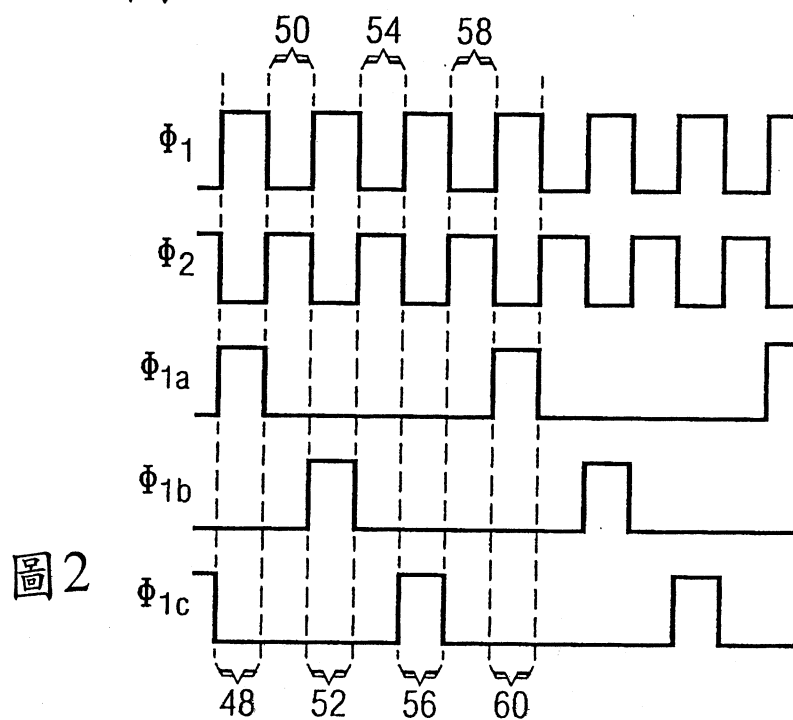


圖 2

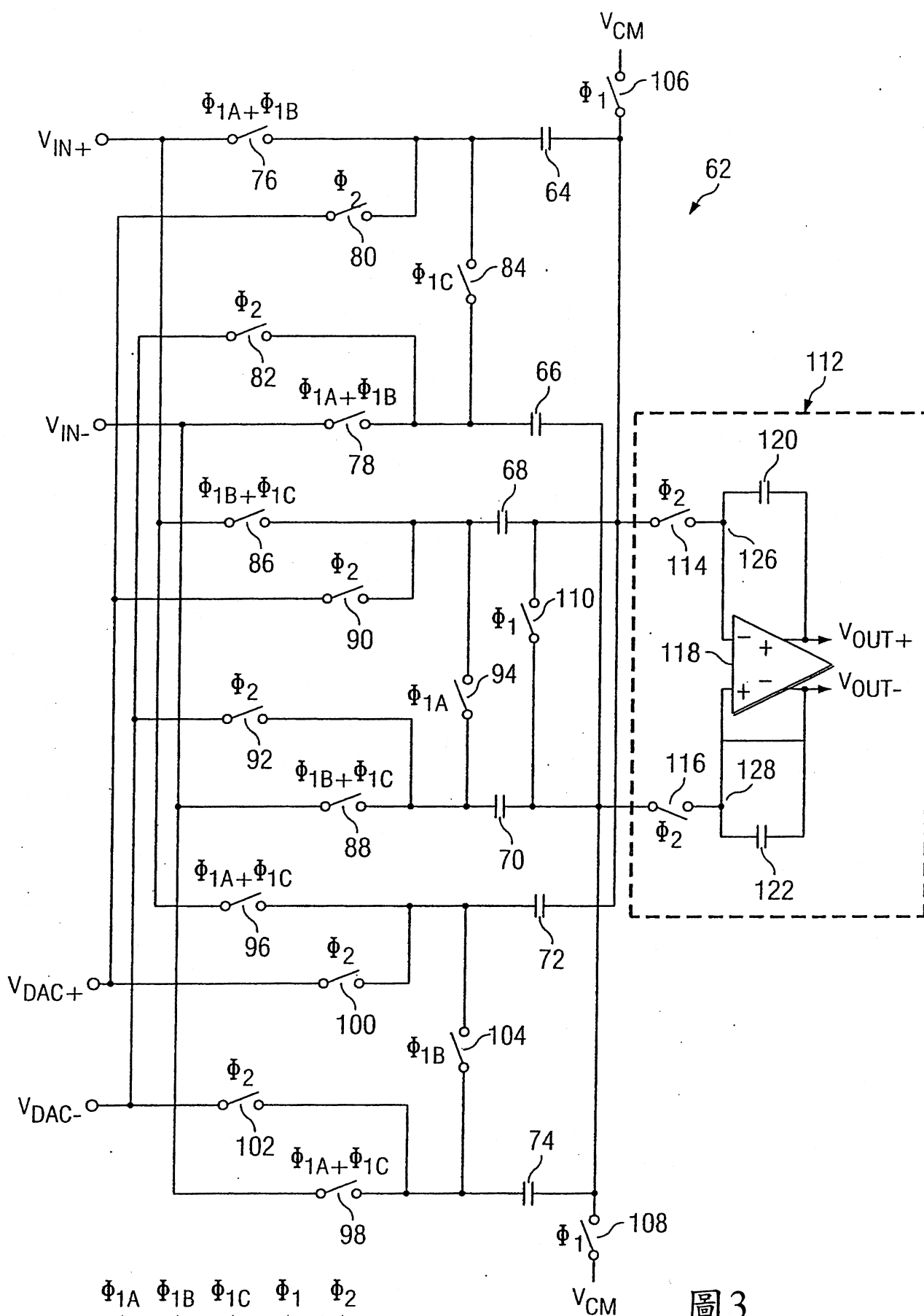


圖 3