

【特許請求の範囲】

【請求項 1】

平面状の第 1 主表面を有する基板 (1) の上に半導体デバイス (1 0) を形成する方法であって、

基板 (1) の第 1 主表面をパターニングし、第 1 主表面の平面に実質的に垂直な方向に、基板 (1) から延びた、少なくとも 1 つの構造 (2 0) を形成する工程と、

少なくとも 1 つの構造 (2 0) により覆われていない基板 (1) の位置に、部分的に変更された領域 (6) を形成し、これによりそれらの領域 (6) のエッチング抵抗を部分的に増加させる工程とを含み、

部分的に変更された領域 (6) の形成工程が、主表面の平面に実質的に垂直な方向に注入元素を注入して行われることを特徴とする方法。

10

【請求項 2】

エッチング抵抗の部分的な増加が、半導体デバイス (1 0) を形成する更なる処理工程中に、少なくとも 1 つの構造 (2 0) のアンダーエッチングを防止する請求項 1 に記載の方法。

【請求項 3】

基板 (1) が、表面を有する絶縁層 (2) の上の半導体層 (3) を含む半導体・オン・絶縁体基板であり、

基板をパターニングする工程が、半導体層 (3) をパターニングする工程を含み、

部分的に変更された領域を形成する工程が、少なくとも 1 つの構造 (2 0) により覆われていない位置の絶縁層 (2) 中に、部分的に変更された領域 (6) を形成する工程を含む請求項 1 または 2 に記載の方法。

20

【請求項 4】

基板 (1) がバルク半導体基板であり、

基板 (1) をパターニングする工程が、バルク半導体基板 (1) をパターニングする工程を含み、

部分的に変更された領域を形成する工程が、バルク半導体基板 (1) 中に、部分的に変更された領域 (6) を形成する工程を含む請求項 1 または 2 に記載の方法。

【請求項 5】

注入元素を注入する工程が、イオン注入により行われる請求項 1 ~ 4 のいずれか 1 項に記載の方法。

30

【請求項 6】

注入元素を注入する工程が、プラズマドーピングにより行われる請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

注入元素を注入する工程が、 $1 \text{ E } 13 \text{ cm}^{-2}$ と $1 \text{ E } 17 \text{ cm}^{-2}$ の間のドーズで行われる請求項 1 ~ 6 のいずれか 1 項に記載の方法。

【請求項 8】

注入元素が、炭素、窒素、酸素、またはそれらの組み合わせを含む請求項 1 ~ 7 のいずれか 1 項に記載の方法。

40

【請求項 9】

更に、少なくとも 1 つの構造 (2 0) の下に、部分的に変更された領域を拡げる工程を含む請求項 1 ~ 8 のいずれか 1 項に記載の方法。

【請求項 10】

少なくとも 1 つの構造 (2 0) の下に、部分的に変更された領域を拡げる工程が、 1 nm と 20 nm の間の膜厚 t を有する部分的に変更された領域 (6) を形成する請求項 9 に記載の方法。

【請求項 11】

少なくとも 1 つの構造 (2 0) の下に、部分的に変更された領域 (6) を拡げる工程が、アニールにより行われる請求項 9 または 10 に記載の方法。

50

【請求項 1 2】

アニールが、800 と 1000 の間の温度で行われる請求項 1 1 に記載の方法。

【請求項 1 3】

アニールが、1 秒と 60 秒の間の時間行われる請求項 1 1 または 1 2 に記載の方法。

【請求項 1 4】

基板 (1) をパターンニングする工程が、

基板 (1) の上にマスク (4) を提供する工程と、

マスク (4) により覆われていない基板 (1) の部分を除去する工程とにより行われる請求項 1 ~ 1 3 のいずれか 1 項に記載の方法。

【請求項 1 5】

マスク (4) を提供する工程が、金属、窒化物、酸化物、または low - k 材料の少なくとも 1 つを含むハードマスクを提供する工程である請求項 1 4 に記載の方法。

【請求項 1 6】

マスク (4) を提供する工程が、フォトリジストポリマーを提供する工程である請求項 1 4 に記載の方法。

【請求項 1 7】

平面状の第 1 主表面を有する基板 (1) から延びた少なくとも 1 つの構造 (2 0) を含む半導体デバイス (1 0) であって、少なくとも 1 つの構造は、基板 (1) の主表面の平面に実質的に垂直な方向に延び、

半導体デバイス (1 0) は、更に、少なくとも 1 つの構造 (2 0) もより覆われていない位置の基板中に、部分的に変更された領域 (6) を含み、部分的に変更された領域 (6) は、変更されていない基板 (1) のエッチング抵抗に比べて増加したエッチング抵抗を有し、

部分的に変更された領域 (6) が、注入された注入元素を含むことを特徴とする半導体デバイス。

【請求項 1 8】

基板 (1) が半導体・オン、絶縁体基板であり、半導体デバイス (1 0) が半導体・オン、絶縁体基板 (1) の絶縁層 (2) の上にパターンニングされた半導体層 (5) を含み、絶縁層 (2) が表面を有し、

基板中の部分的に変更された領域は、パターンニングされた半導体層 (5) により覆われていない位置の、絶縁層 (2) の表面の、部分的に変更された領域 (6) である請求項 1 7 に記載の半導体デバイス。

【請求項 1 9】

絶縁層 (2) の中の部分的に変更された領域 (6) が、 SiO_xN_y (x と y は、 $x + y = 1$ を満たす整数) を含む請求項 1 8 にかかる半導体デバイス。

【請求項 2 0】

基板 (1) が、バルク半導体基板である請求項 1 7 に記載の半導体デバイス。

【請求項 2 1】

注入元素が、炭素、窒素、酸素、またはそれらの組み合わせを含む請求項 1 7 ~ 2 0 のいずれか 1 項に記載の半導体デバイス。

【請求項 2 2】

部分的に変更された領域 (6) が、 $1 \text{ E } 13 \text{ cm}^{-2}$ と $1 \text{ E } 17 \text{ cm}^{-2}$ の間の濃度の炭素、窒素、および / または酸素を有する請求項 2 1 に記載の半導体デバイス。

【請求項 2 3】

部分的に変更された領域 (6) が、1 nm と 20 nm の間の膜厚 (t) を有する請求項 1 7 ~ 2 2 のいずれか 1 項に記載の半導体デバイス。

【請求項 2 4】

部分的に変更された領域 (6) が、少なくとも 1 つの構造 (2 0) の下に延びる請求項 1 7 ~ 2 3 のいずれか 1 項に記載の半導体デバイス。

【請求項 2 5】

10

20

30

40

50

半導体デバイス(10)が、FinFETである請求項17~24のいずれか1項に記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばバルク半導体基板や半導体オンインシュレータのような基板上に半導体デバイスを形成する方法、およびそれにより得られた半導体デバイスに関する。本発明にかかる方法で得られた半導体デバイスは、増加したエッチング耐性を有する部分的に変調した領域を含む。これにより、良好な電気特性や良好な機械安定性のような、改良された特性を有する半導体デバイスが得られる。

10

【背景技術】

【0002】

シリコン・オン・インシュレータ(SOI)技術は、半導体製造、特にマイクロエレクトロニクスにおいて、層状のシリコン-絶縁体-シリコン基板を使用することを言う。SOI基板は、シリコン酸化物やガラスのような薄い絶縁層を、シリコンとシリコンバルクとの間に含む。このように、SOIベースのデバイスは、シリコン接合が電氣的絶縁体の上で、一般には酸化シリコンの上にある点で、従来のシリコンに形成したデバイスとは異なっている

【0003】

SOIベースデバイスの一例はFinFET(fin field-effect transistor)である。FinFETは、薄いシリコン(Si)のフィンと、フォンの上を通るゲートを備える。チャネルの電氣的な幅は、フォンの幾何学的な寸法により、特にフィンの高さと幅により決定される。FinFETの特徴を他の半導体デバイスと区別する特徴は、導電性ゲートが、デバイスのボディを形成する薄いSiフィンの周囲を囲むことにある。

20

【0004】

FinFETの製造において、SOI基板のシリコン層のパターニング後に、埋められた酸化物(BOX)上にシリコン層を有するSOI基板の使用は、BOX中のリセスと、パターニングされたシリコン層の下にBOX中にアンダーエッチ領域を形成する。BOXリセスおよびアンダーエッチ領域は、FinFETの更なる処理中に形成され、例えば、シリコン層のパターニングに使用されるハードマスクの除去中に形成される。

30

【0005】

更なるFinFETの処理中に使用された材料の残渣は、それらのBOXリセス中、特にアンダーエッチ領域に固着する。追加の処理工程が、それらの残渣を除去するために必要となる。しかしながら、残渣は除去が困難であり、最終的なFinFETにもまだ存在する。これは、基板上に形成されるデバイスの電氣的特性に影響を与え、FinFETの機械的安定性を劣化させ、デバイスのマッチング、歩留まり等を低下させる。

【0006】

上述の問題は、一般に、バルク半導体基板や半導体・オン・絶縁体基板のような基板の上に、平面に横たわって形成される半導体デバイスにおいても発生する。そのような半導体デバイスは、基板から基板の平面に実質的に垂直な方向に構造が延びるように形成される。

40

【発明の開示】

【0007】

本発明の目的は、例えば半導体バルク基板や半導体・オン・絶縁体基板のような基板上に半導体デバイスを形成する良好な方法、および本発明の具体例にかかる方法で形成した半導体デバイスを提供することにある。

【0008】

本発明の具体例にかかる方法で得られた半導体デバイスは、改良された電氣的特性および改良された機械的安定性のような改良された特性を有する

【0009】

50

上記目的は、本発明にかかる方法およびデバイスにより達成される。

【0010】

本発明の第1の形態では、平面状の第1主表面を有する基板上に、半導体デバイスを形成する方法が提供される。この方法は、

基板の第1主表面をパターニングし、基板の第1主表面の平面に実質的に垂直な方向に、基板から延びた、少なくとも1つの構造を形成する工程と、

少なくとも1つの構造により覆われていない基板の位置に、部分的に変更された領域を形成し、これによりそれらの領域のエッチング抵抗を部分的に増加させる工程とを含む。

【0011】

エッチング抵抗を増加させるとは、オリジナルの、変更していない基板に比較して、部分的に変更された領域が、低減されたエッチング速度を有することを言う。部分的に増加したエッチング抵抗は、半導体デバイスの製造中の更なる処理工程中に、少なくとも1つの構造のアンダーエッチングが防止できることを言う。

【0012】

少なくとも1つの構造により覆われていない基板の位置に、部分的に変更された領域を形成することにより、例えばエッチング工程のような半導体デバイスの更なる処理の処理工程中にこれらの領域が保護され、基板中のリセスやアンダーエッチされた領域の形成が防止される。

【0013】

本発明の具体例にかかる方法では、良好な電気的特性および良好な機械的特性を有する半導体デバイスが得られる。

【0014】

本発明の具体例では、基板は、シリコン・オン・絶縁体(SOI)基板、ゲルマニウム・オン・絶縁体(GOI)基板、またはシリコン・ゲルマニウム・オン・絶縁体(SGOI)基板のような半導体・オン・絶縁体基板でも良い。それらの具体例では、表面を有する絶縁層の上の半導体層を含む半導体・オン・絶縁体基板の上に半導体デバイスを形成する方法を提供する。かかる方法は、

半導体層をパターニングし、基板の第1主表面の平面に実質的に垂直な方向に、基板から延びた、少なくとも1つの構造を形成し、絶縁層の表面の一部を露出させる工程と、

少なくとも1つの構造により覆われていない基板の位置に、部分的に変更された領域を形成し、これによりそれらの領域のエッチング抵抗を部分的に増加させる工程とを含む。

部分的に変更された領域の形成は、半導体デバイスの形成の、更なる処理工程中に、少なくとも1つの構造のアンダーエッチングを防止する。

【0015】

絶縁層は、埋め込み酸化物でも良い。

【0016】

本発明の具体例では、基板は、平面状の第1主表面を有するバルク半導体基板であり、この方法は、

バルク半導体基板をパターニングし、基板の第1主表面の平面に実質的に垂直な方向に、基板から延びた、少なくとも1つの構造を形成する工程と、

少なくとも1つの構造により覆われていない基板の位置のバルク半導体基板中に、部分的に変更された領域を形成し、これによりそれらの領域のエッチング抵抗を部分的に増加させる工程とを含む。

部分的に変更された領域の形成は、半導体デバイスの形成の、更なる処理工程中に、少なくとも1つの構造のアンダーエッチングを防止する。

【0017】

本発明の具体例では、基板は、平面状の第1主表面を有する。基板中に部分的に変更された領域を形成する工程は、基板の主表面の平面に実質的に垂直な方向に、種や注入種と呼ばれる注入元素を注入することにより行われる。本発明において、「注入元素」、「種」、および「注入種」は、同じものを意味する。即ち、半導体または絶縁層に注入される

10

20

30

40

50

のに適した元素を意味する。実質的に垂直とは、注入元素の注入の方向が、最も好適には、基板の主表面の平面に実質的に垂直な方向に対して0度から5度の間の角度を形成し、注入元素が、その側壁を通して少なくとも1つの構造に、実質的に入らないことを意味する。少なくとも1つの構造に注入イオンが実質的に入らないとは、好適には $1 \text{ E } 12 \text{ cm}^{-2}$ より低濃度の、より好適には $1 \text{ E } 10 \text{ cm}^{-2}$ より低濃度の注入元素が、部分的に変更された領域を形成するための注入元素の注入中に、少なくとも1つの構造に入ることを言う。

【0018】

この長所は、注入元素が、基板の上に形成される半導体デバイスの側壁の部分に注入されないことである。例えば、FinFETの場合、注入元素は、フィンの側壁には注入されない。

10

【0019】

この具体例では、注入元素は、イオン注入で行われてもよい。

【0020】

本発明の具体例では、注入元素の注入は、プラズマドーピングで行われても良い。プラズマドーピングまたはPLADの長所は、この技術が、基板の主表面の平面に実質的に垂直な方向に、即ち、基板の主表面の平面に実質的に垂直な方向に対して実質的に0度の注入角度で、注入元素を注入できることである。PLADは更に、 $1 \text{ E } 13 \text{ cm}^{-2}$ と $1 \text{ E } 17 \text{ cm}^{-2}$ の間の高ドーズの注入元素の注入を可能とし、注入元素のピークは、少なくとも1つの構造によって覆われていない基板の表面に位置するようにする。

20

【0021】

注入元素は、炭素、窒素、酸素、またはそれらの組み合わせを含んでも良い。

【0022】

本発明の具体例では、この方法は、更に、少なくとも1つの構造の下に、部分的に変更された領域を拡げる工程を含んでも良い。少なくとも1つの構造の下に、部分的に変更された領域を拡げる工程は、アニールにより行われても良い。アニールは、800 と 1000 の間の温度で行われることが好ましい。アニールは、1秒と60秒の間の時間行われることが好ましい。アニールは、1nmと20nmの間の膜厚の、部分的に変更された領域を形成しても良い。

30

【0023】

本発明の具体例では、基板をパターニングする工程は、
基板の上にマスクを提供する工程と、
マスクにより覆われていない基板の部分除去する工程とにより行われる。

【0024】

マスクを提供する工程は、金属、窒化物、酸化物、またはlow-k材料の少なくとも1つを含むハードマスクを提供する工程である。

【0025】

他の具体例では、マスクを提供する工程は、フォトリソグロリマーを提供する工程である。

40

【0026】

本発明の第2の形態では、平面状の第1主表面を有する基板から延びた少なくとも1つの構造を含み、この構造は、基板の主表面の平面に実質的に垂直な方向に延び、半導体デバイスは、更に、少なくとも1つの構造により覆われていない位置の基板中に、部分的に変更された領域を含み、部分的に変更された領域は、変更されていない基板のエッチング抵抗に比べて増加したエッチング抵抗を有する半導体デバイスが提供される。

【0027】

本発明の具体例にかかる半導体デバイスは、良好な電気的特性と良好な機械的安定性を有する。

【0028】

本発明の具体例では、基板は、シリコン・オン・絶縁体(SOI)基板、ゲルマニウム

50

・オン・絶縁体 (G O I) 基板、またはシリコン・ゲルマニウム・オン・絶縁体 (S G O I) 基板のような半導体・オン・絶縁体基板でも良い。それらの具体例では、本発明は、半導体・オン・絶縁体基板の絶縁層の上にパターニングされた半導体層から形成された少なくとも1つの構造を含み、絶縁層は表面を有し、半導体デバイスは、更に、パターニングされた半導体層により覆われていない位置の、絶縁層に、部分的に変更された領域を含む。部分的に変更された領域は、変更されていない基板のエッチング抵抗に比べて増加したエッチング抵抗を有する。それらの具体例では、絶縁層は埋め込まれた酸化物でも良い。

【0029】

基板が、半導体・オン・絶縁体基板である特別の具体例では、絶縁層中の部分的に変更された領域は、 SiO_xN_y を含み、ここで、 x と y は、 $x + y = 1$ を満たす整数である。これは、P L A D (後述) で得られるドーズ範囲で、例えば (S i , O , N) または (S i , O) または (S i , N) の化学量論的な組み合わせが、半導体・オン・絶縁体基板の部分的に変更された領域中で得られることを意味する。代わりに、例として、絶縁層中の部分的に変更された領域は、 SiO_xC_y を含んでも良く、ここで、 x と y は、 $x + y = 1$ を満たす整数である。

10

【0030】

本発明の他の具体例では、基板はバルク半導体基板でも良い。例えば、バルク半導体基板は、バルクシリコン基板、バルクG e 基板、バルクG a A s 基板、バルクG a N 基板でも良い。

20

【0031】

部分的に変更された領域は、炭素、窒素、酸素、またはそれらの組み合わせが注入された領域でも良い。

【0032】

部分的に変更された領域は、 $1\text{E}13\text{cm}^{-2}$ と $1\text{E}17\text{cm}^{-2}$ の間の濃度を有する、例えば、炭素、窒素、または酸素のような注入元素の濃度を有しても良い。

【0033】

部分的に変更した領域は、 1nm と 20nm の間の膜厚を有しても良い。

【0034】

任意的に、部分的に変更された領域は、少なくとも1つの構造の下方に延びても良い。

30

【0035】

特別な具体例では、半導体デバイスは、F i n F E T でも良い。

【0036】

本発明の具体例にかかるデバイスの長所は、例えば、S O I (シリコン・オン・絶縁体) 基板の埋め込み酸化物 (B O X) またはバルク半導体基板の部分のような、半導体デバイスの部分で覆われていない位置で、基板または基板の部分に、部分的に変更された領域を形成することにより、基板または基板の部分が半導体デバイスの更なる処理中に保護され、基板または基板の部分に、リセスおよびアンダーエッチ領域が形成されるのを防止する。

【0037】

本発明の具体例にかかる方法で得られたデバイスは、良好な電気的特性と機械的安定性を有する。

40

【0038】

本発明の特別の、好ましい形態は、添付された独立および従属の請求項に表される。従属請求項の特徴は、独立請求項の特徴と組み合わせても良く、他の適当な従属請求項の特徴と組み合わせても良く、単に請求項に記載された通りだけではない。

【0039】

この分野において、デバイスに対して一定の改良、変化、および進化があるが、本発明のコンセプトは本質的に新規で新しい改良を表し、従来技術から出発し、更に効果的で、安定し、そして信頼性のあるこの性質のデバイスを提供できると信じる。

50

【 0 0 4 0 】

上述のおよび他の、本発明の特徴、長所、および優位点は、本発明の原理を例として示した添付の図面と共に、以下の詳細な記載から明らかになるであろう。この記載は例示のみを目的とし、発明の範囲を限定するものではない。以下で引用される参照図面は、添付の図面をいう。

【 具体例の記載 】

【 0 0 4 1 】

本発明は、特定の具体例と、所定の図面を参照しながら述べられるが、本発明はこれに限定されるものではなく、請求の範囲により限定される。記載された図面は、単に概略であり、限定するものではない。図面において、図示目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。寸法と相対寸法は、本発明の実施の実際の縮小には対応していない。

【 0 0 4 2 】

また、記載や請求の範囲中の、上、上に、等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明は、ここに記載や図示されたものと異なる位置でも操作できることを理解すべきである。

【 0 0 4 3 】

請求の範囲で使用される「含む (comprising)」の用語は、それ以降に示される要素に限定して解釈されること排除するものであり、他の要素や工程を排除しない。このように、言及された特徴、数字、工程、または成分は、その通りに解釈され、1またはそれ以上の他の特徴、数字、工程、または成分、またはこれらの組み合わせの存在または追加を排除してはならない。このように、「手段 A および B を含むデバイス」の表現の範囲は、構成要素 A と B のみを含むデバイスに限定されるべきではない。本発明では、単にデバイスに関連した構成要素が A と B であることを意味する。

【 0 0 4 4 】

この明細書を通じて参照される「一の具体例 (one embodiment)」または「具体例 (an embodiment)」は、この具体例に関して記載された特定の長所、構造、または特徴は、本発明の少なくとも1つの具体例に含まれることを意味する。このように、この明細書を通して多くの場所の「一の具体例 (one embodiment)」または「具体例 (an embodiment)」の語句の表現は、同じ具体例を表す必要はなく、表しても構わない。更に、特定の長所、構造、または特徴は、この記載から当業者に明らかのように、1またはそれ以上の具体例中で適当な方法で組み合わせることができる。

【 0 0 4 5 】

同様に、本発明の例示の記載中において、能率的に開示し、多くの発明の形態の1またはそれ以上の理解を助ける目的で、本発明の多くの長所は、時には1つの具体例、図面、またはその記載中にまとめられることを評価すべきである。しかしながら、この開示の方法は、請求される発明がそれぞれの請求項に記載されたものより多くの特徴を必要とすることを意図して表されていると解釈すべきではない。むしろ、以下の請求項が表すように、発明の態様は、1つの記載された具体例の全ての長所より少なくなる。このように詳細な説明に続く請求の範囲は、これにより詳細な説明中に明確に含まれ、それぞれの請求項は、この発明の別々の具体例としてそれ自身で成立する。

【 0 0 4 6 】

更に、ここで記載された幾つかの具体例は幾つかの特徴で、他の具体例に含まれない特徴を含み、異なった具体例の長所の組み合わせは、本発明の範囲に入ることを意味し、当業者に理解されるように異なった具体例を形成する。例えば、以下の請求の範囲では、請求された具体例のいくつかは、他の組み合わせにおいても使用することができる。

【 0 0 4 7 】

ここで与えられる記載において、多くの特別な細部が示される。しかしながら、本発明の具体例はそれらの特別な細部無しに実施できることを理解すべきである。他の例では、

公知の方法、構造、および技術は、この記載の理解をわかりにくくしないために、詳細には示されていない。

【 0 0 4 8 】

本発明は、本発明の多くの具体例の詳細な記載によって記載される。本発明の他の具体例が、本発明の真実の精神や技術的示唆から離れることなく、当業者の知識により形成できることができ、本発明は、添付された請求の範囲の文言によってのみ限定されることは明らかである。

【 0 0 4 9 】

ここではトランジスタについて参照する。それらは、ドレインのような第 1 の主電極、ソースのような第 2 の主電極、第 1 および第 2 の主電極の間で電荷の流れを制御するゲートのような制御電極を有する 3 端子デバイスである。当業者にとって明らかなように、本発明は、例えばこれらに限定されるものではないが C M O S、B I C M O S およびバイポーラ技術を含むトランジスタ技術で形成可能な類似のデバイスにも適用できる。

【 0 0 5 0 】

本発明は、平面状の第 1 主表面を有する基板上に半導体デバイスを形成する方法を提供する。この方法は、

基板の第 1 主表面をパターニングし、基板から、基板の第 1 主表面の平面に実質的に垂直な方向の延びる、少なくとも 1 つの構造を形成する工程と、

少なくとも 1 つの構造により覆われていない位置に、部分的に変更された領域を形成し、それらの領域のエッチング抵抗を部分的に大きくする工程とを含む。

部分的に変更された領域を形成する工程は、半導体デバイスの製造の更なる処理工程中に、少なくとも 1 つの構造のアンダーエッチングを防止する。

【 0 0 5 1 】

本発明の具体例にかかる方法で得られたデバイスは、良好な電気的特性と良好な機械的安定性を有する。

【 0 0 5 2 】

本発明の具体例にかかる方法は、例えば f i n F E T のような半導体デバイスを半導体・オン・絶縁体基板上に形成するのに特徴的に用いられ、更なる半導体デバイスの形成の処理工程中に、基板上に形成された少なくとも 1 つの構造のアンダーエッチングを防止することにより、半導体・オン・絶縁体基板の絶縁層を保護する。しかしながら、他の具体例では、この方法は、例えば f i n F E T のような半導体デバイスをバルク半導体基板上に形成するのに特徴的に用いられ、更なる半導体デバイスの形成の処理工程中に、基板上に形成された少なくとも 1 つの構造のアンダーエッチングを防止することにより、少なくとも 1 つの構造により覆われていない半導体基板の部分を保護する。

【 0 0 5 3 】

本発明の第 1 の具体例では、基板は、絶縁層の上の半導体層を含む半導体・オン・絶縁体基板である。基板は、例えばシリコン・オン・絶縁体 (S O I) 基板、ゲルマニウム・オン・絶縁体 (G O I) 基板、またはシリコン・ゲルマニウム・オン・絶縁体 (S G O I) 基板でも良い。第 1 の具体例では、半導体・オン・絶縁体基板の上に半導体デバイスを形成し、半導体・オン・絶縁体基板は、例えば埋められた酸化物のような絶縁層の上に、例えばシリコン層のような半導体層を含み、表面を有する。これらの具体例にかかる方法は、

半導体層をパターニングして、これにより少なくとも 1 つの構造を形成し、絶縁層の表面の一部を露出させる工程と、

パターニングされた半導体層により覆われない位置に、または換言すれば、少なくとも 1 つの構造により覆われていない位置に、例えば埋め込み酸化物のような絶縁層中に部分的に変更された領域を形成し、その領域のエッチング抵抗を部分的に増加させる工程とを含む。

変更された領域を部分的に形成することにより、半導体デバイスの製造中の、更なる処理工程中に、少なくとも 1 つの構造のアンダーエッチングを防止できる。

10

20

30

40

50

【 0 0 5 4 】

本発明の第 1 の具体例にかかる方法の長所は、半導体デバイスの一部により覆われない位置で、半導体・オン・絶縁体基板の、例えば埋め込む酸化物 (B O X) のような絶縁層中に、変更された領域を部分的に形成することにより、例えば埋め込み酸化物のような絶縁層が、半導体デバイスの更なる処理中に保護されて、リセスやアンダーエッチ領域が絶縁層中に形成されるのを防止している。

【 0 0 5 5 】

これ以降、本発明の第 1 の具体例にかかる、シリコン・オン・絶縁体 (S O I) 基板の上に F i n F E T を形成する方法について述べる。これは本発明を如何なる方法においても限定するものではなく、本発明の具体例にかかる方法は、シリコン・オン・絶縁体 (S O I) 基板の上に半導体デバイスを形成するために使用することができることを理解すべきである。

10

【 0 0 5 6 】

図 1 ~ 図 6 は、本発明の具体例にかかる、 F i n F E T 1 0 の製造方法の一連の工程を示す。

【 0 0 5 7 】

第 1 の工程では、バルク基板 (図示せず) 、埋め込み酸化物 2 のような絶縁層、およびシリコン層 3 を含む S O I 基板 1 が提供される。埋め込み酸化物 2 は一般には 5 0 n m と 2 0 0 n m との間の膜厚を有し、例えば 1 5 0 n m である。埋め込み酸化物 2 は、好ましくは S i O ₂ を含む。シリコン層 3 は、一般には 1 0 n m と 1 0 0 n m の間の膜厚を有し、例えば 6 5 n m である。

20

【 0 0 5 8 】

次に、上面 (埋め込み酸化物 2 から遠い方の面) が S O I 基板 1 の主表面を形成するシリコン層 3 がパターンニングされ、基板 1 の主表面が平面の場合、基板 1 の主表面の平面に実質的に垂直な方向に基板から延びた、例では少なくとも 1 つのフィン (図示せず) である、少なくとも 1 つの構造 2 0 を形成する。例では、 1 つの構造 2 0 のみが基板 1 の上に存在する。これは説明を簡単にするためであり、如何なる方法においても発明を限定することを意図しないことを理解すべきである。本発明の具体例では、基板 1 は、特別な半導体デバイス 1 0 を形成するのに必要な複数の構造 2 0 を含んでも良い。シリコン層 3 のパターンニングは、ハードマスクベースにより、またはフォトレジストを用いるフォトリソグラフィにより行われても良い。図示された例では、ハードマスク層がシリコン層 3 の上に形成される。ハードマスク層は 5 0 n m と 1 0 0 n m の間の膜厚を有し、例えば 7 0 n m である。ハードマスク層は、例えば T i 、 A u 、 A g 、 P d のような金属、例えば T i N 、 T a N 、 H f N 、 S i ₃ N₄ のような窒化物、例えば T i O₂ 、 S i O₂ のような酸化物、低誘電率 (l o w - k) 誘電体、例えば積層のようなこれらの材料の組み合わせを含む。ハードマスク層の膜厚は、この方法の後の工程で注入元素の注入が行われた場合、ハードマスク層がパターンニングされたシリコン層、または一般には少なくとも 1 つの構造 (以下を参照) に注入元素が到達するのを防止するシールドとして働くような膜厚であることが好ましい。ハードマスク層は、続いてパターンニングとエッチングされ、 F i n F E T 1 0 のフィン 5 が形成される位置のシリコン層 3 のみを覆い、シリコン層 3 の他の部分を露出したままにするハードマスク 4 を形成する (図 1 参照) 。シリコン層 3 の露出した部分は、続いて、例えばエッチングにより除去される。エッチングは、例えばウエットエッチ、ドライエッチ、またはそれらの組み合わせにより行われる。シリコン層 3 のエッチング後に得られる構造を図 2 に示す。パターンニングされたシリコン層は、 F i n F E T 1 0 のフィン 5 を形成する。フィン 5 の高さは、 S O I 基板 1 のシリコン層 3 の膜厚に依存し、このように、 1 0 n m と 1 0 0 n m の間となる。第 1 の具体例では、シリコン層 3 の露出部分の除去が、下の絶縁層 2 が露出するまで行われる。

30

40

【 0 0 5 9 】

次の工程では注入元素の注入 (図 3 に矢印 7 で表示) が行われ、埋め込み酸化物 2 の露出部分に、部分的に変更された領域 6 を形成する。それゆえに、注入はフィン 5 に覆われ

50

ていない埋め込み酸化物 2 の位置に行われる。注入元素は、それらの領域 6 のエッチング抵抗を増加させる。エッチング抵抗の増加とは、部分的に変更された領域 6 は、変更されていないオリジナルの基板 1 に比較して、エッチング速度が遅いことを言う。より好適には、注入元素は、C、N、O またはそれらの組み合わせである。好適には、 $1 \text{ E } 13 \text{ cm}^{-2}$ と $1 \text{ E } 17 \text{ cm}^{-2}$ の間の注入ドーズが用いられる。埋め込み酸化物 2 への注入元素の注入中、ハードマスク 4 は、フィン 5 中の注入元素が注入されるのを防止するシールドとして機能する。これは、フィン 5 中での注入元素の存在は、フィン 5 の側壁の粗を増加させるからである。

【0060】

更に、フィン 5 中での注入元素の存在は、移動するキャリア元素を散乱させ、フィン 5 中で移動するキャリアの移動度に影響する。本発明の具体例では、注入は異方的な方法で行われる。SOI 基板 1 が平面状の主表面を有する場合に、基板 1 の主表面の平面に対して実質的に垂直な方向に注入が行われるのが、最も好ましい。実質的に垂直とは、注入元素の注入方向が、基板 1 の主表面の平面に対して実質的に垂直な方向に対して 0 度と 5 度の間の角度であり、マスク 4 により覆われていない側壁を通してフィン 5 に注入元素が実質的に入らないことを言う。フィン 5 に注入元素が実質的に入らないとは、好適には $1 \text{ E } 12 \text{ cm}^{-2}$ より低濃度の、より好適には $1 \text{ E } 10 \text{ cm}^{-2}$ より低濃度の注入元素が、注入元素の注入中にフィン 5 に入って、部分的に変更された領域 6 を形成することを言う。

【0061】

この方法では、注入元素は、フィン 5 の側壁の物理的特性および電気的特性に影響することなく注入できる。それゆえに、より好適には、注入は、PLAD (プラズマドーピング)で行われる。PLAD では、SOI 基板 1 が平面上の主表面を有する場合に、SOI 基板 1 の主表面の平面に実質的に垂直な方向に注入元素の注入を行うことができ、空間電荷効果 (space charge effect)、即ち、局在する過剰な電荷の発生が起きない。PLAD プラズマでは、この具体例では SOI 基板 1 の絶縁層 2 である、注入される基板 1 の表面近傍で、イオン雲が形成される。このプラズマから、イオンが引き出され、絶縁層 2 に向かって、この中に加速される。

【0062】

PLAD は、実質的に 0 度の入射角を形成する、衝突のないイオンシースを可能とする。更に、PLAD は $1 \text{ E } 13 \text{ cm}^{-2}$ から $1 \text{ E } 17 \text{ cm}^{-2}$ の、高ドーズ注入を可能とする。引き出し電圧は、kV のオーダーである。PLAD を用いることにより、注入元素のピークが基板 1 の表面に位置し、この具体例では露出した埋め込み酸化物 2 の表面に位置する。この方法では、埋め込み酸化物 2 は、注入が行われる位置において部分的に変更される。しかしながら、他の具体例では、注入元素の注入は、上述のように、注入方向が基板の主表面の平面に対して実質的に垂直な方向である限り、イオン注入のような他の公知の従来の注入技術で行っても良い。本発明の他の具体例では、例えば、遠隔プラズマ (remote plasma) や RIE のような異方的な特性を有するプラズマが、注入元素の注入に適用できる。そのようなプラズマの唯一の短所は、より低い加速電圧 ($\sim 300 \text{ V}$) を有することであり、それゆえに貫通深さは非常に小さく、例えば 1 nm である。それにもかかわらず、特別な応用においては、これは十分な深さである。

【0063】

注入元素の注入中に、フィン 5 の上に存在するハードマスク 4 は、注入元素がフィン 5 に注入されるのを防止するシールドとして働く。それゆえに、注入後にハードマスク 4 の一部 8 のみが注入元素により注入され、注入元素が実質的にフィン 5 には到達しないように、ハードマスク 4 の膜厚および材料特性は選択されるべきである。SOI 基板 1 の主表面の平面に実質的に垂直な方向に注入イオンを注入することにより、既に述べたように、実質的に注入元素は、フィン 5 の側壁中には注入されない。

【0064】

埋め込み酸化物 2 の露出した部分に注入元素を注入した後、部分的に変更された領域 6 は、任意的にフィン 5 の下方に延びても良い。これは、好適には SOI 基板 1 のアニール

10

20

30

40

50

により行われる。アニールは、800 と 1000 の間の温度で、1秒と60秒の間の時間行われる。例えば注入された注入元素がNを含む場合、部分的に変更された領域6は SiO_xN_y を含む。ここで、 x と y は $x+y=1$ 数字であり、PLADで得ることができるドーズ範囲において、例えば(Si, O, N)または(Si, O)または(Si, N)のような化学量論的な組み合わせが、SOI基板1中の部分的に変更された領域6において得られることを意味する。部分的に変更された領域6は、例えば1nmと20nmの間、好適には1nmと10nmの間の、埋め込み酸化物2中の厚み t を有する。

【0065】

本発明の具体例にかかる部分的に変更された領域6の存在は、例えば基板の化学分析により検出され、フィルタされた透過電子顕微鏡(TEM)により検出される。

10

【0066】

次の工程で、ハードマスク4が除去される(図4参照)。これは、例えばストリッピングのような、当業者に公知の適当な技術により行うことができる。

【0067】

更なる工程で、誘電体層9が導電層11の上に堆積され、スタックを形成する。次に、このスタックがパターニングされ、FinFETのゲート12を形成する(図5参照)。

【0068】

FinFETの更なる製造工程が、当業者に知られたように行われる。例えば、ソースおよびドレインエクステンションや、ソースおよびドレイン領域が、当業者に知られたように形成される。

20

【0069】

図6は、上述の方法で形成されたデバイス10の上面図を示す。フィン5はソースとドレイン領域13の間に配置される。このフィン5はゲート12と部分的に重なる。下層の基板1の露出した領域、換言すればフィン5により覆われていない領域は、オリジナルの埋め込み酸化物2に比べて増加したエッチング抵抗を有する部分的に変更された領域6を形成するように変更される。

【0070】

部分的に変更された領域6の形成後に行われる処理工程中に、増加したエッチング抵抗を有する部分的に変更された領域6は、FinFET10の製造工程で更に使用される材料や化学の影響に対して、埋め込み酸化物2を保護する。これは、埋め込み酸化物2中において、リセスやアンダーエッチ領域がフィン5の下に形成されるのを防止する。これにより、FinFET10の製造中に使用される更なる材料や化学の残渣は、存在しないように、リセスやアンダーエッチ領域中に固着しない。これにより、それらの残渣を除去するための、追加の処理工程は不要となる。

30

【0071】

本発明の第2の具体例では、基板1はバルク半導体基板である。第2の具体例にかかる方法は、本発明の第1の具体例にかかる方法と類似であり、図7～図10に示される。

【0072】

最初に、バルク半導体基板1が提供される。バルク半導体基板1は、その上に半導体デバイス10を形成することができるいずれの好適な半導体基板1でも良い。例えば、バルク半導体基板1はバルクシリコン基板、バルクGe基板、バルクGaAs基板、バルクGaN基板のいずれでも良い。

40

【0073】

次の工程では、バルク半導体基板1の主表面がパターニングされ、平面状の主表面を有する基板1から延びた、少なくとも1つの構造20を形成する。基板1の主表面が平面状の場合、パターニングは、基板1の主表面の平面に対して実質的に垂直な方向に行われる。示された具体例では、1つの構造のみが基板1の上に存在する。これは説明を容易にするためであり、本発明をいずれの方向にも限定するものではないことを理解すべきである。本発明の具体例では、基板1は、特定の半導体デバイス10を形成するのに必要とされる複数の構造20を含む。バルク半導体基板1のパターニングは、ハードマスクベースま

50

たはフォトリソグرافیにより行われる。図7～図10に示す例では、ハードマスク層がバルク半導体基板1の上に形成される。ハードマスク層は、50nmと100nmの間の膜厚を有し、例えば70nmである。

【0074】

ハードマスク層は、例えばTi、Au、Ag、Pdのような金属の、例えばTiN、Ta₂N₅、HfN、Si₃N₄のような窒化物、例えばTiO₂、SiO₂のような酸化物、低誘電率(low-k)誘電体、例えば積層のようなこれらの材料の組み合わせを含む。ハードマスク層の膜厚は、この方法の後の工程で注入元素の注入が行われた場合、ハードマスク層が、形成された少なくとも1つの構造20(以下を参照)に注入元素が到達するのを防止するシールドとして働くような膜厚であることが好ましい。ハードマスク層は、続いてパターンングとエッチングされ、少なくとも1つの構造20が形成される位置のバルク半導体基板1のみを覆い、バルク半導体基板1の他の部分を露出したままにするハードマスク4を形成する(図7参照)。バルク半導体基板1の露出した部分は、続いて、例えばエッチングにより除去される。エッチングは、例えばウエットエッチ、ドライエッチ、またはそれらの組み合わせにより行われる。

10

【0075】

バルク半導体基板1のエッチング後に得られる構造を図8に示す。パターンングされたシリコン層は、半導体デバイス10の少なくとも1つの構造20を形成する。少なくとも1つの構造20は、更なる半導体デバイス10の処理中において、例えばゲートを形成するために使用される。量、即ちバルク半導体基板1の露出された部分の除去された膜厚は、形成される半導体デバイス10の種類に依存する。

20

【0076】

次の工程では注入元素の注入(図9に矢印7で表示)が行われ、少なくとも1つの構造20により覆われていないバルク半導体基板1の部分に、部分的に変更された領域6を形成する。注入元素は、注入されたそれらの領域6のエッチング抵抗を増加させる。エッチング抵抗の増加とは、部分的に変更された領域6は、最初のまたはオリジナルの基板1に比較して、エッチング速度が遅いことを言う。より好適には、注入元素は、C、N、Oまたはそれらの組み合わせである。好適には、 $1 \times 10^{13} \text{ cm}^{-2}$ と $1 \times 10^{17} \text{ cm}^{-2}$ の間の注入ドーズが用いられる。

30

【0077】

バルク半導体基板1の露出した部分への注入元素の注入中、ハードマスク4は、少なくとも1つの構造20中に注入元素が注入されるのを防止するシールドとして機能する。これは、少なくとも1つの構造20中での注入元素の存在は、少なくとも1つの構造20の側壁のあれを増加するからである。

【0078】

更に、少なくとも1つの構造20中での注入元素の存在は、移動するキャリア元素を散乱させ、後に例えばゲートとなる、少なくとも1つの構造20中で移動するキャリアの移動度に影響する。本発明の具体例では、注入は異方的な方法で行われる。バルク半導体基板1が平面状の主表面を有する場合に、基板1の主表面の平面に対して実質的に垂直な方向に注入が行われるのが、最も好ましい。実質的に垂直とは、注入元素の注入方向が、基板1の主表面の平面に対して実質的に垂直な方向に対して0度と5度の間の角度であり、マスク4により覆われていない側壁を通して、少なくとも1つの構造20に注入元素が実質的に入らないことを言う。少なくとも1つの構造20に注入元素が実質的に入らないとは、好適には $1 \times 10^{12} \text{ cm}^{-2}$ より低濃度の、より好適には $1 \times 10^{10} \text{ cm}^{-2}$ より低濃度の注入元素が、注入元素の注入中に少なくとも1つの構造20に入って、部分的に変更された領域6を形成することを言う。それゆえに、最も好適には、注入は、第1の具体例で既に述べたように、PLAD(プラズマドーピング)を用いて行われる。

40

【0079】

他の具体例では、注入元素の注入は、例えばイオン注入のような他の公知の従来の注入技術で行っても良い。例えば、最適ではないが、本発明の他の具体例では、例えば、遠隔

50

プラズマや R I E のような、上述のように注入方向が実質的に形成された構造 2 0 に平行である限り、異方的な特性を有するプラズマが、注入元素の注入に適用できる。

【 0 0 8 0 】

注入元素の注入中に、少なくとも 1 つの構造 2 0 の上に存在するハードマスク 4 は、注入元素が少なくとも 1 つの構造 2 0 に注入されるのを防止するシールドとして働く。それゆえに、注入後にハードマスク 4 の一部 8 のみが注入元素により注入され、注入元素が実質的に少なくとも 1 つの構造 2 0 には到達しないように、ハードマスク 4 の膜厚および材料特性は選択されるべきである（図 1 0 参照）。形成された構造 2 0 に実質的に平行な方向に、好適には、バルク半導体基板 1 の主表面の平面に実質的に垂直な方向に、注入イオンを注入することにより、実質的に注入元素は、少なくとも 1 つの構造 2 0 の側壁中には注入されない。

10

【 0 0 8 1 】

バルク半導体基板 1 の露出した部分に注入元素を注入した後、部分的に変更された領域 6 は、任意的に少なくとも 1 つの構造 2 0 の下方に延びても良い。これは、好適には基板 1 のアニールにより行われる。アニールは、8 0 0 と 1 0 0 0 の間の温度で、1 秒と 6 0 秒の間の時間行われる。部分的に変更された領域 6 は、例えば 1 n m と 2 0 n m の間、好適には 1 n m と 1 0 n m の間の、埋め込み酸化物 2 中の厚み t を有する。

【 0 0 8 2 】

本発明の具体例にかかる部分的に変更された領域 6 の存在は、例えば基板の化学分析により検出され、フィルタされた透過電子顕微鏡（T E M）により検出される。

20

【 0 0 8 3 】

次の工程で、ハードマスク 4 が除去される。これは、例えばストリッピングのような、当業者に知られた好適な技術により行われる。

【 0 0 8 4 】

図 1 1 は、バルク F i n F E T、即ち、例えばシリコン基板 1 のようなバルク半導体基板 1 の上に形成された F i n F E T の S S R M（Scanning Spreading Resistance Measurement）を示す。フィン 5 はバルクシリコン基板 2 から突き出ている。このフィン 5 は、続いて P L A D を用いてドーピングされる。図 1 1（暗い領域）から分かるように、注入は参照番号 6 を用いて表した領域で発生し、これは、フィン 5 の上部であり、フィン 5 の直立した表面や側壁 1 4 は、P L A D ドーピングプロセスでは実質的に影響されずに残る。

30

【 0 0 8 5 】

半導体デバイス 1 0 の更なる作製が、形成が必要とされる半導体デバイス 1 0 に応じて、当業者に知られたように行われる。

【 0 0 8 6 】

部分的に変更された領域 6 を形成した後に行われる処理工程中に、エッチング抵抗が増加するようにそれらの部分的に変更された領域 6 は、半導体デバイス 1 0 の作製中に更に使用される材料や化学の影響に対して、基板 1 を保護する。これは、リセスやフォン 5 の下のアンダーエッチ領域が、基板 1 に形成されるのを防止する。それ故に、半導体デバイス 1 0 の作製中に更に使用される材料や化学の残渣は、それらのリセスやアンダーエッチ涼気に固着せず、存在しない。それ故に、それらの残渣を除去するために必要な追加の処理工程は不要となる。

40

【 0 0 8 7 】

本発明の具体例にかかる方法により、良好な電気的特性や良好な機械的安定性を有する半導体デバイスが得られる。

【 0 0 8 8 】

本発明にかかるデバイスについて、ここでは、好適な具体例、材料と同様に、特定の構造や形状について検討したが、形態や細部における様々な変化や変更は、本発明の形態や精神から離れることなく行えることを理解すべきである。

【図面の簡単な説明】

【 0 0 8 9 】

50

【図 1】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 2】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 3】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 4】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 5】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

10

【図 6】本発明の具体例により、S O I 基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 7】本発明の具体例により、バルク半導体基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 8】本発明の具体例により、バルク半導体基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 9】本発明の具体例により、バルク半導体基板上に F i n F E T を形成するプロセスの一連の工程を示す。

【図 10】本発明の具体例により、バルク半導体基板上に F i n F E T を形成するプロセスの一連の工程を示す。

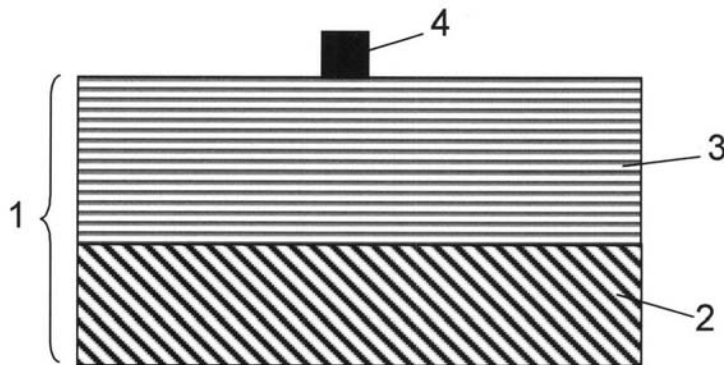
20

【図 11】本発明の具体例に示された P L A D を用いてドーピングされたバルク F i n F E T の S S R M プロファイルを示す。

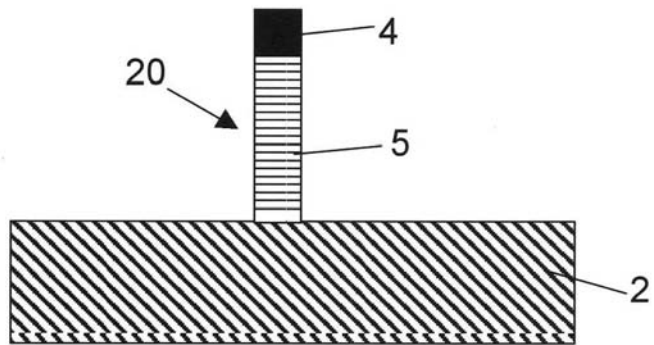
【0090】

異なった図面において、同じ参照符号は、同じまたは類似の要素を示す。

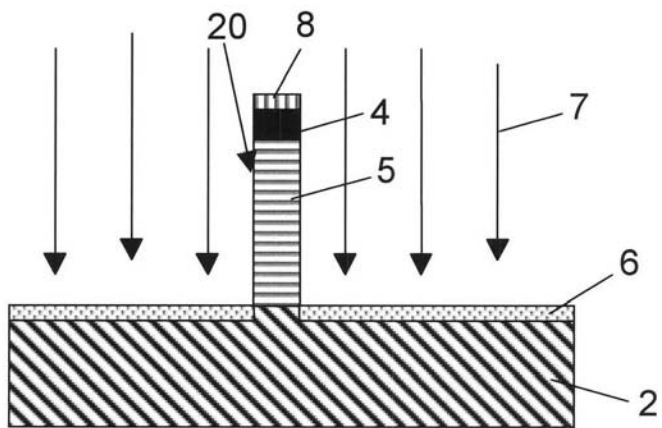
【図 1】



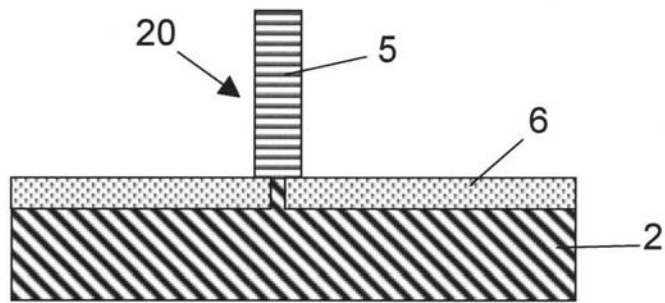
【図 2】



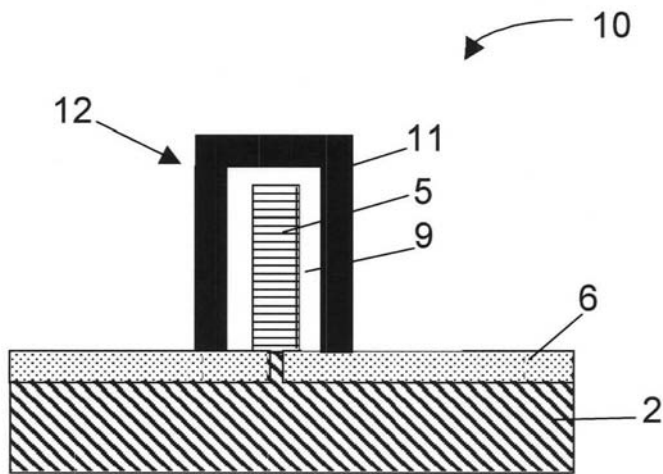
【図 3】



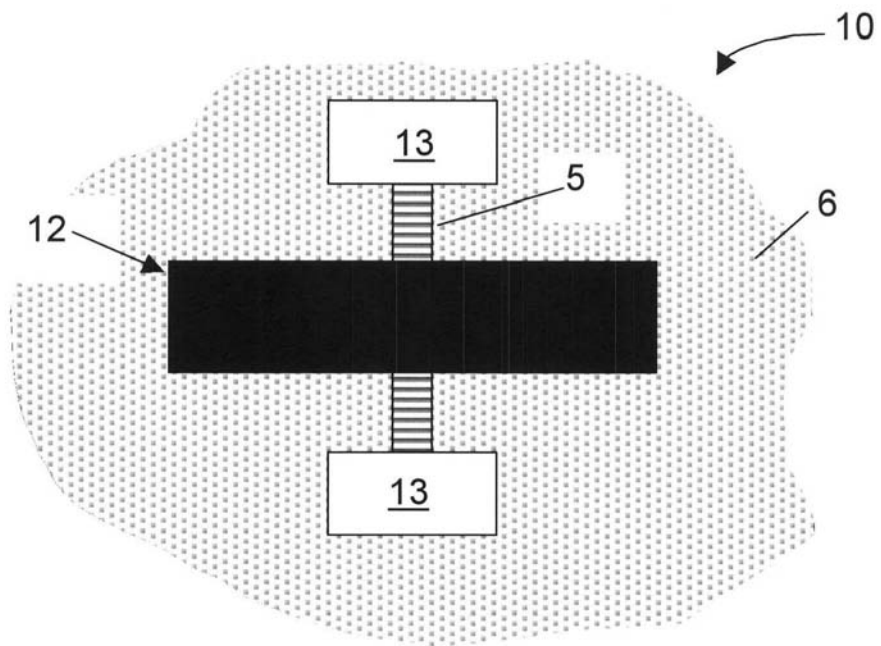
【 図 4 】



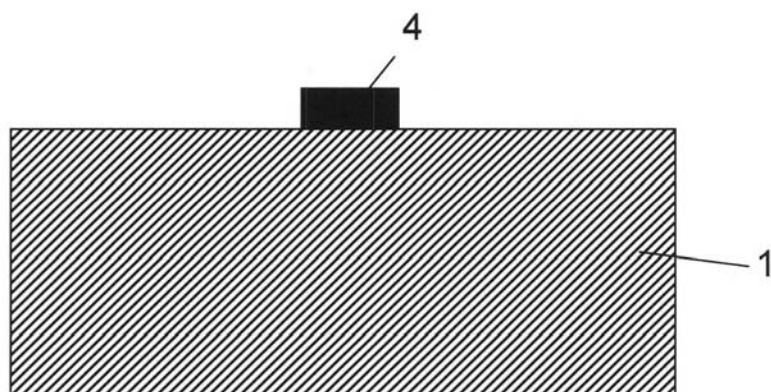
【 図 5 】



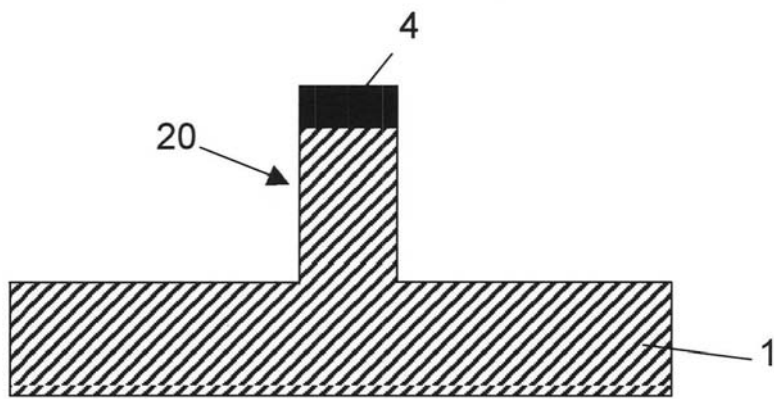
【 図 6 】



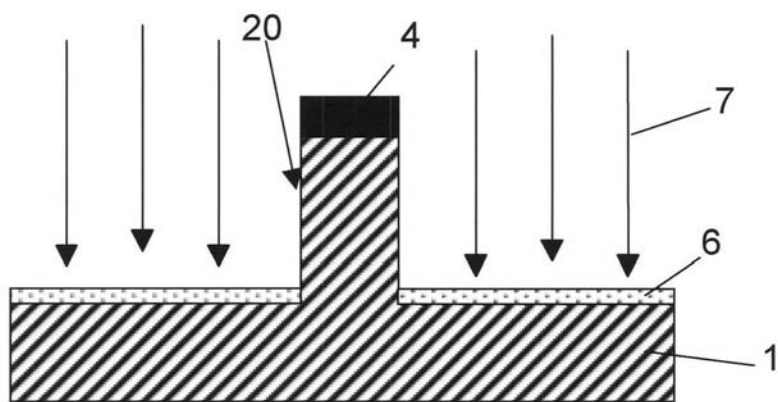
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/265 W

(72)発明者 ダミアン・ルノーブル
ベルギー、ペー - 1 0 5 0 イクセル、リュ・エリーゼ 7 8 番

(72)発明者 ナディーネ・コラエルト
ベルギー、ペー - 3 0 5 2 ブランデン、ダイフェンストラート 1 1 番

F ターム(参考) 5F110 AA30 CC10 DD13 DD25 GG01 GG02 GG03 GG22
5F140 AA00 AC36 BA00 BA01 BA03 BA06 BA07 BB05 BC15 BE09
BF42

【 外国語明細書 】

SEMICONDUCTOR DEVICE**Technical field of the invention**

The present invention relates to a method for forming a semiconductor device on a substrate, e.g. a bulk semiconductor substrate or a semiconductor-on-insulator substrate, and to a semiconductor device thus obtained. The semiconductor device obtained with a method according to the present invention comprises locally modified regions with increased etching resistance. This leads to semiconductor devices with improved properties such as good electrical properties and good mechanical stability.

10 Background of the invention

Silicon on insulator (SOI) technology refers to the use of a layered silicon-insulator-silicon substrate in semiconductor manufacturing, especially microelectronics. SOI substrates comprise a thin, insulating layer, such as silicon oxide or glass, between a thin layer of silicon and a silicon bulk substrate. SOI-based devices thus differ from conventional silicon-built devices in that the silicon junction is above an electrical insulator, typically silicon dioxide.

An example of an SOI-based device is a FinFET (fin field-effect transistor). A FinFET comprises a thin silicon (Si) fin with a gate running over the fin. The gate controls a channel at least along the sidewalls of the fin. The electrical width of the channel is defined by the geometrical dimensions of the fin, particularly by the height and the width of the fin. A distinguishing characteristic of a FinFET with respect to other semiconductor devices is that a conducting gate is wrapped around the thin Si fin which forms the body of the device.

In FinFET fabrication, the use of SOI substrates with a silicon layer on a buried oxide (BOX) may, after patterning of the silicon layer of the SOI substrate, lead to formation of recesses in the BOX and under-etch regions in the BOX under the patterned silicon layer. These BOX recesses and under-etch regions may be formed during further processing of the FinFET, for example during removal of a hardmask used to pattern the silicon layer.

Residues of materials used during further processing of the FinFET may stick in these BOX recesses and especially in the under-etch regions. An additional process step may then be necessary to remove these residues. However, the residues may be difficult to remove and may thus still be present in the final
5 FinFET. This may have an impact on the electrical properties of the device formed on the substrates, may degrade the mechanical stability of the FinFET and may degrade the device matching, yield, etc.

The above-described problem may in general arise with any semiconductor device formed on a substrate, e.g. bulk semiconductor
10 substrate or semiconductor-on-insulator substrate, lying in a plane, in which the semiconductor device is formed of a structure extending from the substrate in a direction substantially perpendicular to the plane of the substrate.

Summary of the invention

It is an object of the present invention to provide a good method for
15 forming a semiconductor device on a substrate, e.g. semiconductor bulk substrate or semiconductor-on-insulator substrate, and a semiconductor device obtained by the method according to embodiments of the invention.

Semiconductor devices obtained by the method according to embodiments of the invention may have improved properties such as improved
20 electrical properties and improved mechanical stability.

The above objective is accomplished by a method and device according to the present invention.

In a first aspect of the invention, a method is provided for forming a semiconductor device on a substrate having a first major surface lying in a
25 plane. The method comprises:

- patterning the first major surface of the substrate to form at least one structure extending from the substrate in a direction substantially perpendicular to the plane of the first major surface of the substrate, and
- forming locally modified regions at locations in the substrate which are not
30 covered by the at least one structure, thus locally increasing etching resistance of these regions.

With increasing etching resistance is meant that the locally modified regions have a reduced etching speed compared to the original, non-modified substrate. Locally increasing etching resistance may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device.

By providing locally modified regions at locations in the substrate not covered by the at least one structure these regions are protected during process steps during further processing of the semiconductor device, e.g. etching steps, such that formation of recesses and under-etched regions in the substrate may be prevented.

The method according to embodiments of the invention may lead to semiconductor devices with good electrical properties and good mechanical stability.

According to embodiments of the invention the substrate may be a semiconductor-on-insulator substrate, such as a silicon-on-insulator (SOI) substrate, a germanium-on-insulator (GOI) substrate or a silicon-germanium-on-insulator (SGOI) substrate. According to these embodiments the invention may provide a method for forming a semiconductor device on a semiconductor-on-insulator substrate comprising a semiconductor layer on an insulating layer having a surface. The method may comprise:

- patterning the semiconductor layer, hereby forming at least one structure extending from the substrate in a direction substantially perpendicular to the plane of the major surface of the substrate and exposing part of the surface of the insulating layer, and
- forming locally modified regions in the insulating layer at locations which are not covered by the at least one structure, thus locally increasing etching resistance of these regions. Forming locally modified regions may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device.

The insulating layer may be a buried oxide.

According to embodiments of the invention, the substrate may be a bulk semiconductor substrate having a major surface lying in a plane, and the method may comprise:

- patterning the bulk semiconductor substrate, hereby forming the at least one structure extending from the substrate in a direction substantially perpendicular to the plane of the major surface of the substrate, and
- forming locally modified regions in the bulk semiconductor substrate at
5 locations which are not covered by the at least one structure, thus locally increasing etching resistance of these regions. Forming locally modified regions may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device.

According to embodiments of the invention, the substrate may have a
10 major surface lying in a plane. Forming locally modified regions in the substrate may be performed by implanting implantation elements, also called species or implantation species, in a direction substantially perpendicular to the plane of the major surface of the substrate. With "implantation elements", "species" and "implantation species" in the light of the present invention is
15 meant the same thing: elements suitable to be implanted into a semiconductor or insulating layer. With substantially perpendicular is meant that the direction of implantation of the implantation elements may most preferably make an angle of between 0 and 5 degrees with a direction substantially perpendicular to the plane of the major surface of the substrate such that substantially no
20 implantation elements can enter the at least one structure through its sidewalls. With substantially no implantation elements entering the at least one structure is meant that a concentration of preferably less than $1\text{E}12\text{ cm}^{-2}$ and more preferably less than $1\text{E}10\text{ cm}^{-2}$ of implantation elements may enter the at least one structure during implantation of implantation elements to form the locally
25 modified regions.

An advantage hereof is that implantation elements are not implanted in sidewalls of parts of the semiconductor device formed on the substrate. For example, in case of a FinFET, implantation elements are not implanted in sidewalls of the fin.

30 Implanting implantation elements may, according to embodiments, be performed by ion implantation.

According to embodiments of the invention, implanting implantation elements may be performed by plasma doping. An advantage of plasma

doping or PLAD is that this technique allows implantation of implantation elements in a direction substantially perpendicular to the plane of the major surface of the substrate, i.e. at an incidence angle of substantially zero degrees with a direction substantially perpendicular to the plane of the major surface of the substrate. PLAD furthermore allows implantation of high doses of implantation elements of $1\text{E}13$ to $1\text{E}17\text{ cm}^{-2}$ such that a peak of implantation elements is located at the surface of the substrate not covered by the at least one structure.

The implantation elements may comprise carbon, nitrogen, oxygen or a combination thereof.

According to embodiments of the invention, the method may furthermore comprise extending the locally modified regions under the at least one structure. Extending the locally modified regions under the at least one structure may be performed by annealing. Annealing may be performed at a temperature of between 800°C and 1000° . Annealing may be performed during a time period of between 1 second and 60 seconds. Annealing may lead to formation of locally modified regions with a thickness of between 1 nm and 20 nm.

According to embodiments of the invention, patterning the substrate may be performed by:

- providing a mask onto the substrate, and
- removing parts of the substrate which are not covered by the mask.

Providing a mask may comprise providing a hardmask comprising at least one of a metal, a nitride, an oxide or a low-k material.

According to other embodiments, providing a mask may comprise providing a photoresist polymer.

In a second aspect of the invention, a semiconductor device is provided comprising at least one structure extending from a substrate having a major surface lying in a plane, the structure extending in a direction substantially perpendicular to the plane of the major surface of the substrate, wherein the semiconductor device furthermore comprises locally modified regions in the substrate at locations not covered by the at least one structure, the locally

modified regions having an increased etch resistance with respect to the etch resistance of the non-modified substrate.

The semiconductor devices according to embodiments of the invention have good electrical properties and good mechanical stability.

5 According to embodiments of the invention, the substrate may be a semiconductor-on-insulator substrate, such as a silicon-on-insulator (SOI) substrate, a germanium-on-insulator (GOI) substrate or a silicon-germanium-on-insulator (SGOI) substrate. According to these embodiments, the invention may provide a semiconductor device comprising at least one structure formed
10 of a patterned semiconductor layer on an insulating layer of the semiconductor-on-insulator substrate, the insulating layer having a surface and the semiconductor device furthermore comprising locally modified regions in the insulating layer at locations which are not covered by the patterned semiconductor layer. The locally modified regions may have an increased
15 etching resistance compared to the original, non-modified substrate. According to these embodiments, the insulating layer may be a buried oxide.

According to the specific embodiments where the substrate is a semiconductor-on-insulator substrate, the locally modified regions in the insulating layer may comprise SiO_xN_y , wherein x and y are integers with $x+y =$
20 1, meaning that given the dose range obtainable with PLAD (see further), any stoichiometric combination of, for example, (Si, O, N) or (Si, O) or (Si, N) may be obtained in the locally modified regions in the semiconductor-on-insulator substrate. Alternatively, and as an example only, the locally modified regions in the insulating layer may comprise SiO_xC_y , wherein x and y are integers with
25 $x+y = 1$.

According to other embodiments of the invention, the substrate may be a bulk semiconductor substrate. For example, the bulk semiconductor substrate may be any of a bulk silicon substrate, a bulk Ge substrate, a bulk GaAs substrate, a bulk GaN substrate.

30 The locally modified regions may be regions implanted with carbon, nitrogen, oxygen or a combination thereof.

The locally modified regions may have a concentration of implantation elements, e.g. a carbon, nitrogen or oxygen concentration of between $1\text{E}13\text{ cm}^{-2}$ and $1\text{E}17\text{ cm}^{-2}$.

5 The locally modified regions may have a thickness of between 1 nm and 20 nm.

Optionally, the locally modified regions may extend underneath the at least one structure.

According to specific embodiments, the semiconductor device may be a FinFET.

10 An advantage of the device according to embodiments of the present invention, is that by providing locally modified regions in a substrate or part of a substrate, e.g. a buried oxide (BOX) of an SOI (silicon-on-insulator) substrate or part of a bulk semiconductor substrate, at locations which are not covered by a part of the semiconductor device, the substrate or part of the substrate is
15 protected during further processing of the semiconductor device such that formation of recesses and under-etched regions in the substrate or part of the substrate may be prevented.

The device obtained by the method according to embodiments of the present invention may have good electrical properties and a good mechanical
20 stability.

Particular and preferred aspects of the invention are set out in the accompanying independent and dependent claims. Features from the dependent claims may be combined with features of the independent claims and with features of other dependent claims as appropriate and not merely as
25 explicitly set out in the claims.

Although there has been constant improvement, change and evolution of devices in this field, the present concepts are believed to represent substantial new and novel improvements, including departures from prior practices, resulting in the provision of more efficient, stable and reliable
30 devices of this nature.

The above and other characteristics, features and advantages of the present invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings, which illustrate, by way

of example, the principles of the invention. This description is given for the sake of example only, without limiting the scope of the invention. The reference figures quoted below refer to the attached drawings.

Brief description of the drawings

5 Fig. 1 to 6 illustrate subsequent steps in a manufacturing process for a FinFET on an SOI substrate according to embodiments of the invention.

 Fig. 7 to 10 illustrate subsequent steps in a manufacturing process for a semiconductor device on a bulk semiconductor substrate according to embodiments of the invention.

10 Fig. 11 shows a Scanning Spreading Surface Resistance Microscopy (SSRM) profile of a bulk FinFET doped using Plasma Doping (PLAD) illustrating an embodiment of the invention.

 In the different figures, the same reference signs refer to the same or analogous elements.

15 Description of illustrative embodiments

 The present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the
20 elements may be exaggerated and not drawn on scale for illustrative purposes. The dimensions and the relative dimensions do not correspond to actual reductions to practice of the invention.

 Moreover, the terms top, over, and the like in the description and the claims are used for descriptive purposes and not necessarily for describing
25 relative positions. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other orientations than described or illustrated herein.

 It is to be noticed that the term "comprising", used in the claims, should
30 not be interpreted as being restricted to the means listed thereafter; it does not exclude other elements or steps. It is thus to be interpreted as specifying the presence of the stated features, integers, steps or components as referred to,

but does not preclude the presence or addition of one or more other features, integers, steps or components, or groups thereof. Thus, the scope of the expression "a device comprising means A and B" should not be limited to devices consisting only of components A and B. It means that with respect to
5 the present invention, the only relevant components of the device are A and B.

Reference throughout this specification to "one embodiment" or "an embodiment" means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present invention. Thus, appearances of the phrases "in
10 one embodiment" or "in an embodiment" in various places throughout this specification are not necessarily all referring to the same embodiment, but may. Furthermore, the particular features, structures or characteristics may be combined in any suitable manner, as would be apparent to one of ordinary skill in the art from this disclosure, in one or more embodiments.

Similarly it should be appreciated that in the description of exemplary
15 embodiments of the invention, various features of the invention are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the disclosure and aiding in the understanding of one or more of the various inventive aspects. This method of disclosure, however,
20 is not to be interpreted as reflecting an intention that the claimed invention requires more features than are expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are hereby expressly incorporated into this detailed description,
25 with each claim standing on its own as a separate embodiment of this invention.

Furthermore, while some embodiments described herein include some but not other features included in other embodiments, combinations of features of different embodiments are meant to be within the scope of the invention,
30 and form different embodiments, as would be understood by those in the art. For example, in the following claims, any of the claimed embodiments can be used in any combination.

In the description provided herein, numerous specific details are set forth. However, it is understood that embodiments of the invention may be practiced without these specific details. In other instances, well-known methods, structures and techniques have not been shown in detail in order not to obscure an understanding of this description.

The invention will now be described by a detailed description of several embodiments of the invention. It is clear that other embodiments of the invention can be configured according to the knowledge of persons skilled in the art without departing from the true spirit or technical teaching of the invention, the invention being limited only by the terms of the appended claims.

Reference will be made to transistors. These are three-terminal devices having a first main electrode such as a drain, a second main electrode such as a source and a control electrode such as a gate for controlling the flow of electrical charges between the first and second main electrodes. It will be clear for a person skilled in the art that the present invention is also applicable to similar devices that can be configured in any transistor technology, including for example, but not limited thereto, CMOS, BICMOS and Bipolar technology.

The present invention provides a method for forming a semiconductor device on a substrate having a first major surface lying in a plane. The method comprises:

- patterning the first major surface of the substrate to form at least one structure extending from the substrate in a direction substantially perpendicular to the plane of the first major surface of the substrate, and
- forming locally modified regions at locations in the substrate which are not covered by the at least one structure so as to locally increase etching resistance of these regions. Forming locally modified regions may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device.

A device obtained by a method according to embodiments of the present invention may have good electrical properties and a good mechanical stability.

The method according to embodiments of the invention may advantageously be used in the formation of a semiconductor device, e.g. a

finFET, on a semiconductor-on-insulator substrate for protecting the insulating layer of the semiconductor-on-insulator substrate by preventing under-etching of the at least one structure formed on the substrate during further process steps in the formation of the semiconductor device. However, according to
5 other embodiments, the method may also be advantageously used in the formation of a semiconductor device, e.g. a finFET, on a bulk semiconductor substrate for protecting part of the semiconductor substrate not covered by the at least one structure by preventing under-etching of the at least one structure formed on the substrate during further process steps in the formation of the
10 semiconductor device. According to a first embodiment of the invention, the substrate may be a semiconductor-on-insulator substrate comprising a semiconductor layer on an insulating layer. The substrate may, for example, be a silicon-on-insulator (SOI) substrate, a germanium-on-insulator (GOI) substrate or a silicon-germanium-on-insulator (SGOI) substrate. According to
15 the first embodiment, a method may be provided for forming a semiconductor device on a semiconductor-on-insulator substrate, the semiconductor-on-insulator substrate comprising a semiconductor layer, e.g. silicon layer, on an insulating layer, e.g. a buried oxide, having a surface. The method according to these embodiments may comprise:

- 20 - patterning the semiconductor layer, hereby forming the at least one structure and exposing part of the surface of the insulating layer, and
- forming locally modified regions in the insulating layer, e.g. buried oxide, at locations which are not covered by the patterned semiconductor layer, or in other words which are not covered by the at least one structure, so as to
25 locally increase etching resistance of these regions. Forming locally modified regions may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device.

An advantage of the method according to the first embodiment of the present invention, is that by providing locally modified regions in the insulating
30 layer, e.g. buried oxide (BOX), of the semiconductor-on-insulator substrate at locations which are not covered by a part of the semiconductor device, the insulating layer, e.g. buried oxide, is protected during further processing of the

semiconductor device such that formation of recesses and under-etched regions in the insulating layer may be prevented.

Hereinafter, a method for the manufacturing of a FinFET (Fin Field-effect Transistor) on a silicon-on-insulator (SOI) substrate according to the first
5 embodiment of the present invention will be described. It has to be understood that this is not intended to limit the invention in any way and that the method according to embodiments of the invention can be used for manufacturing any semiconductor device on any semiconductor-on-insulator substrate.

Fig. 1 to Fig. 6 illustrate subsequent steps in a method for
10 manufacturing a FinFET 10 according to embodiments of the invention.

In a first step, an SOI substrate 1 comprising a bulk substrate (not shown in the figures), an insulating layer such as a buried oxide 2 and a silicon layer 3 is provided. The buried oxide 2 may typically have a thickness of between 50 nm and 200 nm and may, for example, be 150 nm. The buried
15 oxide 2 may preferably comprise SiO₂. The silicon layer 3 may typically have a thickness of between 10 nm and 100 nm and may, for example, be 65 nm.

Next, the silicon layer 3, of which an upper surface (surface away from the buried oxide 2) forms a major surface of the SOI substrate 1, is patterned so as to form at least one structure 20, in the example given at least one fin
20 (see further), extending from the substrate 1 in, when the major surface of the substrate 1 is lying in a plane, a direction substantially perpendicular to the plane of the major surface of the substrate 1. In the example given, only one structure 20 is present on the substrate 1. It has to be understood that this is only for the ease of explanation and that this is not intended to limit the
25 invention in any way. According to embodiments of the invention, the substrate 1 may comprise any number of structures 20 required to form a particular semiconductor device 10. Patterning of the silicon layer 3 may be hardmask-based or may be done by photolithography using a photoresist. In the example illustrated, a hardmask layer may be provided on the silicon layer 3. The
30 hardmask layer may have a thickness of between 50 nm and 100 nm and may, for example, be 70 nm. The hardmask layer may, for example, comprise a metal such as e.g. Ti, Au, Ag, Pd, a nitride such as e.g. TiN, TaN, HfN, Si₃N₄, an oxide, such as e.g. TiO₂, SiO₂, a low-k dielectric or a combination, e.g. a

stack, of the above materials. The thickness of the hardmask layer may preferably be such that, when implantation of implantation elements is performed in a later step of this method, the hardmask layer may act as a shield for preventing implantation elements to reach the patterned silicon layer or, in general, the at least one structure (see further). The hardmask layer may then be patterned and etched to form hardmask 4 which only covers the silicon layer 3 at the location where a fin 5 of the FinFET 10 is to be formed and leaves the other parts of the silicon layer 3 exposed (see Fig. 1). The exposed part of the silicon layer 3 may then be removed, e.g. by etching. Etching may, for example, be performed by a wet etch, a dry etch or a combination thereof. The structure obtained after etching the silicon layer 3 is illustrated in Fig. 2. The patterned silicon layer forms the fin 5 of the FinFET 10. The fin 5 may have a width of between 5 nm and 30 nm. The height of the fin 5 depends on the thickness of the silicon layer 3 of the SOI substrate 1 and may thus be between 10 nm and 100 nm. According to the first embodiments, the removal of the exposed part of the silicon layer 3 is up to exposure of the underlying insulating layer 2.

In a next step, implantation of implantation elements is performed (indicated with arrows 7 in Fig. 3) to form locally modified regions 6 in the exposed parts of the buried oxide 2. Therefore, implantation is performed at locations in the buried oxide 2 which are not covered by the fin 5. The implantation elements are such that the etching resistance of these regions 6 is increased. With increased etching resistance is meant that the locally modified regions 6 have a reduced etching speed with respect to the original, non-modified, substrate 1. Most preferably, the implantation elements may be C, N, O or a combination thereof. Preferably, an implantation dose of between $1\text{E}13\text{ cm}^{-2}$ and $1\text{E}17\text{ cm}^{-2}$ may be used. During implantation of the implantation elements in the buried oxide 2, the hardmask 4 may act as a shield for preventing implantation elements to be implanted in the fin 5. This is because the presence of implantation elements in the fin 5 can lead to increased sidewall roughness of the fin 5. Furthermore, the presence of implantation elements in the fin 5 may lead to scattering of mobile carrier elements which may affect mobility of these mobile carriers in the fin 5. According to

embodiments of the invention, implantation may be performed in an anisotropic way. Implantation may most preferably be done, when the SOI substrate 1 has a major surface lying in a plane, in a direction substantially perpendicular to the plane of the major surface of the substrate 1. With substantially perpendicular
5 is meant that the direction of implantation of the implantation elements may most preferably make an angle of between 0 and 5 degrees with the direction substantially perpendicular to the plane of the major surface of the substrate 1 such that substantially no implantation elements can enter the fin 5 through its sidewalls which are not covered by the mask 4. With substantially no
10 implantation elements entering the fin 5 is meant that a concentration of preferably less than $1\text{E}12\text{ cm}^{-2}$ and more preferably less than $1\text{E}10\text{ cm}^{-2}$ of implantation elements may enter the fin 5 during implantation of implantation elements to form the locally modified regions 6. In this way, implantation elements can be implanted without affecting the physical and electrical
15 properties of the sidewalls of the fin 5. Therefore, most preferably, implantation may be performed with PLAD (plasma doping). PLAD allows implantation of implantation elements in a direction, when the SOI substrate 1 has a major surface lying in a plane, substantially perpendicular to the plane of the major surface of the SOI substrate 1 so that there is no space charge effect, i.e. no
20 occurrence of localised excess charge. In PLAD a plasma, i.e. a cloud of ions near the surface of the substrate 1 to be implanted, in the example given the insulating layer 2 of the SOI substrate 1, is created. From this plasma, ions are extracted and accelerated towards and into the insulating layer 2.

PLAD allows a collisionless ion sheath which leads to an incidence
25 angle of substantially 0 degree. Furthermore, PLAD allows high dose implantation of $1\text{e}13$ to $1\text{e}17\text{ cm}^{-2}$. Extraction voltages may be in the order of kV. By using PLAD a peak of implantation elements is located at the surface of the substrate 1, in the present embodiment the revealed buried oxide 2. In this way the buried oxide 2 is locally modified at those locations where implantation
30 is performed. However, according to other embodiments, implantation of implantation elements may also be performed by any other known conventional implantation technique such as e.g. ion implantation, as long as the direction of implantation is substantially perpendicular to the plane of the

major surface of the substrate 1 as defined above. According to other embodiments of the invention, any plasma having an anisotropic character may be applied for implanting implantation elements, e.g. remote plasma or RIE. The only disadvantage for such plasma may be that it has lower
5 acceleration voltage (~300V) and hence the penetration depth is much less, e.g. 1 nm. Nevertheless, this may be sufficient depth for particular applications.

During implantation of implantation elements the hardmask 4 which is still present on the fin 5 may act as a shield for preventing implantation elements to be implanted into the fin 5. Therefore, the thickness and the
10 material properties of the hardmask 4 should be chosen such that after implantation only a part 8 of the hardmask 4 is implanted with implantation elements and that the implantation elements are substantially not able to reach the fin 5. By implanting the implantation elements in a direction substantially perpendicular to the plane of the major surface of the SOI substrate (1),
15 substantially no implantation elements are implanted in side walls of the fin 5, as already described above.

After implantation of the implantation elements in the exposed parts of the buried oxide 2, the locally modified regions 6 may optionally be extended underneath the fin 5. This may preferably be performed by annealing the SOI
20 substrate 1. Annealing may be performed at temperatures of between 800°C and 1000°C for a period of between 1 second and 60 seconds. When the implantation elements that have been implanted for example comprise N, the locally modified regions 6 may comprise SiO_xN_y , wherein x and y are integers with $x+y = 1$, meaning that, given the dose range obtainable with PLAD, any
25 stoichiometric combination of, for example, (Si, O, N) or (Si, O) or (Si, N) may be obtained in the locally modified regions 6 in the SOI substrate 1. The locally modified regions 6 may have a thickness t in the buried oxide 2 of, for example, between 1 nm and 20 nm, preferably between 1 nm and 10 nm.

The presence of locally modified regions 6 in accordance with
30 embodiments of the present invention may be detected by, for example, chemical analysis of the substrate, for example, by filtered transmission electron microscopy (TEM).

In a next step, the hardmask 4 may be removed (see Fig. 4). This may be done by any suitable technique known by a person skilled in the art, such as stripping.

5 In a further step, a dielectric layer 9 may be deposited with on top a conductive layer 11 to form a stack. Then, the stack may be patterned to form the gate 12 of the FinFET (see Fig. 5).

Further manufacturing of the FinFET 10 may be done as known by a person skilled in the art. For example, source and drain extensions and source and drain regions may be formed as known by a person skilled in the art.

10 Figure 6 shows a top view of the device 10 as formed by the method as described above. The fin 5 is located between source and drain regions 13. This fin 5 is partly overlapped by the gate 12. The exposed area's of the underlying substrate 1, or in other words, the area's not covered by the fin 5, are modified to form the locally modified regions 6 with increased etching
15 resistance with respect to the original buried oxide 2.

During process steps performed after formation of the locally modified regions 6, these locally modified regions 6 with increased etching resistance protect the buried oxide 2 against influence of materials and chemicals further used during manufacturing of the FinFET 10. This prevents recesses and
20 under-etch regions under the fin 5 to be formed in the buried oxide 2. Hence, residues of materials or chemicals further used during the manufacturing of the FinFET 10 cannot stick in these recesses and under-etch regions as they do not exist. Hence, no additional process steps are required for removing these residues.

25 According to a second embodiment of the invention, the substrate 1 may be a bulk semiconductor substrate. The method according the second embodiment may be similar to the method as described for the first embodiment of the invention and is illustrated in Fig. 7 to 10.

First, a bulk semiconductor substrate 1 is provided. The bulk
30 semiconductor substrate 1 may be any suitable semiconductor substrate 1 onto which a semiconductor device 10 may be formed. For example, the bulk semiconductor substrate 1 may be any of a bulk silicon substrate, a bulk Ge substrate, a bulk GaAs substrate, a bulk GaN substrate.

In a next step, a major surface of the bulk semiconductor substrate 1 is patterned so as to form at least one structure 20 extending from the substrate 1 having a major surface lying in a plane. When the major surface of the substrate 1 is lying in a plane, patterning is performed in a direction substantially perpendicular to the plane of the major surface of the substrate 1. In the example given, only one structure 20 is present on the substrate 1. It has to be understood that this is only for the ease of explanation and that this is not intended to limit the invention in any way. According to embodiments of the invention, the substrate 1 may comprise any number of structures 20 required to form a particular semiconductor device 10. Patterning of the bulk semiconductor substrate 1 may be hardmask-based or may be done by photolithography using a photoresist. In the example illustrated in Fig. 7 to 10, a hardmask layer may be provided on the bulk semiconductor substrate 1. The hardmask layer may have a thickness of between 50 nm and 100 nm and may, for example, be 70 nm. The hardmask layer may, for example, comprise a metal such as e.g. Ti, Au, Ag, Pd, a nitride such as e.g. TiN, TaN, HfN, Si₃Ni₄, an oxide, such as e.g. TiO₂, SiO₂, a low-k dielectric or a combination, e.g. a stack, of the above materials. The thickness of the hardmask layer may preferably be such that, when implantation of implantation elements is performed in a later step of this method, the hardmask layer may act as a shield for preventing implantation elements to reach the at least one structure 20 formed (see further). The hardmask layer may then be patterned and etched to form hardmask 4 which only covers the bulk semiconductor substrate 1 at the location where the at least one structure 20 is to be formed and leaves the other parts of the bulk semiconductor substrate 1 exposed (see Fig. 7). The exposed parts of the bulk semiconductor substrate 1 may then be removed, e.g. by etching. Etching may, for example, be performed by a wet etch, a dry etch or a combination thereof. The structure obtained after etching the bulk semiconductor substrate 1 is illustrated in Fig. 8. The patterned silicon layer forms the at least one structure 20 of the semiconductor device 10. The at least one structure 20 can during further processing of the semiconductor device 10 be used to form e.g. a gate. The amount, i.e. thickness of removal of

the exposed part of the bulk semiconductor substrate 1 depends on the kind of semiconductor device 10 to be formed.

In a next step, implantation of implantation elements is performed (indicated with arrows 7 in Fig. 9) to form locally modified regions 6 in those parts of the bulk semiconductor substrate 1 which are not covered by the at least one structure 20. The implantation elements are such that the etching resistance of the regions 6 which are implanted is increased. With increased etching resistance is meant that the locally modified regions 6 have a reduced etching speed with respect to the starting or original substrate 1. Most preferably, the implantation elements may be C, N, O or a combination thereof. Preferably, an implantation dose of between $1\text{E}13\text{ cm}^{-2}$ and $1\text{E}17\text{ cm}^{-2}$ may be used. During implantation of the implantation elements in the exposed parts of the bulk semiconductor substrate 1, the hardmask 4 may act as a shield for preventing implantation elements to be implanted in the at least one structure 20. This is because the presence of implantation elements in the at least one structure 20 can lead to increased sidewall roughness of the at least one structure 20. Furthermore, the presence of implantation elements in the at least one structure 20 may lead to scattering of mobile carriers which may affect mobility of the mobile carriers in the at least one structure 20 which may later serve as e.g. a gate. According to embodiments of the invention, implantation may be performed in an anisotropic way. Implantation may be done in, when the bulk semiconductor substrate 1 has a major surface lying in a plane, a direction substantially perpendicular to the plane of the major surface of the substrate 1. With substantially perpendicular is meant that the direction of implantation of the implantation elements may most preferably make an angle of between 0 and 5 degrees with the direction substantially perpendicular to the plane of the major surface of the substrate 1 such that substantially no implantation elements can enter the at least one structure 20 through its sidewalls which are not covered by the mask 4. With substantially no implantation elements entering the at least one structure 20 is meant that a concentration of preferably less than $1\text{E}12\text{ cm}^{-2}$ and more preferably less than $1\text{E}10\text{ cm}^{-2}$ of implantation elements may enter the at least one structure 20 during implantation of implantation elements to form the locally modified

regions 6. Therefore, most preferably, implantation may be performed with PLAD (plasma doping), as was already described in the first embodiment.

According to other embodiments, implantation of implantation elements may also be performed by any other known conventional implantation technique such as e.g. ion implantation. For example, according to other, though less preferred, embodiments of the invention, any plasma having an anisotropic character may be applied for implanting implantation elements, as long as the direction of implantation is substantially parallel to the formed structure 20 as was described above, e.g. remote plasma or RIE.

During implantation of implantation elements the hardmask 4 which is still present on the at least one structure 20 may act as a shield for preventing implantation elements to be implanted into the at least one structure 20. Therefore, the thickness and the material properties of the hardmask 4 should be chosen such that after implantation only a part 8 of the hardmask 4 is implanted with implantation elements and that the implantation elements are not able to reach the at least one structure 20 (see Fig. 10). By implanting the implantation elements in a direction substantially parallel to the formed structure 20, preferably substantially perpendicular to the plane of the major surface of the bulk semiconductor substrate 1, no implantation elements are implanted in sidewalls of the at least one structure 20.

After implantation of the implantation elements in the exposed parts of the bulk semiconductor substrate 1, the locally modified regions 6 may optionally be extended underneath the at least one structure 20. This may preferably be performed by annealing the substrate 1. Annealing may be performed at temperatures of between 800°C and 1000°C for a period of between 1 second and 60 seconds. The locally modified regions 6 may have a thickness t in the bulk semiconductor substrate 1 of, for example, between 1 nm and 20 nm, preferably between 1 nm and 10 nm.

The presence of locally modified regions 6 in accordance with embodiments of the present invention may be detected by, for example, chemical analysis of the substrate, for example, by filtered transmission electron microscopy (TEM).

In a next step, the hardmask 4 may be removed. This may be done by any suitable technique known by a person skilled in the art, such as stripping.

Figure 11 shows a Scanning Spreading Resistance Measurement (SSRM) profile of a bulk FinFET, i.e. a FinFET formed on a bulk semiconductor substrate 1, in the example given a silicon substrate 1. A fin 6 is protruding from a bulk silicon substrate 2. This fin 5 is then doped using PLAD. As can be seen from figure 11 (darker regions) implantation occurs in the regions indicated with reference number 6 and on top of the fin 5 but not in the upstanding surfaces or sidewalls 14 of the fin 5 which remain substantially unaffected by the PLAD doping process.

Further manufacturing of the semiconductor device 10 may be done as known by a person skilled in the art and depends on the semiconductor device 10 required to be formed.

During process steps performed after formation of the locally modified regions 6, these locally modified regions 6 with increased etching resistance protect the substrate 1 against influence of materials and chemicals further used during manufacturing of the semiconductor device 10. This prevents recesses and under-etch regions under the fin 5 to be formed in the substrate 1. Hence, residues of materials or chemicals further used during the manufacturing of the semiconductor device 10 cannot stick in these recesses and under-etch regions as they do not exist. Hence, no additional process steps are required for removing these residues.

The methods according to embodiments of the invention lead to semiconductor devices with good electrical properties and good mechanical stability.

It is to be understood that although preferred embodiments, specific constructions and configurations, as well as materials, have been discussed herein for devices according to the present invention, various changes or modifications in form and detail may be made without departing from the scope and spirit of this invention.

CLAIMS

- 1.- A method for forming a semiconductor device (10) on a substrate (1) having a first major surface lying in a plane, the method comprising:
- patterning the first major surface of the substrate (1) to form at least one structure (20) extending from the substrate (1) in a direction substantially perpendicular to the plane of the first major surface, and
 - forming locally modified regions (6) at locations in the substrate (1) which are not covered by the at least one structure (20), thus locally increasing etching resistance of these regions (6),
- characterised in that forming locally modified regions (6) is performed by implanting implantation elements in a direction substantially perpendicular to the plane of the first major surface.
- 2.- A method according to claim 1, wherein locally increasing etching resistance prevents under-etching of the at least one structure (20) during further process steps in the formation of the semiconductor device (10).
- 3.- A method according to any of the previous claims, the substrate (1) being a semiconductor-on-insulator substrate comprising a semiconductor layer (3) on an insulating layer (2) having a surface, wherein:
- patterning the substrate comprises patterning the semiconductor layer (3), and
 - forming locally modified regions comprises forming locally modified regions (6) in the insulating layer (2) at locations which are not covered by the at least one structure (20).
- 4.- A method according to any of claims 1 to 2, the substrate (1) being a bulk semiconductor substrate, wherein:
- patterning the substrate (1) comprises patterning the bulk semiconductor substrate (1), and
 - forming locally modified regions comprises forming locally modified regions (6) in the bulk semiconductor substrate (1).
- 5.- A method according to any of the previous claims, wherein implanting implantation elements is performed by ion implantation.

- 6.- A method according to any of the previous claims, wherein implanting implantation elements is performed by plasma doping.
- 7.- A method according to any of the previous claims, wherein implanting implantation elements is performed at a dose of between $1\text{E}13\text{ cm}^{-2}$ and $1\text{E}17\text{ cm}^{-2}$.
- 8.- A method according to any of the previous claims, wherein the implantation elements comprise carbon, nitrogen, oxygen or a combination thereof.
- 9.- A method according to any of the previous claims, wherein the method furthermore comprises extending the locally modified regions (6) under the at least one structure (20).
- 10.- A method according to claim 9, wherein extending the locally modified regions (6) under the at least one structure (20) leads to formation of locally modified regions (6) with a thickness (t) of between 1 nm and 20 nm.
- 11.- A method according to claim 9 or 10, wherein extending the locally modified regions (6) under the at least one structure (20) is performed by annealing.
- 12.- A method according to claim 11, wherein annealing is performed at a temperature of between 800°C and 1000°C .
- 13.- A method according to any of claims 11 or 12, wherein annealing is performed during a time period of between 1 second and 60 seconds.
- 14.- A method according to any of the previous claims, wherein patterning the substrate (1) is performed by:
- providing a mask (4) onto the substrate (1), and
 - removing parts of the substrate (1) which are not covered by the mask (4).
- 15.- A method according to claim 14, wherein providing a mask (4) comprises providing a hardmask comprising at least one of a metal, a nitride, an oxide or a low-k material.
- 16.- A method according to claim 14, wherein providing a mask (4) comprises providing a photoresist polymer.

- 17.- A semiconductor device (10) comprising at least one structure (20) extending from a substrate (1) having a first major surface lying in a plane, the at least one structure extending in a direction substantially perpendicular to the plane of the first major surface of the substrate (1), wherein the semiconductor device (10) furthermore comprises locally modified regions (6) in the substrate at locations not covered by the at least one structure (20), the locally modified regions (6) having an increased etch resistance with respect to the etch resistance of the non-modified substrate (1), characterized in that the locally modified regions (6) comprise implanted implantation elements.
- 18.- A semiconductor device (10) according to claim 17, the substrate (1) being a semiconductor-on-insulator substrate and the semiconductor device (10) comprising a patterned semiconductor layer (5) on an insulating layer (2) of the semiconductor-on-insulator substrate (1), the insulating layer (2) having a surface, wherein the locally modified regions in the substrate are locally modified regions (6) at the surface of the insulating layer (2) at locations which are not covered by the patterned semiconductor layer (5).
- 19.- A semiconductor device (10) according to claim 18, wherein the locally modified regions (6) in the insulating layer (2) comprise SiO_xN_y , wherein x and y are integers and $x+y = 1$.
- 20.- A semiconductor device according to claim 17, wherein the substrate (1) is a bulk semiconductor substrate.
- 21.- A semiconductor device (10) according to any of claim 17 to 20, wherein the implantation elements comprise carbon, nitrogen, oxygen or a combination thereof.
- 22.- A semiconductor device (10) according to claim 21, wherein the locally modified regions (6) have a concentration of carbon, nitrogen and/or oxygen of between $1\text{E}13\text{ cm}^{-2}$ and $1\text{E}17\text{ cm}^{-2}$.
- 23.- A semiconductor device (10) according to any of claims 17 to 22, wherein the locally modified regions (6) have a thickness (t) of between 1 nm and 20 nm.

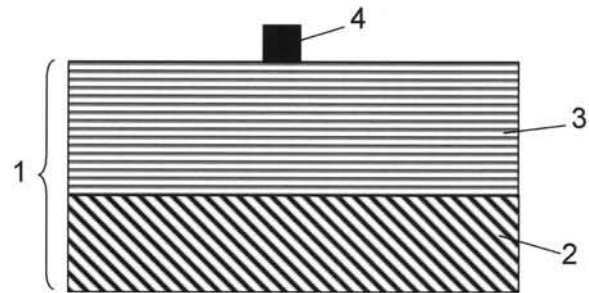
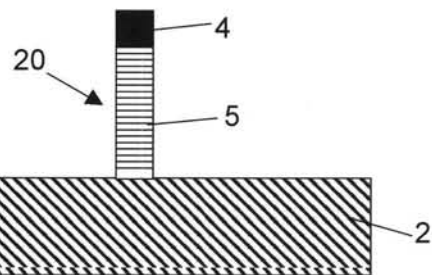
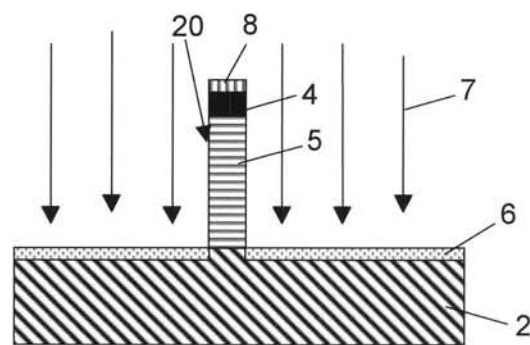
- 24.- A semiconductor device (10) according to any of claims 17 to 23, wherein the locally modified regions (6) extend underneath the at least one structure (20).
- 25.- A semiconductor device (10) according to any of claims 17 to 24, wherein
- 5 the semiconductor device (10) is a FinFET.

ABSTRACT**SEMICONDUCTOR DEVICE**

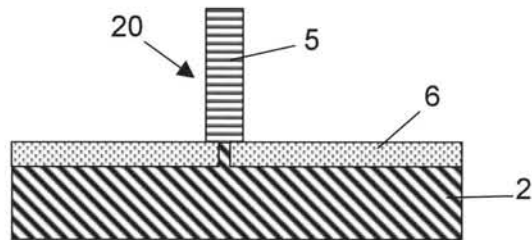
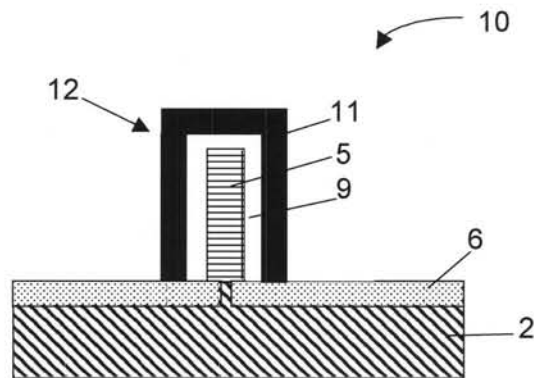
5 The present invention provides a method for forming a semiconductor device (10) on a substrate (1) having a first major surface lying in a plane. The method comprises, after patterning the substrate (1) to form at least one structure (20) extending from the substrate (1) in a direction substantially perpendicular to the plane of the major surface of the substrate, forming locally
10 modified regions (6) at locations in the substrate which are not covered by the at least one structure (20), thus locally increasing etching resistance of these regions (6). Forming locally modified regions may prevent under-etching of the at least one structure during further process steps in the formation of the semiconductor device (10). Forming locally modified regions (6) may be
15 performed by implanting implantation elements into regions of the substrate (1) not covered by the at least one structure (20). The present invention furthermore provides a semiconductor device obtained by the method according to embodiments of the invention. The semiconductor devices according to embodiments of the invention have good electrical properties and
20 good mechanical stability.

+ Fig. 5

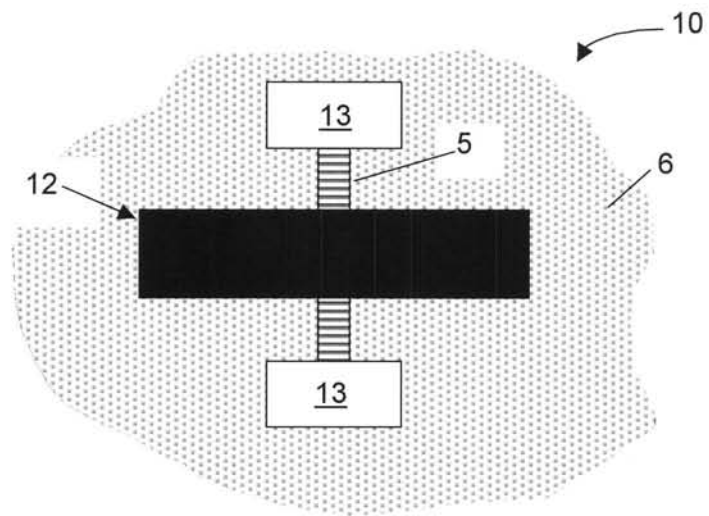
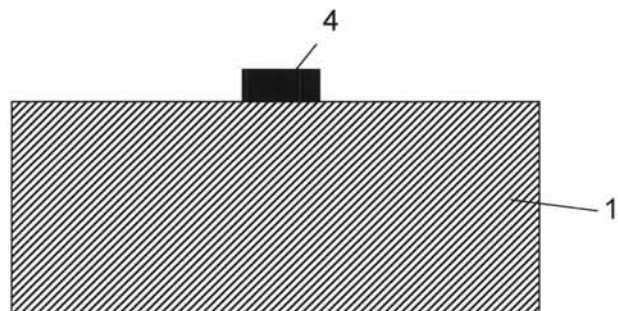
1/5

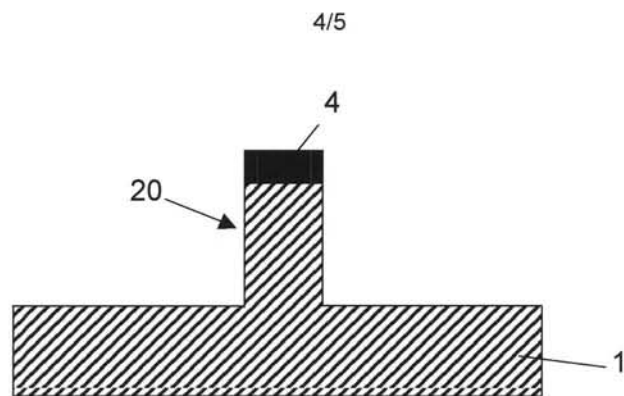
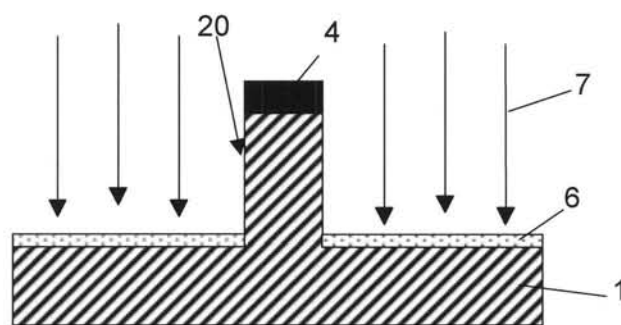
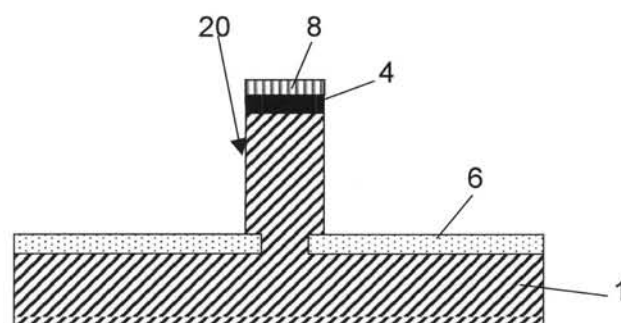
**FIG. 1****FIG. 2****FIG. 3**

2/5

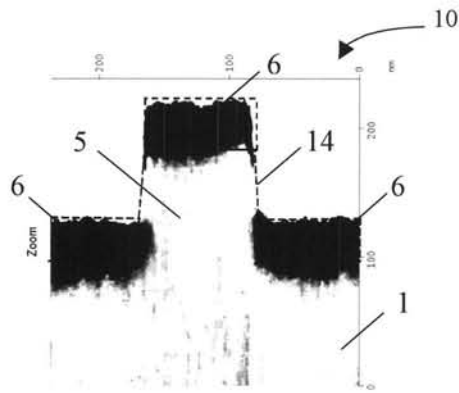
**FIG. 4****FIG. 5**

3/5

**FIG. 6****FIG. 7**

**FIG. 8****FIG. 9****FIG. 10**

5/5

**FIG. 11**