

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
 H04L 12/20

(45) 공고일자 2005년06월17일
 (11) 등록번호 10-0464467
 (24) 등록일자 2004년12월22일

(21) 출원번호	10-1998-0707795	(65) 공개번호	10-2000-0064823
(22) 출원일자	1998년09월30일	(43) 공개일자	2000년11월06일
번역문 제출일자	1998년09월30일		
(86) 국제출원번호	PCT/IB1998/000041	(87) 국제공개번호	WO 1998/34376
국제출원일자	1998년01월12일	국제공개일자	1998년08월06일

(81) 지정국

국내특허 : 아일랜드, 중국, 일본,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼,

(30) 우선권주장 97200250.5 1997년01월30일 유럽특허청(EPO)(EP)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
 네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 슈테, 헤르만
 네덜란드, 베아 아인드호펜 5656, 홀스트란 6

(74) 대리인
 정상구
 이명호
 신현문
 이범래

심사관 : 신성길

(54) 서로 다른 전송률들을 이용하는 통신버스

요약

통신 버스는 두 부분들로 나누어져 있다. 한쪽 부분에 접속된 스테이션이 한쪽 부분을 통하여 보통의 속도보다 더 빠른 속도로 메시지를 교환하기 원함을 나타낼 때, 브리지 스테이션(bridge station)은 두 부분들을 분리하며, 다른 부분으로 메시지의 컨텐트 부분을 전송하는 것을 인터럽트하고 다른 부분에는 메시지에서 더미 컨텐트 부분을 대체한다.

대표도

도 1

명세서

기술분야

본 발명은,

- 스테이션들,

- 신호 프로토콜을 만족시키는 메시지의 교환을 위해 상기 스테이션을 상호 접속하는 버스로서, 상기 메시지는 연속적으로 시분할 다중화된 헤더 신호, 컨텐트신호, 및 상기 메시지의 종료를 나타내는 신호를 포함하고, 상기 버스는 제 1 및 제 2 부분을 포함하는, 상기 버스, 및

- 상기 제 1 및 제 2 부분을 상호 접속하는 브리지 스테이션(bridge station)을 포함하는 전자 장치에 관한 것이다.

본 발명은 또한 이러한 전자 장치에 이용을 위한 브리지 스테이션에 관한 것이다.

배경기술

위와 같은 전자 장치는 1994년 필립스 반도체에 의해 발행된 "데이터 핸드북 IC20: 80C51에 기반된 8 비트 마이크로 컨트롤러들"의 1141 내지 1159 쪽에 서술되어 있으며 상업적으로 이용 가능한 I2C버스 시스템으로부터 알려져 있다.

I2C 버스는 두 신호 컨덕터들을 이용하는데, 하나는 클럭 신호를 전달하는 클럭 신호 컨덕터(SCL : clock signal conductor)이고, 다른 하나는 데이터 신호를 전달하는 데이터 신호 컨덕터(SDA : data signal conductor)이다. 버스는 하나의 클럭 신호 컨덕터와 데이터 신호 컨덕터를 포함하는 한 부분으로 이루어져 있을 수 있으며, 각 부분이 모두 클럭 신호 컨덕터와 데이터 신호 컨덕터를 포함하고 있는 복수 개의 부분들로 이루어져 있을 수도 있다. 이 때, 각 부분들은 각 부분들 사이에서 클럭 신호와 데이터 신호를 전달하는 브리지 회로들에 의해 상호 접속되어 있다. 알려진 브리지 스테이션은 I2C 버스의 최대 길이를 늘리기 위하여 주로 이용된다.

I2C 버스를 통한 메시지 전송은 스테이션들이 신호 프로토콜에 따라 여러가지 동작들에 참가할 것을 요구한다. 어떤 스테이션이 메시지 전송을 초기화하기를 원하는 경우, 버스가 이용 가능(free)한지를, 즉 신호 프로토콜에 따라 다른 메시지 전송이 시작되지 않았거나 먼저 시작된 모든 메시지 전송들이 소위 "중단 조건들(stop-conditions)"에 의해 종료되었는지를 먼저 결정하여야 한다. 이는 클럭 신호가 유효한 데이터(valid data)를 나타내는 레벨에 있을 때 데이터 신호에서 논리 레벨의 천이를 관련시킨다. 버스가 이용 가능한 때에 스테이션은 전송을 시작할 수 있다. 이러한 경우에는 다른 모든 스테이션들은 소위 "시작 조건들(start conditions)"(이것도 역시 클럭 신호가 유효한 데이터를 나타내는 레벨에 있을 때 데이터 신호에서의 논리 레벨의 천이를 관련시킨다)의 전송을 위한 버스와 이러한 시작 조건 후에 예정된 위치에서 전송된 어드레스를 모니터링하여 메시지 전송에 참가하기 위하여 호출되었는지를 결정해야 한다.

이는 I2C 버스를 통한 전송에 속도 제한을 가하게 된다. 전송 속도가 너무 빨라서 어느 한 스테이션이 그 전송을 모니터링 하기에는 너무 느리다면, 그러한 스테이션이 시작이나 중단 조건을 놓치거나 잘못된 시작 또는 중단 조건을 검출하게 되어 잘못된 전송이나 전송 억제를 시도할 수 있기 때문에 오류가 발생할 수 있다.

일정한 속도에 이르기까지 기능할 수 있는 많은 집적 회로들이 I2C 버스에 부착된 스테이션들로서 이용 가능하다. 원칙적으로는 이러한 집적 회로들보다 더 빠른 속도로 메시지들을 전송할 수 있는 부가 집적 회로들을 설계하는 것도 가능하다. 그러나, 이러한 고속의 부가 회로들이 종래의 I2C 버스 상에 존재하는 집적 회로들과 결합되면 이러한 부가 회로들의 더 빠른 속도가 아무런 소용이 없게 된다.

이는 실질적으로 특정한 메시지의 전송에 참가하는 스테이션이 더 빠른 속도로 그 특정한 메시지를 전송할 수 있는 경우에라도 느린 스테이션 내에서 놓치거나 잘못된 시작 및 중단 조건들로 인한 오류들이 더 빠른 속도 전송 동안 일어날 수 있기 때문이다.

발명의 상세한 설명

본 발명의 목적은 전문에 따른 통신 버스 전송 시스템 내에서 일어날 수 있는 메시지 전송 속도를 오류들 없이 증가시키는 것이다.

본 발명에 따른 전자 장치는 스테이션들 중 적어도 하나는 상기 헤더 신호에 의하여 상대적으로 더 빠른 클럭 속도에서의 전송의 표시를 제공한 후, 상기 헤더 신호보다 상대적으로 더 빠른 클럭 속도로 상기 컨텐트 신호를 전송하도록 배열되며, 상기 컨텐트 신호를 갖는 상기 메시지를 상대적으로 더 빠른 속도로 수신할 수 있는 상기 적어도 하나의 스테이션과 상기 스테이션들의 하위 세트가 상기 제 1 부분을 통하여 상기 버스에 접속되며, 상기 브리지 스테이션은 상기 제 1 및 제 2 부분 사이에서 상기 헤더 신호를 전달하고, 상기 표시의 검출에 응답하여 상기 버스의 상기 제 2 부분에 상기 컨텐트 신호 대신 상기 컨텐트 신호와 무관한 대체 신호(substitute signal)로 대체하며, 상기 메시지의 완료를 나타내는 신호에 응답하여 상기 제 1 및 제 2 부분 사이에서 신호들의 전달을 재개하도록 배열되고, 상기 헤더 신호, 상기 대체 신호, 및 상기 재개 후에 전달된 상기 신호들은 상기 상대적으로 더 빠른 클럭 속도보다 상대적으로 더 느린 클럭 속도에서 신호 프로토콜을 함께 만족시키는 것을 특징으로 한다. 이와 같은 전자 장치는 "저속(low-speed)" 및 "고속(high-speed)" 스테이션들, 즉 어떤(더 빠른) 속도에서 각각 오류를 발생시키는 경향이 있는(error-prone) 및 오류가 없는(error-free) 스테이션들을 모두 포함할 수 있다. 모든 "저속" 스테이션들은 버스의 제 2 부분으로부터 클럭 신호를 수신한다.

신호 프로토콜의 운용을 위하여 모든 스테이션들에 관련된 어떤 신호들도 브리지 스테이션에 의해 전달되며 모든 스테이션들에 도달한다. 그러나 더 빠른 속도를 관련시키는 컨텐트 신호는 브리지 스테이션에 의해 제 1 클럭 신호 컨덕터로 제한된다. 컨텐트 신호의 고속 전송이 일어날 수 있는 시간 간격 동안 브리지 스테이션은 저속 스테이션에 고속 전송을 관련시키지 않는 대체 신호를 제공한다. 예를 들면 제 2 부분의 클럭 신호를 비활성 상태로 유지함으로써 평온한 버스(quietbus)의 상황을 제공한다. 이리하여 저속 스테이션은 고속 메시지 전송으로 인한 오류를 범하지 않게 된다.

본 발명에 따른 전자 장치는 스테이션들이 버스 액세스 권리(access right)의 중재(arbitration)를 위한 헤더를 이용하도록 배열되는 실시예를 가질 수 있다. 중재 처리를 위하여 예를 들면, 정규 I2C 중재 프로토콜이 이용될 수 있다. 이와 같이 제 1 부분으로부터 신호를 수신하는 스테이션과 제 2 부분으로부터 신호를 수신하는 스테이션 모두가 중재에 참가하여 버

스를 통해 메시지 전송을 제어하는 권리를 얻을 수 있다. 스테이션들 중 적어도 하나가 고속 전송을 원한다는 신호를 보내는 경우에 그 스테이션이 중재를 얻었는지는 헤더가 전송된 후에 분명해진다. 그후 버스의 제 2 부분에 접속된 것을 포함하여 다른 모든 스테이션들은 수동적인 상태로 남아 있게 되며 대체 신호 동안 아무런 행동을 취하지 않는다. 이와 같이 버스의 양 부분들에 걸치는 단순한 전체 중재 프로토콜이 이용될 수 있으며, 이와 동시에 컨텐트 신호의 전송 동안 버스의 두 부분들이 서로 분리되어야 하는지를 브리지 스테이션에 알린다.

본 발명에 따른 전자 장치는 스테이션들은 적어도 상기 헤더 신호 동안 배선논리 함수(wired logic function)로서 접합적으로 상기 버스에 신호들을 확립하도록 배열되고, 상기 브리지 스테이션은 상기 헤더 신호의 전송 동안과 상기 재개 후에 상기 버스의 제 1 부분에서 확립된 배선 논리 결과를 상기 버스의 제 2 부분으로 전달하고 그 반대로 하며, 상기 브리지 스테이션은 상기 제 2 부분에 대한 배선논리 구동 신호들을 발생시켜 상기 제 2 부분 상에 상기 대체 신호를 구동한다. 배선 논리의 이용은 버스 배선을 최소화하고 중앙 집중화된 버스 제어 회로들을 없애는 것을 가능하게 한다. 브리지 스테이션을 이용하는 것에 의해 배선 논리는 버스의 제 2 부분을 통한 메시지 전송 동안 이용될 수 있다.

본 발명에 따른 전자 장치는 제 1 부분은 제 1 및 제 2 신호 컨덕터를 포함하고, 상기 제 2 부분은 제 3 및 제 4 신호 컨덕터를 포함하며. 상기 신호 프로토콜은 상기 메시지의 완료가 상기 제 2 및 제 4 신호 컨덕터의 전위들이 지정된 논리 레벨에 있을 때, 상기 제 1 및 제 3 신호 컨덕터의 전위가 제 1 레벨로부터 제 2 레벨로 논리적으로 천이하는 것에 의해 표시될 것을 요구하고. 상기 브리지 스테이션은 상기 제 1 부분 상의 컨텐트 신호의 전송 동안 상기 제 3 및 제 4 신호 컨덕터를 각각 상기 제 1 레벨 및 상기 지정된 논리 레벨로 유지하며. 상기 브리지 스테이션은 상기 제 2 신호 컨덕터의 전위가 상기 지정된 논리 레벨에 있을 때, 상기 제 1 신호 컨덕터의 전위가 상기 제 1 레벨로부터 상기 제 2 레벨로 논리적으로 천이의 접출에 응답하여 상기 제 3 신호 컨덕터의 전위를 상기 제 1 레벨로부터 상기 제 2 레벨로 가져온다. 메시지의 완료를 나타내는 신호는 예를 들면 I2C 버스에서 중단 조건이 될 수 있다. 이는 클럭 신호 컨덕터 SCL가 유효한 데이터를 표시할 때 데이터 신호 컨덕터 SDA가 로우에서 하이로 천이하는 것을 관리시킨다. 본 발명에 따르면, 단지 제 1 부분의 메시지의 완료를 나타내는 신호의 다음에 오는 논리 레벨을 제 2 부분으로 전달하는 것에 의해 메시지의 완료를 나타내는 신호를 제 2 부분으로 전달할 수 있다. 제 2 부분은 대체 신호 후와 이러한 전달 전에는 아무런 천이를 겪는 것이 요구되지 않으며, 그러므로 제 1 부분과 매우 빨리 통신을 시작할 수 있다.

본 발명에 따른 전자 장치는 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 전위가 상기 대체 신호의 전송 동안 상기 스테이션들의 또 다른 하위 세트에 의해 영향을 받을 수 있는 배선 논리 함수에 의해 확립되고, 상기 브리지 스테이션은 상기 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 전위를 모니터링하며. 상기 브리지 스테이션은 상기 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 상기 전위의 천이의 접출에 응답하여 상기 제 1 및 제 2 부분 사이의 상기 신호들의 전달을 재개한다. 버스 장애(hang-up)의 경우에는 제 2 부분에 접속되어 있는 스테이션은 제 1 부분으로의 접속을 재개하도록 브리지 스테이션을 강제할 수 있다. 이러한 스테이션은 예를 들어 타임아웃(time-out) 간격이 끝날 때까지 대체 신호만 수신될 때 이와 같이 할 수 있다. 신호 전달이 재개된 후에는 스테이션은 예를 들면 버스 통신 시스템에서 다른 스테이션의 리셋(reset)을 강제할 수 있다.

본 발명에 따른 전자 장치는 스테이션들 중 적어도 하나는, 상기 버스의 상기 제 1 부분을 구동하기 위한 배선 논리 구동 회로와 푸시 풀 구동 회로(push-pull driving circuit)를 포함하며, 상기 헤더 신호의 전송 동안과 상기 메시지의 완료를 나타내는 상기 신호의 전송 후에 상기 배선 논리 구동 회로에 의하여 상기 제 1 부분을 구동하고, 상기 컨텐트 신호의 전송 동안 상기 푸시 풀 구동 회로에 의하여 상기 제 1 부분을 구동한다. 본 명세서에서 푸시 풀 동작은 전류를 공급할 수 있는 각각의 요소가 전위 레벨에서 두 개의 서로 반대되는 천이들의 각각을 시작하도록 능동적으로 스위칭되는 모든 동작을 의미한다. 푸시 풀 구동은 고속으로 이용하는 것을 가능하게 하지만 배선 논리와는 양립할 수 없다. 브리지 스테이션은 제 1 부분의 컨텐트 신호들을 위한 푸시 풀 구동을 제 2 부분의 배선 논리와 결합시키는 것을 가능하게 한다.

푸시 풀 구동은 특히 클럭 신호에 있어서 바람직한데, 이 신호가 일반적으로 데이터 신호에 비해(특히 I2C 버스에서) 높은 주파수를 갖기 때문이다. 이와 같이 메시지의 대부분 동안, 즉 컨텐트 신호 동안의 클럭 신호에 대하여 푸시 풀 구동을 하는데 다중 클럭 소스들이 이용될 수 있다.

본 발명에 따른 전자 장치는 스테이션들 중 적어도 하나는 상대적으로 더 빠른 클럭 속도를 갖는 및 갖지 않는 전송을 각각 나타내는 적어도 두 형태들의 헤더 신호를 전송할 수 있으며, 상기 브리지 스테이션은 상대적으로 더 빠른 클럭 속도를 갖지 않는 전송을 나타내는 헤더 신호의 형태에 응답하여 상기 제 1 및 제 2 부분 사이에서 신호들을 전달하기를 계속한다. 이와 같이, 스테이션들 중 적어도 하나가, 예를 들면 버스의 제 2 부분에 접속되어 있는 스테이션과의 통신을 위하여, 브리지 스테이션이 열린 상태로 있는지 또는 컨텐트 신호의 고속 전송을 위하여 버스의 두 부분들을 분리시키는지를 선택할 수도 있다.

본 발명에 따른 전자 장치는 스테이션들 중 적어도 하나는 상기 헤더 신호의 다음에 오고 상기 컨텐트 신호보다 앞서는 어드레스 신호를 상대적으로 빠른 클럭 속도로 전송하도록 배열되며, 상기 하위 세트의 스테이션의 각각의 특정한 것은 상기 어드레스 신호가 상기 스테이션들 중 특정한 것의 고유한 어드레스와 매칭하는지에 의존하여 상기 메시지에 선택적으로 응답한다. 이와 같이, 고속을 나타내고 중재의 목적을 위해 이용될 수 있는 헤더만이 저속으로 전송될 필요가 있다. 어드레스 지정, 즉 제 1 부분에 접속된 여러 스테이션들 중 하나를 선택하는 것도 역시 고속으로 행해질 수 있다.

본 발명에 따른 전자 장치는 스테이션들 중 적어도 하나는 상기 컨텐트 신호의 다음에 오고, 상기 메시지의 완료 표시 신호보다 앞선 또 다른 컨텐트 신호보다 앞선 또 다른 어드레스 신호를 전송하도록 배열되며, 상기 또 다른 어드레스 신호 및 또 상기 다른 컨텐트 신호는 상대적으로 빠른 클럭 속도로 전송되고, 상기 하위 세트의 스테이션의 각각의 특정한 것은 상기 또 다른 어드레스 신호가 상기 스테이션들 중 특정한 것의 고유한 어드레스와 매칭하는지에 의존하여 상기 또 다른 컨텐트 신호에 선택적으로 응답하며, 상기 브리지 스테이션은 상기 또 다른 어드레스 신호 및 또 상기 다른 컨텐트 신호의 전송 동안 상기 제 2 부분 상에 상기 대체 신호를 유지한다. 이와 같이 제 2 부분이 분리된 채로 여러 다른 스테이션들에 대해 고속으로 어드레스 설정될 수 있다. 이는 예를 들면 대응하는 어드레스들에 의해 따르는 I2C 프로토콜에 따라 제 1 부분으로 공급되는 반복되는 시작 조건들을 이용함으로써 가능하다.

이와 같은 장점의 대부분은 브리지 스테이션에 의해 가능하다. 본 발명은 느린 스테이션을 제 2 부분에 접속하여 이와 같은 특성을 이용하는 것을 가능하게 한다. 이는 비록 느린 스테이션이 버스로의 접속이 완전히 임의적인 종래의 I2C 스테이션인 경우에도 마찬가지이다.

도면의 간단한 설명

도 1은 본 발명에 따른 장치를 도시한 도면.

도 2는 메시지 전송의 신호를 도시한 도면.

도 3은 제어 회로의 동작을 도시한 흐름도.

도 4는 본 발명의 다른 실시예에 따른 장치를 도시한 도면.

도 5는 메시지 전송의 실시예의 신호를 도시한 도면.

도 6은 마스터 스테이션의 실시예를 를 도시한 도면.

실시예

본 발명의 이들 및 다른 이로운 양상들이 도면들을 이용하여 더 설명될 것이다.

도 1은 본 발명에 따른 장치와 제 1 및 제 2 부분(12a, 12b)을 포함하는 통신 버스(12a, 12b)를 나타내고 있다. 장치는 통신 버스(12a, 12b)에 접속되어 있는 다수의 스테이션들(10a 내지 10e)과 통신 버스의 두 부분들(12a, 12b)에 접속되어 있는 브리지 스테이션(14)을 포함하고 있다. 버스의 각 부분은 클럭 신호 컨덕터 SCL, SCLH와 데이터 신호 컨덕터들 SDA, SDAH를 포함하고 있다. 스테이션들(10a 내지 10e)은 저항 Rs를 통하여 컨덕터(12a, 12b)에 접속되어 있는데, 저항은 간접 펄스와 과도하게 빠른 신호 에지로 인한 링잉(ringing)을 억제하는 일을 한다.

스테이션들(10a 내지 10e)은 버스의 제 1 및 제 2 부분(12a, 12b)에 대응하는 제 1 및 제 2 하위 세트(10a 내지 10c, 10d 내지 10e)로 각각 나뉘어져 있다. 하위 세트에 소속되어 있는 각 스테이션들(10a 내지 10e)은 그 하위 세트(10a 내지 10c, 10d 내지 10e)에 대응하는 부분(12a, 12b)의 클럭 신호 컨덕터 SCL, SCLH와 데이터 신호 컨덕터들 SDA, SDAH로 접속되어 있다.

각 스테이션들(10a 내지 10e)에서 데이터 신호 컨덕터들 SDA, SDAH로의 접속부는 입력 필터(도시하지 않음)로의 커플링들(102a 내지 102e)을 가지고 있다. 각 스테이션에서 데이터 신호 컨덕터들 SDA, SDAH로의 접속부는 트랜지스터들(100a 내지 100e)의 채널을 통하여 제 1 전원 접속부 Vss로 접속되어 있다. 각 부분(12a, 12b)의 데이터 신호 컨덕터들 SDA, SDAH는 각 컨덕터들 SDA, SDAH의 저항 Rp을 통하여 각각의 제 2 전원 접속부 Vdd1, Vdd2로 접속되어 있다.

각 스테이션들(10a 내지 10e)에서 클럭 신호 컨덕터 SCL, SCLH로의 접속부는 또 다른 입력 필터(도시하지 않음)로의 커플링들(104a 내지 104e)을 가지고 있다. 스테이션의 일부(10c, 10d)에서 클럭 신호 컨덕터 SCL, SCLH로의 접속부는 트랜지스터(106c, 106d)의 채널을 통하여 제 1 전원 접속부 Vss로 접속되어 있다. 이와 같은 트랜지스터(106a, 106b, 106e)는 다른 스테이션(100a, 100b, 100e)에서는 선택적이다. 각 부분(12a, 12b)의 클럭 신호 컨덕터들 SCL, SCLH는 각 컨덕터의 저항 Rp을 통하여 각각의 제 2 전원 접속부 Vdd1, Vdd2로 접속되어 있다.

제 1 부분(12a)에 접속되어 있는 스테이션들(10c) 중 적어도 하나는 제 1 부분(12a)의 클럭 신호 컨덕터 SCLH와 제 2 전원 접속부 Vdd1 사이에 접속되어 있으며 스위칭할 수 있는 전류 소스(108)를 포함한다. 스위칭할 수 있는 전류 소스로는 예를 들면 드레인 이 클럭 신호 컨덕터 SCLH에 접속된 MOS 트랜지스터(도시하지 않음)가 이용될 수 있다. 이 MOS 트랜지스터는 트랜지스터들(106a 내지 106e)이 도통될 때 오류로 인하여 전류 소스(108)가 동시에 전류를 공급하는 경우, 장치에 손상을 입히지 않도록 작게 만들어지는 것이 바람직하다.

브리지 스테이션(14)은 채널이 버스의 두 부분들(12a, 12b)의 데이터 신호 컨덕터들 SDA, SDAH를 접속하고 있는 제 1 트랜지스터 DBT를 포함한다. 브리지 스테이션(14)은 채널이 버스의 두 부분들(12a, 12b)의 클럭 신호 컨덕터 SCL, SCLH를 접속하고 있는 제 2 트랜지스터 CBT를 포함한다. 브리지 스테이션(14)은 채널이 버스(12a, 12b)의 제 2 부분(12b)의 데이터 신호 컨덕터 SDA를 제 1 전원 접속부 Vss로 접속시키는 제 3 트랜지스터(DPT 149)를 포함한다. 브리지 스테이션(14)은 버스의 두 부분들(12a, 12b) 모두의 데이터 신호 컨덕터들 SDA, SDAH와 클럭 신호 컨덕터 SCL, SCLH로부터 입력 신호를 수신하는 제어 회로를 포함한다. 제어 회로(148)는 제 1, 제 2 및 제 3 트랜지스터들 DBT, CBT, (149)의 제어 전극들에 각각 접속된 출력을 가지고 있다.

또한, 스테이션의 첫 번째 하위 세트들(10a 내지 10c)과 같이, 브리지 스테이션(14)은 제 1 부분(12a)의 데이터 신호 컨덕터 SDAH와 클럭 신호 컨덕터 SCLH로부터 입력 필터(도시하지 않음)와 또 다른 입력 필터(도시하지 않음)로 각각 향하는 커플링(142)을 포함하고 있다. 브리지 스테이션(14)은 또한 그 채널이 제 1 부분(12a)의 데이터 신호 컨덕터 SDAH와 클럭 신호 컨덕터 SCLH를 제 1 전원 접속부로 접속하고 있는 트랜지스터(140, 146)를 포함하고 있다. 브리지 스테이션(14)은 또한 제 1 부분(12a)의 클럭 신호 컨덕터 SCLH와 제 2 전원 접속부 Vdd1 사이에 접속되어 있는 스위칭할 수 있는 전류 소스(147)를 포함하고 있다.

동작에 있어서 장치는 제 1 및 제 2 모드로 기능할 수 있다. 제 1 모드에서, 장치는 완전히 종래의 I2C 프로토콜에 따라 기능한다. 제 1 모드에서, 브리지 스테이션(14)에서 제어 회로(148)는 제 1 및 제 2 트랜지스터들 CBT, DBT의 제어 전극들을 두 제 2 공급 전압들 Vdd1, Vdd2 중 가장 낮은 전위 레벨로 구동하여 제 1 및 제 2 트랜지스터들 CBT, DBT가 버스의 제 1 부분(12a)으로부터 제 2 부분(12b)으로 신호를 전달하고, 또 그 반대로 할 수 있도록 한다. 한 부분(12a, 12b)의 컨덕터SCL, SCLH, SDA, SDAH의 전위가 제 1 전원 전위로 끌리면(pull), 다른 부분(12a, 12b)의 대응하는 컨덕터 SCL, SCLH, SDA, SDAH의 전위도 역시 로우로 끌린다. 그렇지 않으면, 컨덕터들의 전위는 저항들 Rp을 통해 관련된 제 2 전원 접속부 Vdd1, Vdd2의 전위까지 끌어 올려진다. 원칙적으로는 브리지 스테이션(14)은 버스를 제 1 전원 접속부 Vss와 스위칭할 수 있는 전류 소스(148)로 접속하고 있는 트랜지스터(140, 144, 149)를 제 1 모드에서 (브리지 스테이션이 통상의 스테이션으로서 I2C 프로토콜에 참가하고 있지 않은 한) 도통하지 않은 상태로 남겨둔다.

제 2 공급 전위들 Vdd1, Vdd2는 예를 들면 제 1 전원 접속부 Vss보다 높은 3.3 V 및 5 V 이다. 다른 제 2 전원 전위들 Vdd1, Vdd2가 또한 이용될 수도 있다. 이렇게 하면 버스의 각 부분(12a, 12b)이 다른 전원에서 동작할 수 있다. 이리하여, 제 1 및 제 2 트랜지스터들 CBT, DBT는 서로 다른 공급 전압들로 동작하는 스테이션들(10a 내지 10e)의 하위 세트의 이용을 허용하는 버스의 두 부분들(12a, 12b) 사이에 전압 레벨 시프트를 제공하는 것과 제 1 부분에서 고속 메시지 전송이 이루어질 때 두 부분들을 분리하는 두 가지 목적을 수행할 수 있다. (고속 메시지 전송이 가능한) 제 1 부분(12a)의 제 2 전원 전위 Vdd1은 제 2 부분(12b)의 그것에 비해 낮은 것이 바람직하다. 특히 이는 고주파수로 인한 늘어나는 전력 소비의 효과를 상쇄시킬 수 있다. 그러나, 전위들 Vdd1, Vdd2는 서로 동일하게 선택될 수도 있다. 이러한 경우에는 제 1 및 제 2 트랜지스터들 CBT, DBT는 버스의 두 부분들(12a, 12b)을 접속하거나 접속을 끊는 스위치로서만 기능한다.

제 1 모드에서 스테이션들은 I2C 프로토콜을 이용하여 서로 통신할 수 있다. 이 프로토콜은 1994년에 필립스 반도체에 의해 발행된 "데이터 핸드북 IC20:80C51에 기반한 8 비트 마이크로 컨트롤러들"의 1141 내지 1159 쪽에 설명되어 있다. 요약하면, 이 프로토콜은, 모든 컨덕터들 SDA, SDAH, SCL, SCLH가 관련된 제 2 전원의 전위들 Vdd1, Vdd2에 있는 버스의 평온한 상태(quiet state)로부터 시작한다. 통신을 시작하고자 하는 하나의 스테이션(예를 들면 10c)이 (트랜지스터(100c)의 채널을 도통하게 함으로써) 데이터 신호 컨덕터들 SDA, SDAH의 전위를 제 1 전원 전위 Vss로 끌어 옮기고, 시작 조건을 발생시킨다. 클럭 신호 컨덕터 SCL, SCLH의 전위는 (트랜지스터(106c)의 채널을 도통하지 않은 상태로 둠으로써) 제 2 전원 전위들 Vdd1, Vdd2 레벨로 유지된다. 컨덕터들 SDA, SDAH, SCL, SCLH의 신호들의 이러한 조합이 시작 조건이라고 불린다. 그 다음, 스테이션(10c)이 버스를 제 1 전원 Vss와 접속하고 있는 트랜지스터(100c, 106c)를 도통하게 하거나 도통하지 않게 함으로써 클럭 신호 펄스와 데이터 신호 레벨의 시리즈들(series)을 발생시킨다. 데이터는 클럭 신호 컨덕터 SCL, SCLH가 제 2 전원 전위들 Vdd1, Vdd2로 끌리는 것을 허용함으로써 유효하게 된다. 다른 스테이션들(10a 내지 10e)은 (클럭 신호 컨덕터 SCL, SCLH를 제 1 전원 접속부 Vss로 접속하고 있는 트랜지스터들(106a 내지 106c)을 이용하여) 클럭 신호 컨덕터가 제 1 전원 전위 Vss로 끌리도록 유지함으로써 클럭 펄스들을 지연시킬 수 있다. 이는 다른 스테이션들(10a 내지 10e)이 데이터를 운용하는데 요구되는 충분한 시간을 갖도록 해 준다.

통신을 시작하고자 하는 스테이션(10c)("마스터 스테이션(master station)"이라고 한다)은 데이터로서 헤더를 버스(12a, 12b)에 공급하고, 이어 통신하고자 하는 "슬레이브(slave)" 스테이션의 어드레스와 마스터 스테이션과 슬레이브 스테이션 중 어느 쪽이 버스에 데이터를 쓰는지를 나타내는 1 비트의 데이터(읽기/쓰기비트)를 공급한다. 각 스테이션들(10a 내지 10e)은 스파이크(spike)와 같은 잡음을 제거하는 입력 필터(도시하지 않음)를 통하여 데이터 신호와 클럭 신호를 버스(12a, 12b)로부터 수신한다. 각 스테이션들(10a 내지 10e)은 수신된 신호가 자신의 어드레스를 갖고 있는지와 읽기 또는 쓰기가 요구되는지를 결정하고 이에 따라 통신에 참가하기 시작한다.

다음으로 마스터 스테이션(10c)이나 슬레이브 스테이션들(10a 내지 10e)이 버스(12a, 12b)로 데이터를 공급한다. 이러한 데이터 교환 후에 마스터 스테이션(10c)은 다른 슬레이브 스테이션들(10a 내지 10e)과의 데이터 교환을 위하여 갱신된 시작 조건을 발령할 수 있으며 이어서 슬레이브 스테이션들(10a 내지 10e)의 또 다른 어드레스와 읽기/쓰기 비트가 뒤 따른다. 마지막으로, 마스터 스테이션은 클럭 신호 컨덕터들 SCL, SCLH의 전위가 제 2 전원 전위들 Vdd1, Vdd2 레벨로 남아 있는 때에 데이터 신호 컨덕터들 SDA, SDAH의 전위가 제 1 전원 전위 Vss로부터 제 2 전원 전위들 Vdd1, Vdd2로 끌리도록 함으로써 소위 "중단 조건"을 발생시킨다.

I2C 프로토콜에서, 데이터는 8개의 연속적인 비트들을 단위로 전송된다. 각 단위 다음에는 데이터를 수신하는 스테이션들(10a 내지 10e)이 데이터 신호 컨덕터들 SDA, SDAH의 전위를 제 1 전원 전위로 끌어당기고 클럭 신호 컨덕터 SCL, SCLH의 전위가 제 2 전원 전위들 Vdd1, Vdd2로 끌리는 것을 허용함으로써 수령 응답(acknowledge reception)을 할 수 있는 응답 비트(acknowledge bit)가 전송된다. 수신 스테이션들(10a 내지 10e)이 단위를 놓치거나 단위를 운용할 수 없는 경우에는 수신 스테이션들(10a 내지 10e)은 응답 비트의 클럭 신호 펄스 동안 데이터 컨덕터들 SDA, SDAH의 전위가 제 2 전원 Vdd1, Vdd2로 끌어 당겨져서 유지되도록 허용한다. 이에 응답하여 단위를 전송한 스테이션들(10a 내지 10e)은 예를 들면 전송을 재시도하거나 전송을 중단한다.

하나 이상의 스테이션들(10a 내지 10e)이 시작 조건과 그 후의 데이터를 발생시킴으로써 마스터 스테이션이 되려고 시도할 수도 있다. 이러한 스테이션들(10a 내지 10e)이 버스(12a, 12b)가 이용 중(busy)(시작 조건이 전송되고 그에 따르는 중단 조건이 아직 전송되지 않은 경우)인 것을 알아차리게 되면, 버스(12a, 12b)가 평온한 상태로 될 때까지 기다린다. 이는 두 스테이션들(10a 내지 10e)이 실질적으로 동일한 시간에 시작 조건을 발생시킬 가능성을 남겨두고 있다. 이러한 문제점을 해결하기 위하여 스테이션들(10a 내지 10e)은 데이터 신호 컨덕터들 SDA, SDAH의 전위를 모니터링 한다. 데이터 신호 컨덕터들 SDA, SDAH의 전위가 제 2 전원 전위들 Vdd1, Vdd2로 끌리도록 허용하기 위하여 스테이션들(10a 내지 10e)이 그 트랜지스터들(106a 내지 106c)을 도통하지 않은 상태로 두었을 때 (응답을 제외한) 어떤 클럭 펄스 동안, 이 전위가 제 1 전원 전위 Vss로 끌리다면, 스테이션들(10a 내지 10e)은 다른 스테이션들(10a 내지 10e)이 또한 마스터 스테이션이 되기를 시도하고 있다고 결론짓고 다음 중단 조건이 지날 때까지 전송을 중단한다(물론 자신의 어드레스가 지정되지 않은 경우에 한한다). 이러한 과정은 중재라고 불리며, 전송을 중단한 스테이션들(10a 내지 10e)은 중재를 잊었다고 한다.

동작의 제 2 모드("고속 모드(high speed mode)")에서는, 제 1 부분(12a)의 클럭 신호 컨덕터 SCLH의 전위가 제 2 전원 접속부 Vdd1로 끌리는 것과 함께 능동적으로 속도를 증가시키기 위하여 스위칭할 수 있는 전류 소스(108, 147)가 이용된다. 이는 클럭 신호 내에 상승 에지들을 발생시키고, 능동적으로 스위치가 켜지고 뒤따르는 반대 에지 전에만 다시 스위치

가 꺼지는 트랜지스터와 같은 디바이스의 하장 에지를 발생시키기 위한 푸시 풀 단계를 형성한다. 이는 클럭 신호의 단지 하나의 에지만이 능동적으로 발생되고, 다른 스테이션이 클럭 신호 컨덕터 SCL를 구동하지 않으면 다른 에지가 저항 Rp을 통해 충전함으로써 일어나는 제 1 모드의 배선 논리 구동과는 대조적이다.

제 1 모드에서, 클럭 신호의 주파수는 일반적으로 400 kbit/sec이하이고, 제2 모드에서 클럭 신호의 주파수는 3.4 Mbit/sec까지 올라갈 수 있다. 즉, 400 kbit/sec에 비해서는 아주 크고, 일반적으로 1 Mbit/sec를 넘는다. 본 발명의 목적은 이와 같은 제 2 모드의 동작이 이러한 모드(예를 들면 이러한 고주파수를 필터링해 내기 위한 입력 필터(도시하지 않음)를 포함하고 있는)에 대한 배려 없이 설계된 스테이션들(10a 내지 10e)도 포함하는 장치 내에서도 가능하도록 하는 것이다. 본 발명의 다른 목적들은 이와 같은 제 2 모드를 I2C 프로토콜의 중재 및 응답과정과 결합시키는 것이다.

도 2는 제 2의 고속 모드를 이용한 메시지 전송의 신호 도표를 보여준다. tH시간 전까지 메시지 전송은 제 1 모드(종래의 I2C)에서 시작 조건 S와 함께 시작하며, 이어서 헤더 비트들(1 내지 9)이 뒤따른다. 이는 버스의 양쪽 부분들(12a, 12b)의 컨덕터들 SDA, SDAH, SCL, SCLH를 이용하여 이루어진다. 중재는 제 1 모드의 헤더 전송 중에 일어나고 따라서 제 1 모드는 중재 모드가 된다. 중재는 고속모드의 정보 교환을 원하는 스테이션들(10a 내지 10e)이 자신이 중재를 잃었거나 또는 다른 모든 스테이션들(10a 내지 10e)이 중재를 잃었다는 사실을 검출한 것을 확인하게 하도록 하기 위해 이용된다. 이는 장치에서의 고속 모드 전송이 가능한 각 스테이션에 고유한 헤더를 할당함으로써 얻어진다(즉, 이와 같은 각 스테이션에 대해 고유한 헤더는 서로 다르다). 이런 고유한 헤더는 종래의 I2C 메시지 전송에 이용되는 어떤 헤더보다 "더 낮은(lower)" 값을 갖는다(버스(12a, 12b)에서 종래의 I2C 메시지 전송에 이용되는 헤더를 갖는 스테이션들(10a 내지 10e)은 버스(12a, 12b)에서 고유한 헤더를 갖는 스테이션들(10a 내지 10e)에 대해서는 항상 중재를 잃는다는 의미에서 낮은 값이다).

고유한 헤더들은 예를 들면 0000lxxx(전송 순서에서, 0은 데이터 신호 컨덕터들 SDA, SDAH를 제 1 전원 접속부로 접속하는 트랜지스터들(100a 내지 100e)에 의해 데이터 신호 컨덕터들 SDA, SDAH가 제 1 전원 전위 Vss로 끌리는 것을 표시하고, 1은 트랜지스터들(100a 내지 100e)을 도통하지 않은 상태로 유지하는 것을 표시하며, "x"는 특정한 스테이션의 고유한 코드에 특유한 트랜지스터들(100a 내지 100e)의 상태를 표시한다)의 범위에 있을 수 있다. 정규 I2C 헤더들은 양쪽 네 비트들 중에서 적어도 하나의 "1" 비트를 가지고 있다. 이와 같이 고유한 헤더를 선택하면 다른 범위의 헤더 00000xxx를 이용할 수 있게 되고, 스테이션들(10a 내지 10e)에 의해 이러한 헤더가 이용되면 예를 들면 I2C로부터 알려진 소위 일반적인 신호와 같은 특별한 목적을 갖는 고유한 헤더들에 대한 중재의 획득을 보증하도록 할 수 있다.

스테이션들(10a 내지 10e)은 예를 들면 통신 상대방이 그러한 고속 모드에서 동작 가능하지 않다는 것이 알려져 있기 때문에 고속 모드에서의 통신을 원하지 않는 경우에는 종래의 I2C 헤더를 이용하거나 고속 모드를 이용하기를 원하는 경우에는 고유한 헤더를 이용하는 옵션을 갖는다. 제 1 모드(종래의 I2C)에서 헤더의 전송은 모든 스테이션이 중재에 참가하도록 허용한다. 헤더 뒤에는 선택적으로 응답비트가 뒤따르며, 이는 응답되어서는 안 된다.

예를 들면 제 2 고속 모드에서 통신하기를 원하는 스테이션(10c)이 중재를 얻어 마스터 스테이션이 되면, tH 시간에 고속 모드로 전환된다. tH 시간 후에 마스터 스테이션은 데이터 전달 모드로 들어간다. 이 모드에서 마스터 스테이션(10c)은 개신된 시작 조건 Sr에 이어 슬레이브 스테이션의 어드레스(1 내지 7 비트)와 읽기/쓰기 비트(8)를 전송한다. 어드레스는 I2C 버스를 위해 정의된 것과 같이 확장될 수 있다. 다음에는 응답 비트와 각각의 응답 비트를 갖는 다수의 데이터 단위들이 뒤따른다. 제 2의 고속 모드 또는 데이터 전달 모드에서는 마스터 스테이션은 클럭 신호 컨덕터 SCLH를 제 1 전원 접속부 Vss에 접속시키는 트랜지스터(100c)를 도통하지 않게 함으로써 정상적으로 클럭 신호 SCLH의 상승 에지들을 발생시키고, 스위칭할 수 있는 전류 소스(108)를 활성화하여 클럭 신호 컨덕터 SCLH로 전류를 공급한다. 이는 도 2에서 직선의 상승 에지들을 이용하여 나타내었으며, 스위칭할 수 있는 전류 소스가 활성화되지 않고 상승 에지들이 저항 Rs에 의해 일어난 경우에 도시된 지수적으로 기울어진 상승 에지들을 대신하는 것이다.

선택적으로, 마스터 스테이션(10c)은 데이터 단위의 각 첫 번째 비트에 대하여 클럭 신호 컨덕터 SCLH의 클럭 신호의 상승 에지에서 스위칭할 수 있는 전류 소스(108)를 비활성 상태로 둔다. 이 경우에는 클럭 신호 컨덕터 SCLH의 전위는 제 2 전원 접속부 Vdd1에 접속된 저항 Rs를 통해 충전되어 상승하도록 된다. 이는 슬레이브 스테이션(10a, 10b)이 마스터 스테이션(10c)과의 통신에 참가하도록 허용하여 클럭 신호 컨덕터 SCLH를 제 1 전원 접속부 Vss로 접속하는 트랜지스터(106a, 106b)를 도통하도록 유지함으로써 클럭 신호의 상승 에지들을 지연시킨다. 마스터 스테이션은 클럭 신호 컨덕터 SCLH의 전위가 올라간 후에만 클럭 신호 필스의 발생을 재개한다. 이와 같이 슬레이브 스테이션(10a, 10b)은 그 데이터 단위를 운용할 수 있는 준비가 될 때까지 다음 데이터 단위의 전송을 지연시킬 수 있다.

하나의 슬레이브 스테이션(10a, 10b)과의 데이터 교환이 완료된 후에, 마스터 스테이션(10c)은 개신된 시작 조건 Sr*(대시 선으로 나타난)을 발생시킬 수 있다. 이 다음에는 새로운 슬레이브 스테이션의 어드레스와 새로운 읽기/쓰기 비트가 부가적인 데이터 교환을 위해 뒤따른다. 이는 얼마든지 반복될 수 있다. 개신된 시작 조건 Sr* 대신 마스터 스테이션은 메시지 전송의 완료와 개신된 중재를 위한 준비가 되었음을 나타내는 중단 조건 P를 발생시킬 수도 있다. 이는 제 2 고속 모드를 종료하며, 시간 tFS에 제 1 종래의 I2C 모드로 돌아간다.

브리지 스테이션(14)은 제 2 고속 모드 동안 버스의 제 2 부분(12b)을 제 1 부분(12a)으로부터 분리시킨다. 이러한 목적을 위하여 제어 회로(148)는 버스(12a, 12b)에서의 전송을 모니터링 한다.

도 3은 제어 회로(148)의 동작을 보여주는 흐름도이다. 초기에, 제어 회로(148)는 두 전원 전위들 Vdd1, Vdd2 중 가장 낮은 쪽을 제 1 및 제 2 트랜지스터들 CBT, DBT의 제어 전극들에 공급하여 이 트랜지스터들 CBT, DBT가 데이터 신호와 클럭 신호들을 버스(12a, 12b)의 한 부분으로부터 다른 부분으로 전달하고 또 반대로 하도록 한다. 제어 회로(148)는 제 3 트랜지스터 DPT에 제 1 전원 전위 Vss를 공급하여 트랜지스터가 도통하지 않은 상태를 유지하게 한다. 이 상태에서, 제어 회로(148)는 시작 조건에 대하여 버스를 모니터링 한다. 이는 흐름도의 단계(30)에 의해 표현된다. 이는 제어 회로(148)가 시작 조건을 검출할 때까지 계속된다. 제어 회로(148)는 다음으로 시작 조건에 뒤따르는 메시지의 헤더로부터 전송이 제 2 고속 모드에서 일어날 것인지를 결정하는 두 번째 단계를 실행한다. 이는 그 헤더가 고속모드의 전송을 할 수 있는 스테이션들(10a 내지 10c)에 할당된 고유한 헤더들 중 어느 하나와 매칭하는지를 결정함으로써 이루어진다. 바람직하게는 이 고유한 헤더는 중단되지 않는 범위를 형성한다. 이 경우에는 제어 회로(148)는 각 개별 고유 헤더를 저장할 필요가 없다.

헤더가 고유한 헤더 중 어떤 것과도 매칭하지 않는다면 고속 모드에서의 전송은 일어나지 않으며, 제어 회로는 세 번째 단계(34)를 실행한다. 세 번째 단계는 제어 회로가 중단 조건에 대하여 버스를 모니터링하는 것이다. 이 중단 조건에 의하여 제어 회로는 제 1 단계로 돌아간다.

헤더가 고유한 헤더 중 어떤 것과 매칭한다면 고속 모드에서의 전송이 일어나게 되고, 제어 회로는 네 번째 단계(36)를 실행한다. 이 단계에서 제어 회로(148)는 두 부분들의 데이터 신호 컨덕터를 SDA, SDAH를 접속하는 제 1 트랜지스터DBT의 제어 전극들의 전위를 제 1 전원 레벨 Vss로 이르게 하여 제 1 트랜지스터DBT를 도통하지 않은 상태로 만든다. 제어 회로(148)는 제 2 전원 전위 중 하나를 제 3 트랜지스터 DPT에 공급하여 제 2 부분(12b)의 데이터 신호 컨덕터 SDA를 제 1 전원 전위로 접속하고 있는 제 3 트랜지스터 DPT를 도통하게 한다. 다음, 제어 회로(148)는 클럭 신호 컨덕터 SCL, SCLH가 갱신된 시작 조건 Sr보다 먼저 헤더와 임의의 응답 비트 후에(모든 스테이션들이 중재 결과를 받았다는 것이 확인되는 시간에) 올라갈 때까지 기다리고, 그 즉시 제어 회로(148)가 제 1 전원 전위 Vss를 버스의 두 부분들(12a, 12b)의 클럭 신호 컨덕터 SCL, SCLH 사이에 접속되어 있는 제2 트랜지스터 CBT의 제어 전극들에 공급한다. 이는 버스의 두 부분들(12a, 12b)의 클럭 신호 컨덕터 SCL, SCLH를 분리시킨다.

다음, 제어 회로(148)는 중단 조건에 대하여 버스의 제 1 부분을 모니터링하는 흐름도의 다섯 번째 단계(38)를 실행한다. 그러한 중단 조건에 응답하여, 제어 회로(148)는 여섯 번째 단계(39)를 실행하는데, 여섯 번째 단계(39)에서는 제 3 트랜지스터 DPT를 도통하지 않게 만든다. 이는 버스의 제 2 부분의 데이터 신호 컨덕터 SDA의 전위를 올라가게 하며, 버스의 제 2 부분에도 중단 조건을 발생시킨다. 제어 회로(148)는 두 제 2 전원 전위들 Vdd1, Vdd2 중에서 가장 낮은 쪽을 제 1 트랜지스터 DBT의 제어 전극들에 공급함으로써 제 1 트랜지스터 DBT를 도통시킨다. 제 2 트랜지스터 CBT의 제어 전극들에도 두 제 2 전원 전위들 Vdd1, Vdd2 중에서 가장 낮은 쪽이 공급된다. 여섯 번째 단계(39) 후에 제어 회로(148)는 흐름도의 첫번째 단계(30)로 돌아간다.

이러한 방법으로, 버스의 제 2 부분(12b) 상의 신호들이 중재 후에 I2C 버스의 상태를 시뮬레이팅하며, 어떠한 데이터도 없다면, 버스의 제 1 부분(12a) 상의 메시지 전송이 완료되었을 때 중단 조건이 뒤따른다. 그로 인해, 버스의 제 2 부분(12b)으로부터 데이터 신호와 클럭 신호를 수신하는 스테이션들(10d, 10e)은, 제 1 부분(12a)으로부터의 고주파수 신호들에 노출되지 않고 버스의 제 1 부분에서의 메시지 전송이 완료될 때까지 그들 스테이션(10d, 10e)이 새로운 메시지를 시작하려고 시도하는 것을 허용하지 않는 평온하지만 이용중인 버스(quiet but busy bus)에 영향을 받는다.

원칙적으로는, 브리지 스테이션(14)이 버스의 제 1 부분(12a)을 통해 메시지가 교환되는 시간 동안 제 2 부분(12b)을 통하여 자신의 데이터를 교환하기 위하여 버스의 제 2 부분(12b)으로 신호를 공급하도록 할 수 있다. 즉, 브리지 스테이션은 그 시간 동안 제 2 부분에서 중재가 가능하도록 할 수도 있다. 그렇지만, 그런 경우에는 브리지 스테이션(14)은 두 부분들(12a, 12b) 사이의 접촉을 재활립하기 전에 두 부분들이 개별적으로 중단 조건 직후 또는 중단 조건 직전의 상태로 돌아간다는 것을 보증할 수 있어야 한다.

선택적으로, 제어 회로(148)는 버스의 제 2 부분(12b) 또한 모니터링 할 수 있다. 이는 버스의 제 1 부분의 메시지가 완료되지 않거나 버스간의 접속이 오류로 인하여 재활립되지 않는 경우에 이러한 장애를 중단시키는 것을 가능하게 하므로 유리하다. 버스의 제 2 부분(12b)에 접속되어 있는 스테이션들(10d 내지 10e)은 이와 같은 장애를 검출하기 위한 감시(watchdog) 기능을 수행할 수 있다. 시작 조건 후에 예정된 감시 시간 간격 내에 중단 조건이 검출되지 않으면, 버스의 제 2 부분(12b)의 클럭 신호 컨덕터 SCL의 전위를 수회(한 번 또는 그 이상) 끌어내림으로써 버스의 제 2 부분(12b)에 접속되어 있는 스테이션은 브레이크-업(break-up) 신호를 발생시킬 수 있다. 제어 회로(148)는 선택적으로 버스의 제 2 부분(12b)의 클럭 신호 컨덕터 SCL의 전위에서 결과과로서 생긴 강하(dip) 또는 강하들을 검출하고 이에 응답하여 제어 회로(148)가 두 제 2 전원 전위들 Vdd1, Vdd2 중 가장 낮은 쪽을 제 1 및 제 2 트랜지스터들 CBT, DBT의 제어 전극들로 공급하여 이 트랜지스터들 CBT, DBT가 버스(12a, 12b)의 한 부분으로부터 다른 부분으로 데이터 신호와 클럭 신호들을 전달하고 또 그 반대로 하는 초기 상태(단계 30)로 복귀한다. 강하 또는 강하들의 검출에 응답하여 제어 회로(148)는 또한 제 1 전원 전위 Vss를 제 3 트랜지스터 DPT로 공급하여 이를 도통하지 않은 상태로 유지시킨다. 이는 스테이션(10d, 10e)이 장애에 관련된 어떤 스테이션을 리셋하기 위하여 버스의 두 부분들(12a, 12b)에 신호(예를 들면 중단 조건)를 강제로 보낼 수 있게 한다.

도 1에서 브리지 스테이션에는 예를 들면 10c와 같은 다른 스테이션과 같이 버스의 제 1 부분(12a)에 대한 정규 인터페이스가 제공된다. 이는 브리지 스테이션(14)이 정규 스테이션들(10a 내지 10c)과 같은 기능을 하도록 허용한다. 각 스테이션들(10a 내지 10e)은 별도의 IC 패키지 내에 포함되어 있다. 이 경우에 브리지 스테이션과 정규 스테이션의 기능은 버스(12a, 12b)와의 접속을 위하여 4개의 핀들SDA, SDAH, SCL, SCLH를 필요로 하는 단일 IC 패키지 내에서 결합될 수 있다. 이러한 핀의 용도는 프로그래밍할 수 있도록 만들어질 수 있으며, 따라서 제 2 부분(12b)으로의 접속을 위하여 이용되는 핀들 SDA, SCL을 적절히 프로그래밍하여 IC패키지가 브리지 스테이션으로 이용되지 않는다면 이 핀이 다른 목적에도 이용될 수 있도록 할 수 있다. 이는 스테이션들 중 하나(10c)에 대해 *로 표시가 된 두 핀들이 이를 다른 목적들(필요한 경우에)을 위해 이용되지만, 또한 버스 접속부 SDA, SDAH로도 이용되는 경우이다.

물론 장치 내에 제 2의 고속 모드만을 운용할 수 있는 스테이션이 있는 경우에는, 브리지 기능은 필수적이지는 않으며, 버스의 제 2 부분(12b)은 생략될 수도 있다. 이 경우에는 버스의 제 2 부분(12b)에 대한 접속들은 다른 목적을 위해서도 이용될 수 있다.

도 1에 나타난 바와 같이, 스위칭할 수 있는 전류 소스는 제 1 부분(12a)의 데이터 신호 컨덕터 SDAH를 위해서는 이용되지 않는다. 대신 풀 업(pull-up) 저항Rp이 이 컨덕터의 전위를 끌어올리기 위해 이용된다. 이는 스위칭할 수 있는 전류소스(108)와 함께 발생된 빠른 클럭 신호와 결합될 수 있다. 왜냐하면, 데이터 신호는 클럭 신호의 주파수의 절반만을 가질 것이 요구되기 때문이다. 물론 더 빠른 속도를 위해서는 스위칭할 수 있는 전류 소스가 클럭 신호에 대해서와 마찬가지로 데이터 신호에 대해서도 이용될 수 있다. 그러나, 이는 구동 충돌을 피하기 위해서 더 정확한 타이밍을 요구한다.

도 4는 본 발명의 다른 실시예에 따른 장치를 보여 준다. 이 장치는 다수의 스테이션들(40a 내지 40f)을 포함한다. 스테이션들(40a 내지 40f)은 각각 클럭 신호 컨덕터 SCLm, SCLk를 포함하는 두 부분들을 포함하고 있는 통신 버스를 통하여 접

술되어 있다. 데이터 신호 컨덕터 SDA가 두 부분들에 의해 공유된다. 또한, 장치는 공급 전압 Vdd을 위한 공급 컨덕터(42)를 포함하고 있다. 공급 컨덕터(42)는 데이터 신호 컨덕터 SDA와 두 클럭 신호 컨덕터들 SCLk, SCLm로 각각의 저항 Rp을 통하여 접속되어 있다. 스테이션 중 두 개(40a, 40b)는 데이터 신호 컨덕터 SDA와 클럭 신호 컨덕터 중 하나 SCLm에 접속된 것으로 도시되어 있다. 두 개의 다른 스테이션들(40e, 40f)은 데이터 신호 컨덕터 SDA와 클럭 신호 컨덕터 중 하나 SCLk에 접속된 것으로 도시되어 있다. 나머지 스테이션들(40c, 40d)은 데이터 신호 컨덕터와 두 클럭 신호 컨덕터들 모두 SCLm, SCLk에 접속된 것으로 나타나 있다. 예를 들면, 장치는 데이터 신호 컨덕터 SDA와 두 클럭 신호 컨덕터들 SCLm, SCLk가 컨덕터 트랙들로 구현된 인쇄 회로 기판을 포함할 수 있다. 각 스테이션(40a 내지 40f)은 인쇄 회로 기판 위에 고정된 개별 접적 회로에 각각 대응하며, 데이터 신호 컨덕터 SDA와 하나 또는 그 이상의 클럭 신호 컨덕터들 SCLm, SCLk에 전기적으로 접속되어 있다.

동작에 있어서, 정보는 버스 SDA, SCLk, SCLm를 통하여 스테이션들 사이에 전달된다. 정보 전송은 데이터 신호 컨덕터 SDA와 하나의 클럭 신호 컨덕터 SCL를 포함하는 버스에 대한 필립스 데이터복 IC12a에 기술된 I2C 버스 설명서의 확장에 따라 수행된다. 정보 전달 동안, 정보의 한 비트가 데이터 신호 컨덕터 SDA에 놓이고, 그 유효성이 관련된 클럭 신호 컨덕터들 SCLk, SCLm의 전위를 하이로 띠므로써 신호화된다. 정보의 다음 비트를 준비할 때는 클럭 신호 컨덕터들 SCLk, SCLm의 전위가 다시 로우(low)로 된다. 이어서 과정은 다음 비트에 대해서 반복된다. 정보 전송은 클럭 신호가 적어도 제 1 클럭 신호 컨덕터 SCLk를 통하여 제공되는 경우에는 느린 속도(예를 들면, 초당 100k 내지 400k 클럭 펄스의 클럭 주파수)로 수행될 수도 있다. 정보 전달은 클럭 신호가 제 1 클럭 신호 컨덕터 SCLk를 경유하지 않고 제 2 클럭 신호 컨덕터 SCLm를 통하여 제공되는 경우에는 고속(예를 들면, 초당 4M 클럭 펄스의 클럭 주파수)으로 수행될 수도 있다. 빠른 클럭 속도에서 동작할 수 없는 스테이션(40c, 40d)은 이와 같이 고속 클럭 신호에 노출되지 않는다.

메시지의 끝에서 버스에 대한 제어를 갖고 있는 마스터 스테이션(예를 들면 40c, 40d)이 적어도 제 1 클럭 신호 컨덕터 SCLk(모든 스테이션들이 제 1 클럭 신호 컨덕터 SCLk에 접속되어 있는 경우에는 제 1 및 제 2 클럭 신호 컨덕터들 SCLk, SCLm)를 이용하여 메시지의 종료 신호를 보낸다. 이에 따라 빠른 클럭 속도로 동작할 수 없는 스테이션, 즉 스테이션(40e, 40f)은 포함한 모든 스테이션들이 메시지의 정보 컨텐트가 빠른 클럭 속도를 이용하여 전송되더라도 메시지의 종료를 검출할 수 있다.

도 5는 버스 SDA, SCLm, SCLk를 통하여 일어나는 메시지 교환의 실시 예를 나타내는 타이밍도이다. 메시지 교환은 메시지의 시작 신호(50)와 필요한 경우에는 잠재적으로 다른 마스터 스테이션 사이의 중재 신호(52)가 전송되는 시간 간격으로 시작한다. 시작 신호(50)는 모든 스테이션들(40a 내지 40f)에 대한 것이며 따라서 적어도 제 1 클럭 신호 컨덕터 SCLk를 이용하여 전송되며, 어떤 스테이션들(40e, 40f)이 제 2 클럭 신호 컨덕터 SCLm에만 접속되어 있는 경우에는 제 2 클럭 신호 컨덕터 SCLm를 통하여 또한 전송된다.

시작 신호로는 소위 "시작 조건"(50)이 이용되며, 이는 두 클럭 신호 컨덕터들 SCLm, SCLk의 전위들이 모두 하이일 때, 즉 통상적으로 데이터 신호 컨덕터 SDA가 유효 데이터를 하이로 유지하여 신호로 보내는 레벨일 때(또는 적어도 클럭 신호 컨덕터가 모든 스테이션들(40a 내지 40f)에 접속되어 있는 경우에는 제 1 클럭 신호 컨덕터 SCLk의 전위가 하이일 때), 마스터 스테이션(예를 들면, 40c, 40d)에 의해 일어나는 데이터 신호 컨덕터 SDA의 전위의 레벨 천이이다. 메시지를 시작하는 마스터 스테이션(예를 들면, 40c, 40d)은 낮은 전위 전원 단말기와 클럭 신호 컨덕터 SCLm, SCLk 사이에서 낮은 임피던스 경로를 제공함으로써 레벨 천이를 일으킨다.

시작 조건은 중재 과정의 시작이다. 시작 조건은 다른 스테이션에 의해 검출된다. 검출의 결과로, 시작 조건을 보내지 않은 다른 마스터 스테이션(예를 들면 40c, 40d)은 중단 조건(추후 설명)이 검출될 때까지 메시지를 시작하는 것을 중단한다. 시작 조건을 전송한 마스터 스테이션은 자신이 버스의 제어를 요구하는 유일한 마스터 스테이션(예를 들면, 40c, 40d)임을 확인할 수는 없다. 왜냐하면, 다른 마스터 스테이션(예를 들면, 40c, 40d)이 거의 동시에 시작 조건을 전송하였는지를 검출하는 것은 불가능하기 때문이다.

중재 과정은 버스의 제어를 요구하는 어떤 마스터 스테이션(예를 들면 40c, 40d)에 의해 전송된 8개의 데이터 비트들을 포함하는 코드(52)의 전송에 의해 계속된다. 이러한 목적을 위하여 8개의 클럭 펄스들이 두 클럭 신호 컨덕터들에 발생된다(또는 클럭 신호 컨덕터가 모든 스테이션들(40a 내지 40f)에 접속되어 있는 경우에 적어도 제 1 클럭 신호 컨덕터 SCLk가 하이이다). 이와 같은 클럭 펄스들을 발생시키기 위하여 스테이션은 버스의 배선 논리 동작을 이용한다. 스테이션은 능동적인 풀업(pull up)을 이용하지는 않는다. 이는 어떤 스테이션도 데이터를 운용하기에 충분한 시간을 갖기 위하여 클럭 펄스들을 자연시키는 것을 허용한다.

시작 조건을 전송하고 여전히 중재에 참가하고 있는 각 마스터 스테이션(예를 들면 40c, 40d)은 클럭 신호 컨덕터들 SCLk, SCLm를 끌어내려 클럭 펄스들을 발생시킨다. 이러한 각 마스터(예를 들면 40c, 40d)는 클럭 신호 컨덕터가 끌어내려진 시간 간격 동안 그 코드에 따라 데이터 신호 컨덕터 SDA 사이에 낮은 또는 높은 임피던스 경로를 제공하기 위하여 선택함으로써 그 코드의 비트들을 차례로 데이터 신호 컨덕터 SDA에 놓는다. 낮은 임피던스 경로를 제공하지 않았고 데이터 신호 컨덕터 SDA가 로우로 끌려진 것을 이미 검출한 마스터 스테이션은 중재를 잃었다는 결론을 내리며 중단 조건을 검출할 때까지 클럭 펄스와 데이터를 전송하기를 중단한다.

적어도 하나의 마스터 스테이션(예를 들면 40c, 40d)이 빠른 클럭 속도(예를 들면 초당 4 Mbit)로 정보를 전송할 수 있다. 마스터 스테이션들(예를 들면 40c, 40d)의 코드는 고유하게 선택되어 어떤 마스터 스테이션도 8번 째 비트 후의 데이터인 코드를 전송하는 것이 중단되지 않으면 중재를 얻었음을 확인할 수 있도록 된다.

빠른 클럭 속도에서 정보를 전송할 수 있는 마스터 스테이션들(예를 들면 40c, 40d)은, 중재를 얻고 또한 빠른 클럭 속도로 정보를 전송할 수 있는 슬레이브 스테이션들(40a 내지 40f)로 정보를 전송하기를 원하면, 빠른 클럭 속도로 스위칭할 수 있다. 이러한 경우에 마스터 스테이션(예를 들면 40c, 40d)은 tm 시간에 고속 모드로 스위칭한다. 고속 모드에서 마스터 스테이션(예를 들면 40c, 40d)은 제 2 클럭 신호 컨덕터 SCLm를 통하여 고속으로 클럭 펄스를 전송하며 제 1 클럭 신호 컨덕터 SCLk는 경유하지 않는다. 고속 모드에서 마스터 스테이션(예를 들면 40c, 40d)은 제 1 클럭 신호 컨덕터 SCLk의 전위를 로우 레벨로 유지한다 즉 데이터 신호 컨덕터 SDA에 유효 데이터가 없음을 나타내는 레벨이다.

도 5의 실시예에서 고속 모드에서의 전송은 개신된 시작 조건으로 시작되며, 개신된 시작 조건은 제 2 클럭 신호 컨덕터 SCLm의 전위가 하이일 때 데이터 신호 컨덕터 SDA의 전위의 레벨 천이로 구현된다. 개신 시작 조건 다음에는 슬레이브 스테이션(예를 들면 40e, 40f)의 슬레이브 어드레스의 전송이 뒤따른다. 슬레이브 스테이션의 어드레스는 마스터 스테이션에 의해 발생되며 제 2 클럭 신호 컨덕터 SCLm에 클럭 펄스를 발생시키고 연속되는 클럭 펄스들의 하이 레벨(high level) 동안 슬레이브 어드레스의 연속적인 비트들을 공급함으로써 발생된다. 고속 정보 전송을 할 수 있는 슬레이브 스테이션(예를 들면 40e, 40f)은 전송된 어드레스를 모니터링하고 자신의 어드레스를 검출한 슬레이브는 정보 전송에 참가하기 시작한다. 전송은 푸시 풀로 구동되는 제 2 클럭 신호 컨덕터 SCLm만이 이용되는 경우를 제외하고는, I2C 설명서에 정의되어 있는 것과 같이 마스터 스테이션(예를 들면 40c, 40d)으로부터 슬레이브 스테이션(예를 들면 40e, 40f)으로 일어날 수 있으며, 반대로 된다.

마스터 스테이션들(예를 들면 40c, 40d)이 전송을 끝내면 (t_{lk} 시간에) 고속모드로부터 스위칭되고 중단 조건(56)에 의하여 메시지의 끝을 알린다. 중단 조건(56)은, 두 클럭 신호 컨덕터들 SCLm, SCLk의 전위가 모두 하이일 때, 즉 통상적으로 유효한 데이터를 나타내는 레벨일 때(모든 스테이션들(40a 내지 40f)이 제 1 클럭 신호 컨덕터 SCLk에 접속된 경우에는 그 클럭 신호 컨덕터의 하이 레벨을 만족시킬 때) 데이터 신호 컨덕터 SDA의 레벨 천이를 관련시킨다. 중단 조건 동안의 데이터 신호 컨덕터의 레벨 천이는 시작 조건(50)의 경우와 반대이다.

모든 스테이션들(40a 내지 40f)이 중단 조건(56)을 검출한다. 그 후에 마스터 스테이션들(40a 내지 40f)은 버스에 대한 제어를 얻기 위한 시도를 자유롭게 할 수 있으며, 슬레이브 스테이션들(40a 내지 40f)은 새로운 메시지가 있는지 버스를 모니터링하여 정보 전송에 관련되는 어드레스가 지정되어 있는지를 검출한다.

마스터 스테이션들(40a 내지 40f)이 버스의 제어를 얻게 되면 낮은 클럭 속도(예를 들면, 1 MHz 이하, 예를 들면 초당 100 내지 400 kbit)에서 정보를 전송하는 쪽을 선택할 수도 있다. 이는, 예를 들면, 정보 전송에 관련된 슬레이브 스테이션이 저속에서의 정보 전송만을 할 수 있고, 고속(예를 들면, 1 MHz 이상, 예를 들면 초당 4 Mbit) 정보 전송을 할 수 없거나, 마스터 자신이 저속 정보 전송만을 할 수 있기 때문이다. 이러한 경우에는 마스터 스테이션(40a ~ 40f)은 제 1 클럭 신호 컨덕터 SCLk를 이용하여 기본적으로 I2C에 대하여 지정된 바에 따라 슬레이브 어드레스나 전송되어야 할 정보를 규정하는 클럭 펄스들을 전달한다.

초기 시작 조건(50)과 중단 조건(56) 사이에서 버스의 제어를 얻은 마스터 스테이션들(40a 내지 40f)은 버스의 제어에 대해 새롭게 중재를 얻을 필요 없이 임의의 수의 추가적인 시작 조건과 그에 뒤따르는 슬레이브 스테이션 어드레스의 전송과 정보 전송을 발생시킬 수 있다. 추가적인 시작 조건에 뒤따르는 정보 전송이 저속에서 이루어지느냐 고속에서 이루어지느냐에 따라서 추가적인 시간 조건 동안 제 1 클럭 신호 컨덕터 SCLk 또는 제 2 클럭 신호 컨덕터 SCLm의 전위가 하이 상태로 유지된다. 이리하여 하나의 메시지 전송에 고속 및 저속 전송의 어떠한 조합도 이용될 수 있다.

단지 하나의 클럭 신호 컨덕터 SCLk 또는 SCLm만을 모니터링하는 스테이션들(40a 내지 40f)은 모니터링하지 않는 클럭 신호 컨덕터 SCLk 또는 SCLm에 관련된 어드레스 지정 및 정보 전송을 인식하지 못한다. 이러한 스테이션은 중단 조건(56)을 수신할 때까지 관련된 어드레스 또는 정보를 기다린다.

둘 이상의 다른 클럭 속도가 이용될 때, 가장 느린 속도에서의 정보 전송만이 가능한 스테이션 또는 가장 느린 속도와 중간 속도에서의 전송만이 가능한 스테이션 또는 더 빠른 속도에서의 전송만이 가능한 스테이션에서 각각의 특정한 속도, 초기 시작 조건, 중재 및 단지 가장 느린 속도만이 관련된 중단 조건에 대하여 원칙적으로 대응적으로 더 큰 수의 클럭 신호 컨덕터들이 이용된다.

도 4로부터, 고속 정보 전송을 할 수 있는 마스터 스테이션(예를 들면 40c, 40d)은 모든 클럭 신호 컨덕터들로의 접속부를 가지고 있음을 알 수 있다. 이는 중재를 위한 메시지 시작 신호를 모든 스테이션들(40a 내지 40f)로 보내고, 모든 다른 스테이션들(40a 내지 40f)과 정보 전송을 하기 위한 것이다. 단지 느린 속도의 정보 전송만이 가능한 스테이션(40c, 40d)은 제 1 클럭 신호 컨덕터 SCLk에만 접속되어 있다. 이러한 스테이션은 따라서 저속에서의 정보 전달만이 가능한 마스터 스테이션을 포함할 수 있다. 고속 정보 전송이 가능하며, 버스의 제어를 위해 다를 필요가 없고, 고속 정보 전송이 가능한 마스터 스테이션과만 통신하는 것이 필요한 슬레이브 스테이션(40a, 40b)은 제 2 클럭 신호 컨덕터 SCLm에만 접속될 필요가 있다.

도 6은 버스 SDA, SCLm, SCLk에 대한 인터페이스를 갖는 마스터 스테이션(60)의 실시예를 보여준다. 마스터 스테이션(60)은 제어/기능 유닛(control/function unit)(61)을 포함하고 있다. 마스터 스테이션(60)은 또한 채널이 두 전원 접속부들 V_{dd}, V_{ss} 사이에서 직렬로 결합되어 있는 PMOS 트랜지스터(67)와 NMOS 트랜지스터(66)를 포함하는 제 1 푸시 풀 단계를 포함하고 있다. 제어/기능 유닛(61)은 PMOS 트랜지스터(67)와 NMOS 트랜지스터(66)의 게이트들의 각각에 대한 커플링을 가지고 있다. PMOS 트랜지스터(67)와 NMOS 트랜지스터(66) 사이의 노드는 데이터 신호 컨덕터 SDA와 제어/기능 유닛(61)의 입력으로 결합되어 있다.

마스터 스테이션(60)은 또한 채널이 두 전원 접속부들 사이에서 직렬로 결합되어 있는 PMOS 트랜지스터(64)와 NMOS 트랜지스터(63)를 포함하는 제 2 푸시 풀 단계를 포함하고 있다. 제어/기능 유닛(61)은 PMOS 트랜지스터(64)와 NMOS 트랜지스터(63)의 게이트들에 대한 커플링을 가지고 있다. PMOS 트랜지스터(64)와 NMOS 트랜지스터(63) 사이의 노드는 고속 클럭을 위한 제 2 클럭 신호 컨덕터 SCLm과 제어/기능 유닛(61)으로 결합되어 있다.

마스터 스테이션(60)은 전원 접속부들 중 하나 V_{ss}와 저속 클럭을 위한 제 1 클럭 신호 컨덕터 SCLk 사이에 접속된 채널을 갖는 풀 다운(pull-down) NMOS 트랜지스터(62)를 포함하고 있다. 제어/기능 유닛(61)은 풀 다운 NMOS 트랜지스터(62)의 게이트에 결합된 출력을 가지고 있다. 제 1 클럭 신호 컨덕터는 제어/기능 유닛(61)의 입력에 결합되어 있다.

마스터 스테이션(60)은 제 1 클럭 신호 컨덕터 SCLk와 제 2 클럭 신호 컨덕터 SCLm 사이에 결합된 채널을 갖는 NMOS 패스 트랜지스터(pass transistor)(65)를 가지고 있다. 패스 트랜지스터(65)의 게이트는 제어/기능 유닛(61)에 결합되어 있다.

동작에 있어서, 제어/기능 유닛(61)은 버스 SDA, SCLm, SCLk를 모니터링하여 메시지가 보내지고 있는지 또는 버스 SDA, SCLm, SCLk의 제어를 얻기 위한 시도가 허용되는지 여부를 검출한다. 마스터 스테이션(60)이 메시지를 보내기를 원하고 버스 SDA, SCLm, SCLk의 제어를 얻는 것이 허용된다면, 제 1 푸시 풀 단계에서의 NMOS 트랜지스터(66)를 도통하게 하여 데이터 신호 컨덕터 SDA의 전위를 끌어내림으로써 시작 조건을 알린다. 제 1 푸시 풀 단계의 PMOS 트랜지스터(67)는 도통되지 않은 상태로 유지된다. 제 2 푸시 풀 단계에서의 트랜지스터들(63, 64)은 도통되지 않은 상태로 유지되고, 풀 다운 트랜지스터(62)도 도통되지 않은 상태로 유지되어 컨덕터들 SCLk, SCLm에 접속된 풀 업 저항에 의해 클럭 신호 컨덕터들 SCLk, SCLm의 전위가 하이 상태로 유지되게 한다. 제어/기능 유닛(61)은 패스 트랜지스터((65)를 도통한 상태로 유지시킨다. 이어서, 중재 동안 제어/기능 유닛(61)은 제 2 푸시 풀 단계에서의 NMOS 트랜지스터(63)와 풀 다운 트랜지스터(62)를 이용하여 두 클럭신호 컨덕터들 SCLk, SCLm 양쪽에 클럭 펄스를 발생시킨다. 제 1 푸시 풀 단계의 NMOS 트랜지스터(66)는 마스터 스테이션(60)의 코드를 데이터 신호 컨덕터 SDA에 두기 위해 이용된다. 제 1 및 제 2 푸시 풀 트랜지스터들에서의 PMOS 트랜지스터(64, 67)는 이 때 도통되지 않은 상태로 유지된다.

중재 동안, 제어/기능 유닛(61)은 버스 SDA, SCLk, SCLm를 모니터링하여 마스터 스테이션(60)이 버스의 제어를 얻었는지를 검출한다. 이렇게 되고, 마스터 스테이션이 고속으로 버스를 통해 정보를 전송할 필요가 있을 때, 기능/제어 유닛(61)은 패스 트랜지스터(62)를 도통하지 않게 하고, 이는 풀 다운 트랜지스터(62)를 도통하지 않게 한다.

제어/기능 유닛은 이제 제 2 클럭 신호 컨덕터 SCLm를 통하여 클럭 펄스들을 송신하기 시작한다. 이 때 제 2 푸시 풀 단계의 NMOS 트랜지스터(63)와 PMOS 트랜지스터(64)가 모두 이용된다. 두 트랜지스터들(63, 64)을 모두 이용하는 것은 NMOS 트랜지스터(63)와 풀 업 저항만을 이용하는 것에 비해 짧은 클럭 펄스를 발생시키는 것을 가능하게 한다. PMOS 트랜지스터(64)의 이용이 허용되는 것은 마스터 스테이션(60)이 일단 마스터 스테이션인 중재 기간을 끝내면 어떤 스테이션도 제 2 클럭신호 컨덕터 SCLm의 전위를 끌어내리지 않을 것이라는 것을 알고 있기 때문이다. 마스터가 슬레이브로 정보를 전송할 때 비트들은 제 1 푸시 풀 단계의 두 트랜지스터들(66, 67) 모두를 이용하여 데이터 신호 컨덕터 SDA에 기록된다. 이는 제 2 푸시 풀 단계가 이용되는 것과 같은 이유에서 허용되며, 이 또한 전송을 빠르게 할 수 있다. 슬레이브 스테이션은 마스터 스테이션으로 정보를 전송할 때, 슬레이브 스테이션은 마스터 스테이션과 같이 유사한 푸시 풀 단계를 이용할 수 있다.

데이터 신호 컨덕터에서의 전위 천이의 주파수는 클럭 신호 컨덕터의 그것의 반이어야 한다. 그러므로 최대 속도를 내기 위해서는 마스터가 클럭 신호 컨덕터 SCLm를 구동하기 위하여 푸시 풀을 이용한다는 것이 데이터 신호 컨덕터를 구동하기 위하여 푸시 풀을 이용하는 것보다 더 중요하다. 클럭 신호 컨덕터가 고속에서 분리되어 있기 때문에 마스터 스테이션의 클럭 출력의 용량 부하는 감소되며 클럭신호의 속도는 빨라질 수 있다. 데이터 신호 컨덕터 SDA 위의 신호는 더 천천히 변하기 때문에 데이터 신호 컨덕터 SDA의 용량 부하는 유사한 감소를 필요로 하지 않고 따라서 데이터 신호 컨덕터는 나누어지지 않은 채로 유지된다. 그러나, 데이터 신호 컨덕터에서의 고주파수 천이들로 인한 느린 스테이션에서의 오류의 위험을 줄이기 위하여 데이터 신호 컨덕터 SDA를 두 부분들로 나눌 수도 있다. 이렇게 되면, 하나의 부분은 하나의 클럭 신호 컨덕터 SCLk에만 접속되어 있는 스테이션으로 접속되고, 다른 부분은 다른 스테이션으로 접속된다. 두 부분들 사이에는 브리지 스테이션이 포함되는데, 이는 브리지 스테이션이 중재로부터 고속 전송이 일어나는지를 검출하는 지에 따라서 두 부분들을 접속하거나 서로 분리한다.

매 8 비트가 전송된 후에 수신 스테이션은 그 비트들에 대한 응답을 하는 것이 허용된다. 이러한 목적을 위하여 마스터 스테이션은 제 2 클럭 신호 컨덕터 SCLm에 매번 9번째 클럭 펄스를 둔다. 수신 스테이션은 9번째 클럭 펄스 동안 데이터 신호 컨덕터 SDA의 전위를 로우 상태로 유지함으로써 응답한다. 하나의 실시예에서, 응답이 주어지지 않으면 마스터 스테이션(60)은 저속에 대해서 데이터 신호 컨덕터 SDA의 풀 업을 허용한다. 이러한 경우에는 마스터 스테이션(60)은 8번째와 9번째 클럭 펄스 사이에 다른 클럭 펄스 사이의 시간 간격보다 긴 사전 응답(pre-acknowledge) 시간 간격을 둔다. 이 사전 응답 시간 간격은 적어도 다른 시간 간격의 두 배가 되는 것이 바람직하며, 이는 8번째 클럭 펄스와 9번째 클럭 펄스 사이에서 클럭 펄스 하나를 건너뛰는 것으로 쉽게 구현할 수 있다.

도 6에 나타난 마스터 스테이션은 저속 전송만이 가능한 스테이션이나 고속 전송만이 가능한 스테이션만을 가지고 있는 장치에서도 이용할 수 있다. 이러한 경우에는 제 1 클럭 신호 컨덕터 SCLk나 제 2 클럭 신호 컨덕터 SCLm는 일반적으로 장치로부터 생략된다.

(57) 청구의 범위

청구항 1.

- 스테이션들,

- 신호 프로토콜을 만족시키는 메시지의 교환을 위해 상기 스테이션들을 상호 접속하는 버스로서, 상기 메시지는 연속적으로 시분할 다중화된 헤더 신호, 컨텐트신호, 및 상기 메시지의 종료를 나타내는 신호를 포함하고, 상기 버스는 제 1 및 제 2 부분을 포함하는, 상기 버스, 및

- 상기 제 1 및 제 2 부분을 상호 접속하는 브리지 스테이션을 포함하는 전자장치에 있어서,

상기 스테이션들 중 적어도 하나는 상기 헤더 신호에 의하여 상대적으로 더 빠른 클럭 속도에서의 전송의 표시를 제공한 후, 상기 헤더 신호보다 상대적으로 더 빠른 클럭 속도로 상기 컨텐트 신호를 전송하도록 배열되며, 상기 컨텐트 신호를 갖는 상기 메시지를 상대적으로 더 빠른 속도로 수신할 수 있는 상기 적어도 하나의 스테이션과 상기 스테이션들의 하위 세트가 상기 제 1 부분을 통하여 상기 버스에 접속되며, 상기 브리지 스테이션은 상기 제 1 및 제 2 부분 사이에서 상기 헤더 신호를 전달하고, 상기 표시의 검출에 응답하여 상기 버스의 상기 제 2 부분에 상기 컨텐트 신호 대신 상기 컨텐트 신호와 무관한 대체 신호로 대체하며, 상기 메시지의 완료를 나타내는 신호에 응답하여 상기 제 1 및 제 2 부분 사이에서 신호들의

전달을 재개하도록 배열되고, 상기 헤더 신호, 상기 대체 신호 및 상기 재개 후에 전달된 상기 신호들은 상기 상대적으로 더 빠른 클럭 속도보다 상대적으로 더 느린 클럭 속도에서 신호 프로토콜을 함께 만족시키는 것을 특징으로 하는 전자 장치.

청구항 2.

제 1 항에 있어서,

상기 스테이션들은 버스 액세스 권리들의 중재를 위한 상기 헤더를 이용하도록 배열되는 것을 특징으로 하는, 전자 장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 스테이션들은 적어도 상기 헤더 신호 동안 배선 논리 함수로서 집합적으로 상기 버스에 신호들을 확립하도록 배열되고, 상기 브리지 스테이션은 상기 헤더 신호의 전송 동안과 상기 재개 후에 상기 버스의 제 1 부분에서 확립된 배선 논리 결과를 상기 버스의 제 2 부분으로 전달하고 그 반대로 하며, 상기 브리지 스테이션은 상기 제 2 부분에 대한 배선 논리 구동 신호들을 발생시켜 상기 제 2 부분상에 상기 대체 신호를 구동하는 것을 특징으로 하는, 전자 장치.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 부분은 제 1 및 제 2 신호 컨덕터를 포함하고, 상기 제 2 부분은 제 3 및 제 4 신호 컨덕터를 포함하며, 상기 신호 프로토콜은 상기 메시지의 완료가 상기 제 2 및 제 4 신호 컨덕터의 전위들이 지정된 논리 레벨에 있을 때, 상기 제 1 및 제 3 신호 컨덕터의 전위가 제 1 레벨로부터 제 2 레벨로 논리적으로 천이하는 것에 의해 표시될 것을 요구하고, 상기 브리지 스테이션은 상기 제 1 부분 상의 컨텐트 신호의 전송 동안 상기 제 3 및 제 4 신호 컨덕터를 각각 상기 제 1 레벨 및 상기 지정된 논리 레벨로 유지하며, 상기 브리지 스테이션은 상기 제 2 신호 컨덕터의 전위가 상기 지정된 논리 레벨에 있을 때, 상기 제 1 신호 컨덕터의 전위가 상기 제 1 레벨로부터 상기 제 2 레벨로 논리적으로 천이의 검출에 응답하여 상기 제 3 신호 컨덕터의 전위를 상기 제 1 레벨로부터 상기 제 2 레벨로 가져오는 것을 특징으로 하는 전자 장치.

청구항 5.

제 4 항에 있어서,

상기 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 전위가 상기 대체 신호의 전송 동안 상기 스테이션들의 또 다른 하위 세트에 의해 영향을 받을 수 있는 배선논리 함수에 의해 확립되고, 상기 브리지 스테이션은 상기 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 전위를 모니터링하며, 상기 브리지 스테이션은 상기 제 3 및 제 4 신호 컨덕터 중 적어도 하나의 상기 전위의 천이의 검출에 응답하여 상기 제 1 및 제 2 부분 사이의 상기 신호들의 전달을 재개하는 것을 특징으로 하는, 전자 장치.

청구항 6.

제 1 항에 있어서,

상기 스테이션들 중 적어도 하나는, 상기 버스의 상기 제 1 부분을 구동하기 위한 배선 논리 구동 회로와 푸시 풀 구동 회로를 포함하며, 상기 헤더 신호의 전송 동안과 상기 메시지의 완료를 나타내는 상기 신호의 전송 후에 상기 배선 논리 구동 회로에 의하여 상기 제 1 부분을 구동하고, 상기 컨텐트 신호의 전송 동안 상기 푸시 풀 구동 회로에 의하여 상기 제 1 부분을 구동하는 것을 특징으로 하는, 전자 장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 부분은 클럭 신호 컨덕터를 포함하며, 상기 스테이션들 중 적어도 하나는 상기 헤더 신호의 전송 동안과 상기 메시지의 완료를 나타내는 신호의 전송 후에 상기 배선 논리 구동 회로에 의하여 상기 클럭 신호 컨덕터를 구동하고, 상기 컨텐트 신호의 전송 동안 상기 푸시 풀 구동 회로에 의하여 상기 클럭 신호 컨덕터를 구동하는 것을 특징으로 하는, 전자 장치.

청구항 8.

제 1 항에 있어서,

상기 스테이션들 중 적어도 하나는 상대적으로 더 빠른 클럭 속도를 갖는 및 갖지 않는 전송을 각각 나타내는 적어도 두 형태들의 헤더 신호를 전송할 수 있으며, 상기 브리지 스테이션은 상대적으로 더 빠른 클럭 속도를 갖지 않는 전송을 나타내는 헤더 신호의 형태에 응답하여 상기 제 1 및 제 2 부분 사이에서 신호들을 전달하기를 계속하는 것을 특징으로 하는, 전자 장치.

청구항 9.

제 1 항에 있어서,

상기 스테이션들 중 적어도 하나는 상기 헤더 신호의 다음에 오고 상기 컨텐트 신호보다 앞서는 어드레스 신호를 상대적으로 빠른 클럭 속도로 전송하도록 배열되며, 상기 하위 세트의 스테이션의 각각의 특정한 것은 상기 어드레스 신호가 상기 스테이션들 중 특정한 것의 고유한 어드레스와 매칭하는지에 의존하여 상기 메시지에 선택적으로 응답하는 것을 특징으로 하는, 전자 장치.

청구항 10.

제 9 항에 있어서,

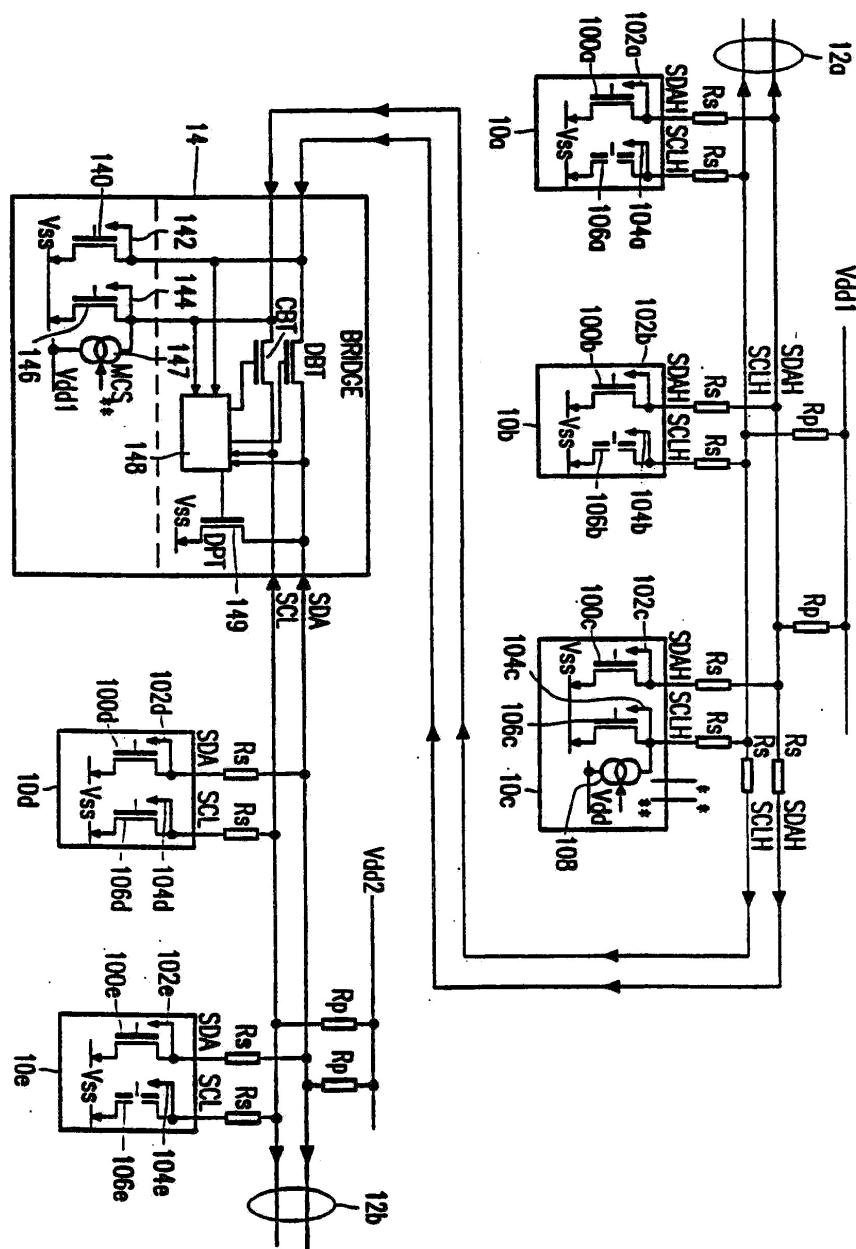
상기 스테이션들 중 적어도 하나는 상기 컨텐트 신호의 다음에 오고, 상기 메시지의 완료 표시 신호보다 앞선 또 다른 컨텐트 신호보다 앞서는 또 다른 어드레스 신호를 전송하도록 배열되며, 상기 또 다른 어드레스 신호 및 또 상기 다른 컨텐트 신호는 상대적으로 빠른 클럭 속도로 전송되고, 상기 하위 세트의 스테이션의 각각의 특정한 것은 상기 또 다른 어드레스 신호가 상기 스테이션들 중 특정한 것의 고유한 어드레스와 매칭하는지에 의존하여 상기 또 다른 컨텐트 신호에 선택적으로 응답하며, 상기 브리지 스테이션은 상기 또 다른 어드레스 신호 및 또 상기 다른 컨텐트 신호의 전송 동안 상기 제 2 부분 상에 상기 대체 신호를 유지하는 것을 특징으로 하는, 전자 장치.

청구항 11.

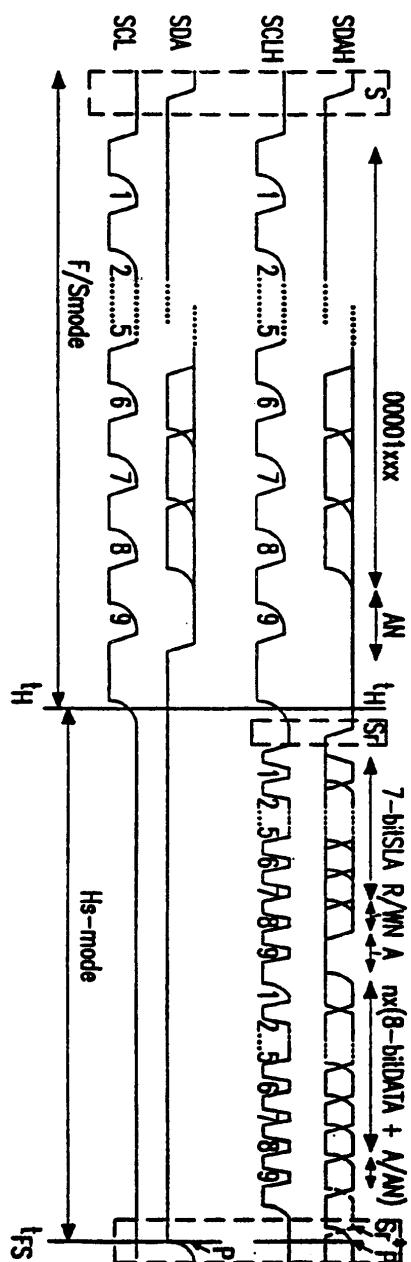
버스의 제 1 및 제 2 부분에 대한 접속들을 가진 브리지 스테이션에 있어서, 상기 제 1 항, 제 2 항, 및 제 6항 내지 제 10 항 중 어느 한 항의 전자 장치에서 브리지 스테이션으로서 이용을 위해 배열되는 브리지 스테이션.

도면

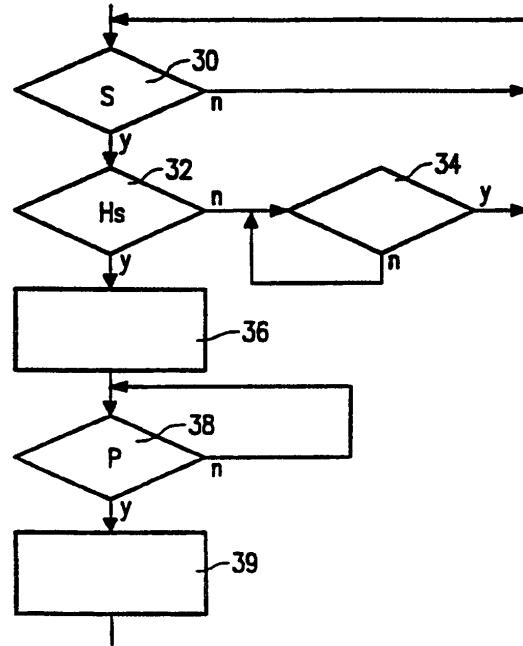
도면1



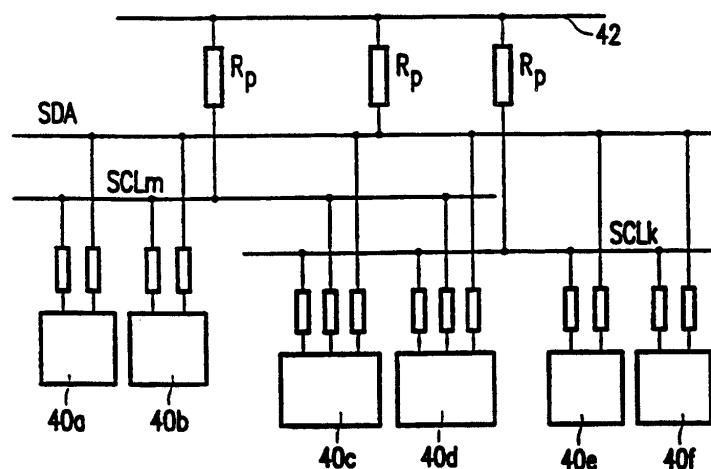
도면2



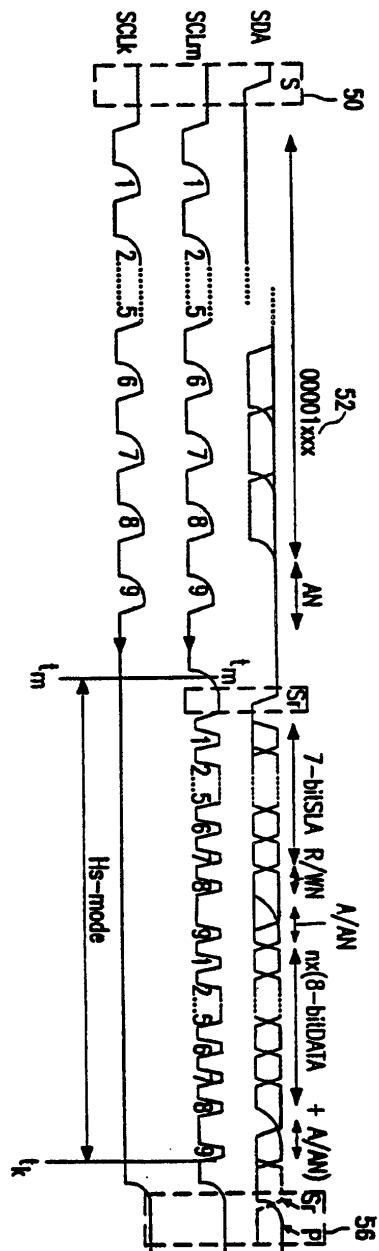
도면3



도면4



도면5



도면6

