(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月12日(12.06.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/120727 A1

(51) 国際特許分類:
G06F 9/38 (2018.01)

(21) 国際出願番号： PCT/JP2023/043450

(22) 国際出願日： 2023年12月5日(05.12.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人：三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]；〒1008310 東京都千代田区丸の内二丁目７番３号 (JP).

(72) 発明者：深井 哲人(**FUKAI, Yoshito**)；〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 (JP).

(74) 代理人：弁理士法人深見特許事務所(**FUKAMI PATENT OFFICE, P.C.**)；〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト (JP).

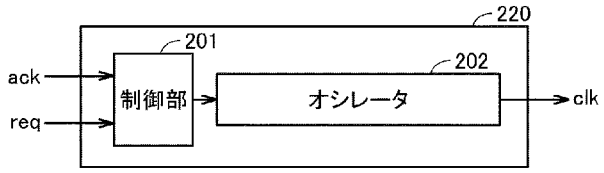
(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) **Title:** CONTROL CIRCUIT FOR ASYNCHRONOUS CIRCUIT, AND ASYNCHRONOUS CIRCUIT

(54) 発明の名称： 非同期回路の制御回路および非同期回路

図2



201 Control unit
202 Oscillator

(57) **Abstract:** This control circuit for an asynchronous circuit comprises a clock generation circuit (220) that outputs a clock (clk) of an expandable/contractable pulse width. The clock generation circuit (220) comprises a delay adjustment circuit (101) that delays an inputted clock (clk) by a delay amount and outputs the result, and a logic circuit (205) that outputs, as a clock (clk), a signal expressing the result of a logical operation between the output of the delay adjustment circuit (101), a request signal (req), and an acknowledgement signal (ack). The clock (clk) is supplied to a register.

(57) 要約：本開示の非同期回路の制御回路は、伸縮可能なパルス幅のクロック（ｃｌｋ）を出力するクロック発生回路（２２０）を備える。クロック発生回路（２２０）は、入力されたクロック（ｃｌｋ）を遅延量だけ遅延させて出力する遅延調整回路（１０１）と、遅延調整回路（１０１）の出力と、リクエスト信号（ｒｅｑ）と、確認応答信号（ａｃｋ）との論理演算の結果を表わす信号をクロック（ｃｌｋ）として出力する論理回路（２０５）とを備える。クロック（ｃｌｋ）がレジスタに供給される。

WO 2025/120727 A1

［続葉有］

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 非同期回路の制御回路および非同期回路

技術分野

[0001] 本開示は、非同期回路の制御回路および非同期回路に関する。

背景技術

[0002] 回路設計手法として同期設計と非同期設計がある。同期設計では、レジスタのセットアップタイム、ホールドタイム、リカバリタイム、およびリムーバルタイムの違反が発生しないように配線遅延が自動的に調整される。

[0003] 一方、非同期設計では、ディレイバッファ、またはインバーターチェイン等によって、配線遅延を手動で調整する必要がある。また、非同期設計では、動作周期が一定ではないため、レジスタ間の遅延調整は極めて困難である。

[0004] 非同期設計を採用するメリットとしては待機時にダイナミック消費電力が発生しないという特徴がある。この特徴は、アプリまたは用途によってはキーになりうる技術であり、ＮｏＣ（Network on Chip）等のハンドシェイク式通信を基本とする分野では注目されている。

[0005] たとえば、非同期回路の制御回路として、特許文献１に記載されたものが知られている。特許文献１に記載の非同期回路の制御回路は、演算回路２ｉと制御回路１ｉで構成された複数の回路ブロック４ｉの各々が、互いに他の回路ブロックとハンドシェイク信号（ｉｎｉ，ｏｕｔｉ等）をやり取りすることにより、所定の演算を実行する非同期式回路の制御回路１ｉであって、制御回路１ｉは前段からのハンドシェイク信号を入力する入力端（ｉｎｉ端）、次段へのハンドシェイク信号を出力する出力端（ｏｕｔｉ端）、演算回路の演算実行制御信号端（ｍｕｘｉ端）、及び演算回路の演算実行結果をラッチするラッチ信号端（ｌａｔｉ端）を有し、各演算回路２ｉは、制御回路１ｉからの制御によって、演算を実行する実行モードと、演算動作を行わない待機モードで動作し、該待機モードの時の、入力端（ｉｎｉ端）、出力端

（ｏｕｔｉ端）、演算実行制御信号端（ｍｕｘｉ端）、及びラッチ信号端（ｌａｔｉ端）の対応する信号ステートを“０”で表した場合において、制御回路１ｉは、前段からの入力端（ｉｎｉ端）信号が“１”から“０”に遷移したことを検出して演算実行制御信号端（ｍｕｘｉ端）の信号ステートを“１”として演算回路の演算を実行せしめ、更に、出力端（ｏｕｔｉ端）、及びラッチ信号端（ｌａｔｉ端）の信号ステートを“１”とし、演算終了後、ラッチ信号端（ｌａｔｉ端）の信号ステートを“０”に遷移せしめて演算実行結果を保持し、更に、演算実行制御信号端（ｍｕｘｉ端）、及び出力端（ｏｕｔｉ端）の信号ステートを“０”に遷移せしめる手段を備える。

先行技術文献

特許文献

[0006] 特許文献1：特開２００８－１８１１７０号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献１に記載のような非同期回路は、制御が複雑なため、大規模な回路には適していない。

[0008] それゆえに、本開示の目的は、大規模な回路に適した非同期回路、および非同期回路の制御回路を提供することである。

課題を解決するための手段

[0009] 本開示の非同期回路の制御回路は、伸縮可能なパルス幅のクロックを出力するクロック発生回路を備える。クロック発生回路は、入力されたクロックを遅延量だけ遅延させて出力する遅延調整回路と、遅延調整回路の出力と、リクエスト信号と、確認応答信号との論理演算の結果を表わす信号をクロックとして出力する論理回路とを備える。クロックがレジスタに供給される。

[0010] 本開示の非同期回路の制御回路は、伸縮可能なパルス幅のクロックを出力するクロック発生回路を備える。前記クロック発生回路は、入力されたクロックを第１の遅延量だけ遅延させて出力する第１の遅延調整回路と、論理回

路とを備える。前記非同期回路の制御回路は、さらに、リクエスト信号を第２の遅延量だけ遅延させて出力する第２の遅延調整回路と、クロックの数をカウントするカウンタと、カウンタの値と定められた値とが等しいときに、確認応答信号を活性化する比較器と、確認応答信号を第３の遅延量だけ遅延させて出力する第３の遅延調整回路とを備える。論理回路は、第１の遅延調整回路の出力と、第２の遅延調整回路の出力と、第３の遅延調整回路の出力との論理演算の結果を表わす信号をクロックとして出力する。クロックがレジスタに供給される。

発明の効果

[0011] 本開示の非同期回路、および非同期回路の制御回路は、大規模な回路に適することができる。

図面の簡単な説明

[0012] [図1]参考例の非同期回路を表わす図である。

[図2]実施の形態１の非同期回路の制御回路に含まれるクロック発生回路２２０の概念図である。

[図3]図２の回路内の信号の遷移図である。

[図4]実施の形態１の非同期回路を表わす図である。

[図5]クロックｃｌｋと、レジスタ群ＲＧ１、ＲＧ２、ＲＧ３の各々に含まれるレジスタ内のデータの遷移を表わす図である。

[図6]実施の形態２の非同期回路の制御回路２００の概念図である。

[図7]図６の回路内の信号の遷移図である。

[図8]実施の形態２の非同期回路を表わす図である。

[図9]バイナリカウンタの値と予め定められた値「７」とを比較する動作を説明するための図である。

[図10]グレイコードカウンタの値と予め定められた値「７」とを比較する動作を説明するための図である。

[図11]第２の遅延調整回路２１２による遅延調整を説明するための図である。

[図12]第３の遅延調整回路２１３による遅延調整がない場合の例を説明するための図である。

[図13]第３の遅延調整回路２１３による遅延調整を説明するための図である。

[図14]実施の形態３の非同期回路を表わす図である。

[図15]従来のＳＰＩ通信のインターフェースにおけるデータのキャプチャを説明するための図である。

[図16]実施の形態３のインターフェース３０２におけるデータのキャプチャを説明するための図である。

[図17]従来のＳＰＩ通信のインターフェースにおけるＣＲＣ（Cyclic Redundancy Check）処理を説明するための図である。

[図18]実施の形態３のインターフェース３０２におけるＣＲＣ処理を説明するための図である。

[図19]マスタからＭＯＳＩの信号線を通じて送信されるデータのフォーマットを表わす図である。

発明を実施するための形態

[0013] 以下、実施の形態について、図面を参照して説明する。

実施の形態１.

図１は、参考例の非同期回路を表わす図である。

[0014] 参考例の非同期設計では、ＣＬ（ClickElement）１、ＣＬ２、・・・を用いてレジスタ群ＲＧ１、ＲＧ２、・・・の間の伝搬遅延が管理される。この方法ではレジスタ群ＲＧ１、ＲＧ２、・・・間の処理結果が合流するポイント（たとえば、ＰＴ２）で各々のビット間のスキューを調整する必要がある。スキューの調整には、クロックパスの伝搬遅延(max,min)、データパスの伝搬遅延(max,min)、レジスタ群ＲＧ１、ＲＧ２、・・・のセットアップタイム、ＲＧ１、ＲＧ２、・・・のホールドタイムが含まれる。合流するデータ全てのタイミング要件を満たす必要があり、その遅延調整はＣＬ１、ＣＬ２、・・・間に遅延調整回路ＤＬ１、ＤＬ２・・・を挿入する等の方法で行われ

る。

[0015] この方法は、一定方向にデータが流れるパイプライン処理では問題ないが、パイプライン後段の値を前段に用いる処理、他のＣＬ（ClickElement）からの処理結果が合流する際に遅延の調整が複雑化し、設計が困難になる。

[0016] 以下の実施形態は、このような非同期設計を容易にすることができる。

図２は、実施の形態１の非同期回路の制御回路に含まれるクロック発生回路２２０の概念図である。

[0017] クロック発生回路２２０は、伸縮可能なパルス幅のクロックｃｌｋを出力する。クロック発生回路２２０は、制御部２０１と、オシレータ２０２とを備える。

[0018] 制御部２０１は、外部からリクエスト信号ｒｅｑおよび確認応答信号ａｃｋを受ける。制御部２０１は、リクエスト信号ｒｅｑが活性化（ハイレベル）、かつ確認応答信号ａｃｋが非活性化（ロウレベル）のときに限り、オシレータ２０２を駆動する駆動信号をハイレベルに設定する。

[0019] オシレータ２０２は、制御部２０１からの駆動信号がハイレベルのときに限り、クロックｃｌｋを外部に出力する。

[0020] （動作）

図３は、図２の回路内の信号の遷移図である。

[0021] 外部からのリクエスト信号ｒｅｑがハイレベルに設定されると、制御部２０１は、駆動信号をハイレベルに設定する。オシレータ２０２は、駆動信号がハイレベルに設定されると、クロックｃｌｋを出力する。

[0022] 制御部２０１は、外部からの確認応答信号ａｃｋがハイレベルに設定されると、駆動信号をロウレベルに設定する。オシレータ２０２は、駆動信号がロウレベルに設定されると、クロックｃｌｋの出力を停止する。確認応答信号ａｃｋがハイレベルになった後は、非同期回路内の全ての信号が非活性化しているためダイナミック消費電力が発生しない。全ての信号とは、データ信号、制御信号（リセット信号、イネーブル信号、セレクト信号などを含む）、アドレス信号、データバス信号、および割り込み信号などである。

[0023] 図４は、実施の形態１の非同期回路を表わす図である。

非同期回路は、レジスタ群ＲＧ１、ＲＧ２、・・・と、組合せ回路ＣＭ１、ＣＭ２、・・・と、制御回路１００とを備える。

[0024] クロックｃｌｋはデジタル回路内でデータの流れを制御し、データの安定性とタイミングを確保するために使用される。クロックｃｌｋは、レジスタ群ＲＧ１、ＲＧ２、・・・に供給される。レジスタ群ＲＧ１、ＲＧ２、・・・の各々は、少なくとも１つのレジスタを備える。

[0025] クロックｃｌｋの立ち上がりまたは立ち下がりエッジ（または、特定のクロックサイクル）に同期して、レジスタ群ＲＧ１、ＲＧ２、・・・内のデータが読み込まれたり、書き込まれたりする。クロックｃｌｋによって、データの不整合および競合を防ぎ、信号のタイミングが確保される。クロックｃｌｋによってレジスタ群ＲＧ１、ＲＧ２、・・・内のデータが組合せ回路ＣＭ１、ＣＭ２、・・・に伝搬される。これにより、信号の同期と信頼性が確保され、データの正確な処理が行われる。

[0026] 組合せ回路ＣＭ１、ＣＭ２、・・・は、デジタル回路の一種で、入力信号から直ちに出力信号を生成する回路である。組合せ回路ＣＭ１、ＣＭ２、・・・の動作は、入力に対して特定の論理関数を適用し、出力を生成するため、クロックｃｌｋなどのタイミング情報に依存しない。

[0027] 具体的には、組合せ回路ＣＭ１、ＣＭ２、・・・は以下の処理を行なう。

（１）入力信号の受け取り

組合せ回路ＣＭ１、ＣＭ２、・・・は、一連の入力信号を受け取る。これらの入力信号は通常、デジタル信号で表現され、各入力は１または０（真偽値）によって表される。

[0028] （２）論理関数の適用

組合せ回路ＣＭ１、ＣＭ２、・・・は、入力信号に対して事前に設計された論理関数を適用する。この関数は、各入力の組合せに対して出力を生成する。論理関数は、基本的な論理ゲート（AND、OR、NOTなど）を使用して構築され、結合条件に従って出力を計算する。

[0029] （３）出力信号の生成

組合せ回路ＣＭ１、ＣＭ２、・・・は、論理関数に基づいて計算された出力信号を生成する。この出力信号は、組合せ回路の目的に応じて、デジタル回路内の他のコンポーネントまたは外部デバイスに供給される。

[0030] （４）タイミング依存性のなさ

組合せ回路はタイミングに依存しないため、入力信号の変更があるたびに即座に新しい出力を生成する。これは、組合せ回路がデータの処理と論理演算に使用される場合に非常に有用である。

[0031] 組合せ回路ＣＭ１、ＣＭ２、・・・は、論理ゲート、デコーダ、エンコーダ、マルチプレクサ、算術論理演算ユニット（ALU）などによって構成される。これらの回路は、データの処理および制御において重要であり、論理設計とデジタル回路の基本的な要素である。

[0032] 実施の形態１の非同期回路は、参考例の非同期回路に含まれるＣＬ１、ＣＬ２、・・・、および遅延調整回路ＤＬ１、ＤＬ２・・・の代わりに制御回路１００を備える。

[0033] 図４の非同期回路の制御回路１００は、伸縮可能なパルス幅のクロックｃｌｋを出力するクロック発生回路２２０を備える。クロック発生回路２２０は、遅延調整回路１０１と、ＡＮＤ回路２０５とを備える。図４のＡＮＤ回路２０５および遅延調整回路１０１は、図２の制御部２０１およびオシレータ２０２を具体化した回路である。

[0034] 遅延調整回路１０１は、ＡＮＤ回路２０５から出力されるクロックｃｌｋを遅延量ｄだけ遅延させた遅延クロックｃｌｋｄを出力する。

[0035] ＡＮＤ回路２０５は、リクエスト信号ｒｅｑ、確認応答信号ａｃｋの反転信号、および遅延クロックｃｌｋｄの反転信号の論理積をクロックｃｌｋとして出力する。

[0036] クロック発生回路２２０から出力されるクロックｃｌｋは、レジスタ群ＲＧ１、ＲＧ２、・・・に供給される。レジスタ群ＲＧ１、ＲＧ２、・・・は、クロックｃｌｋの立上りエッジのタイミングで、保持しているデータを後

段の組合せ回路ＣＭ１、ＣＭ２、・・・に出力する。

[0037] （ＣＴＳ）

クロックｃｌｋの出力ポートＰＴをＣＴＳ（Clock Tree Synthesis）の開始点として合成（Synthesis）およびレイアウト（Layout）が行われる。

[0038] ＣＴＳでは、以下が実行される。

（１）クロック信号の生成

デジタル回路内で使用するクロック信号を生成する。このクロック信号は、デジタル回路のすべての部分で同期される必要がある。

[0039] （２）クロック信号の配布

クロック信号をデジタル回路内で均等に配布する。これにより、各部分が正確なタイミングで動作し、データの整合性が保たれる。

[0040] （３）遅延の最小化

クロック信号が回路内で遅延することを最小限に抑え、タイミング要件を満たすように設計する。これにより、データの信号が正確に処理される。

[0041] （４）雑音の低減

クロック信号の伝搬中に生じる雑音を低減し、信号品質を向上させる。このプロセスには、クロックゲーティング、バッファの配置、および配線ルーティングなどが含まれる。ＣＴＳは、クロック信号のタイミング要件を満たし、電力消費を最適化するために綿密に調整される必要がある。より、具体的には、以下が実行される。

[0042] （Ａ）論理合成（Logic Synthesis）

論理合成は、デジタル設計の最初のステップである。このステップでは、論理記述（通常はＨＤＬ言語で記述される）から、ゲートレベルの論理回路を生成する。設計者は、デザインを高位合成言語から具体的なゲートおよびフリップフロップの組合せに変換し、この段階でのデザインの品質と性能を評価する。

[0043] （Ｂ）合成後のレイアウト生成（Post-Synthesis Layout Generation）

合成後のレイアウト生成は、合成された論理回路を基に、実際のトランジ

スタおよび「配線の配置と接続情報を生成する。この段階で、回路の物理的な形状とサイズが決定される。

[0044] （Ｃ）ＣＴＳの開始点への移行

合成後のレイアウト生成が完了したら、ＣＴＳのプロセスに進む。ＣＴＳの開始点は、具体的なデザインの物理的なレイアウトとなる。この時点で、回路内の各コンポーネント（ゲート、フリップフロップなど）の位置が確定し、デザインの物理的な特性が知られることになる。

[0045] （Ｄ）クロックツリーの設計

クロックツリーを設計する。これには、クロック信号の源（通常はクロック発生器）から、各部分へのクロック信号の伝播経路を計画し、クロック信号を均等に分配する方法を設計することが含まれる。

[0046] （Ｅ）バッファの追加と遅延最小化

適切なバッファ（増幅器）の配置と適切なタイミング調整が実行される。これにより、遅延を最小限に抑え、クロック信号の正確な配布が可能になる。

[0047] （Ｆ）配線ルーティング

クロックツリー内の配線とバッファ間の接続が行われる。これにより、実際の配線が形成され、デザインが物理的に実装される。

[0048] （Ｇ）タイミング解析と最適化

クロックツリーの設計と配線ルーティングが完了したら、ＳＴＡ（Static Timing Analysis）などのタイミング解析が実行され、必要に応じて最適化が行われる。これにより、クロック信号のタイミング要件を満たすことが保証される。

[0049] （遅延調整）

参考例では、遅延調整回路が複数個必要であるのに対して、本実施の形態では、１つの遅延調整回路のみで遅延調整ができる。

[0050] 図５は、クロックｃｌｋと、レジスタ群ＲＧ１、ＲＧ２、ＲＧ３の各々に含まれるレジスタ内のデータの遷移を表わす図である。

[0051] ここで、データ遅延ＤＬＡＹ１、ＤＬＡＹ２、ＤＬＡＹ３は、組合せ回路ＣＭ０（図示せず）、ＣＭ１、ＣＭ２の処理時間である。

[0052] 遅延調整回路１０１と、ＡＮＤ回路２０５とで構成される閉ループを信号が２回循環すすることによって、１周期分のｃｌｋが生成される。ｃｌｋのハイレベルの期間、およびロウレベルの期間がそれぞれ遅延調整回路１０１の遅延量ｄである。

[0053] 遅延調整の遅延量ｄは、ＳＴＡの結果（セットアップ制約およびホールド制約を満たす）に基づくデータ遅延ＤＬＡＹ１、ＤＬＡＹ２、・・・のうち最大のデータ遅延ＤＭＡＸに合わせることで調整される。

[0054] 図５の例では、ＤＭＡＸ＝ＤＬＡＹ２である。具体的には、以下の条件を満たす必要がある。なぜなら、温度条件または電圧条件によってはセットアップ違反によってメタステーブルが内部で発生し、回路が意図通りに動作しないからである。

[0055] ２×ｄ＞ＤＭＡＸ…（１）

本実施の形態によれば、非同期設計特有の遅延調整を行なう箇所を少なく（１箇所）にすることができるので、非同期回路の消費電力を低減することができる。また、本実施の形態の非同期回路および非同期回路の制御回路は、大規模な回路に適する。

[0056] 実施の形態２.

パイプライン処理においては、要求の発生（リクエスト信号ｒｅｑの活性化）から処理完了までのサイクル数が既知である場合が多い。そのような場合、非同期制御回路の制御回路の内部において、確認応答信号ａｃｋを生成することが可能となる。本実施の形態の非同期回路の制御回路は、確認応答信号ａｃｋを生成する機能を有する。

[0057] 図６は、実施の形態２の非同期回路の制御回路２００の概念図である。

非同期回路の制御回路２００は、伸縮可能なパルス幅のクロックｃｌｋを出力するクロック発生回路２２０と、カウンタ２０３と、比較器２０４とを備える。クロック発生回路２２０は、制御部２０１と、オシレータ２０２と

を備える。

[0058] 制御部２０１は、外部からリクエスト信号ｒｅｑを受け、比較器２０４から確認応答信号ａｃｋを受ける。制御部２０１は、リクエスト信号ｒｅｑが活性化（ハイレベル）、かつ確認応答信号ａｃｋが非活性化（ロウレベル）のときに限り、オシレータ２０２を駆動する駆動信号をハイレベルに設定する。

[0059] オシレータ２０２は、制御部２０１からの駆動信号がハイレベルのときに限り、クロックｃｌｋをカウンタ２０３および外部に出力する。

[0060] カウンタ２０３は、オシレータ２０２から出力されるクロックｃｌｋのパルスの数をカウントする。カウンタ２０３は、クロックｃｌｋのパルスの数をカウンタ値として出力する。カウンタ２０３は、リクエスト信号ｒｅｑを受ける。カウンタ２０３は、リクエスト信号ｒｅｑがハイレベルに立ち上がったタイミングでカウンタ値を０にリセットする。

[0061] 比較器２０４は、カウンタ２０３から出力されるカウンタ値（クロックｃｌｋのパルスの数）と予め定められた回数とを比較し、比較結果に基づく確認応答信号ａｃｋを外部および制御部２０１に出力する。

[0062] 比較器２０４は、カウンタ値が予め定められた回数未満のときに、確認応答信号ａｃｋを非活性化（ロウレベル）に設定し、カウンタ値が予め定められた回数と等しいときに、確認応答信号ａｃｋを活性化（ハイレベル）に設定する。

[0063] （動作）

図７は、図６の回路内の信号の遷移図である。

[0064] 外部からのリクエスト信号ｒｅｑがハイレベルに設定されると、制御部２０１は、駆動信号をハイレベルに設定し、カウンタ２０３は、カウント値を「０」にリセットする。オシレータ２０２は、駆動信号がハイレベルに設定されると、クロックｃｌｋを出力する。

[0065] カウンタ２０３は、クロックｃｌｋのパルスの数をカウントし、クロックｃｌｋのパルスの数をカウンタ値として出力する。

[0066] 比較器２０４は、カウンタ値が予め定められた回数と等しいときに、確認応答信号ａｃｋをハイレベルに設定する。制御部２０１は、確認応答信号ａｃｋがハイレベルに設定されると、クロックｃｌｋの出力を停止する。確認応答信号ａｃｋがハイレベルになった後は、非同期回路内の全ての信号が非活性化しているためダイナミック消費電力が発生しない。

[0067] 図８は、実施の形態２の非同期回路を表わす図である。実施の形態２の非同期回路は、実施の形態１の制御回路１００に代えて、制御回路２００を備える。

[0068] 非同期回路の制御回路２００は、伸縮可能なパルス幅のクロックｃｌｋを出力するクロック発生回路２２０と、カウンタ２０３と、比較器２０４と、第２の遅延調整回路２１２と、第３の遅延調整回路２１３とを備える。クロック発生回路２２０は、第１の遅延調整回路２１１と、ＡＮＤ回路２０５とを備える。図８のＡＮＤ回路２０５および第１の遅延調整回路２１１は、図６の制御部２０１およびオシレータ２０２を具体化した回路である。

[0069] ＡＮＤ回路は、遅延リクエスト信号ｒｅｑｄ、遅延確認応答信号ａｃｋｄの反転信号、および遅延クロックｃｌｋｄの反転信号の論理積をクロックｃｌｋとして出力する。クロック発生回路２２０から出力されるクロックｃｌｋは、レジスタ群ＲＧ１、ＲＧ２、・・・に供給される。

[0070] （カウンタ）

カウンタ２０３は、クロック発生回路２２０から出力されるクロックｃｌｋのパルスの数をカウントする。カウンタ２０３は、クロックｃｌｋのパルスの数をカウンタ値として出力する。

[0071] カウンタ２０３は、グレイコードカウンタによって構成される。カウンタ２０３のリセット端子には、リクエスト信号ｒｅｑが入力される。カウンタ２０３は、リクエスト信号ｒｅｑがハイレベルに立ち上がったことに応じて、カウンタ値を０にリセットする。

[0072] 図９は、バイナリカウンタの値と予め定められた値「７」とを比較する動作を説明するための図である。バイナリカウンタを用いた場合、ビット間ス

キューによって、グリッジが発生する場合がある。そのため、比較器２０４に与えられる値は２のべき乗に制限するなど、制約が発生する。

[0073] 図１０は、グレイコードカウンタの値と予め定められた値「７」とを比較する動作を説明するための図である。グレイコードカウンタを用いて、次の数への変化を１ビット分の変化にすることで、グリッジの発生を抑えることができる。

[0074] （第１の遅延調整回路）

第１の遅延調整回路２１１は、ＡＮＤ回路２０５から出力されるクロックｃｌｋを第１の遅延量ｄ１だけ遅延させて、ＡＮＤ回路２０５に入力させる。第１の遅延調整回路２１１は、実施の形態１の遅延調整回路と同様である。よって、第１の遅延量ｄ１は、実施の形態１で説明した遅延量ｄと同じである。

[0075] （第２の遅延調整回路）

リクエスト信号ｒｅｑがハイレベルに変化すると、カウンタ２０３がリセットされるため、リムーバルタイムを調整する必要がある。

[0076] 図１１は、第２の遅延調整回路２１２による遅延調整を説明するための図である。

第２の遅延調整回路２１２は、リクエスト信号ｒｅｑを第２の遅延量ｄ２だけ遅延させた遅延リクエスト信号ｒｅｑｄをクロック発生回路２２０に出力する。第２の遅延量ｄ２は、カウンタ２０３のリムーバルタイム以上に設定される。クロック発生回路２２０は、遅延リクエスト信号ｒｅｑｄがハイレベルとなると、クロックｃｌｋの出力を開始する。

[0077] （第３の遅延調整回路）

図１２は、第３の遅延調整回路２１３による遅延調整がない場合の例を説明するための図である。

[0078] 第３の遅延調整回路２１３による遅延調整が実施されない場合に、クロック発生回路２２０は、ａｃｋがハイレベルになると、クロックｃｌｋの発生を停止し、クロックｃｌｋをロウレベルに設定する。これによって、クロッ

ｃｌｋのパルス幅が短くなり、クロックｃｌｋの一部が欠けてしまう。

[0079] 図１３は、第３の遅延調整回路２１３による遅延調整を説明するための図である。

第３の遅延調整回路２１３は、比較器２０４から出力される確認応答信号ａｃｋを第３の遅延量ｄ３だけ遅延させた遅延確認応答信号ａｃｋｄを外部およびクロック発生回路２２２０に出力する。

[0080] クロック発生回路２２０は、確認応答信号ａｃｋよりも第３の遅延量ｄ３だけ遅れた遅延確認応答信号ａｃｋｄがハイレベルになると、クロックｃｌｋの発生を停止し、クロックｃｌｋをロウレベルに設定する。クロックｃｌｋの欠けが発生しないようにする（ミニマムパルス幅を保証する）ために、第１の遅延量ｄ１、第３の遅延量ｄ３、カウンタ２０３および比較器２０４による処理時間ｄＡとの間には、以下の条件を満たす必要がある。

[0081] ｄ１×２＞ｄ３＋ｄＡ＞ｄ１…（２）

本実施の形態によれば、非同期設計特有の遅延調整を行なう箇所を少なく（３箇所）にすることができるので、非同期回路の消費電力を低減することができる。また、本実施の形態の非同期回路および非同期回路の制御回路は、大規模な回路に適する。

[0082] 実施の形態３．

図１４は、実施の形態３の非同期回路を表わす図である。本実施の形態では、非同期回路は、外部のマスタと通信するスレーブである。

[0083] 非同期回路は、制御回路２００と、インターフェース３０２と、レジスタ３０３と、バッファ３０４と、ＡＤ変換器３０５と、センサ３０６とを備える。

[0084] 制御回路２００は、実施の形態２の制御回路２００と同様である。制御回路２００は、ＡＤ変換器３０５およびバッファ３０４にクロックｃｌｋを供給し、レジスタ３０３からリクエスト信号ｒｅｑを受け、レジスタ３０３に遅延確認応答信号ａｃｋｄを出力するように構成される。

[0085] インターフェース３０２は、外部のマスタと通信するＳＰＩ（Serial Per

ipheral Interface）である。

[0086] レジスタ３０３は、インターフェース３０２と接続される。レジスタ３０３は、制御回路２００にリクエスト信号ｒｅｑを出力し、制御回路２００から出力される遅延確認応答信号ａｃｋｄを受ける。レジスタ３０３は、開始指示信号をＡＤ変換器３０５に出力する。

[0087] センサ３０６は、検出結果を表わすアナログデータをＡＤ変換器３０５に出力する。

ＡＤ変換器３０５は、クロックｃｌｋが供給されているときに、センサ３０６からのアナログデータをデジタルデータに変換して、バッファ３０４に出力する。

[0088] バッファ３０４は、クロックｃｌｋが供給されているときに、ＡＤ変換器３０５から出力されるデジタルデータを記憶する。

[0089] （動作）

実施の形態３の非同期回路の動作を説明する。

[0090] インターフェース３０２は、マスタからのＳＰＩ通信によって受信したデータに含まれる指示信号に従って、レジスタ３０３からＡＤ変換器３０５に開始を指示をする信号を出力させるとともに、レジスタ３０３から活性化されたリクエスト信号ｒｅｑを出力させる。ただし、この時点では、ＡＤ変換器３０５およびバッファ３０４は、ｃｌｋの供給を受けていないため、動作しない。

[0091] 制御回路２００が、活性化されたリクエスト信号ｒｅｑを受けると、ＡＤ変換器３０５およびバッファ３０４へのクロックｃｌｋの供給を開始する。

[0092] ＡＤ変換器３０５およびバッファ３０４がクロックｃｌｋの供給を受けるため、動作を開始し、ＡＤ変換器３０５は、センサ３０６からのアナログデータをデジタルデータに変換して、バッファ３０４に出力する。

[0093] 制御回路２００が、クロックの数と定められた値とが等しくなったときに、確認応答信号ａｃｋを活性化するとともに、クロックｃｌｋの供給を停止する。ＡＤ変換器３０５およびバッファ３０４がクロックｃｌｋの供給を受

けないため、動作を停止する。

[0094] インターフェース３０２は、任意のタイミングで、マスタからのＳＰＩ通信によって受信したデータに含まれる指示信号に従って、レジスタ３０３に記憶された遅延確認応答信号ａｃｋｄの状態を読み取る。インターフェース３０２は、レジスタ３０３が活性化された遅延確認応答信号ａｃｋｄを受信した場合に、バッファ３０４からデータを読出す。

[0095] （インターフェース）

インターフェース３０２について説明する。

[0096] インターフェース３０２は、待機時のダイナミック消費電力を極力抑えることが望ましいので、クロックが停止するＳＰＩプロトコルを選ぶことによってさらに待機時の消費電力の削減が期待できる。

[0097] 図１５は、従来のＳＰＩ通信のインターフェースにおけるデータのキャプチャを説明するための図である。

[0098] インターフェースは、内部のクロックｃｌｋによって、シリアルクロックＳＣＫのエッジを同期受けする。インターフェースは、同期受けした内部のクロックｃｌｋのパルスの次のパルスのエッジで、ＭＯＳＩ（Master Out Slav In）信号線のデータをキャプチャする。しかしながら、内部のクロックｃｌｋは常に駆動させなければならず、省電力化には不向きである。

[0099] 図１６は、実施の形態３のインターフェース３０２におけるデータのキャプチャを説明するための図である。

[0100] インターフェース３０２は、ＭＯＳＩ信号線からのデータと、クロック信号線からのシリアルクロックＳＣＫとを同時に受信する。

[0101] インターフェース３０２は、シリアルクロックＳＣＫのエッジで、ＭＯＳＩ信号線のデータをキャプチャする。本実施の形態では、内部のクロックｃｌｋを常に駆動させておかなくてもよいので、省電力化を実現できる。

[0102] 図１７は、従来のＳＰＩ通信のインターフェースにおけるＣＲＣ（Cyclic Redundancy Check）処理を説明するための図である。

[0103] ＭＯＳＩ信号線のデータの受信が完了した後、インターフェースは、内部

クロックｃｌｋによって、キャプチャデータのＣＲＣ処理を実行し、処理結果をレジスタ３０３に出力する。

[0104] 一方、本実施の形態では、インターフェース３０２は、内部のクロックｃｌｋの代わりに、シリアルクロックＳＣＫを用いるが、ＳＰＩ通信ではデータの送受信が終了した後には、シリアルクロックＳＣＫが供給されない。そのため、キャプチャデータのＣＲＣ処理のためのクロックを得ることができないことが問題となる。

[0105] 図１８は、実施の形態３のインターフェース３０２におけるＣＲＣ処理を説明するための図である。図１９は、マスタからＭＯＳＩの信号線を通じて送信されるデータのフォーマットを表わす図である。

[0106] マスタは、１バイトのＣＲＣデータの送信後、ＭＯＳＩ信号線を通じて１バイトのダミーデータと、クロック信号線を通じてシリアルクロックＳＣＫを送信する。インターフェース３０２は、ＭＯＳＩ信号線からの１バイトのダミーデータと、クロック信号線からのシリアルクロックＳＣＫとを同時に受信する。インターフェース３０２は、シリアルクロックＳＣＫに基づいて、キャプチャしたデータのＣＲＣ処理を実行し、処理結果をレジスタ３０３に出力する。

[0107] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は、上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0108] １００，２００ 制御回路、１０１，ＤＬ１ 遅延調整回路、２０１ 制御部、２０２ オシレータ、２０３ カウンタ、２０４ 比較器、２０５ ＡＮＤ回路、２１１ 第１の遅延調整回路、２１２ 第２の遅延調整回路、２１３ 第３の遅延調整回路、２２０ クロック発生回路、３０２ インターフェース、３０３ レジスタ、３０４ バッファ、３０５ ＡＤ変換器、３０６ センサ、ＣＭ１，ＣＭ２，ＣＭ３ 組合せ回路、ＲＧ１，ＲＧ２，

ＲＧ３　レジスタ群。

請求の範囲

[請求項1] 伸縮可能なパルス幅のクロックを出力するクロック発生回路を備え、

前記クロック発生回路は、

入力されたクロックを遅延量だけ遅延させて出力する遅延調整回路と、

前記遅延調整回路の出力と、リクエスト信号と、確認応答信号との論理演算の結果を表わす信号を前記クロックとして出力する論理回路とを備え、前記クロックがレジスタに供給される、非同期回路の制御回路。

[請求項2] 前記非同期回路は、

前記クロックが供給される複数段のレジスタと、

各々が、前記複数段のレジスタの２つのレジスタ間に配置された複数の組合せ回路とを備え、

前記遅延量は、前記複数の組合せ回路の処理時間の最大値よりも大きい、請求項１記載の非同期回路の制御回路。

[請求項3] 非同期回路の制御回路であって、

伸縮可能なパルス幅のクロックを出力するクロック発生回路を備え、前記クロック発生回路は、入力されたクロックを第１の遅延量だけ遅延させて出力する第１の遅延調整回路と、論理回路とを備え、

前記非同期回路の制御回路は、さらに、

リクエスト信号を第２の遅延量だけ遅延させて出力する第２の遅延調整回路と、

前記クロックの数をカウントするカウンタと、

前記カウンタの値と定められた値とが等しいときに、確認応答信号を活性化する比較器と、

前記確認応答信号を第３の遅延量だけ遅延させて出力する第３の遅延調整回路とを備え、

前記論理回路は、前記第１の遅延調整回路の出力と、前記第２の遅延調整回路の出力と、前記第３の遅延調整回路の出力との論理演算の結果を表わす信号を前記クロックとして出力し、前記クロックがレジスタに供給される、非同期回路の制御回路。

[請求項4] 前記非同期回路は、

前記クロックが供給される複数段のレジスタと、

各々が、前記複数段のレジスタの２つのレジスタ間に配置された複数の組合せ回路とを備え、

前記第１の遅延量は、前記複数の組合せ回路の処理時間の最大値よりも大きい、請求項３記載の非同期回路の制御回路。

[請求項5] 前記カウンタは、グレイコードカウンタである、請求項３または４記載の非同期回路の制御回路。

[請求項6] 前記カウンタのリセット端子には、前記リクエスト信号が入力され、

前記第２の遅延量は、前記カウンタのリムーバルタイム以上である、請求項３～５のいずれか１項に記載の非同期回路の制御回路。

[請求項7] 前記第１の遅延量の２倍は、前記第３の遅延量と前記カウンタおよび前記比較器の処理時間との和よりも大きく、かつ前記第３の遅延量と前記カウンタおよび前記比較器の処理時間との和は、前記第１の遅延量よりも大きい、請求項３～６のいずれか１項に記載の非同期回路の制御回路。

[請求項8] センサと、

クロックが供給されているときに、前記センサから出力されるアナログデータをＡＤ変換器するＡＤ変換器と、

前記クロックが供給されているときに、前記ＡＤ変換器から出力されるデジタルデータを記憶するバッファと、

外部のマスタと通信するインターフェースと、

前記インターフェースと接続されるレジスタと、

前記ＡＤ変換器および前記バッファに前記クロックを供給し、前記レジスタからリクエスト信号を受け、前記レジスタに確認応答信号を出力するように構成された、請求項３～７のいずれか１項に記載の非同期回路の制御回路とを備え、

前記インターフェースは、マスタから受信したデータに含まれる指示信号に従って、前記レジスタから前記ＡＤ変換器に開始を指示する信号を出力させるとともに、前記レジスタから活性化されたリクエスト信号を出力させ、

前記制御回路が前記リクエスト信号の活性化に従って、前記ＡＤ変換器および前記バッファへの前記クロックの供給を開始し、前記制御回路が、クロックの数と定められた値とが等しくなったときに、確認応答信号を活性化するとともに、前記クロックの供給を停止し、

前記インターフェースは、前記レジスタが前記活性化された確認応答信号を受信した場合に、前記バッファからデータを読出す、非同期回路。

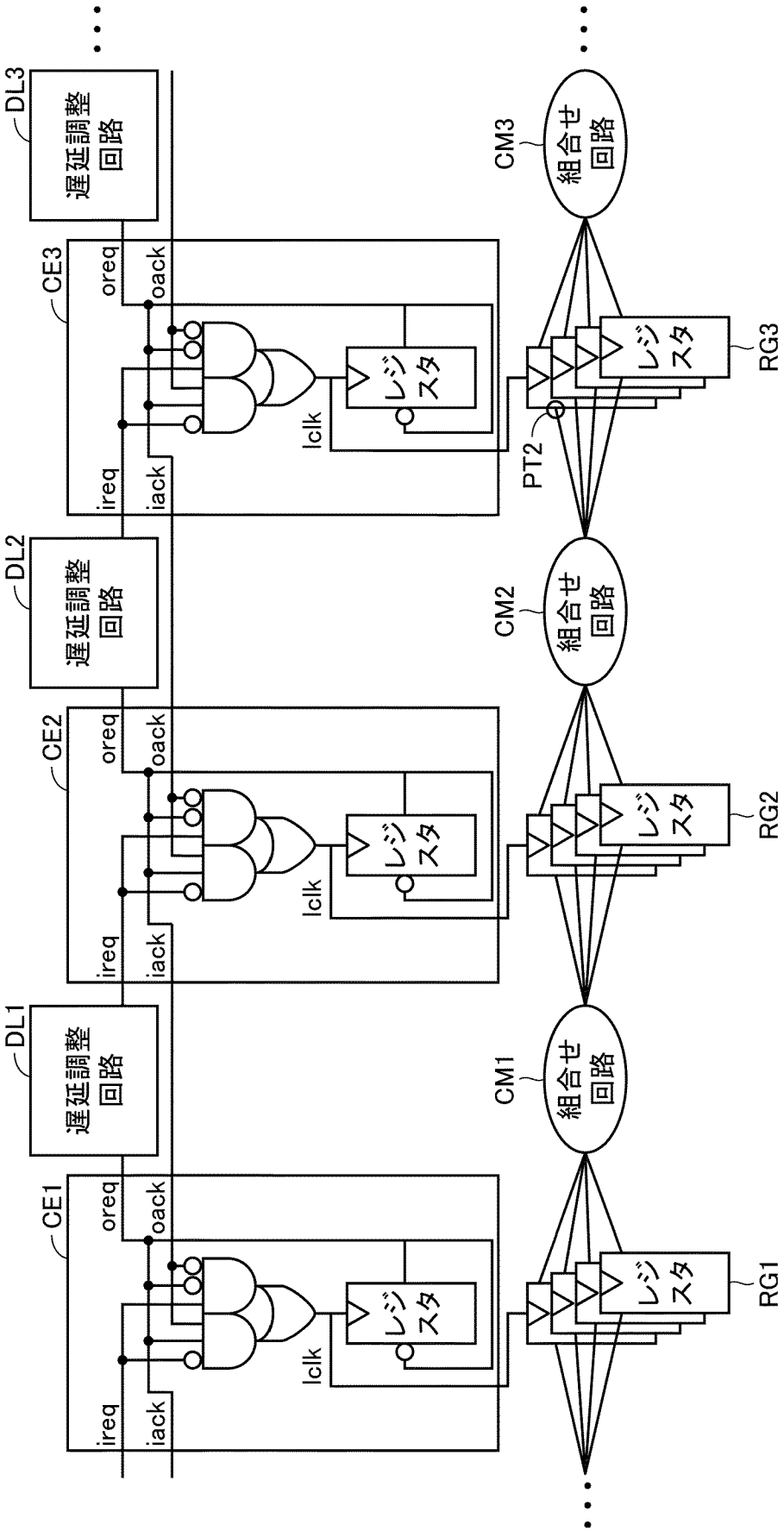
[請求項9] 前記インターフェースは、ＳＰＩ（Serial Peripheral Interface）であり、

前記インターフェースは、前記マスタから、データとＳＣＫ(Serial Clock)とを同時に受信し、前記ＳＣＫによって前記データをキャプチャする、請求項８記載の非同期回路。

[請求項10] 前記インターフェースは、前記マスタからＣＲＣ（Cyclic Redundancy Check）を受信後、前記マスタからダミーデータとＳＣＫとを同時に受信し、前記ＳＣＫに基づいて、前記キャプチャしたデータのＣＲＣ処理を実行する、請求項９記載の非同期回路。

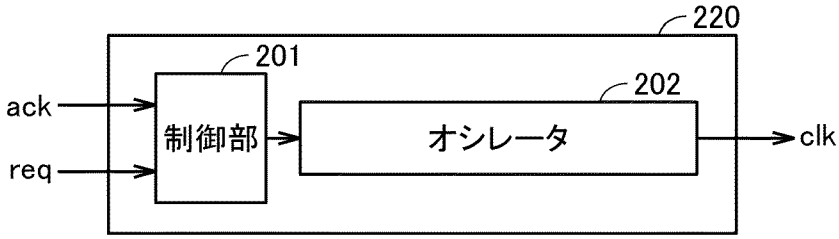
[図1]

図1


DL3
遅延調整回路
DL2
遅延調整回路
DL1
遅延調整回路
CE3
CE2
CE1
oreq
oack
ireq
iack
lclk
レジスタ
CM3
CM2
CM1
組合せ回路
PT2
RG3
RG2
RG1

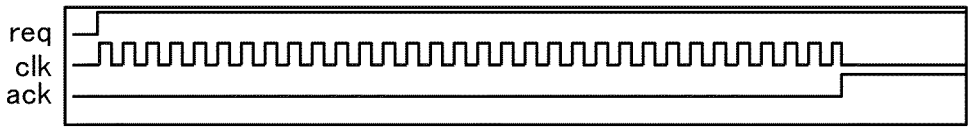
[図2]

図2



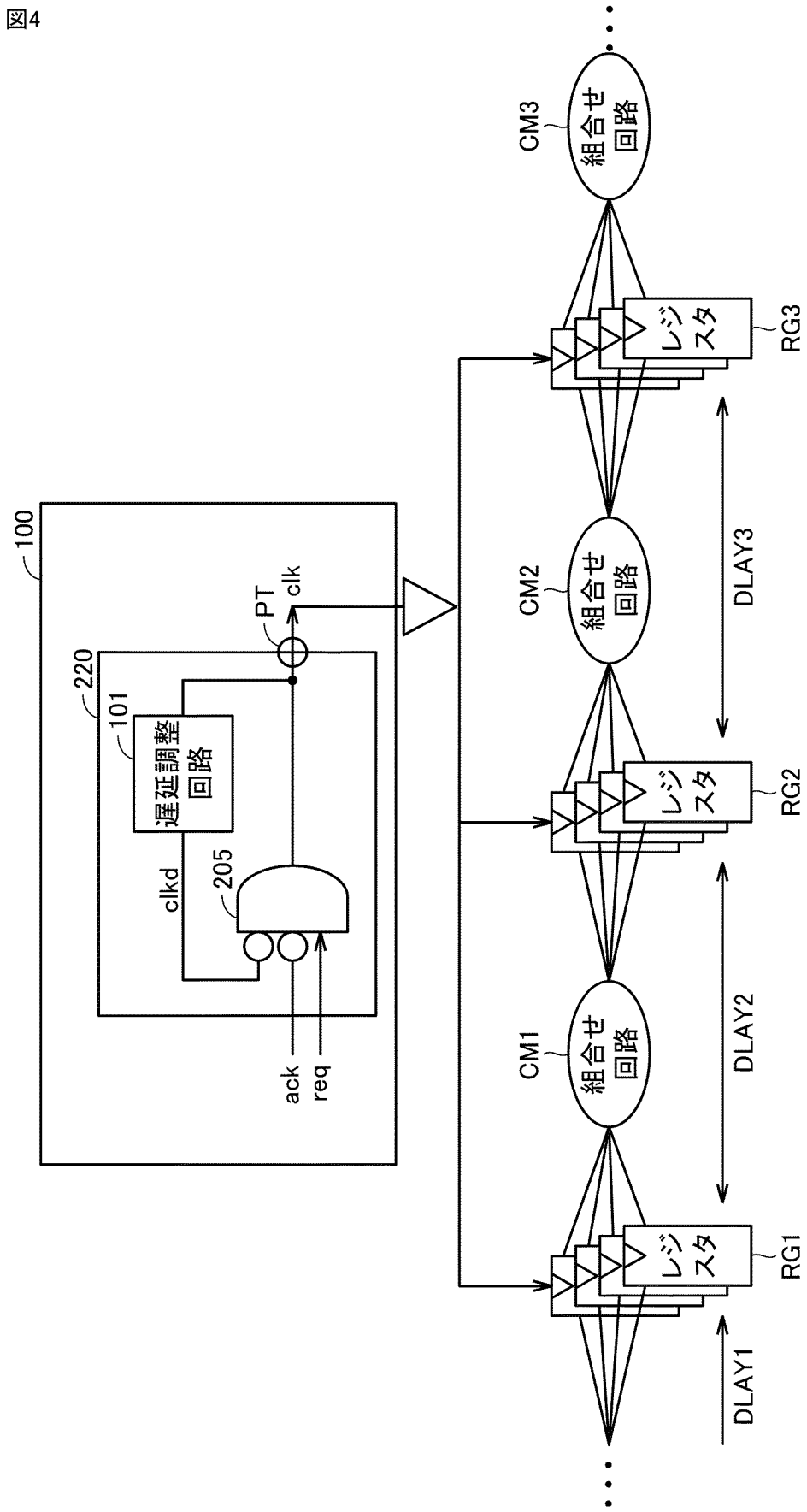
[図3]

図3



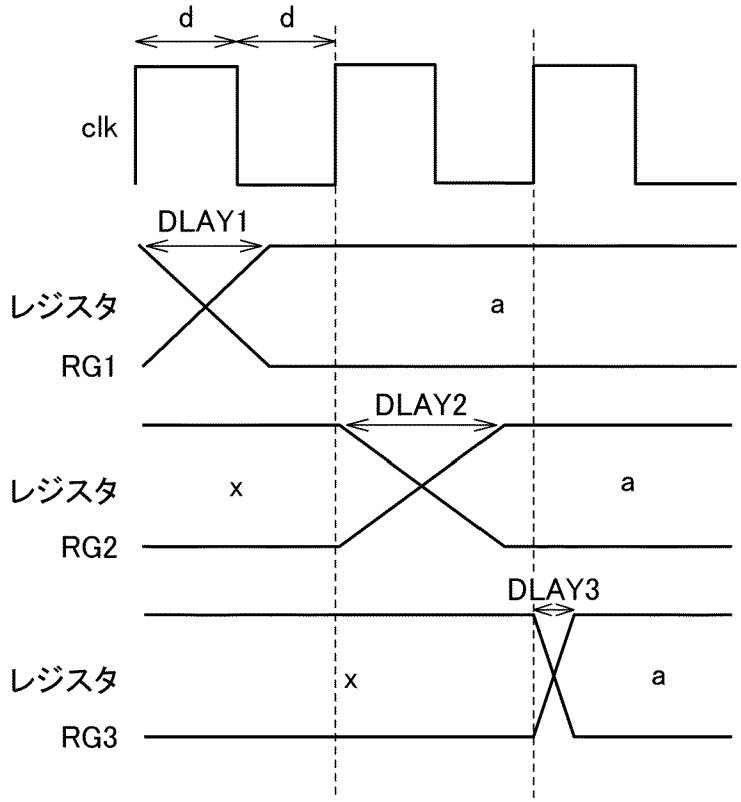
[図4]

図4


100
220
101
遅延調整回路
clkd
205
PT
clk
ack
req
CM3
組合せ回路
CM2
組合せ回路
CM1
組合せ回路
レジスタ
RG3
レジスタ
RG2
レジスタ
RG1
DLAY3
DLAY2
DLAY1

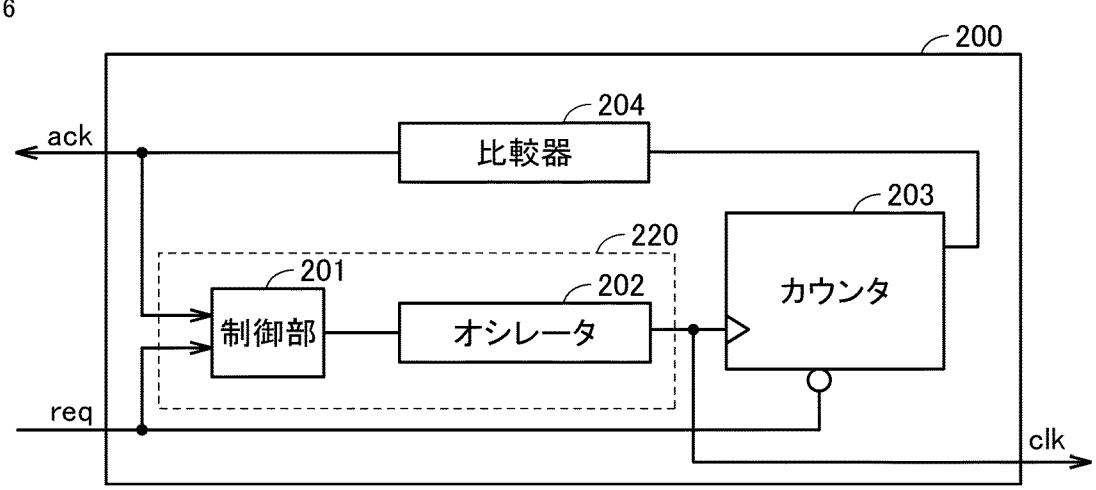
[図5]

図5



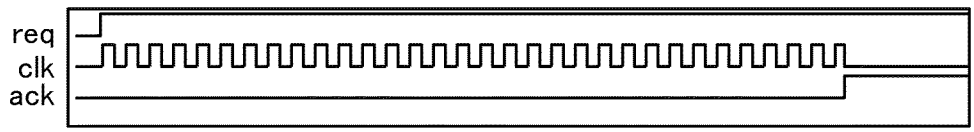
[図6]

図6



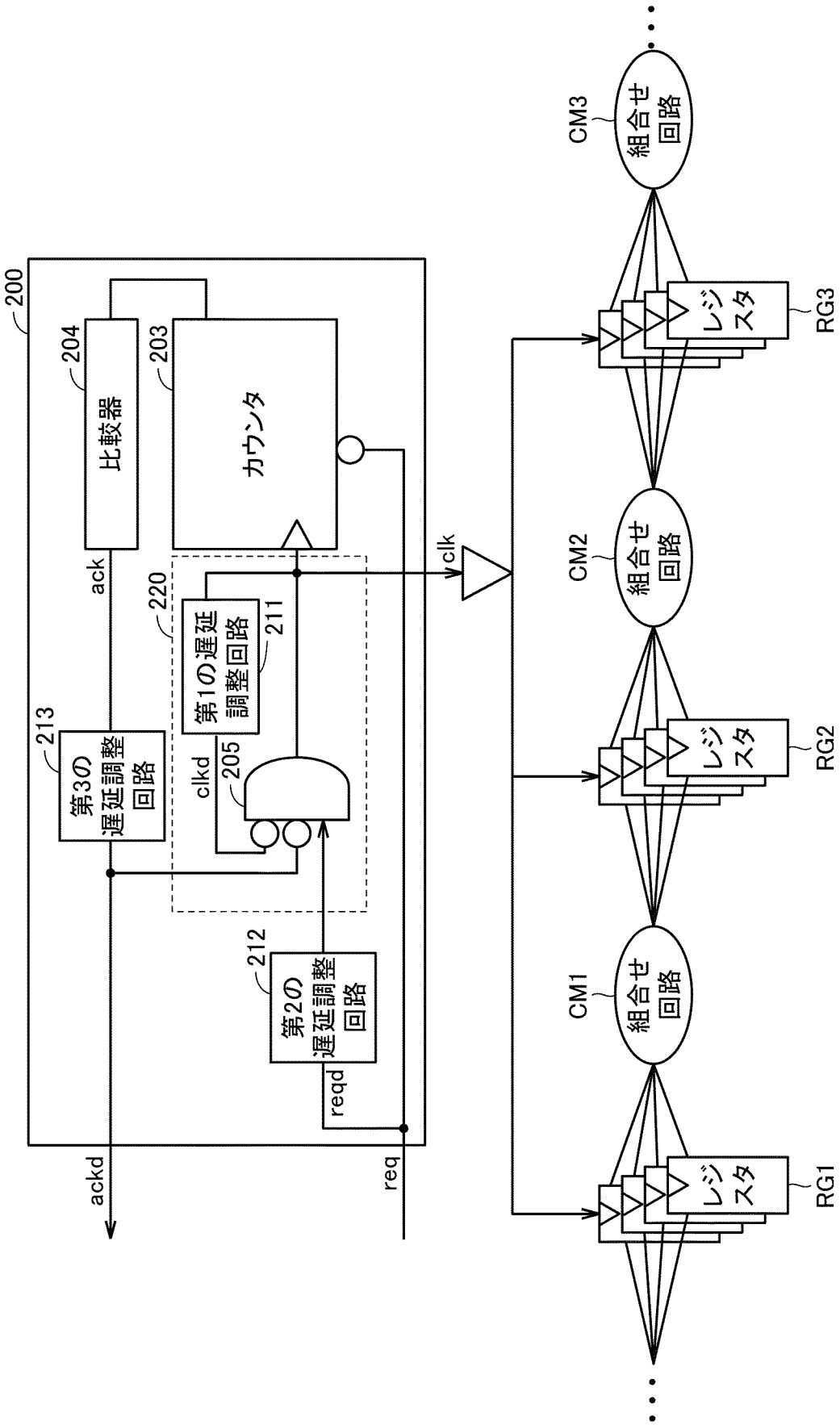
[図7]

図7



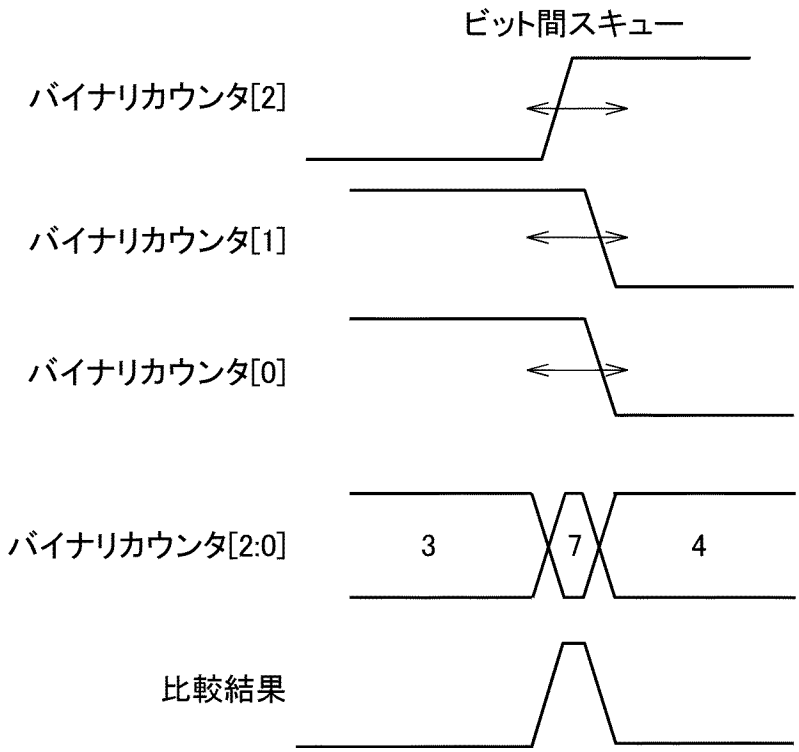
[図8]

図8


200
204
比較器
203
カウンタ
ack
220
第1の遅延
調整回路
211
213
第3の
遅延調整
回路
clkd
205
212
第2の
遅延調整
回路
reqd
ackd
req
clk
CM3
組合せ
回路
CM2
組合せ
回路
CM1
組合せ
回路
レジ
スタ
RG3
レジ
スタ
RG2
レジ
スタ
RG1

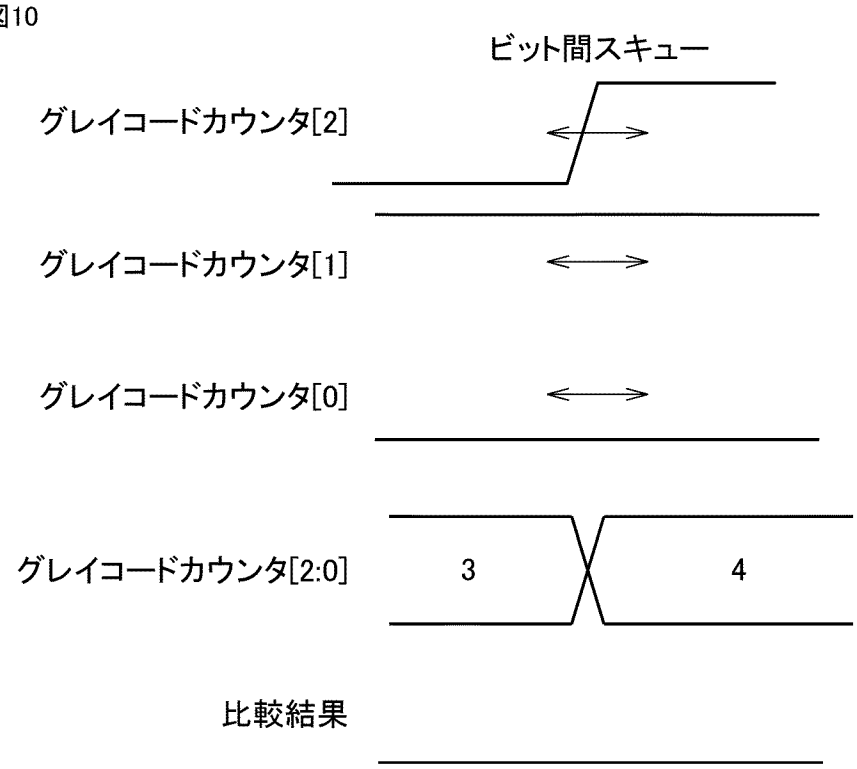
[図9]

図9


ビット間スキュー
バイナリカウンタ[2]
バイナリカウンタ[1]
バイナリカウンタ[0]
バイナリカウンタ[2:0]
3
7
4
比較結果

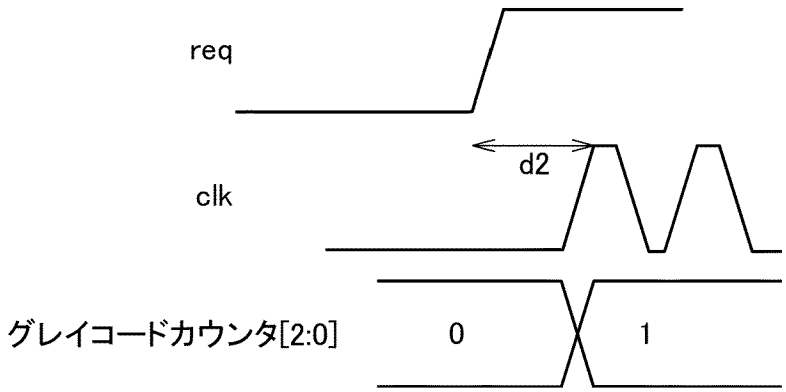
[図10]

図10


ビット間スキュー
グレイコードカウンタ[2]
グレイコードカウンタ[1]
グレイコードカウンタ[0]
グレイコードカウンタ[2:0]
3
4
比較結果

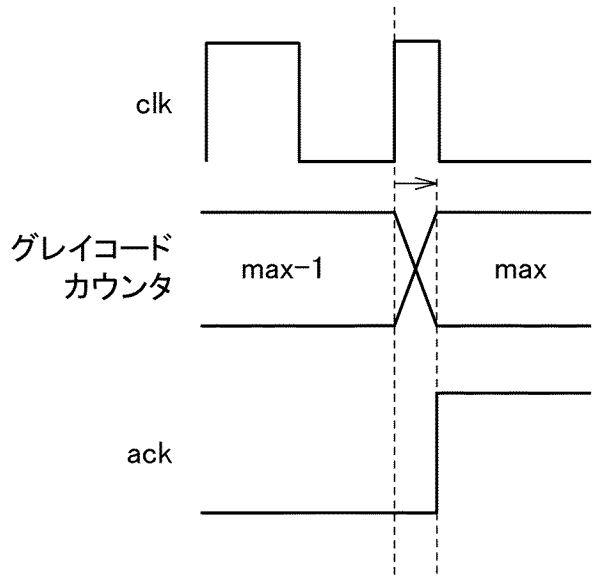
[図11]

図11



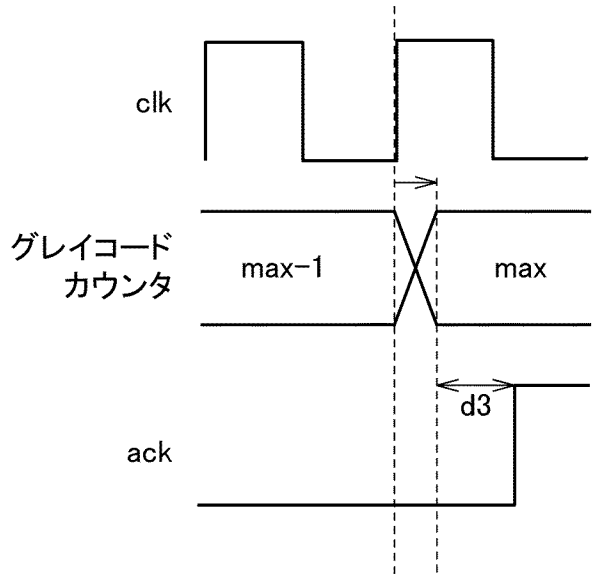
[図12]

図12



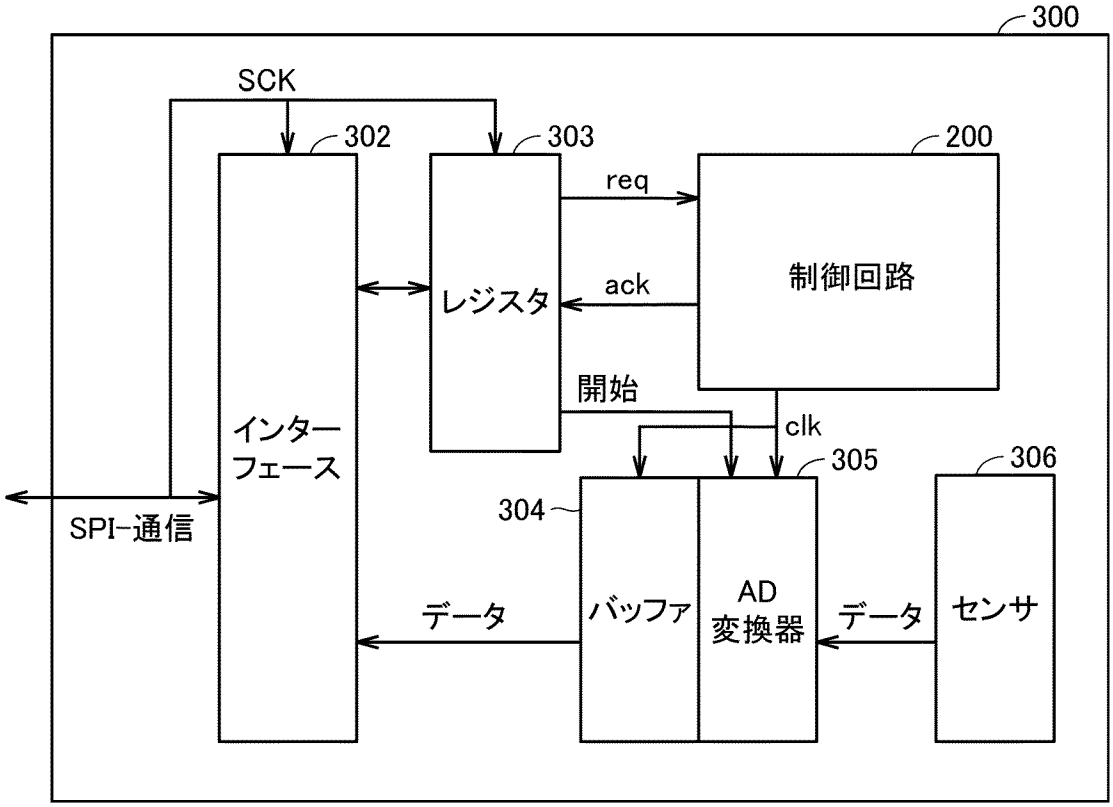
[図13]

図13



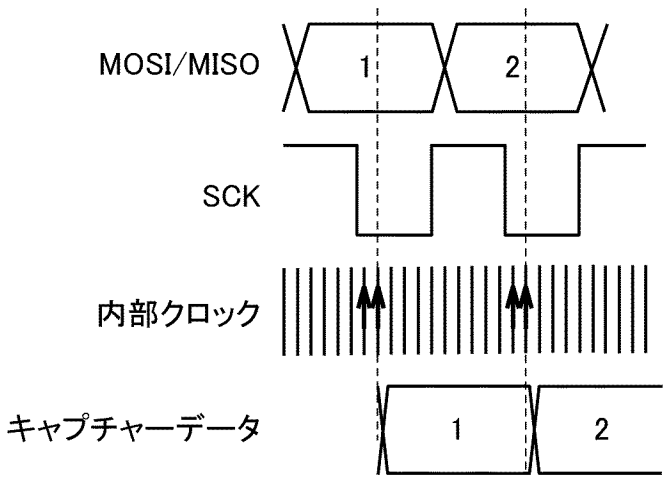
[図14]

図14



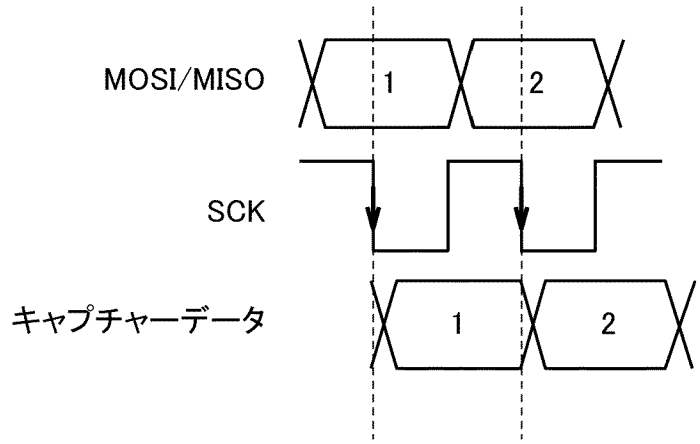
[図15]

図15



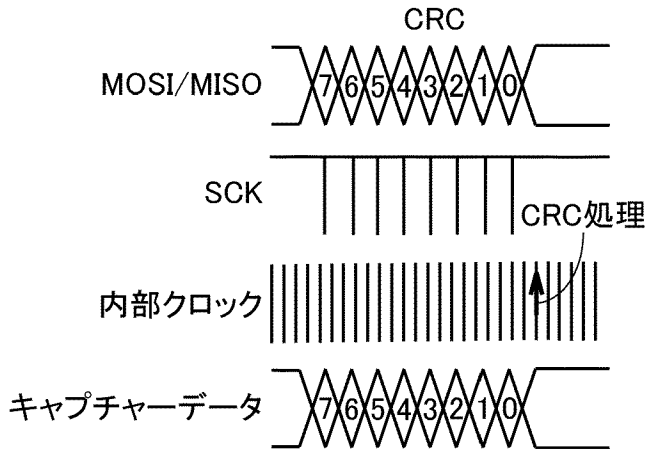
[図16]

図16



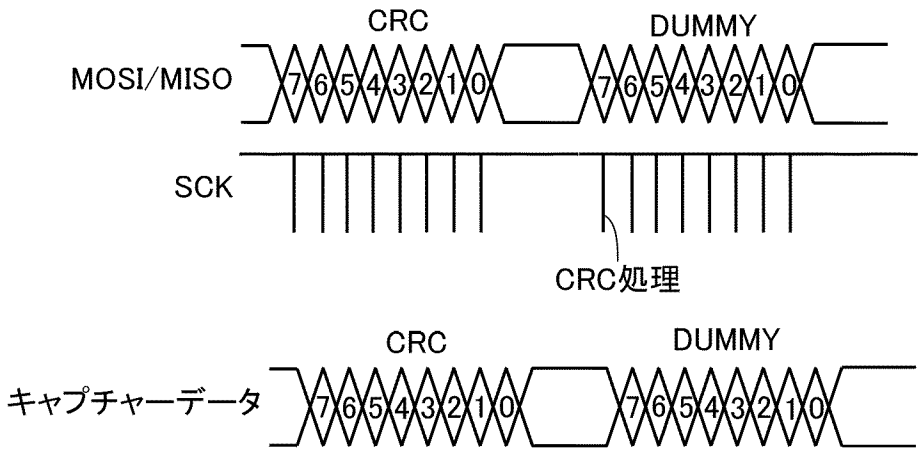
[図17]

図17



[図18]

図18



[図19]

図19

	データ(bit[7]→bit[0]の順に送受信)								
Byte No	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]	
B0	ADR[7:0]								
B1	RD	ADR[14:8]							
B2	Reserve[3:0]				LENG[3:0]				
B3	DATA0[7:0]								
B4	DATA1[7:0]								
:	:								
Blast	DATAlast[7:0]								
CRC	CRC[7:0]								
DMY	Dummy:(don`t care)								

(CRC対象範囲)

CRC

DMYはライト時のみ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/043450

A. CLASSIFICATION OF SUBJECT MATTER

G06F 9/38(2018.01)i
FI: G06F9/38 310E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006/0161797 A1 (GRASS, Eckhard) 20 July 2006 (2006-07-20) paragraphs [0065]-[0068], fig. 3	1-10
A	JP 2003-58271 A (FUJITSU LIMITED) 28 February 2003 (2003-02-28) paragraphs [0031]-[0034], fig. 5	1-10

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 January 2024	**06 February 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/043450

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2006/0161797 A1	20 July 2006	WO 2004/066526 A2	
		DE 10303673 A1	
JP 2003-58271 A	28 February 2003	US 2003/0037274 A1 paragraphs [0051]-[0054], fig. 5	
		EP 1286248 A2	
		CN 1402100 A	

国際調査報告

国際出願番号
PCT/JP2023/043450

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06F 9/38(2018.01)i
FI: G06F9/38 310E

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06F9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2006/0161797 A1 (GRASS ECKHARD) 20.07.2006 (2006-07-20) [0065]-[0068], Fig.3	1-10
A	JP 2003-58271 A (富士通株式会社) 28.02.2003 (2003-02-28) 段落００３１～００３４，図５	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
24.01.2024	06.02.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

田中　幸雄 5B 9191

電話番号 03-3581-1101 内線 3545

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/043450

引用文献	公表日	パテントファミリー文献	公表日
US 2006/0161797 A1	20.07.2006	WO 2004/066526 A2	
		DE 10303673 A1	
JP 2003-58271 A	28.02.2003	US 2003/0037274 A1 [0051]-[0054], FIG.5	
		EP 1286248 A2	
		CN 1402100 A	