

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 5 月 31 日 (31.05.2019)



(10) 国际公布号
WO 2019/100494 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/117344

(22) 国际申请日: 2017 年 12 月 20 日 (20.12.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201711177291.1 2017 年 11 月 22 日 (22.11.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳光明新区光明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区光明街道塘明大道9-2号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区光明街道塘明大道9-2号, Guangdong 518132 (CN)。 陈梦(CHEN, Meng); 中国广东省深圳市光明新区光明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: IPS-TYPE THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: IPS型薄膜晶体管阵列基板及其制作方法

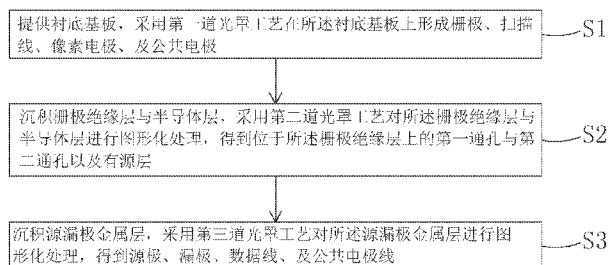


图1

- S1 Provide a substrate, and form a gate, a scan line, a pixel electrode and a common electrode by using a first photomask process
- S2 Deposit a gate insulating layer and a semiconductor layer, and graphically process the gate insulating layer and semiconductor layer by using a second photomask process so as to obtain a first through hole and a second through hole that are located on the gate insulating layer, as well as an active layer
- S3 Deposit a source/drain metal layer, and graphically process the source/drain metal layer by using a third photomask process to obtain a source, a drain, a data line and a common electrode line

(57) Abstract: An in-plane switching (IPS)-type thin film transistor array substrate and a manufacturing method therefor. The manufacturing method for an IPS-type thin film transistor array substrate comprises: forming a gate (21), a scan line (22), a pixel electrode (23) and a common electrode (24) by using a first photomask process; forming a first through hole (31) and a second through hole (32) on a gate insulating layer (30), as well as an active layer (40), by using a second photomask process; and forming a source (51), a drain (52), a data line (53) and a common electrode line (55) by using a third photomask process. Compared with the existing technology, manufacturing of the IPS-type thin film transistor array substrate may be completed by using only three photomask processes, fewer photomasks being used, and manufacturing time being shorter, thus production costs are low. The IPS-type thin film transistor array substrate manufactured by using the described method has a simple manufacturing process, low production costs and excellent electrical performance.

(57) 摘要: 一种IPS型薄膜晶体管阵列基板及其制作方法。IPS型薄膜晶体管阵列基板的制作方法包括: 采用第一道光罩工艺形成栅极(21)、扫描线(22)、像素电极(23)、公共电极(24), 采用第二道光罩工艺形成栅极绝缘层(30)上的第一通孔(31)与第二通孔(32)以及有源层(40), 采用第三道光罩工艺形成源极(51)、漏极(52)、数据线(53)及公共电极线(55)。与现有技术相比, 只需要采用3道光罩工艺即可完成IPS型薄膜晶体管阵列基板的制作, 采用的光罩数量较少, 制程时间较短, 因此生产成本低。IPS型薄膜晶体管阵列基板采用上述方法制作, 制作工艺简单, 生产成本低, 且具有优异的电学性能。

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

IPS 型薄膜晶体管阵列基板及其制作方法

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 IPS 型薄膜晶体管阵列基板及其制作方法。

背景技术

随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（Backlight Module）。

通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管（TFT，Thin Film Transistor）基板、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC，Liquid Crystal）及密封胶框（Sealant）组成。

根据驱动液晶的电场方向，薄膜晶体管液晶显示器（TFT-LCD）可分为垂直电场型和水平电场型。其中，垂直电场型 TFT-LCD 需要在薄膜晶体管阵列基板上形成像素电极，在彩膜基板上形成公共电极；而水平电场型 TFT-LCD 需要在薄膜晶体管阵列基板上同时形成像素电极和公共电极。垂直电场型 TFT-LCD 包括：扭曲向列（Twist Nematic，简称为 TN）型 TFT-LCD；水平电场型 TFT-LCD 包括：边缘电场切换（Fringe Field Switching，简称为 FFS）型 TFT-LCD、共平面切换（In-Plane Switching，简称为 IPS）型 TFT-LCD。水平电场型 TFT-LCD，尤其是 IPS 型 TFT-LCD 具有响应速度快、可视角度大及色彩真实等优点，广泛应用于液晶显示器领域。但是目前 IPS 型薄膜晶体管阵列基板的制作方法通常需要采用至少 4 道光罩工艺，由于光罩的制作成本较高且多道光罩工艺的制程时间较长，因此目前 IPS 型薄膜晶体管阵列基板的制作成本较高。

发明内容

本发明的目的在于提供一种 IPS 型薄膜晶体管阵列基板的制作方法，使用光罩工艺的次數较少，生产成本低。

本发明的目的还在于提供一种 IPS 型薄膜晶体管阵列基板，制作工艺

简单，生产成本低，且具有优异的电学性能。

为实现上述目的，本发明提供一种 IPS 型薄膜晶体管阵列基板的制作方法，包括如下步骤：

5 S1、提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、像素电极、公共电极；其中，所述扫描线与栅极相连；

S2、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述栅极绝缘层与半导体层进行图形化处理，得到位于所述栅极绝缘层上的第一通孔与第二通孔以及对应于所述栅极上方的有源层，所述第一通孔与第二通孔分别对应于所述像素电极与公共电极上方设置；

10 S3、在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极、数据线、公共电极线，其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连。

所述步骤 S1 具体包括：

S11、提供衬底基板，采用物理气相沉积方法在所述衬底基板上沉积第一金属层；

20 S12、采用第一道光罩工艺对所述第一金属层进行图形化处理，得到栅极预定图案与扫描线预定图案以及像素电极与公共电极；

S13、在所述栅极预定图案与扫描线预定图案上镀上第二金属层，得到栅极与扫描线，其中，所述第二金属层的导电性能大于所述第一金属层的导电性能。

25 所述第一金属层的材料包括钼、钼钛合金、氧化钼锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种。

所述第二金属层的材料包括铜。

在所述栅极预定图案与扫描线预定图案上镀上第二金属层的工艺为电镀工艺。

30 所述第二道光罩工艺为半灰阶光罩工艺；所述步骤 S2 具体包括：

S21、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层；

在所述半导体层上涂布光阻层，采用半灰阶光罩对光阻层进行曝光显影，在所述光阻层上形成对应于像素电极上的第一过孔、对应于公共电极

上的第二过孔、对应于栅极上方的凸起；

S22、以所述光阻层为阻挡层，对所述栅极绝缘层与半导体层进行蚀刻，得到贯穿所述栅极绝缘层与半导体层的第三过孔与第四过孔，所述第三过孔与第四过孔分别和所述第一过孔与第二过孔相对应；

5 S23、对所述光阻层进行灰化处理，薄化所述凸起对应的区域，去除所述光阻层的其它区域；

10 S24、以所述凸起处的光阻层为阻挡层，对所述半导体层进行蚀刻，得到对应于所述栅极上方的有源层；所述第三过孔与第四过孔位于所述半导体层的上半部分消失，变为分别位于所述栅极绝缘层上的第一通孔与第二通孔；

S25、剥离剩余的光阻层。

所述半灰阶光罩上设有对应于第一过孔与第二过孔的第一区域、对应于凸起的第二区域、除第一区域与第二区域之外的第三区域，所述第一区域的光透过率大于所述第三区域的光透过率，所述第三区域的光透过率大于所述第二区域的光透过率；所述光阻层为正型光阻材料。

所述第一区域的光透过率为 100%，所述第二区域的光透过率为 0，所述第三区域的光透过率为 0~100%。

本发明还提供一种 IPS 型薄膜晶体管阵列基板，包括：

衬底基板；

20 设于所述衬底基板的栅极、扫描线、像素电极及公共电极；其中，所述扫描线与栅极相连；

设于所述栅极、扫描线、像素电极、公共电极上的栅极绝缘层，所述栅极绝缘层上设有对应于所述像素电极上方设置的第一通孔与对应于所述公共电极上方设置的第二通孔；

25 设于所述栅极绝缘层上且对应于所述栅极上方的有源层；

30 设于所述有源层与栅极绝缘层上的源极与漏极、设于所述栅极绝缘层上的数据线与公共电极线；其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连。

所述像素电极与公共电极包括设于所述衬底基板上的第一金属层，所述栅极与扫描线包括设于所述衬底基板上的第一金属层与设于所述第一金属层上的第二金属层；其中，所述第二金属层的导电性能大于所述第一金属层的导电性能；

所述第一金属层的材料包括钼、钼钛合金、氧化铟锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种；

所述第二金属层的材料包括铜。

本发明还提供一种 IPS 型薄膜晶体管阵列基板的制作方法，包括如下

5 步骤：

S1、提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、像素电极、公共电极；其中，所述扫描线与栅极相连；

10 S2、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述栅极绝缘层与半导体层进行图形化处理，得到位于所述栅极绝缘层上的第一通孔与第二通孔以及对应于所述栅极上方的有源层，所述第一通孔与第二通孔分别对应于所述像素电极与公共电极上方设置；

15 S3、在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极、数据线、公共电极线，其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连；

其中，所述步骤 S1 具体包括：

20 S11、提供衬底基板，采用物理气相沉积方法在所述衬底基板上沉积第一金属层；

S12、采用第一道光罩工艺对所述第一金属层进行图形化处理，得到栅极预定图案与扫描线预定图案以及像素电极与公共电极；

25 S13、在所述栅极预定图案与扫描线预定图案上镀上第二金属层，得到栅极与扫描线，其中，所述第二金属层的导电性能大于所述第一金属层的导电性能；

其中，所述第一金属层的材料包括钼、钼钛合金、氧化铟锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种；

其中，所述第二金属层的材料包括铜；

30 其中，在所述栅极预定图案与扫描线预定图案上镀上第二金属层的工艺为电镀工艺。

本发明的有益效果：本发明的 IPS 型薄膜晶体管阵列基板的制作方法只需要采用 3 道光罩工艺即可完成，与现有技术相比，采用的光罩数量较少，制程时间较短，因此生产成本低。本发明的 IPS 型薄膜晶体管阵列基

板采用上述方法制作，制作工艺简单，生产成本低，且具有优异的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

10 附图中，

图 1 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的流程图；

图 2 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S11 的示意图；

15 图 3 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S12 制程的俯视图；

图 4a 为图 3 沿 AA 线的剖视图；

图 4b 为图 3 沿 BB 线的剖视图；

图 5 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S13 制程的俯视图；

20 图 6a 为图 5 沿 AA 线的剖视图；

图 6b 为图 5 沿 BB 线的剖视图；

图 7 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S2 制程的俯视图；

图 8a 为图 7 沿 AA 线的剖视图；

25 图 8b 为图 7 沿 BB 线的剖视图；

图 9a 与图 9b 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S21 制程的剖视示意图；

图 9c 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S22 制程的剖视示意图；

30 图 9d 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S23 制程的剖视示意图；

图 9e 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S24 制程的剖视示意图；

图 9f 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S25 制

程的剖视示意图；

图 10 为本发明的 IPS 型薄膜晶体管阵列基板的制作方法的步骤 S3 制程的俯视图；

图 11a 为图 10 沿 AA 线的剖视图；

5 图 11b 为图 10 沿 BB 线的剖视图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

10 请参阅图 1，本发明提供一种 IPS 型薄膜晶体管阵列基板的制作方法，包括如下步骤：

S1、如图 2 至图 6b 所示，提供衬底基板 10，采用第一道光罩工艺在所述衬底基板 10 上形成栅极 21、扫描线 22、像素电极 23、公共电极 24；其中，所述扫描线 22 与栅极 21 相连。

15 具体的，所述步骤 S1 包括：

S11、如图 2 所示，采用物理气相沉积方法（PVD）在所述衬底基板 10 上沉积第一金属层 11；

20 S12、如图 3、图 4a 与图 4b 所示，采用第一道光罩工艺对所述第一金属层 11 进行图形化处理，得到栅极预定图案 15 与扫描线预定图案 16 以及像素电极 23 与公共电极 24；

S13、如图 5、图 6a 与图 6b 所示，在所述栅极预定图案 15 与扫描线预定图案 16 上镀上第二金属层 12，得到栅极 21 与扫描线 22，其中，所述第二金属层 12 的导电性能大于所述第一金属层 11 的导电性能。

25 具体的，所述第一金属层 11 的材料包括钼（Mo）、钼钛合金（MoTi）、氧化铟锡（ITO）、钼钨合金（MoW）、钼钽合金（MoTa）、钼铌合金（MoNb）中的一种或多种。

具体的，所述第二金属层 12 的材料包括铜。

30 由于像素电极 23 与公共电极 24 不需要具有低电阻，因此，仅由第一金属层 11 构成即可满足其电学性能要求；由于栅极 21 与扫描线 22 需要具有低电阻，因此在第一金属层 11 上镀上导电性能更好的第二金属层 12（优选为铜）来制备栅极 21 与扫描线 22，能够降低其电阻值，使其满足相应的电学性能要求。具体的，在所述栅极预定图案 15 与扫描线预定图案 16 上镀上第二金属层 12 的工艺为电镀工艺。电镀过程中，对所述栅极预定图案 15 与扫描线预定图案 16 通电，对所述像素电极 23 与公共电极 24 不通电，

即可实现只在栅极预定图案 15 与扫描线预定图案 16 上镀上第二金属层 12 而不在像素电极 23 与公共电极 24 镀上第二金属层 12。

具体的，所述衬底基板 10 为玻璃基板。

具体的，所述第一道光罩工艺包括涂光阻、曝光、显影、湿蚀刻及光阻剥离制程。

具体的，本发明通过在栅极预定图案 15 与扫描线预定图案 16 上镀上第二金属层 12，可以提升制得的栅极 21 与扫描线 22 的导电性能。

S2、如图 7、图 8a 与图 8b 所示，在所述栅极 21、扫描线 22、像素电极 23、公共电极 24 及衬底基板 10 上沉积栅极绝缘层 30，在所述栅极绝缘层 30 上沉积半导体层 35，采用第二道光罩工艺对所述栅极绝缘层 30 与半导体层 35 进行图形化处理，得到位于所述栅极绝缘层 30 上的第一通孔 31 与第二通孔 32 以及对应于所述栅极 21 上方的有源层 40，所述第一通孔 31 与第二通孔 32 分别对应于所述像素电极 23 与公共电极 24 上方设置。

具体的，所述第二道光罩工艺为半灰阶光罩（Half-tone Mask）工艺；所述步骤 S2 具体包括：

S21、如图 9a 至图 9b 所示，在所述栅极 21、扫描线 22、像素电极 23、公共电极 24 及衬底基板 10 上沉积栅极绝缘层 30，在所述栅极绝缘层 30 上沉积半导体层 35；

在所述半导体层 35 上涂布光阻层 70，采用半灰阶光罩 80 对光阻层 70 进行曝光显影，在所述光阻层 70 上形成对应于像素电极 23 上的第一过孔 71、对应于公共电极 24 上的第二过孔 72、对应于栅极 21 上方的凸起 73。

具体的，所述半灰阶光罩 80 上设有对应于第一过孔 71 与第二过孔 72 的第一区域 81、对应于凸起 73 的第二区域 82、除第一区域 81 与第二区域 82 之外的第三区域 83，所述第一区域 81 的光透过率大于所述第三区域 83 的光透过率，所述第三区域 83 的光透过率大于所述第二区域 82 的光透过率。所述光阻层 70 为正型光阻材料。

优选的，所述第一区域 81 的光透过率为 100%，所述第二区域 82 的光透过率为 0，所述第三区域 83 的光透过率为 0~100%。

S22、如图 9c 所示，以所述光阻层 70 为阻挡层，对所述栅极绝缘层 30 与半导体层 35 进行蚀刻，得到贯穿所述栅极绝缘层 30 与半导体层 35 的第三过孔 33 与第四过孔 74，所述第三过孔 33 与第四过孔 74 分别和所述第一过孔 71 与第二过孔 72 相对应。

S23、如图 9d 所示，对所述光阻层 70 进行灰化处理，薄化所述凸起 73 对应的区域，去除所述光阻层 70 的其它区域。

S24、如图 9e 所示，以所述凸起 73 处的光阻层 70 为阻挡层，对所述半导体层 35 进行蚀刻，得到对应于所述栅极 21 上方的有源层 40；所述第三过孔 33 与第四过孔 74 位于所述半导体层 35 的上半部分消失，变为分别位于所述栅极绝缘层 30 上的第一通孔 31 与第二通孔 32。

5 S25、如图 9f 所示，剥离剩余的光阻层 70。

具体的，所述栅极绝缘层 30 的材料包括氧化硅(SiO_x)与氮化硅(SiN_x)中的一种或多种。

具体的，所述半导体层 35 的材料包括非晶硅、多晶硅、金属氧化物中的一种或多种。

10 具体的，所述栅极绝缘层 30 与半导体层 35 的沉积方法均为化学气相沉积法 (CVD)。

S3、如图 10、图 11a 与图 11b 所示，在所述有源层 40 与栅极绝缘层 30 上沉积源漏极金属层 43，采用第三道光罩工艺对所述源漏极金属层 43 进行图形化处理，得到源极 51、漏极 52、数据线 53、公共电极线 55，其中，所述源极 51 与漏极 52 分别与所述有源层 40 的两侧相接触，所述数据线 53 与所述源极 51 相连，所述漏极 52 通过所述栅极绝缘层 30 上的第一通孔 31 与所述像素电极 23 相连，所述公共电极线 55 通过所述栅极绝缘层 30 上的第二通孔 32 与所述公共电极 24 相连。至此，完成本发明的 IPS 型薄膜晶体管阵列基板的制作。

20 具体的，所述源漏极金属层 43 的沉积方法为物理气相沉积方法(PVD)。

具体的，所述第三道光罩工艺包括涂光阻、曝光、显影、湿蚀刻及光阻剥离制程。

25 上述 IPS 型薄膜晶体管阵列基板的制作方法只需要采用 3 道光罩工艺即可完成，与现有技术相比，采用的光罩数量较少，制程时间较短，因此生产成本低。

请参阅图 10、图 11a 与图 11b，基于上述 IPS 型薄膜晶体管阵列基板的制作方法，本发明还提供一种 IPS 型薄膜晶体管阵列基板，包括：

衬底基板 10；

30 设于所述衬底基板 10 上的栅极 21、扫描线 22、像素电极 23 及公共电极 24；其中，所述扫描线 22 与栅极 21 相连；

设于所述栅极 21、扫描线 22、像素电极 23、公共电极 24 上的栅极绝缘层 30，所述栅极绝缘层 30 上设有对应于所述像素电极 23 上方设置的第一通孔 31 与对应于所述公共电极 24 上方设置的第二通孔 32；

设于所述栅极绝缘层 30 上且对应于所述栅极 21 上方的有源层 40；

设于所述有源层 40 与栅极绝缘层 30 上的源极 51 与漏极 52、设于所述栅极绝缘层 30 上的数据线 53 与公共电极线 55；其中，所述源极 51 与漏极 52 分别与所述有源层 40 的两侧相接触，所述数据线 53 与所述源极 51 相连，所述漏极 52 通过所述栅极绝缘层 30 上的第一通孔 31 与所述像素电极 23 5 相连，所述公共电极线 55 通过所述栅极绝缘层 30 上的第二通孔 32 与所述公共电极 24 相连。

具体的，所述像素电极 23 与公共电极 24 包括设于所述衬底基板 10 上的第一金属层 11，所述栅极 21 与扫描线 22 包括设于所述衬底基板 10 上的第一金属层 11 与设于所述第一金属层 11 上的第二金属层 12；其中，所述 10 第二金属层 12 的导电性能大于所述第一金属层 11 的导电性能。

具体的，所述第一金属层 11 的材料包括钼 (Mo)、钼钛合金 (MoTi)、氧化铟锡 (ITO)、钼钨合金 (MoW)、钼钽合金 (MoTa)、钼铌合金 (MoNb) 中的一种或多种。

具体的，所述第二金属层 12 的材料包括铜。

15 具体的，所述衬底基板 10 为玻璃基板。

具体的，所述栅极绝缘层 30 的材料包括氧化硅 (SiO_x) 与氮化硅 (SiN_x) 中的一种或多种。

具体的，所述有源层 40 的材料包括非晶硅、多晶硅、金属氧化物中的一种或多种。

20 上述 IPS 型薄膜晶体管阵列基板的制作工艺简单，生产成本低，且具有优异的电学性能。

综上所述，本发明提供一种 IPS 型薄膜晶体管阵列基板及其制作方法。本发明的 IPS 型薄膜晶体管阵列基板的制作方法只需要采用 3 道光罩工艺即可完成，与现有技术相比，采用的光罩数量较少，制程时间较短，因此 25 生产成本低。本发明的 IPS 型薄膜晶体管阵列基板采用上述方法制作，制作工艺简单，生产成本低，且具有优异的电学性能。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 IPS 型薄膜晶体管阵列基板的制作方法，包括如下步骤：

- 5 S1、提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、像素电极、公共电极；其中，所述扫描线与栅极相连；
- S2、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述栅极绝缘层与半导体层进行图形化处理，得到位于所述栅极绝缘层上的第一通孔与第二通孔以及对应于所述栅极上方的有源层，所述第一通孔与
- 10 第二通孔分别对应于所述像素电极与公共电极上方设置；
- S3、在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极、数据线、公共电极线，其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与
- 15 所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连。

2、如权利要求 1 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，所述步骤 S1 具体包括：

- S11、提供衬底基板，采用物理气相沉积方法在所述衬底基板上沉积第
- 20 一金属层；
- S12、采用第一道光罩工艺对所述第一金属层进行图形化处理，得到栅极预定图案与扫描线预定图案以及像素电极与公共电极；
- S13、在所述栅极预定图案与扫描线预定图案上镀上第二金属层，得到栅极与扫描线，其中，所述第二金属层的导电性能大于所述第一金属层的
- 25 导电性能。

3、如权利要求 2 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，所述第一金属层的材料包括钼、钼钛合金、氧化铟锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种。

4、如权利要求 2 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，

30 所述第二金属层的材料包括铜。

5、如权利要求 2 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，在所述栅极预定图案与扫描线预定图案上镀上第二金属层的工艺为电镀工艺。

6、如权利要求 1 所述的 IPS 型薄膜晶体管阵列基板的制作方法,其中,所述第二道光罩工艺为半灰阶光罩工艺;所述步骤 S2 具体包括:

S21、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层,在所述栅极绝缘层上沉积半导体层;

5 在所述半导体层上涂布光阻层,采用半灰阶光罩对光阻层进行曝光显影,在所述光阻层上形成对应于像素电极上的第一过孔、对应于公共电极上的第二过孔、对应于栅极上方的凸起;

S22、以所述光阻层为阻挡层,对所述栅极绝缘层与半导体层进行蚀刻,得到贯穿所述栅极绝缘层与半导体层的第三过孔与第四过孔,所述第三过孔与第四过孔分别和所述第一过孔与第二过孔相对应;

10 S23、对所述光阻层进行灰化处理,薄化所述凸起对应的区域,去除所述光阻层的其它区域;

S24、以所述凸起处的光阻层为阻挡层,对所述半导体层进行蚀刻,得到对应于所述栅极上方的有源层;所述第三过孔与第四过孔位于所述半导体层的上半部分消失,变为分别位于所述栅极绝缘层上的第一通孔与第二通孔;

S25、剥离剩余的光阻层。

7、如权利要求 6 所述的 IPS 型薄膜晶体管阵列基板的制作方法,其中,所述半灰阶光罩上设有对应于第一过孔与第二过孔的第一区域、对应于凸起的第二区域、除第一区域与第二区域之外的第三区域,所述第一区域的光透过率大于所述第三区域的光透过率,所述第三区域的光透过率大于所述第二区域的光透过率;所述光阻层为正型光阻材料。

8、如权利要求 7 所述的 IPS 型薄膜晶体管阵列基板的制作方法,其中,所述第一区域的光透过率为 100%,所述第二区域的光透过率为 0,所述第三区域的光透过率为 0~100%。

9、一种 IPS 型薄膜晶体管阵列基板,包括:

衬底基板;

设于所述衬底基板上的栅极、扫描线、像素电极及公共电极;其中,所述扫描线与栅极相连;

30 设于所述栅极、扫描线、像素电极、公共电极上的栅极绝缘层,所述栅极绝缘层上设有对应于所述像素电极上方设置的第一通孔与对应于所述公共电极上方设置的第二通孔;

设于所述栅极绝缘层上且对应于所述栅极上方的有源层;

设于所述有源层与栅极绝缘层上的源极与漏极、设于所述栅极绝缘层

上的数据线与公共电极线；其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连。

5 10、如权利要求 9 所述的 IPS 型薄膜晶体管阵列基板，其中，所述像素电极与公共电极包括设于所述衬底基板上的第一金属层，所述栅极与扫描线包括设于所述衬底基板上的第一金属层与设于所述第一金属层上的第二金属层；其中，所述第二金属层的导电性能大于所述第一金属层的导电性能；

10 所述第一金属层的材料包括钼、钼钛合金、氧化铟锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种；

所述第二金属层的材料包括铜。

11、一种 IPS 型薄膜晶体管阵列基板的制作方法，包括如下步骤：

15 S1、提供衬底基板，采用第一道光罩工艺在所述衬底基板上形成栅极、扫描线、像素电极、公共电极；其中，所述扫描线与栅极相连；

20 S2、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层，采用第二道光罩工艺对所述栅极绝缘层与半导体层进行图形化处理，得到位于所述栅极绝缘层上的第一通孔与第二通孔以及对应于所述栅极上方的有源层，所述第一通孔与第二通孔分别对应于所述像素电极与公共电极上方设置；

25 S3、在所述有源层与栅极绝缘层上沉积源漏极金属层，采用第三道光罩工艺对所述源漏极金属层进行图形化处理，得到源极、漏极、数据线、公共电极线，其中，所述源极与漏极分别与所述有源层的两侧相接触，所述数据线与所述源极相连，所述漏极通过所述栅极绝缘层上的第一通孔与所述像素电极相连，所述公共电极线通过所述栅极绝缘层上的第二通孔与所述公共电极相连；

其中，所述步骤 S1 具体包括：

S11、提供衬底基板，采用物理气相沉积方法在所述衬底基板上沉积第一金属层；

30 S12、采用第一道光罩工艺对所述第一金属层进行图形化处理，得到栅极预定图案与扫描线预定图案以及像素电极与公共电极；

S13、在所述栅极预定图案与扫描线预定图案上镀上第二金属层，得到栅极与扫描线，其中，所述第二金属层的导电性能大于所述第一金属层的导电性能；

其中，所述第一金属层的材料包括钼、钼钛合金、氧化铟锡、钼钨合金、钼钽合金、钼铌合金中的一种或多种；

其中，所述第二金属层的材料包括铜；

其中，在所述栅极预定图案与扫描线预定图案上镀上第二金属层的工艺为电镀工艺。

12、如权利要求 11 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，所述第二道光罩工艺为半灰阶光罩工艺；所述步骤 S2 具体包括：

S21、在所述栅极、扫描线、像素电极、公共电极及衬底基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积半导体层；

10 在所述半导体层上涂布光阻层，采用半灰阶光罩对光阻层进行曝光显影，在所述光阻层上形成对应于像素电极上的第一过孔、对应于公共电极上的第二过孔、对应于栅极上方的凸起；

S22、以所述光阻层为阻挡层，对所述栅极绝缘层与半导体层进行蚀刻，得到贯穿所述栅极绝缘层与半导体层的第三过孔与第四过孔，所述第三过孔与第四过孔分别和所述第一过孔与第二过孔相对应；

15 S23、对所述光阻层进行灰化处理，薄化所述凸起对应的区域，去除所述光阻层的其它区域；

S24、以所述凸起处的光阻层为阻挡层，对所述半导体层进行蚀刻，得到对应于所述栅极上方的有源层；所述第三过孔与第四过孔位于所述半导体层的上半部分消失，变为分别位于所述栅极绝缘层上的第一通孔与第二通孔；

S25、剥离剩余的光阻层。

13、如权利要求 12 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，所述半灰阶光罩上设有对应于第一过孔与第二过孔的第一区域、对应于凸起的第二区域、除第一区域与第二区域之外的第三区域，所述第一区域的光透过率大于所述第三区域的光透过率，所述第三区域的光透过率大于所述第二区域的光透过率；所述光阻层为正型光阻材料。

14、如权利要求 13 所述的 IPS 型薄膜晶体管阵列基板的制作方法，其中，所述第一区域的光透过率为 100%，所述第二区域的光透过率为 0，所述第三区域的光透过率为 0~100%。

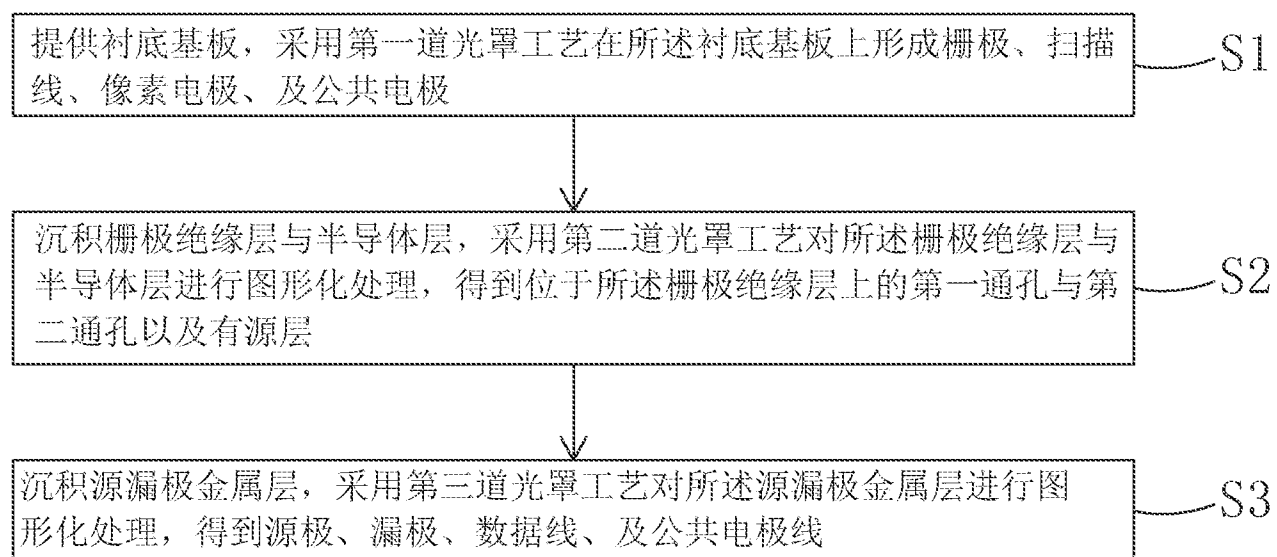


图1



图2

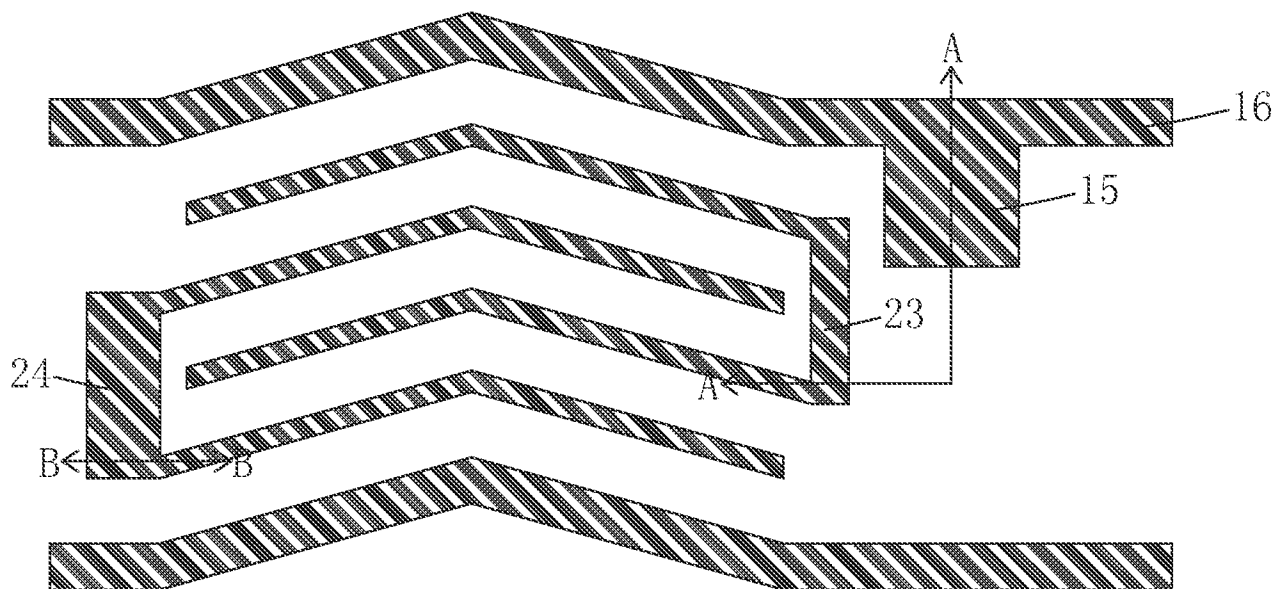


图3

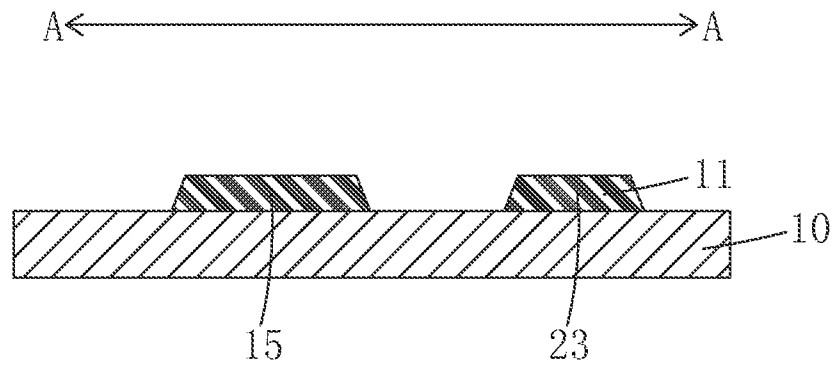


图4a

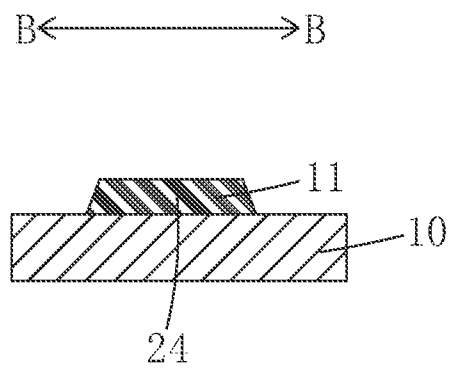


图4b

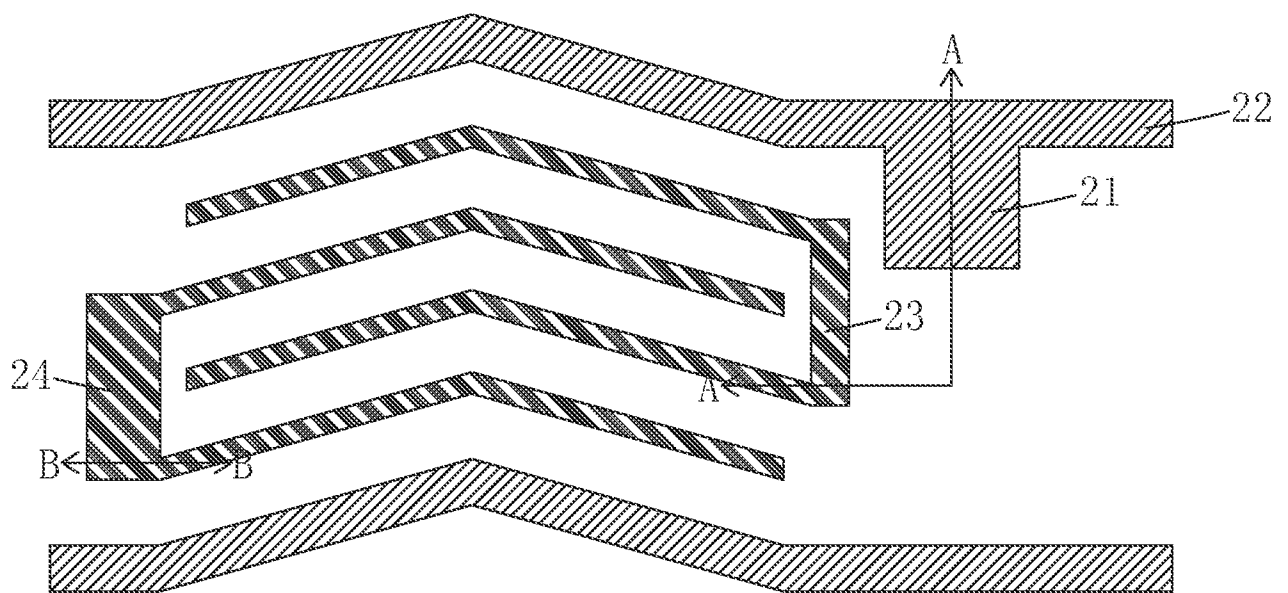


图5

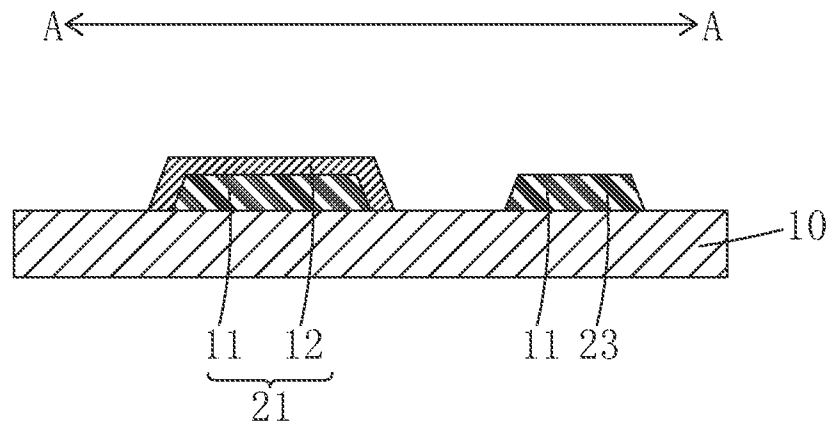


图6a

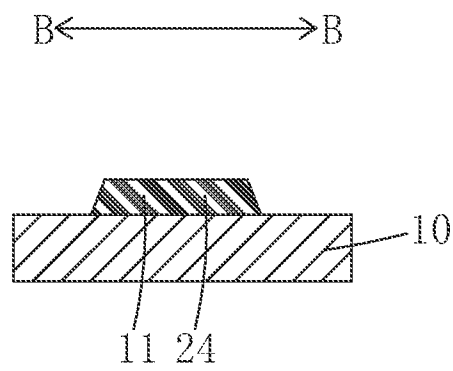


图6b

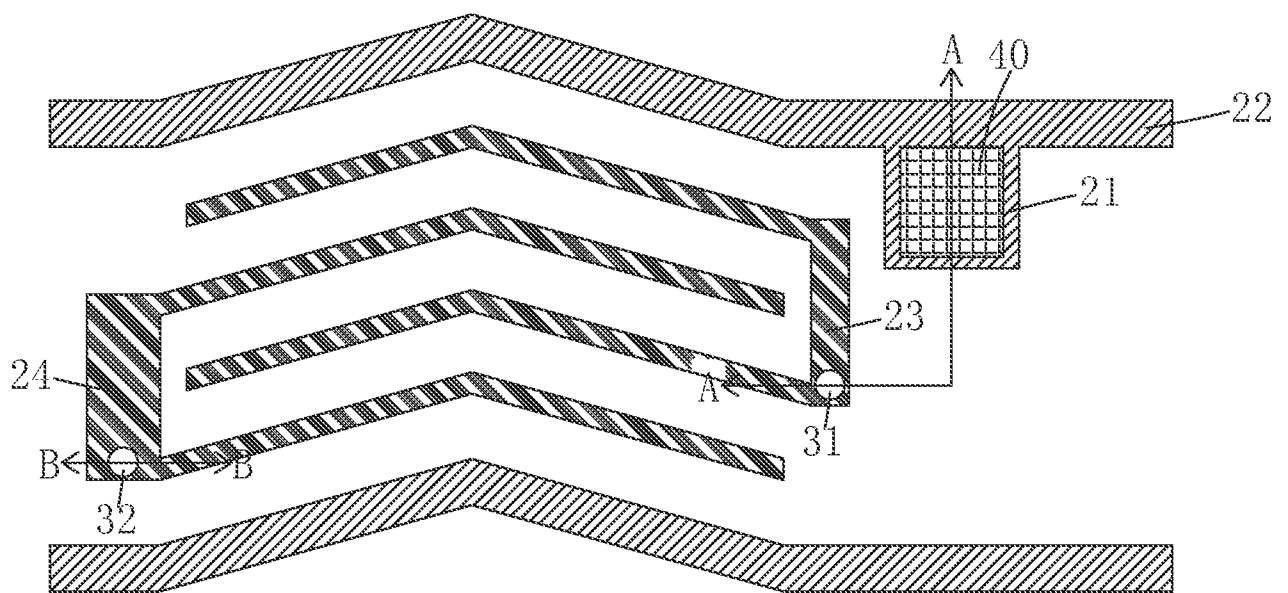


图7

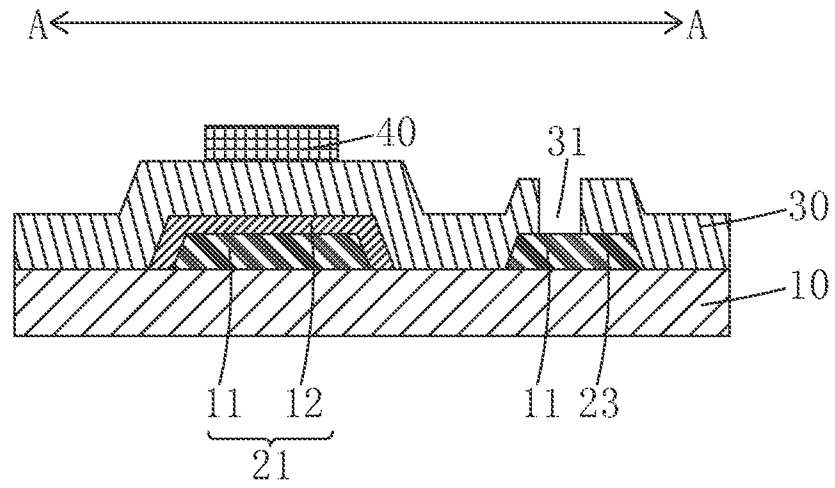


图8a

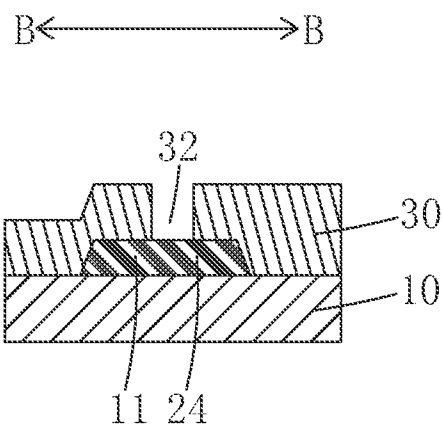


图8b

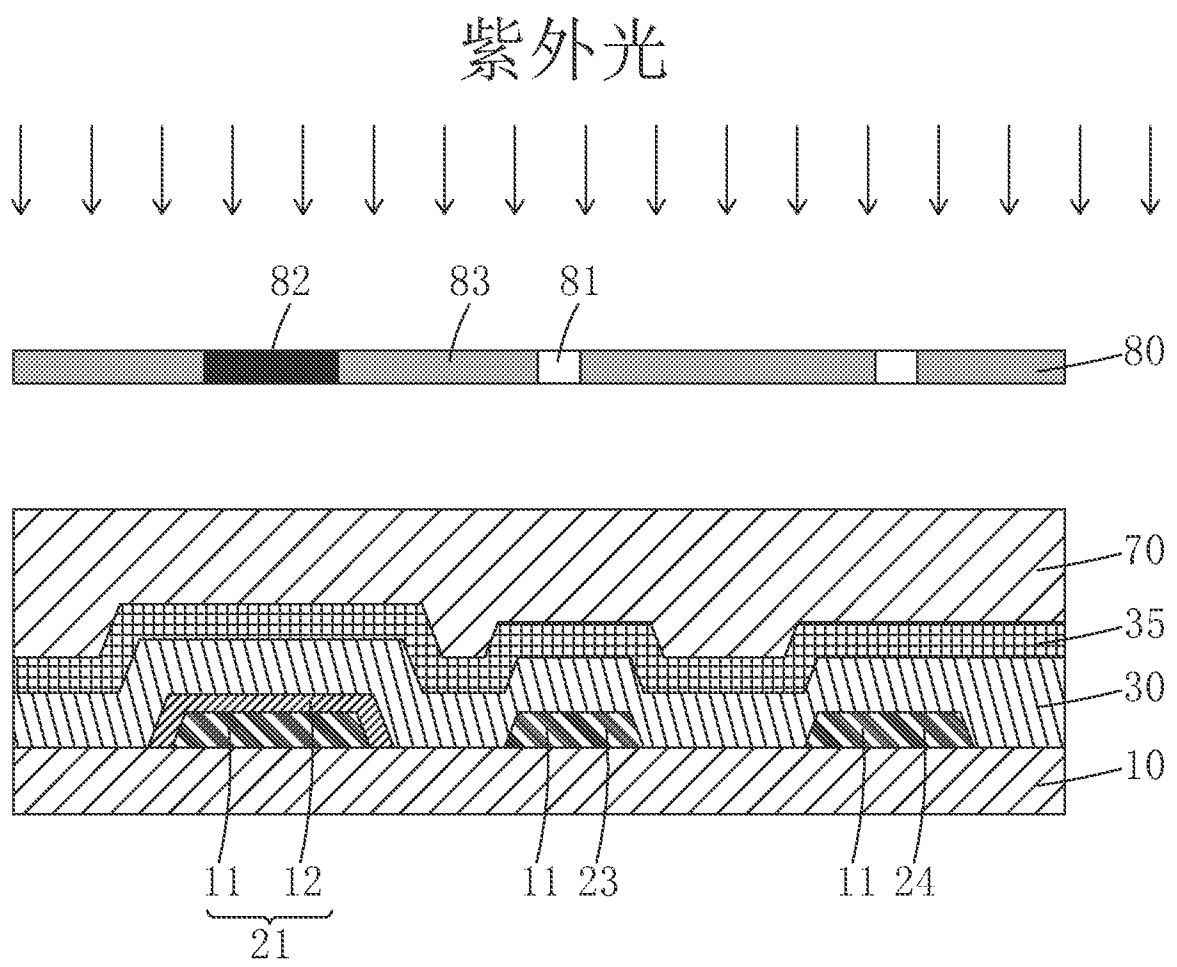


图9a

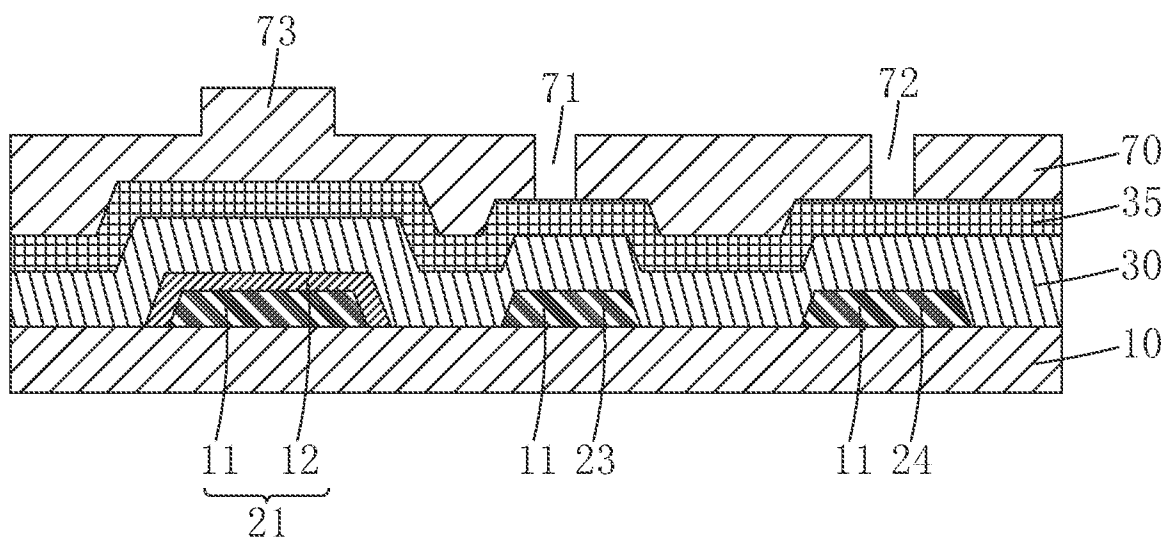


图9b

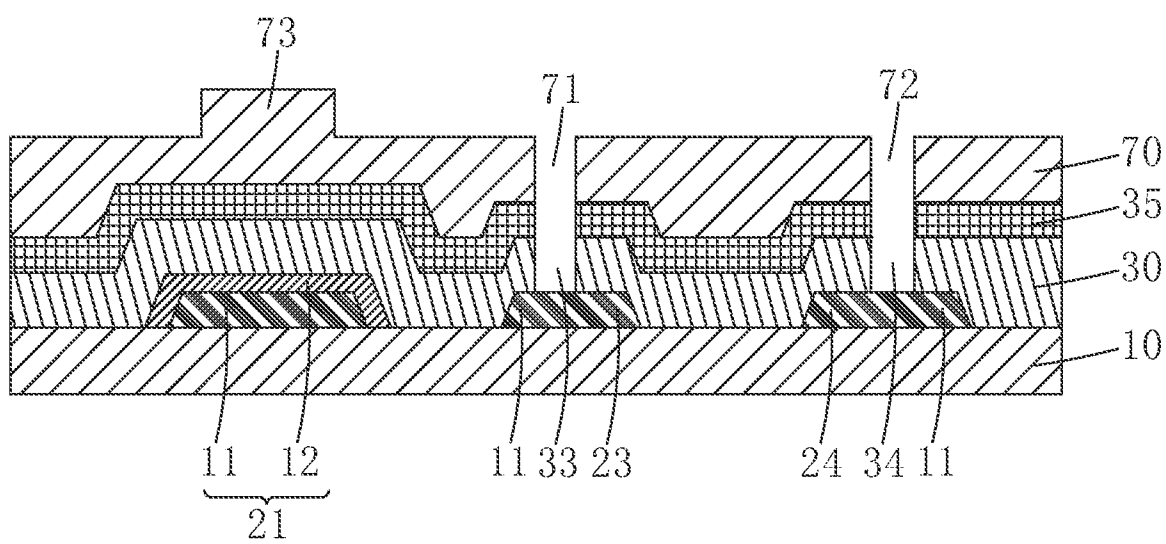


图9c

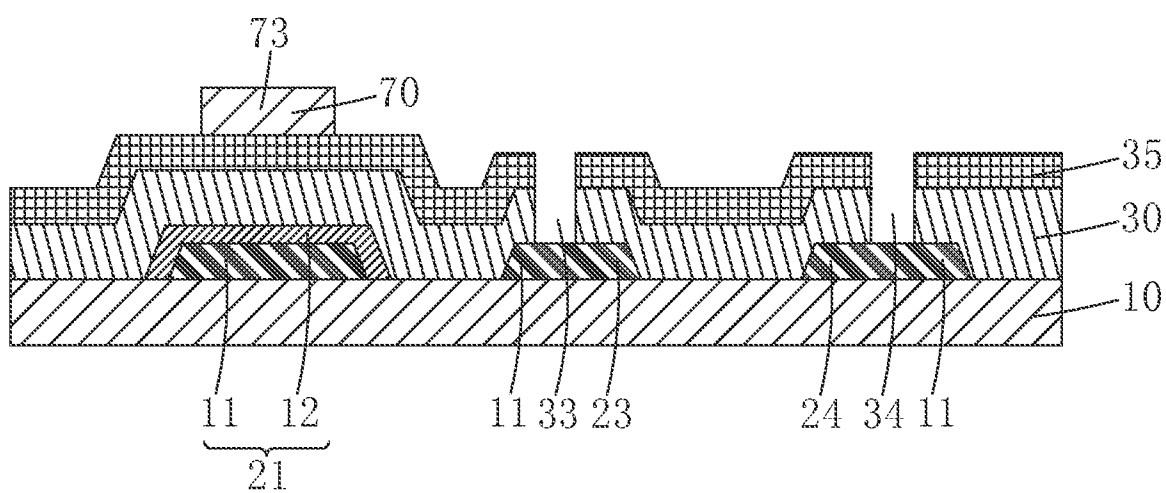


图9d

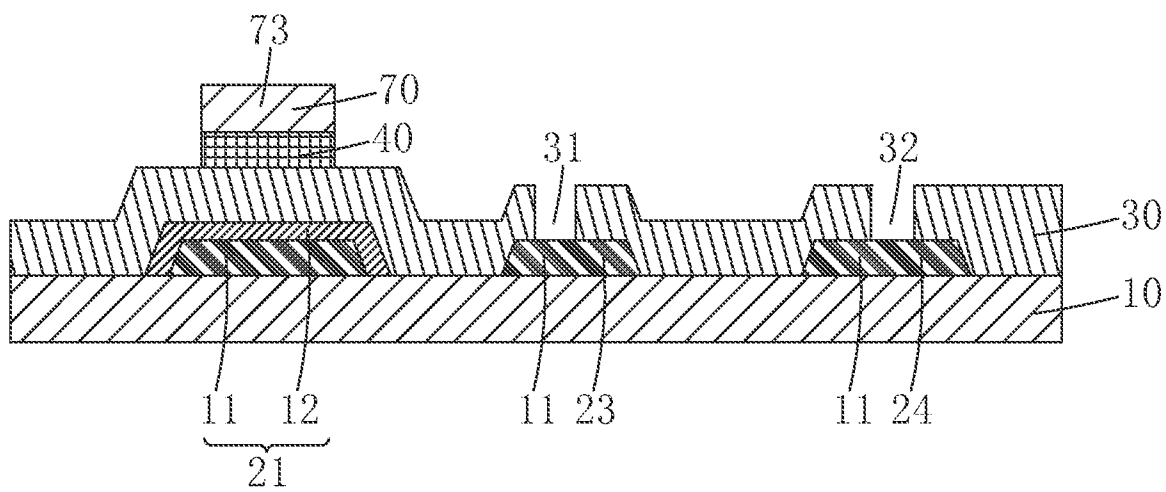


图9e

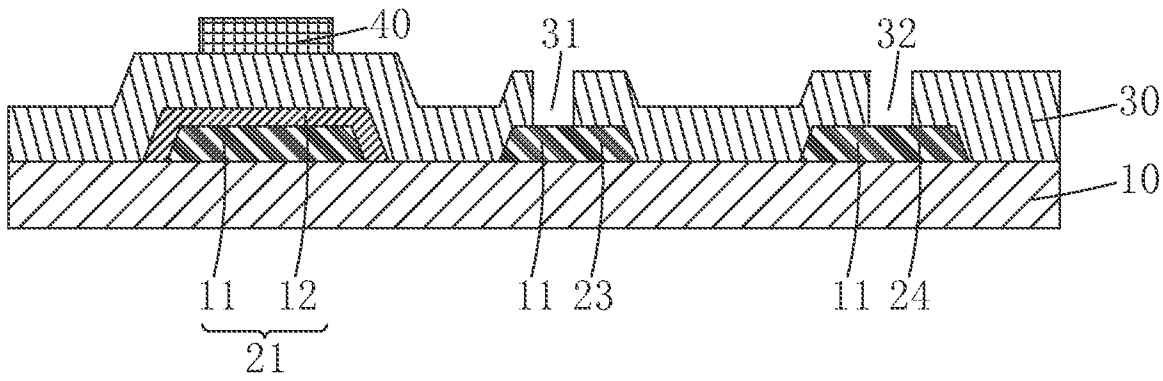


图9f

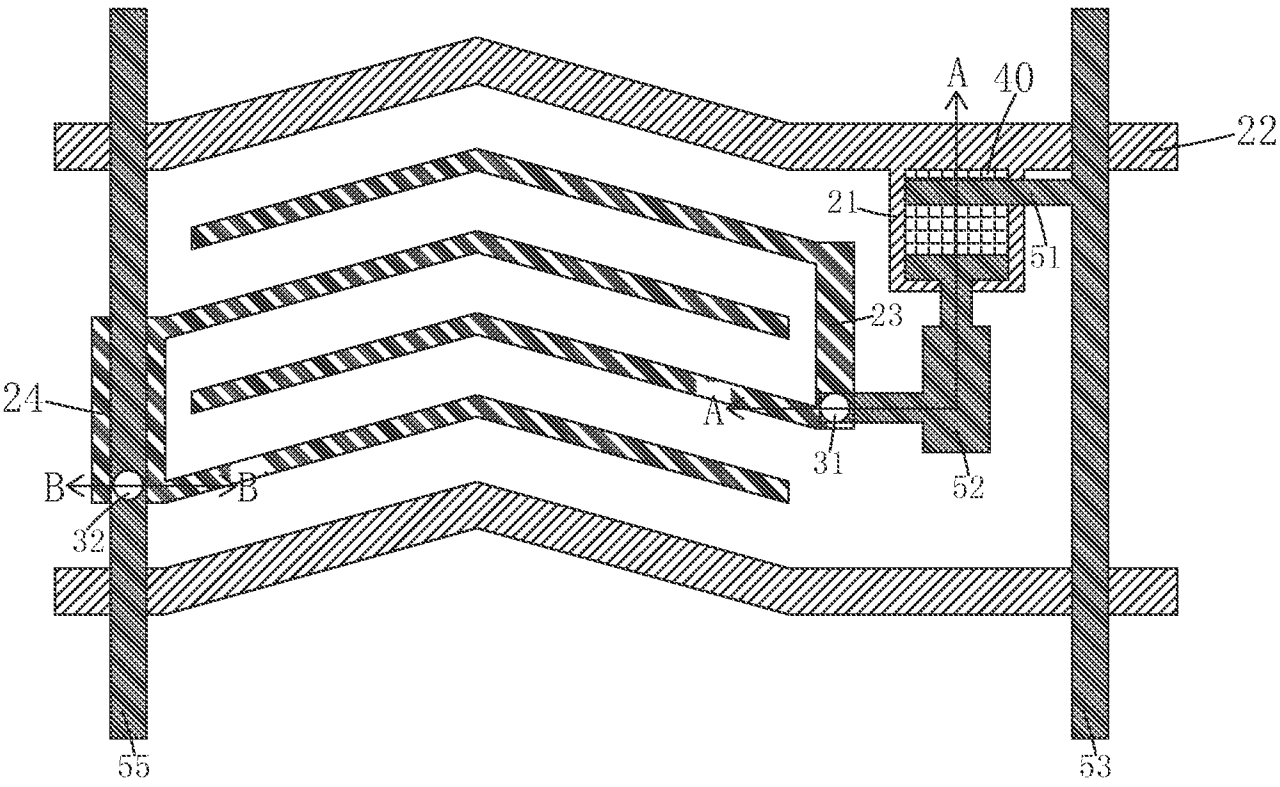


图10

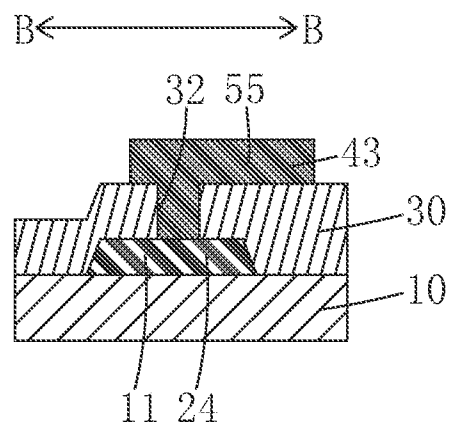
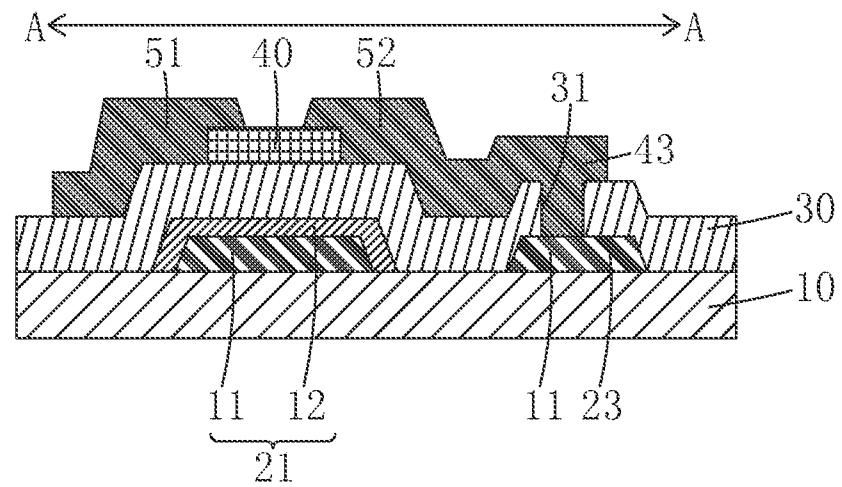


图 11b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/117344

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, IEEE, WPI, EPODOC: 共平面, 切换, 光罩, 扫描线, 像素电极, 公共电极, 通孔, IPS, switching, mask, scan, line, pixel, electrode, common, via, same, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105514032 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 April 2016 (2016-04-20) description, paragraphs [0038]-[0044], and figures 3-5	1-14
A	CN 101414085 A (LG DISPLAY CO., LTD.) 22 April 2009 (2009-04-22) entire document	1-14
A	CN 102087450 A (LG DISPLAY CO., LTD.) 08 June 2011 (2011-06-08) entire document	1-14
A	US 7916258 B2 (LG DISPLAY CO., LTD.) 29 March 2011 (2011-03-29) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 August 2018

Date of mailing of the international search report

20 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/117344

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105514032	A	20 April 2016	WO	2017121008	A1	20 July 2017
				US	2018059491	A1	01 March 2018
CN	101414085	A	22 April 2009	US	2009101908	A1	23 April 2009
				US	2010328567	A1	30 December 2010
				US	7807486	B2	05 October 2010
				KR	101058461	B1	24 August 2011
				TW	200919591	A	01 May 2009
				KR	20090039257	A	22 April 2009
				US	8053802	B2	08 November 2011
				TW	I415195	B	11 November 2013
				CN	101414085	B	13 October 2010
CN	102087450	A	08 June 2011	US	8426229	B2	23 April 2013
				KR	101323408	B1	29 October 2013
				KR	20110064248	A	15 June 2011
				CN	102087450	B	16 January 2013
				US	2011136277	A1	09 June 2011
US	7916258	B2	29 March 2011	US	2001013915	A1	16 August 2001
				KR	100493869	B1	10 June 2005
				KR	20010056590	A	04 July 2001

国际检索报告

国际申请号

PCT/CN2017/117344

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, IEEE, WPI, EPDOC: 共平面, 切换, 光罩, 扫描线, 像素电极, 公共电极, 通孔, IPS, switching, mask, scan, line, pixel, electrode, common, via, same, layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105514032 A (深圳市华星光电技术有限公司) 2016年 4月 20日 (2016 - 04 - 20) 说明书第[0038]-[0044]段, 附图3-5	1-14
A	CN 101414085 A (乐金显示有限公司) 2009年 4月 22日 (2009 - 04 - 22) 全文	1-14
A	CN 102087450 A (乐金显示有限公司) 2011年 6月 8日 (2011 - 06 - 08) 全文	1-14
A	US 7916258 B2 (LG DISPLAY CO., LTD.) 2011年 3月 29日 (2011 - 03 - 29) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 3日

国际检索报告邮寄日期

2018年 8月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

陈龙

传真号 (86-10)62019451

电话号码 86-(10)-53961219

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/117344

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105514032	A	2016年 4月 20日	WO	2017121008	A1	2017年 7月 20日
				US	2018059491	A1	2018年 3月 1日
CN	101414085	A	2009年 4月 22日	US	2009101908	A1	2009年 4月 23日
				US	2010328567	A1	2010年 12月 30日
				US	7807486	B2	2010年 10月 5日
				KR	101058461	B1	2011年 8月 24日
				TW	200919591	A	2009年 5月 1日
				KR	20090039257	A	2009年 4月 22日
				US	8053802	B2	2011年 11月 8日
				TW	I415195	B	2013年 11月 11日
				CN	101414085	B	2010年 10月 13日
CN	102087450	A	2011年 6月 8日	US	8426229	B2	2013年 4月 23日
				KR	101323408	B1	2013年 10月 29日
				KR	20110064248	A	2011年 6月 15日
				CN	102087450	B	2013年 1月 16日
				US	2011136277	A1	2011年 6月 9日
US	7916258	B2	2011年 3月 29日	US	2001013915	A1	2001年 8月 16日
				KR	100493869	B1	2005年 6月 10日
				KR	20010056590	A	2001年 7月 4日

表 PCT/ISA/210 (同族专利附件) (2015年1月)