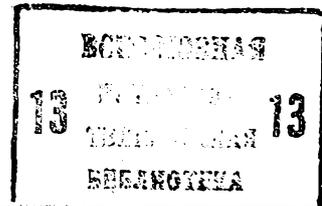




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3653797/24-21

(22) 19.10.83

(46) 15.04.85. Бюл. № 14

(72) А. С. Воробьев

(53) 621.374.4(088.8)

(56) 1. Авторское свидетельство СССР № 705661, кл. Н 03 К 5/156, 24.10.77.

2. Авторское свидетельство СССР по заявке № 3533094/18-21, кл. Н 03 К 5/156, 06.01.83 (прототип).

(54) (57) 1. АДАПТИВНЫЙ УМНОЖИТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ИМПУЛЬСОВ, содержащий два элемента задержки, вход первого из которых соединен с входной шиной, два элемента И-НЕ, элемент И и два элемента ИЛИ, первый вход первого из которых соединен с выходом элемента И, отличающийся тем, что, с целью расширения динамического диапазона умножаемых частот следования импульсов, в него введены счетчик импульсов, преобразователь код—напряжение, регулируемая линия задержки, элемент ИЛИ-НЕ и два инвертора, вход первого из которых соединен с выходом первого элемента задержки, а выход — с первыми входами первого элемента И-НЕ и элемента ИЛИ-НЕ непосредственно и через последовательно соединенные второй элемент задержки и второй инвертор — с вторым входом элемента ИЛИ-НЕ, выход которого соединен с вторым входом первого элемента ИЛИ и с первым входом второго элемента

ИЛИ-НЕ, выход которого соединен с первым входом счетчика импульсов, второй вход которого соединен с выходом второго элемента ИЛИ, первый вход которого соединен с первым входом элемента И, с выходной шиной и с выходом регулируемой линии задержки, второй вход — с вторым входом элемента И и с выходом первого элемента И-НЕ, второй вход которого соединен с входной шиной, причем импульсный вход регулируемой линии задержки соединен с выходом первого элемента ИЛИ, вход управления — с выходом преобразователя код—напряжение, кодовые входы которого соединены с соответствующими выходами счетчика импульсов.

2. Умножитель по п. 1, отличающийся тем, что регулируемая линия задержки содержит многоотводную линию задержки, вход которой соединен с импульсным входом, а выходы через коммутатор подключены к первой интегрирующей цепочке, состоящей из соединенных последовательно резистора, конденсатора и варикапа, выход которой через первый инвертор соединен с входом второй, аналогичной первой, интегрирующей цепочки, выход которой через второй инвертор соединен с выходом регулируемой линии задержки, управляющий вход которой через соответствующие резисторы подключен к точкам соединения конденсатора и варикапа первой и второй интегрирующих цепочек.

Изобретение относится к импульсной технике и может быть использовано в измерительной технике, автоматике и телемеханике.

Известен умножитель частоты следования импульсов, содержащий  $N + 1$  последовательно включенных ждущих мультивибраторов, многоходовый логический элемент И-НЕ, инвертор, второй элемент И-НЕ и логический элемент неравнозначности [1].

Недостатками данного устройства умножителя являются низкая фазовая стабильность и сложность, увеличивающаяся с коэффициентом умножения за счет соответствующего увеличения числа ждущих мультивибраторов, что и определяет его малый динамический диапазон,

Наиболее близким к предлагаемому по технической сущности является устройство, содержащее первый и второй мультивибраторы, первый и второй элементы равнозначности, пять элементов И-НЕ, четыре элемента ИЛИ, а также первый и второй элементы задержки, причем вход первого элемента задержки соединен с входной шиной устройства и первым входом первого элемента равнозначности, выход которого подключен к первым входам первого и второго элементов ИЛИ, вторые входы которых подключены соответственно к инверсному и прямому выходам пятого элемента И-НЕ, первый вход которого соединен с управляющим входом устройства, а второй вход подключен к выходу второго элемента задержки и к первому входу второго элемента равнозначности, выход которого подключен к первым входам третьего и четвертого элементов ИЛИ, вторые входы которых подключены соответственно к прямому и инверсному выходам пятого элемента И-НЕ, а выходы с первого по четвертый элементов ИЛИ подключены соответственно к первым входам первого, второго, третьего и четвертого элементов И-НЕ, причем выход первого элемента И-НЕ подключен ко второму входу третьего элемента И-НЕ, выход которого через первый мультивибратор подключен ко второму входу второго элемента И-НЕ, выход которого подключен ко второму входу четвертого элемента И-НЕ, выход которого через второй мультивибратор подключен ко второму входу первого элемента И-НЕ [2].

Это устройство обладает большей конструктивной и эксплуатационной простотой и более высокой стабильностью фазы следования выходных импульсов. Однако в условиях климатических изменений в широком диапазоне (температуры, влажности), а также в результате старения элементов устройства, приводящих к изменению длительности импульсов мультивибраторов и задержек других элементов, стабильность фазы выходных импульсов оказывается недостаточно

высокой из-за накопления фазовой ошибки в интервале половины периода входного сигнала. Кроме того, отклонение скважности входных импульсов от двух также приводит к фазовой ошибке. Указанные факторы ограничивают динамический диапазон умножаемых частот следований импульсов при малой фазовой ошибке.

Цель изобретения — расширение динамического диапазона умножаемых частот следования импульсов.

Поставленная цель достигается тем, что в адаптивный умножитель частоты следования импульсов, содержащий два элемента задержки, вход первого из которых соединен со входной шиной, два элемента И-НЕ, элемент И и два элемента ИЛИ, первый вход первого из которых соединен с выходом элемента И, введены счетчик импульсов, преобразователь код—напряжение, регулируемая линия задержки, элемент ИЛИ-НЕ и два инвертора, вход первого из которых соединен с выходом первого элемента задержки, а выход — с первыми входами первого элемента И-НЕ и элемента ИЛИ-НЕ непосредственно и через последовательно соединенные второй элемент задержки и второй инвертор — со вторым входом элемента ИЛИ-НЕ, выход которого соединен со вторым входом первого элемента ИЛИ и с первым входом второго элемента И-НЕ, выход которого соединен с первым входом счетчика импульсов, второй вход которого соединен с выходом второго элемента ИЛИ, первый вход которого соединен с первым входом элемента И, с выходной шиной и с выходом регулируемой линии задержки, второй вход — со вторым входом элемента И и с выходом первого элемента И-НЕ, второй вход которого соединен со входной шиной, причем импульсный вход регулируемой линии задержки соединен с выходом первого элемента ИЛИ, вход управления — с выходом преобразователя код—напряжение, кодовые входы которого соединены с соответствующими выходами счетчика импульсов.

Регулируемая линия задержки адаптивного умножителя частоты следования импульсов содержит многоотводную линию задержки, вход которой соединен с импульсным входом, а выходы через коммутатор подключены к первой интегрирующей цепочке, состоящей из соединенных последовательно резистора, конденсатора и варикапа, выход которой через первый инвертор соединен со входом второй, аналогичной первой, интегрирующей цепочки, выход которой через второй инвертор соединен с выходом регулируемой линии задержки, управляющий вход которой через соответствующие резисторы подключен к точке соединения конденсатора и варикапа первой и второй интегрирующих цепочек.

На фиг. 1 приведена структурная электрическая схема предлагаемого устройства; на фиг. 2—4 — временные диаграммы, поясняющие его работу.

Адаптивный умножитель частоты следования импульсов содержит два элемента 1 и 2 задержки, вход первого из которых соединен со входной шиной 3, два элемента И-НЕ 4 и 5, элемент И 6 и два элемента ИЛИ 7 и 8, первый вход первого из которых соединен с выходом элемента И 6, счетчик 9 импульсов, преобразователь 10 код—напряжение, регулируемую линию задержки 11, элемент ИЛИ-НЕ 12 и два инвертора 13 и 14, вход первого из которых соединен с выходом первого элемента 1 задержки, а выход — с первыми входами первого элемента И-НЕ 4 и элемента ИЛИ-НЕ 12 непосредственно и через последовательно соединенные второй элемент 2 задержки и второй инвертор 14 — со вторым входом элемента ИЛИ-НЕ 12, выход которого соединен со вторым входом первого элемента ИЛИ 7 и с первым входом второго элемента И-НЕ 5, выход которого соединен с первым входом счетчика 9 импульсов, второй вход которого соединен с первым входом второго элемента ИЛИ 8, первый вход которого соединен с первым входом элемента И 6, с выходной шиной 15 и с выходом регулируемой линии задержки 11, второй вход — со вторым входом элемента И 6 и с выходом первого элемента И-НЕ 4, второй вход которого соединен со входной шиной 3, причем импульсный вход регулируемой линии задержки 11 соединен с выходом первого элемента ИЛИ 7, вход управления — с выходом преобразователя 10 код—напряжение, кодовые входы которого соединены с соответствующими выходами счетчика 9 импульсов, регулируемая линия задержки 11 содержит многоотводную линию задержки 16, вход которой соединен с импульсным входом, а выходы через коммутатор 17 подключены к первой интегрирующей цепочке (интегрирующие цепочки состоят из соединенных последовательно резистора 18—1, (18—2), конденсатора 19—1 (19—2) и варикапа 20—1 (20—2). Выход первой интегрирующей цепочки через первый инвертор 21 соединен со входом второй интегрирующей цепочки, выход которой через второй инвертор 22 соединен с выходом регулируемой линии задержки, управляющий вход которой через соответствующие резисторы 23—1 (23—2) подключен к точке соединения конденсатора и варикапа первой и второй интегрирующих цепочек.

Устройство работает следующим образом.

Входная последовательность импульсов на шине 3 (фиг. 2 а) задерживается и инвертируется с помощью элемента 1 и инвертора 13 (фиг. 2 б), а также элемента 2 и ин-

вертора 14 (фиг. 2 в). При этом на выходе элемента 4 формируются отрицательные и положительные импульсы п (фиг. 2 г, д) соответственно, длительность которых равна величине задержек импульсов в соответствующих элементах задержки, в качестве которых можно использовать интегрирующие цепочки или одну или несколько пар элементов И-НЕ. Задержку устанавливают в соответствии с максимальной величиной фазовой ошибки выходных импульсов, накопленной в интервале одного периода следования входных импульсов при любых допустимых климатических и временных условиях эксплуатации.

Коэффициент  $K$  умножения устанавливается с помощью коммутатора 17, коммутирующего соответствующий отвод многоотводной линии задержки 16 и первой интегрирующей цепочки, содержащей резистор 18—1, конденсатор 19—1 и варикап 20—1. Эта цепочка вместе с последовательно соединенной с ней через инвертор 21 второй интегрирующей цепочкой, содержащей резистор 18—2, конденсатор 19—2 и варикап 20—2, совместно с инвертором 22 позволяет плавно регулировать задержку импульсов, проходящих через коммутатор 17. Подключения второй интегрирующей цепочки и инверторов обусловлены, во-первых, необходимостью расширения диапазона изменения задержки импульсов, а во-вторых, требованием уравнивания задержек переднего и заднего фронтов импульсов, так как задержки переднего и заднего фронтов одной интегрирующей цепочкой не равны.

Регулировка задержки обеспечивается подачей напряжения на управляющий вход регулируемой линии задержки 11, которое через резисторы 23—1 и 23—2 поступает на варикапы 20—1 и 20—2 соответственно, емкость перехода которых зависит от этого напряжения.

Дискретные значения задержки, обеспечиваемые многоотводной линией задержки 16, устанавливаются таким образом, чтобы при отсутствии фазовой ошибки управляющее напряжение на варикапах соответствовало середине их рабочей характеристики при усредненных температурах и других параметрах среды, что позволяет как увеличивать, так и уменьшать задержку импульсов, проходящих через регулируемую линию задержки 11. Если задержка  $t$  импульсов равна требуемой величине  $t_0 = 1/2 K f_{вх}$ , где  $f_{вх}$  — частота следования входных импульсов, то напряжения на выходах элементов 6 и 7 и шине 15 принимают вид, изображенный на фиг. 2 е, ж, з соответственно. Фаза этих импульсов устанавливается в моменты  $t_1$  с помощью импульсов коррекции с выходов элементов 7 и 12, изображенных на фиг. 2 г, д соответственно, а их скважность равна двум независимо от скважности входных импульсов.

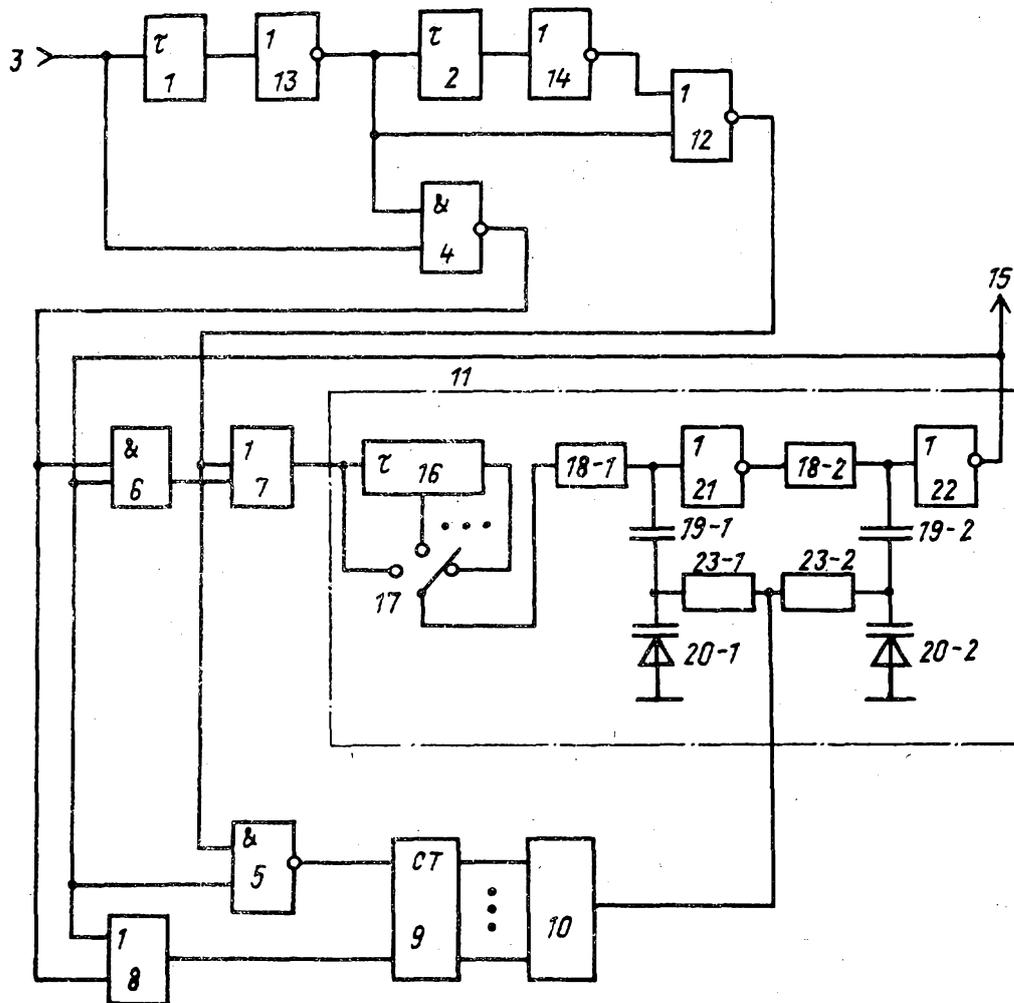
Если  $t > t_0$ , то диаграммы напряжений, изображенные на фиг. 2 г, д, е, ж, з принимают вид, изображенный на фиг. 3 г, д, е, ж, з соответственно, а на выходе элемента 5 в момент  $t_i$  появляется отрицательный импульс (фиг. 3 к), который увеличивает число  $n$  записанное в счетчике 9, на единицу. При этом соответственно повышается напряжение на выходе преобразователя 10, в результате чего снижается емкость варикапов 20—1 и 20—2, и, соответственно, уменьшается задержка  $t$ . Если  $t$  все еще больше  $t_0$ , то на следующем периоде этот процесс повторяется, увеличивая число  $n$  еще на единицу. Процесс повторяется до тех пор, пока  $t$  не становится равным  $t_0$ , при этом на выходах элементов 5 и 8 — единичный потенциал (фиг. 2 к, и соответственно).

Если  $t < t_0$  (фиг. 4), то на выходе элемента 8 формируется отрицательный импульс (фиг. 4 и), уменьшающий число  $n$  на единицу

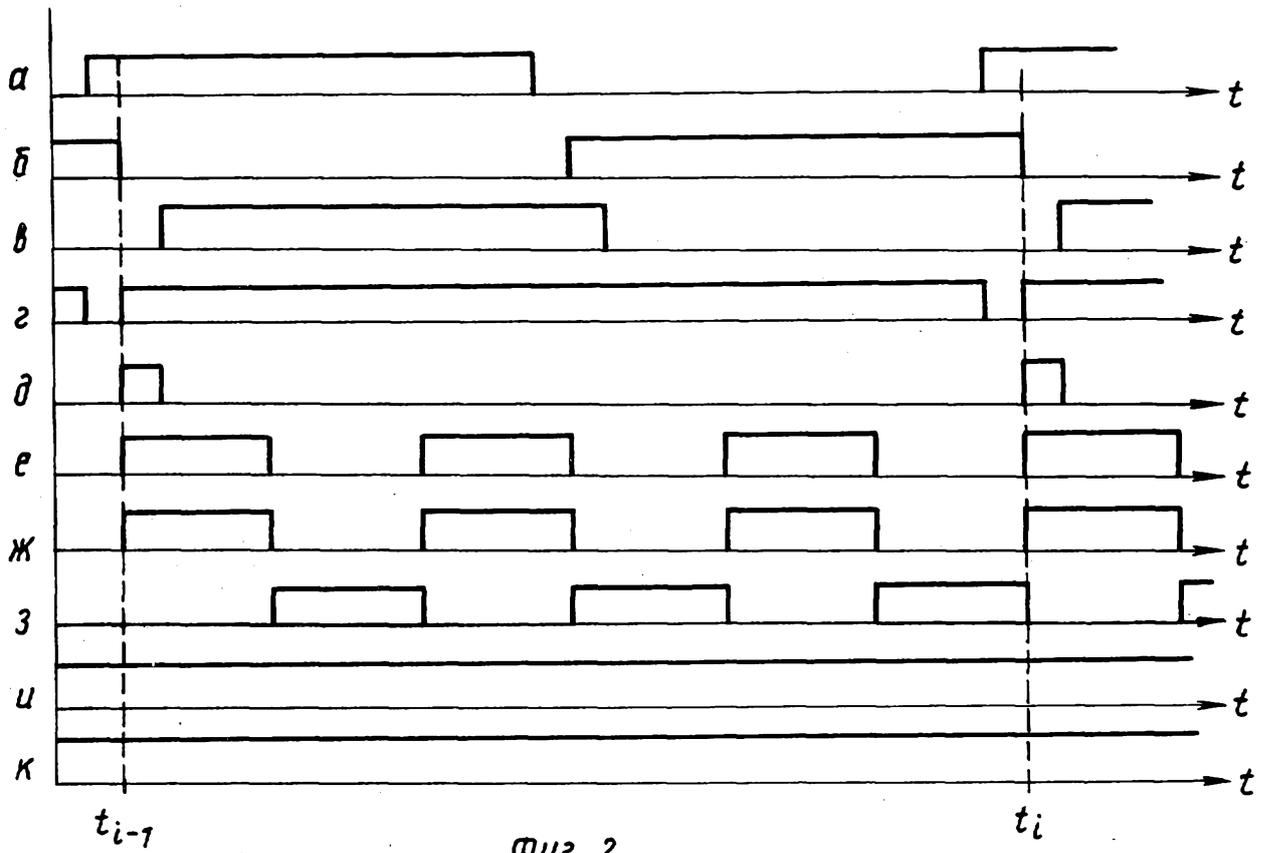
в результате чего увеличивается емкость варикапов 20—1 и 20—2, что в конечном итоге устраняет фазовую ошибку.

Использование предлагаемого устройства позволяет практически исключить фазовую ошибку выходных импульсов при любом уходе параметров элементов устройства, вызванных климатическими и временными факторами, изменяющимися в допустимых пределах. В устройстве-прототипе фазовая ошибка не исключена и возрастает с расширением диапазона изменений параметров, а в некоторых случаях может привести к изменению (скачком) коэффициента умножения.

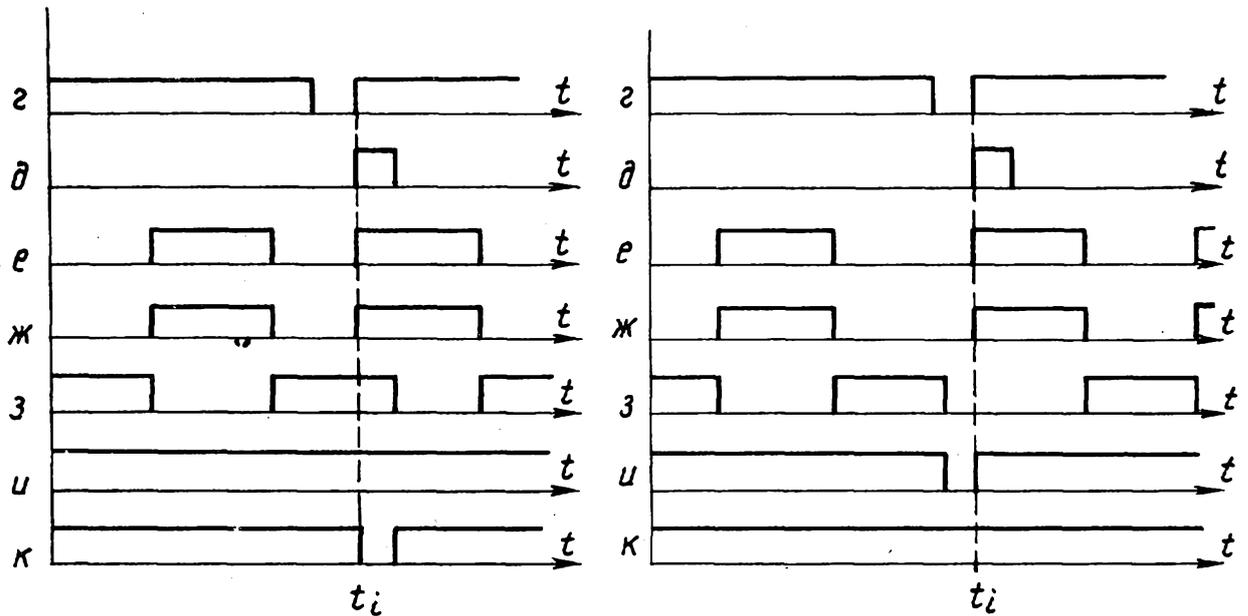
Таким образом, предлагаемый адаптивный умножитель частоты следования импульсов позволяет увеличить динамический диапазон умножаемых частот следования импульсов.



Фиг. 1



Фиг. 2



Фиг. 3

Фиг. 4

Редактор С. Тимохина  
 Заказ 2160/43  
 Составитель А. Соколов  
 Техред И. Верес  
 Тираж 872  
 Корректор Г. Решетник  
 Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4