

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 11/409	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월23일 10-0538883 2005년12월19일
---	-------------------------------------	--

(21) 출원번호	10-2003-0027119	(65) 공개번호	10-2004-0092801
(22) 출원일자	2003년04월29일	(43) 공개일자	2004년11월04일

(73) 특허권자           주식회사 하이닉스반도체  
                              경기 이천시 부발읍 아미리 산136-1

(72) 발명자             최국선  
                              서울특별시광진구자양2동현대아파트302-611

(74) 대리인            신영무

심사관 : 고재현

(54) 반도체 메모리 장치

요약

본 발명은 반도체 메모리 장치에 관한 것으로, 특정 워드라인을 선택하여 메모리 셀이 저장된 데이터를 독출하는 과정에서, 선택된 워드라인과 인접한 워드라인을 동시에 선택하거나, 두 개의 비트라인을 센스 앰프의 입력단에 동시에 연결시켜 센스 앰프의 양 입력단의 전압차를 증가시킴으로써, 독출 마진을 증가시켜 독출 동작의 정확도를 높이고 소자 동작의 신뢰성을 향상시킬 수 있는 반도체 메모리 장치가 개시된다.

대표도

도 2

색인어

리프레쉬, 센스앰프, 디코더, 독출마진, 정전용량, 데이터유지

명세서

도면의 간단한 설명

도 1은 일반적인 반도체 메모리 장치에서 메모리 셀에 저장된 데이터의 독출 동작을 설명하기 위한 회로도이다.

도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 3은 도 2에 도시된 로우 디코더의 내부 회로도이다.

도 4는 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 5는 본 발명의 제3 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 6은 도 5에 도시된 로우 디코더의 내부 회로도이다.

도 7은 본 발명의 제5 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 메모리 셀 어레이 110, 210 : 로우 디코더

120-1 내지 120-n, 220-1 내지 220-n : 센스 앰프

130, 230 : 컬럼 디코더

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 메모리 셀에 저장된 데이터를 독출하는 독출 동작의 마진을 증가시켜 소자의 신뢰성을 향상시킬 수 있는 반도체 메모리 장치에 관한 것이다.

소자의 집적도가 높아짐에 따라, 메모리 셀의 면적이 감소하면서 메모리 셀이 데이터를 저장하는데 여러 가지 문제점이 발생되고 있다.

예를 들면, DRAM의 경우 메모리 셀이 하나의 트랜지스터와 하나의 커패시터로 이루어지며, 커패시터에 전하를 충전 또는 방전하는 방법으로 메모리 셀에 데이터를 저장한다. 이러한 경우, 소자의 집적도를 높이기 위해 커패시터의 크기를 줄일수록 커패시터에 저장된 전하가 방전되는 시간이 빨라지므로 데이터를 장시간 유지하는데 어려움이 있다.

도 1은 일반적인 반도체 메모리 장치에서 메모리 셀에 저장된 데이터의 독출 동작을 설명하기 위한 회로도이다.

도 1을 참조하면, 메모리 셀 어레이(100)는 다수의 워드라인(WL0 내지 WLn)과, 다수의 비트라인(BL1 내지 BLn) 및 반전 비트라인(BL1# 내지 BLn#)으로 이루어진다. 워드라인(WL0 내지 WLn)에는 행방향의 메모리 셀들의 각 게이트가 공통으로 연결되며, 비트라인(BL1 내지 BLn)과 반전 비트라인(BL1# 내지 BLn#)에는 열방향의 메모리 셀들의 각 드레인이 공통으로 연결된다.

구체적으로 예를 들면, 동적 반도체 메모리 장치에서는 메모리 셀 중에서 비트라인(BL1 내지 BLn)에 연결되는 트루 셀(True cell; C1 내지 Cn)과, 반전 비트라인(BL1# 내지 BLn#)에 연결되는 컴플리먼트 셀(Complement cell; C#1 내지 C#n)이 지그재그(Zigzag) 형태로 배치된다. 즉, 메모리 셀 어레이는 비트 라인(BL1 내지 BLn)과 반전 비트라인(BL1# 내지 BLn#)이 교대로 배열되고, 워드 라인(WL0 내지 WLn)이 비트 라인(BL1 내지 BLn)과 직교하는 방향으로 배열되며, 메모리 셀(C1 내지 Cn, C#1 내지 C#n)은 매트릭스 형태의 라인 배열에 모두 배치되는 것이 아니라, 지그재그 형태로 배열된다.

한편, 비트라인(BL1)과, 그에 대응하는 반전 비트라인(BL1#)은 센스 앰프(120-1)의 입력단자로 각각 접속된다. 이러한 센스 앰프는 비트라인의 수만큼 구비된다.

이러한 상태에서, 어드레스(A0 내지 Ak)가 입력되면 로우 디코더(110)는 입력된 어드레스를 디코딩하여 하나의 워드라인을 선택하고, 컬럼 디코더(130)는 특정 비트라인(또는, 반전 비트라인)을 선택한다. 예를 들어, 어드레스(A0 내지 Ak)가 입력되어 제1 워드라인(예를 들어, WL0)과 제1 비트라인(BL1)이 선택되면, 센스 앰프(120-1)는 반전 비트라인(BL1#)을

통해 입력되는 기준 전압(예를 들면,  $V_{cc}/2$ )과, 비트라인(BL1)을 통해 입력되는 트루 셀(C1)의 커패시터의 충전 상태를 비교하여 트루 셀(C1 내지 Cn)에 저장된 데이터를 각각 독출한다. 독출된 데이터는 데이터 출력 핀을 통해 외부로 출력된다.

이때, 메모리 셀의 커패시터에 전하가 충전되지 않아 '0'이라는 데이터가 저장된 경우에는, 방전될 전하가 없으므로 '0'이라는 데이터를 안정되게 유지할 수 있다. 또한, 리프레쉬나 독출 동작 시 전위가 0V인 비트라인(예를 들어, BL1)과  $V_{cc}/2$ 인 반전 비트라인(예를 들어, BL1#)의 전압차가 명확하게 구분되므로, 독출 오류가 거의 발생되지 않는다. 하지만, 메모리 셀의 커패시터에 전하가 충전되어 '1'이라는 데이터가 저장된 경우에는, 시간이 지날수록 충전된 전하가 방전되기 때문에 '1'이라는 데이터를 안정되게 유지할 수 없다. 따라서, 리프레쉬나 독출 동작 시, 센스 앰프(예를 들어, 120-1)는 방전에 의해 전위가  $V_{cc}$ 보다 낮은 ( $a + V_{cc}/2$ ) 정도의 비트라인(BL1)과  $V_{cc}/2$ 인 반전 비트라인(BL1#)의 전압차(a)를 비교해야 하는데, 전압차(a)가 크지 않으면 독출 오류가 발생할 수 있다.

더욱이, 집적도가 증가하여 커패시터의 정전 용량이 줄어들면 데이터 보전 특성을 향상시키기 위하여 리프레쉬 주기가 짧아져야 하므로 전류 소모와 불량률이 증가하는 문제점이 발생된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 워드라인을 선택하여 메모리 셀이 저장된 데이터를 독출하는 과정에서 선택된 워드라인과 인접한 워드라인을 동시에 선택하거나, 두 개의 비트라인(또는, 반전 비트라인)을 센스 앰프의 입력단에 동시에 연결시켜 센스 앰프의 양 입력단의 전압차를 증가시킴으로써, 독출 마진을 증가시켜 독출 동작의 정확도를 높이고 소자 동작의 신뢰성을 향상시킬 수 있는 반도체 메모리 장치를 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

본 발명의 실시예에 따른 반도체 메모리 장치는 반도체 메모리 장치는 메모리 셀들이 연결된 다수의 워드라인 및 다수의 비트라인을 포함하는 메모리 셀 어레이와, 어드레스 신호를 수신하고, 상기 어드레스 신호 중에서 최하위 어드레스 신호를 제외한 나머지 어드레스 신호만을 디코딩하여, 상기 워드라인 수의 절반에 해당하는 수의 상기 워드라인 선택 신호를 생성하여, 상기 다수의 워드라인 중 서로 인접한 두개의 워드라인을 동시에 선택하는 로우 디코더와, 상기 다수의 비트라인 중 하나를 선택하기 위한 컬럼 디코더, 및 상기 로우 디코더 및 상기 컬럼 디코더에 의해 선택된 메모리 셀에 저장된 데이터를 센싱하기 위한 다수의 센스 앰프를 포함한다.

삭제

삭제

한편, 로우 디코더는 어드레스 신호를 반전시키기 위한 다수의 인버터, 및 최하위 어드레스 신호가 입력되는 입력단으로 접지 전압이 대신 인가되며, 어드레스 신호 및 반전된 어드레스 신호를 조합하여 워드라인 선택 신호를 생성하는 다수의 노아 게이트로 이루어져, 서로 인접하는 두개의 워드라인이 동시에 선택되도록 워드라인 선택 신호를 두개씩 인에이블시키기 위하여 최하위 어드레스 신호를 돈케어 처리할 수도 있다. 이때, 제어 신호에 따라 최하위 어드레스 신호 및 접지 전압 중 어느 하나를 선택적으로 노아 게이트의 입력단으로 스위칭하는 스위칭 수단을 최하위 어드레스 신호가 입력되는 노아 게이트의 입력단에 더 구비하여, 최하위 어드레스 신호가 입력되면 하나의 워드라인만을 선택하고 접지 전압이 입력되면 두개의 워드라인을 동시에 선택할 수도 있다.

또한, 로우 디코더는 어드레스 신호를 반전시키기 위한 다수의 인버터, 및 최하위 어드레스 신호가 입력되는 입력단으로 전원 전압이 대신 인가되며, 어드레스 신호 및 반전된 어드레스 신호를 조합하여 워드라인 선택 신호를 생성하는 다수의 난드 게이트로 이루어져, 서로 인접하는 두개의 워드라인이 동시에 선택되도록 워드라인 선택 신호를 두개씩 인에이블시키기 위하여 최하위 어드레스 신호를 돈케어 처리할 수도 있다. 이때, 제어 신호에 따라 최하위 어드레스 신호 및 전원 전압 중 어느 하나를 선택적으로 난드 게이트의 입력단으로 스위칭하는 스위칭 수단을 최하위 어드레스 신호가 입력되는 난드 게이트의 입력단에 더 구비하여, 최하위 어드레스 신호가 입력되면 하나의 워드라인만을 선택하고 전원 전압이 입력되면 두개의 워드라인을 동시에 선택할 수도 있다.

삭제

또한, 서로 인접한 두개의 워드라인은 비트라인에 연결된 트루 셀만이 연결된 워드라인이거나, 반전 비트라인에 연결된 컴플리먼트 셀들만이 연결된 워드라인일 수도 있다. 이때, 트루 셀 또는 컴플리먼트 셀은 센스 앰프의 제1 입력단으로 접속되고, 센스 앰프의 제2 입력단에는 기준 전압이 인가되어 저장된 데이터가 독출된다.

본 발명의 다른 실시예에 따른 반도체 메모리 장치는 메모리 셀들이 연결된 다수의 워드라인, 다수의 비트라인 및 다수의 반전 비트라인을 포함하는 메모리 셀 어레이와, 다수의 워드라인 중 하나를 선택하기 위한 로우 디코더와, 어드레스 신호에 따라 비트라인 선택 신호를 생성하여 다수의 비트라인 중 서로 인접한 두개의 비트라인을 동시에 선택하거나, 다수의 반전 비트라인 중 서로 인접한 두개의 반전 비트라인을 동시에 선택하는 컬럼 디코더, 및 로우 디코더 및 컬럼 디코더에 의해 선택된 메모리 셀에 저장된 데이터를 센싱하기 위한 다수의 센스 앰프를 포함하며, 서로 인접한 두개의 비트라인과 서로 인접한 두개의 반전 비트라인은 센스 앰프의 서로 다른 입력단으로 각각 병렬 연결된다.

상기에서, 컬럼 디코더는 서로 인접한 두개의 비트라인 또는 서로 인접한 두개의 반전 비트라인이 동시에 선택되도록 어드레스 신호 중에서 최하위 어드레스 신호를 제외한 나머지 어드레스 신호만을 디코딩하여 비트라인 선택 신호를 생성한다.

이러한, 컬럼 디코더는 비트라인 선택 신호를 비트라인 수의 절반에 해당하는 수만큼만 생성하고, 서로 인접하고 있는 두개의 비트라인을 하나의 비트라인 선택 신호로 동시에 선택할 수 있다.

한편, 다른 실시예의 컬럼 디코더는 어드레스 신호를 반전시키기 위한 다수의 인버터, 및 최하위 어드레스 신호가 입력되는 입력단으로 접지 전압이 대신 인가되며, 어드레스 신호 및 반전된 어드레스 신호를 조합하여 비트라인 선택 신호를 생성하는 다수의 노아 게이트로 이루어져, 서로 인접하는 두개의 비트라인이 동시에 선택되도록 비트라인 선택 신호를 두개씩 인에이블시키기 위하여 최하위 어드레스 신호를 돈케어 처리할 수도 있다.

또한, 컬럼 디코더는 어드레스 신호를 반전시키기 위한 다수의 인버터, 및 최하위 어드레스 신호가 입력되는 입력단으로 전원 전압이 대신 인가되며, 어드레스 신호 및 반전된 어드레스 신호를 조합하여 비트라인 선택 신호를 생성하는 다수의 난드 게이트로 이루어져, 서로 인접하는 두개의 비트라인이 동시에 선택되도록 비트라인 선택 신호를 두개씩 인에이블시키기 위하여 최하위 어드레스 신호를 돈케어 처리할 수도 있다.

상기의 구성으로 이루어진 본원 발명의 반도체 메모리 장치는 노멀 동작이나 리프레쉬 동작 시 두개의 비트라인이나, 서로 인접한 두개의 워드라인을 동시에 선택하여 센스 앰프의 입력단에 동시에 연결시키고, 이를 통해 센스 앰프의 양 입력단간의 전압차를 증가시킴으로써, 독출 마진을 증가시켜 독출 동작의 정확도를 높이고 소자 동작의 신뢰성을 향상시킨다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 2는 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 2를 참조하면, 본 발명의 제1 실시예 따른 반도체 메모리 장치에서 메모리 셀 어레이(200), 센스 앰프(220-1 내지 220-n), 컬럼 디코더(230)와 도시되지 않은 주변 회로들은 종래의 것과 동일하다. 따라서, 이들에 대한 설명은 생략하기로 한다.

한편, 노멀 동작이나 리프레쉬 동작 시 서로 인접한 두개의 워드라인을 동시에 선택하기 위한 방법 중 하나의 방법으로, 로우 디코더(210)의 내부 회로를 변경하여 서로 인접한 두개의 워드라인을 동시에 선택할 수 있다. 도면을 참조하여, 로우 디코더(210)의 내부 회로와, 서로 인접한 두개의 워드라인을 동시에 선택하는 동작을 보다 상세히 설명하면 다음과 같다.

도 3은 도 2에 도시된 로우 디코더의 내부 회로도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 로우 디코더는 다수의 인버터(INV1 내지 INVk)와, 다수의 NOR 게이트(NOR1 내지 NORn)로 구현될 수 있다. 여기서, 다수의 인버터(INV1 내지 INVk)는 제1 내지 제k+1 어드레스 신호(A0 내지 Ak)를 반전시켜 반전된 어드레스 신호(Ab1 내지 Abk)를 생성한다.

여기서, 종래의 NOR 게이트는 제1 내지 제k+1 어드레스 신호(A0 내지 Ak)와 반전된 어드레스 신호들(Ab0 내지 Abk)을 조합하여 워드라인을 선택하는 신호를 생성했다. 하지만, 본 발명에서는 다수의 NOR 게이트(NOR1 내지 NORn)가 제2 내지 제k+1 어드레스 신호(A1 내지 Ak)와 반전된 어드레스 신호(Ab1 내지 Abk)만을 논리 조합하여 워드라인들(WL0 내지 WLn) 중 하나의 워드라인을 선택하는 신호를 생성한다. 즉, 최하위의 어드레스 신호(A0)는 디코딩하지 않는다. 그리고, 최하위의 어드레스 신호(A0)가 입력되던 NOR 게이트들(NOR0 내지 NORn)의 제1 입력단자(I0)를 접지 전압 단자와 연결시켜, 최하위의 어드레스 신호(A0) 대신에 접지 전압(Vss)이 입력되도록 한다. 이러면, 최하위의 어드레스 신호(A0)는 입력되지 않고, 접지 전압(Vss)은 NOR 게이트의 동작에 아무런 영향을 주지 않으므로, 최하위의 어드레스 신호(A0)는 돈케어(Don't care)처리가 되면서, 워드라인 선택 신호가 두개씩 인에이블된다.

만일, 로우 디코더가 NOR 게이트 대신에 NAND 게이트로 구성된 경우에는, 최하위의 어드레스 신호(A0)가 입력되던 NAND 게이트들의 제1 입력단자를 전원 전압 단자와 연결시켜, 최하위의 어드레스 신호(A0) 대신에 전원 전압(Vcc)이 입력되도록 한다. 이러면, 최하위의 어드레스 신호(A0)는 입력되지 않고, 전원 전압(Vcc)은 NAND 게이트의 동작에 아무런 영향을 주지 않으므로, 최하위의 어드레스 신호(A0)는 돈케어(Don't care)처리가 되면서, 워드라인 선택 신호가 두개씩 인에이블된다.

예로써, 제1 내지 제3 어드레스(A0 내지 A2)가 입력되면서, 상기의 방법으로 최하위의 제1 어드레스(A0)가 돈케어 처리될 경우의 진리표는 다음과 같다.

**[표 1]**

A2	A1	A0	인에이블 신호
0	0	Don't care	WL0, WL1
0	0	Don't care	WL0, WL1
0	1	Don't care	WL2, WL3
0	1	Don't care	WL2, WL3
1	0	Don't care	WL4, WL5
1	0	Don't care	WL4, WL5
1	1	Don't care	WL6, WL7
1	1	Don't care	WL6, WL7

표 1에서와 같이, 3비트의 어드레스 신호(A0 내지 A2)가 입력되면 8개의 워드라인(WL0 내지 WL7)을 각각 선택할 수 있는데, 최하위의 어드레스 신호(A0)가 돈케어 처리되면, 워드라인이 두 개씩 인에이블 되는 것을 알 수 있다. 이는, 어드레스 신호의 비트 수에 상관없이, 최하위의 어드레스 신호가 도 3에 도시된 것처럼 돈케어 처리되면 워드라인을 두 개씩 인에이블 시킬 수 있다. 경우에 따라서, 최하위의 두개의 어드레스 신호(A0 및 A1)를 돈케어 처리하면, 4개의 워드라인을 동시에 인에이블 시킬 수도 있다.

한편, 도면에는 도시되어 있지 않지만, 최하위 어드레스 신호(A0)의 입력단자와, 최하위 어드레스 신호가 입력되는 NOR 게이트들(NOR0 내지 NORn)의 제1 입력단자(I0) 사이에 스위칭 수단을 설치한 후, 제어 신호에 따라 스위칭 수단을 제어하여 NOR 게이트들(NOR0 내지 NORn)의 제1 입력단자(I0)에 최하위 어드레스 신호(A0)나 접지 전압(Vss; NAND 게이트의 경우에는 Vcc)을 선택적으로 입력함으로써, 최하위 어드레스 신호(A0)를 입력시켜 워드라인을 하나만 선택하거나 접지 전압(Vss)을 입력시켜 동시에 두개의 워드라인을 선택하도록 조절할 수도 있다.

도 2 및 도 3을 참조하면, 어드레스 신호(A0 내지 Ak)에 따라 서로 인접한 두개의 워드라인이 로우 디코더(210)에 의해 동시에 인에이블되면, 센스앰프(220-1 내지 220-n)에는 각각 두 개의 메모리 셀이 접속된다.

예를 들어, 제1 및 제2 워드라인(WL0 및 WL1)이 동시에 선택되고 컬럼 디코더(230)에 의해 제1 비트라인(BL1)과 제1 반전 비트라인(BL#1)이 선택되면, 센스 앰프(220-1)의 제1 입력단에는 제1 워드라인(WL0)에 접속된 제1 트루 셀(C1)이 제1 비트라인(BL1)을 통해 접속되고, 제2 입력단에는 제2 워드라인(WL1)에 접속된 셀인 제1 컴플리먼트 셀(C#1)이 제1

반전 비트라인(BL#1)을 통해 연결된다. 이렇게, 서로 반대되는 데이터 값이 저장되는 셀(C1 및 C#1)이 센스 앰프(220-1)의 서로 다른 입력단에 각각 접속되면 입력단간의 전압차가 증가한다. 따라서, 센스 앰프(220-1)의 독출 마진이 증가하고 독출 동작이나 리프레쉬 동작의 정확도가 높아져 소자 동작의 신뢰성을 향상시킬 수 있다.

상기의 제1 실시예에서는, 선택된 두개의 워드라인 중에서 하나의 워드라인(WL0)에는 트루 셀(C1)이 접속되고 다른 하나의 워드라인(WL1)에는 컴플리먼트 셀(C#1)이 연결된 경우를 예로써 설명했다. 하지만, 선택된 두개의 워드라인에 트루 셀만 연결된 경우에도 적용이 가능하며, 이를 설명하면 다음과 같다.

도 4는 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 4를 참조하면, 모든 접속관계가 도 2에 도시된 반도체 메모리 장치와 동일하며, 트루 셀(C1 내지 Cn, C'1 내지 C'n)과 컴플리먼트 셀(C#1 내지 C#n)의 배열 상태가 상이하다. 구체적으로 설명하면, 도 2에서는 서로 인접한 두개의 워드라인이 선택되면, 하나의 워드라인에는 트루 셀이 접속된 워드라인과 컴플리먼트 셀이 연결된 워드라인이 동시에 선택되도록 메모리 셀이 배열되었다. 하지만, 도 4에서와 같이, 서로 인접하면서 트루 셀이나 컴플리먼트 셀만이 연결된 두개의 워드라인이 동시에 선택되도록 메모리 셀을 배열할 수도 있다.

어드레스 신호(A0 내지 Ak)에 서로 인접한 두개의 워드라인이 로우 디코더(210)에 의해 동시에 인에이블되면, 상기의 배열에 의해, 센스앰프(220-1 내지 220-n)에는 각각 두 개의 트루 셀이 접속된다.

예를 들어, 제1 및 제2 워드라인(WL0 및 WL1)이 동시에 선택되고 컬럼 디코더(230)에 의해 제1 비트라인(BL1) 및 제1 반전 비트라인(BL#1)이 활성화되면, 센스 앰프(220-1)의 제1 입력단에는 제1 워드라인(WL0)에 접속된 제1 트루 셀(C1)과 제2 워드라인(WL1)에 접속된 제2 트루 셀(C'1)이 비트라인(BL1)을 통해 접속되어, 제1 및 제2 트루 셀(C1 및 C'1)이 병렬로 접속된다. 한편, 제2 입력단에는 반전 비트라인(BL#1)을 통해 기준 전압(예를 들면,  $V_{cc}/2$ )이 인가된다. 센스 앰프(220-1)의 제1 입력단에 제1 및 제2 트루 셀(C1 및 C'1)이 병렬로 접속되면, 제1 및 제2 트루 셀(C1 및 C'1)에 포함된 커패시터들도 센스 앰프(220-1)의 제1 입력단에 병렬로 접속된다. 커패시터가 병렬로 접속되면 전체 정전 용량도 증가되므로, 입력단간의 전압차가 증가한다. 따라서, 센스 앰프(220-1)의 독출 마진이 증가하고 독출 동작이나 리프레쉬 동작의 정확도가 높아져 소자 동작의 신뢰성을 향상시킬 수 있다.

도 2 내지 도 4에 도시된 제1 및 제2 실시예에서는, 로우 디코더로 두개의 워드라인을 동시에 선택하여 독출 마진을 증가시키는 경우를 예로써 설명했다. 하지만, 로우 디코더에서 생성된 워드라인 선택 신호를 두개의 워드라인으로 인가하여 두개의 워드라인을 동시에 선택하는 방법으로 독출 마진을 증가시킬 수 있으며, 이를 설명하면 다음과 같다.

도 5는 본 발명의 제3 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다. 도 6은 도 5의 로우 디코더의 내부 회로도이다.

도 5를 참조하면, 본 발명의 제3 실시예는 입력된 어드레스(A0 내지 Ak) 중에서 최하위 어드레스(A0)를 제외한 나머지 어드레스(A1 내지 Ak)만을 디코딩하여 워드라인 선택 신호를 생성한다는 점과, 로우 디코더(210)에서 생성된 워드라인 선택 신호가 각각 두개의 워드라인을 동시에 선택한다는 점에서 도 2에 도시된 제2 실시예와 차이가 있다. 구체적으로 설명하면 다음과 같다.

제3 실시예에서는 최하위 어드레스(A0)를 제외한 나머지 어드레스(A1 내지 Ak)만을 디코딩하여 워드라인을 선택하는 신호를 생성한다. 이때, 최하위 어드레스(A0)를 제외하고 나머지 어드레스(A1 내지 Ak)만을 디코딩하면, NOR 게이트의 수가 절반으로 감소하여 로우 디코더(210)의 사이즈를 줄일 수 있지만 NOR 게이트의 수가 감소한 만큼 워드라인 선택 신호의 출력 수도 절반으로 감소하게 된다. 하지만, 워드라인 선택 신호의 출력 수가 감소하더라도 하나의 워드라인 선택 신호를 서로 인접하고 있는 두개의 워드라인에 동시에 인가하여 두개의 워드라인을 동시에 선택하면, 절반으로 줄어든 워드라인 선택 신호만으로도 모든 워드라인을 선택할 수 있다.

이렇게 하나의 워드라인 선택 신호를 서로 인접하고 있는 두개의 워드라인에 동시에 인가하기 위해서는, 서로 인접한 워드라인의 끝단을 연결하여 로우 디코더(210)의 출력단(예를 들면, NOR 게이트의 출력단)에 각각 접속시키기만 하면 된다.

또 다른 방법으로, 도 6을 참조하면, NOR 게이트(NOR1 내지 NORn/2)의 수(n/2개)가 워드라인(WL0 내지 WLn) 수(n개)의 절반으로 감소하더라도 로우 디코더(210) 자체에 워드라인(WL0 내지 WLn)의 수만큼 외부 출력 단자를 설치하여 워드

라인(WL0 내지 WLn)과 각각 연결하고, 로우 디코더(210) 내부에서 NOR 게이트(NOR1 내지 NORn/2)의 출력 단자들을 서로 인접한 2개의 외부 출력 단자와 각각 연결시키면, 하나의 워드라인 선택 신호(예를 들면, NOR1의 출력 신호)로 두개의 워드라인(예를 들면, WL0 및 WL1)을 동시에 선택할 수 있다.

이렇게 하면, 로우 디코더(210)의 사이즈를 줄이면서, 도 2에 도시된 제1 실시예에서와 마찬가지로, 최하위 어드레스(A0)를 돈케어 처리하는 것과 동일한 효과를 얻을 수 있다. 또한, 특정 워드라인과 특정 비트라인을 선택하여 메모리 셀에 저장된 데이터를 독출하거나 리프레쉬 하는 동작 시, 독출 마진이 증가하고 독출 동작이나 리프레쉬 동작의 정확도가 높아져 소자 동작의 신뢰성이 향상되는 원리도 도 2에서 설명한 제1 실시예와 동일하게 적용된다.

상기의 제3 실시예에서는, 선택된 두개의 워드라인 중에서 하나의 워드라인에는 트루 셀이 접속되고 다른 하나의 워드라인에는 컴플리먼트 셀이 연결된 경우를 예로써 설명했다. 하지만, 제4 실시예로써, 도 4에 도시된 제2 실시예에서의 메모리 셀 배열과 같이, 선택된 두개의 워드라인에 트루 셀만 연결된 경우에도 적용이 가능하다. 제4 실시예의 경우에도, 특정 워드라인과 특정 비트라인을 선택하여 메모리 셀에 저장된 데이터를 독출하거나 리프레쉬 하는 동작이나, 독출 마진이 증가하고 독출 동작이나 리프레쉬 동작의 정확도가 높아져 소자 동작의 신뢰성이 향상되는 원리가 도 4에서 설명한 제2 실시예와 동일하게 적용되므로 설명은 생략하기로 한다.

한편, 제1 내지 제4 실시예에서는 두개의 워드라인을 동시에 선택하는 방법으로 독출마진을 증가시켜 독출 동작이나 리프레쉬 동작의 정확도를 높이고 소자 동작의 신뢰성을 향상시킨다. 하지만, 두개의 비트라인(또는 두개의 반전 비트라인; 이하 반전 비트라인의 경우도 포함시킴)을 동시에 선택하는 방법으로도 이러한 효과를 얻을 있다. 이하, 두개의 비트라인을 동시에 선택하는 반도체 메모리 장치의 실시예들을 설명하기로 한다.

도 7은 본 발명의 제5 실시예에 따른 반도체 메모리 장치의 접속 관계 및 동작을 설명하기 위한 회로도이다.

도 7을 참조하면, 본 발명의 제5 실시예에 따른 반도체 메모리 장치는 서로 인접하고 있는 두개의 비트라인(예를 들면, BL1 및 BL2)이 센스 앰프(예를 들면, 220-1)의 제1 입력단에 병렬로 연결되고, 서로 인접하고 있는 두개의 반전 비트라인(예를 들면, BL#1 및 BL#2)이 센스 앰프(220-1)의 제2 입력단에 병렬로 연결된다. 따라서, 종래 기술이나 제1 내지 제4 실시예와는 다르게, 노멀 동작이나 리프레쉬 동작 시 로우 디코더(210)는 하나의 워드라인(예를 들면, WL0)만을 선택하고, 컬럼 디코더(130)는 두개의 비트라인(BL1 및 BL2)을 동시에 선택하여 비트라인 전압을 인가해 주어야 한다.

이 경우, 로우 디코더(210)에 의해 제1 워드라인(WL0)이 선택되고 컬럼 디코더(230)에 의해 서로 인접하고 있는 제1 및 제2 비트라인(BL1 및 BL2)이 동시에 선택되면, 센스 앰프(220-1)의 제1 입력단에는 제1 워드라인(WL0)에 접속된 제1 및 제2 트루 셀(C1 및 C2)이 제1 및 제2 비트라인(BL1 및 BL2)을 통해 병렬로 접속된다. 한편, 제2 입력단에는 제1 및 제2 반전 비트라인(BL#1 및 BL#2)을 통해 기준 전압(예를 들면, Vcc/2)이 인가된다. 센스 앰프(220-1)의 제1 입력단에 제1 및 제2 트루 셀(C1 및 C2)이 병렬로 접속되면, 제1 및 제2 트루 셀(C1 및 C2)에 포함된 커패시터들도 센스 앰프(220-1)의 제1 입력단에 병렬로 접속된다. 커패시터가 병렬로 접속되면 전체 정전 용량도 증가되므로, 입력단간의 전압차가 증가한다. 따라서, 센스 앰프(220-1)의 독출 마진이 증가하고 독출 동작이나 리프레쉬 동작의 정확도가 높아져 소자 동작의 신뢰성을 향상시킬 수 있다.

이렇게, 노멀 동작이나 리프레쉬 동작 시 서로 인접한 두개의 비트라인을 동시에 선택하기 위한 방법 중 하나의 방법으로, 컬럼 디코더(230)의 내부 회로를 변경하여 서로 인접한 두개의 비트라인을 동시에 선택할 수 있다. 즉, 도 2 및 도 3에서 설명한 제1 실시예나 도 4에서 설명한 제2 실시예에서와 같은 방법으로, 컬럼 디코더(230)로 입력되는 어드레스 신호 중 최하위 어드레스 신호를 제외한 나머지 신호만을 디코딩하는 방식으로 컬럼 디코더(230)의 내부 회로를 변경하면 서로 인접한 두개의 비트라인을 동시에 선택할 수 있다.

한편, 제1 내지 제4 실시예에서 서술한 기술 내용을 적용하여 제5 실시예에 따른 반도체 메모리 장치를 조금만 변경하면, 도 4의 제2 실시예에서와 같이, 메모리 셀의 배열이 달라지더라도 제5 실시예에 따른 반도체 메모리 장치를 적용할 수 있다.

본 발명은 적합한 실시예를 참조하여 설명된 본원의 특정 분야에 대해 제한되지 않으며, 오히려 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

## 발명의 효과

상술한 바와 같이, 본 발명은 워드라인을 선택하여 메모리 셀이 저장된 데이터를 독출하는 과정에서 선택된 워드라인과 인접한 워드라인을 동시에 선택하거나, 두 개의 비트라인(또는, 반전 비트라인)을 센스 앰프의 입력단에 동시에 연결시켜 센스 앰프의 양 입력단의 전압차를 증가시킴으로써, 독출 마진을 증가시켜 독출 동작의 정확도를 높이고 소자 동작의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

**청구항 1.**

메모리 셀들이 연결된 다수의 워드라인 및 다수의 비트라인을 포함하는 메모리 셀 어레이;

어드레스 신호를 수신하고, 상기 어드레스 신호 중에서 최하위 어드레스 신호를 제외한 나머지 어드레스 신호만을 디코딩하여, 상기 워드라인 수의 절반에 해당하는 수의 상기 워드라인 선택 신호를 생성하여, 상기 다수의 워드라인 중 서로 인접한 두개의 워드라인을 동시에 선택하는 로우 디코더;

상기 다수의 비트라인 중 하나를 선택하기 위한 컬럼 디코더; 및

상기 로우 디코더 및 상기 컬럼 디코더에 의해 선택된 메모리 셀에 저장된 데이터를 센싱하기 위한 다수의 센스 앰프를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 2.**

삭제

**청구항 3.**

삭제

**청구항 4.**

제 1 항에 있어서,

상기 로우 디코더는 상기 어드레스 신호를 반전시키기 위한 다수의 인버터; 및

상기 최하위 어드레스 신호가 입력되는 입력단으로 접지 전압이 대신 인가되며, 상기 어드레스 신호 및 반전된 어드레스 신호를 조합하여 상기 워드라인 선택 신호를 생성하는 다수의 노아 게이트로 이루어져,

서로 인접하는 두개의 워드라인이 동시에 선택되도록 상기 워드라인 선택 신호를 두개씩 인에이블시키기 위하여 상기 최하위 어드레스 신호를 돈케어 처리하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 5.**

제 4 항에 있어서,

상기 로우 디코더는, 상기 최하위 어드레스 신호가 입력되는 상기 노아 게이트의 입력단에 설치되며 제어 신호에 따라 상기 최하위 어드레스 신호 및 상기 접지 전압 중 어느 하나를 선택적으로 상기 노아 게이트의 입력단으로 스위칭하는 스위칭 수단을 더 구비하여, 상기 최하위 어드레스 신호가 입력되면 하나의 워드라인만을 선택하고 상기 접지 전압이 입력되면 두개의 워드라인을 동시에 선택할 수 있는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 6.**

제 1 항에 있어서,

상기 로우 디코더는 상기 어드레스 신호를 반전시키기 위한 다수의 인버터; 및

상기 최하위 어드레스 신호가 입력되는 입력단으로 전원 전압이 대신 인가되며, 상기 어드레스 신호 및 반전된 어드레스 신호를 조합하여 상기 워드라인 선택 신호를 생성하는 다수의 난드 게이트로 이루어져,

서로 인접하는 두개의 워드라인이 동시에 선택되도록 상기 워드라인 선택 신호를 두개씩 인에이블시키기 위하여 상기 최하위 어드레스 신호를 돈케어 처리하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 7.

제 6 항에 있어서,

상기 로우 디코더는, 상기 최하위 어드레스 신호가 입력되는 상기 노아 게이트의 입력단에 설치되며 제어 신호에 따라 상기 최하위 어드레스 신호 및 상기 전원 전압 중 어느 하나를 선택적으로 상기 난드 게이트의 입력단으로 스위칭하는 스위칭 수단을 더 구비하여, 상기 최하위 어드레스 신호가 입력되면 하나의 워드라인만을 선택하고 상기 전원 전압이 입력되면 두개의 워드라인을 동시에 선택할 수 있는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 8.

삭제

### 청구항 9.

삭제

### 청구항 10.

제 1 항에 있어서,

상기 서로 인접한 두개의 워드라인은 비트라인에 연결된 트루 셀들만이 연결된 워드라인이거나, 반전 비트라인에 연결된 컴플리먼트 셀들만이 연결된 워드라인인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 11.

제 10 항에 있어서,

상기 트루 셀들 또는 상기 컴플리먼트 셀들은 상기 센스 앰프의 제1 입력단으로 접속되고, 상기 센스 앰프의 제2 입력단에는 기준 전압이 인가되어 저장된 데이터가 독출되는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 12.

메모리 셀들이 연결된 다수의 워드라인, 다수의 비트라인 및 다수의 반전 비트라인을 포함하는 메모리 셀 어레이;

상기 다수의 워드라인 중 하나를 선택하기 위한 로우 디코더;

서로 인접한 두 개의 비트 라인 또는 서로 인접한 두 개의 반전 비트 라인이 동시에 선택되도록 상기 어드레스 신호 중에서 최하위 어드레스 신호를 제외한 나머지 어드레스 신호만을 디코딩하여 상기 비트 라인 선택 신호를 생성하는 컬럼 디코더; 및

상기 서로 인접한 두 개의 비트 라인이 병렬로 연결되는 제1 입력단과, 상기 서로 인접한 두 개의 반전 비트 라인이 병렬로 연결되는 제2 입력단을 포함하고, 상기 로우 디코더 및 상기 컬럼 디코더에 의해 선택된 메모리 셀에 저장된 데이터를 센싱하기 위한 다수의 센스 앰프를 포함하며,

상기 컬럼 디코더가 상기 서로 인접한 두 개의 비트 라인 또는 상기 서로 인접한 두 개의 반전 비트 라인을 동시에 선택할 때, 상기 센스 앰프는 상기 메모리 셀들 중 상기 서로 인접한 두 개의 비트 라인에 각각 연결된 두 개의 메모리 셀들 또는 상기 서로 인접한 두 개의 반전 비트 라인에 각각 연결된 두 개의 메모리 셀들에 저장된 데이터들을 센싱하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 13.

삭제

### 청구항 14.

제 12 항에 있어서,

상기 컬럼 디코더는 상기 비트라인 선택 신호를 상기 비트라인 수의 절반에 해당하는 수만큼만 생성하며, 하나의 상기 비트라인 선택 신호로 서로 인접하고 있는 두개의 비트라인을 동시에 선택하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 15.

제 12 항에 있어서,

상기 컬럼 디코더는 상기 어드레스 신호를 반전시키기 위한 다수의 인버터; 및

상기 최하위 어드레스 신호가 입력되는 입력단으로 접지 전압이 대신 인가되며, 상기 어드레스 신호 및 반전된 어드레스 신호를 조합하여 상기 비트라인 선택 신호를 생성하는 다수의 노아 게이트로 이루어져,

서로 인접하는 두개의 비트라인이 동시에 선택되도록 상기 비트라인 선택 신호를 두개씩 인에이블시키기 위하여 상기 최하위 어드레스 신호를 돈케어 처리하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 16.

제 12 항에 있어서,

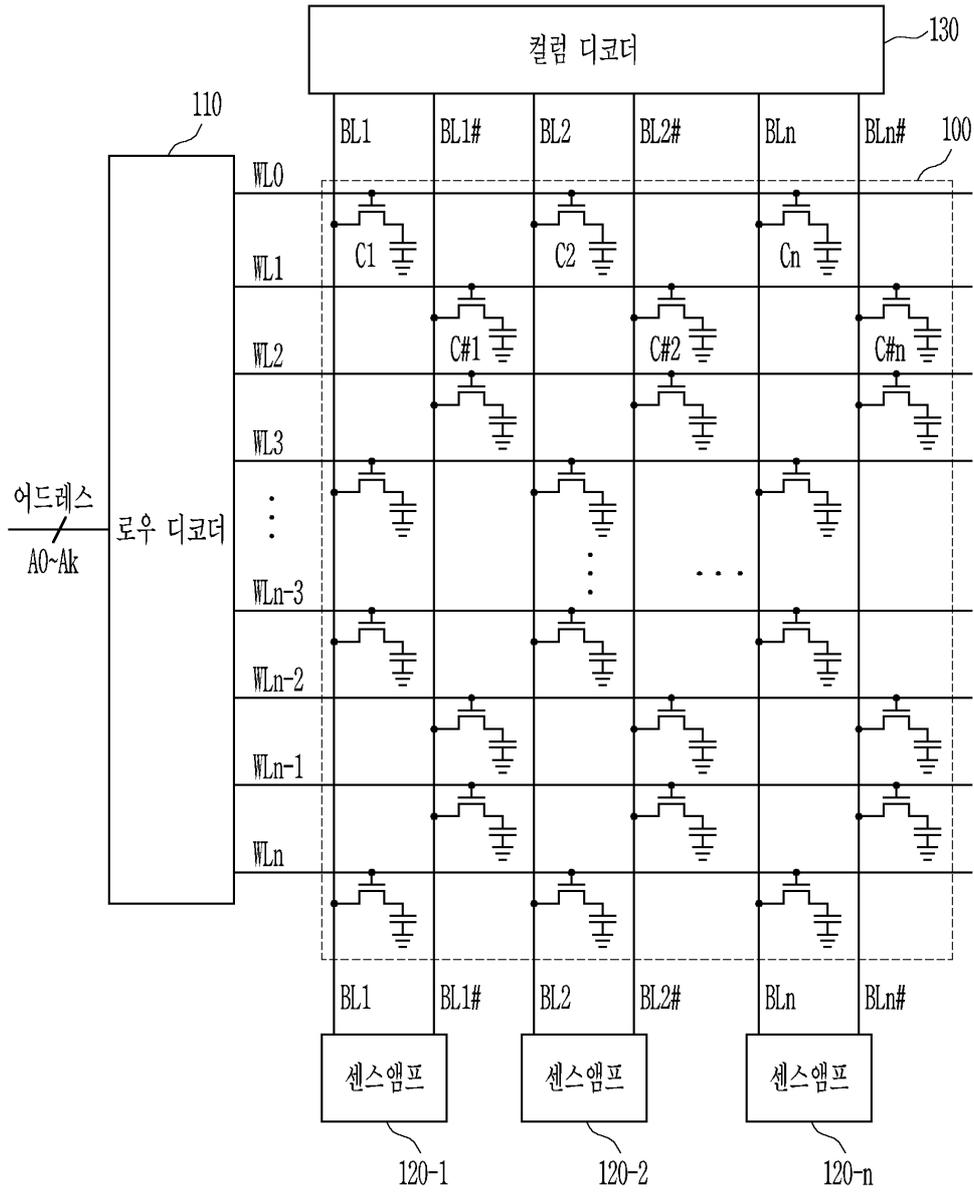
상기 컬럼 디코더는 상기 어드레스 신호를 반전시키기 위한 다수의 인버터; 및

상기 최하위 어드레스 신호가 입력되는 입력단으로 전원 전압이 대신 인가되며, 상기 어드레스 신호 및 반전된 어드레스 신호를 조합하여 상기 비트라인 선택 신호를 생성하는 다수의 난드 게이트로 이루어져,

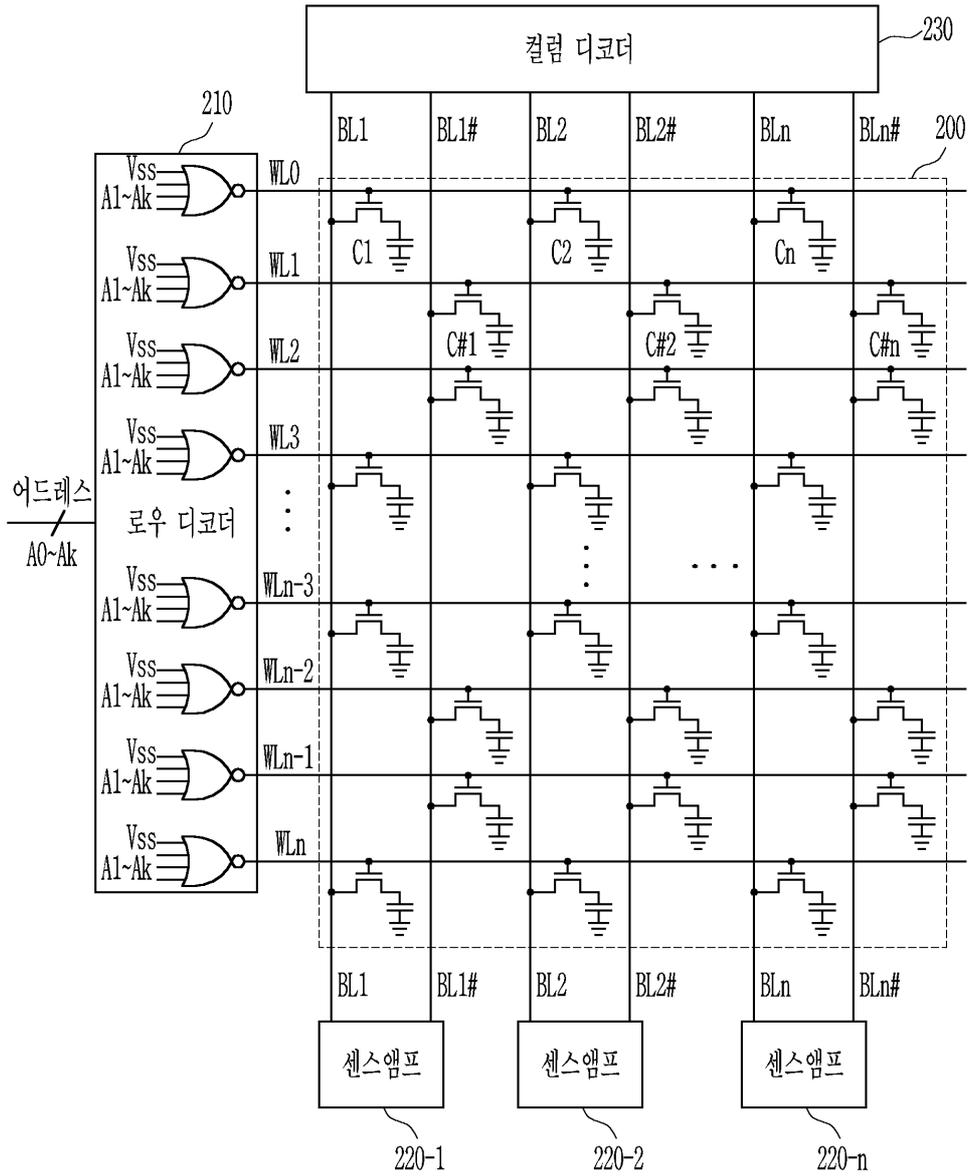
서로 인접하는 두개의 비트라인이 동시에 선택되도록 상기 비트라인 선택 신호를 두개씩 인에이블시키기 위하여 상기 최하위 어드레스 신호를 돈케어 처리하는 것을 특징으로 하는 반도체 메모리 장치.

도면

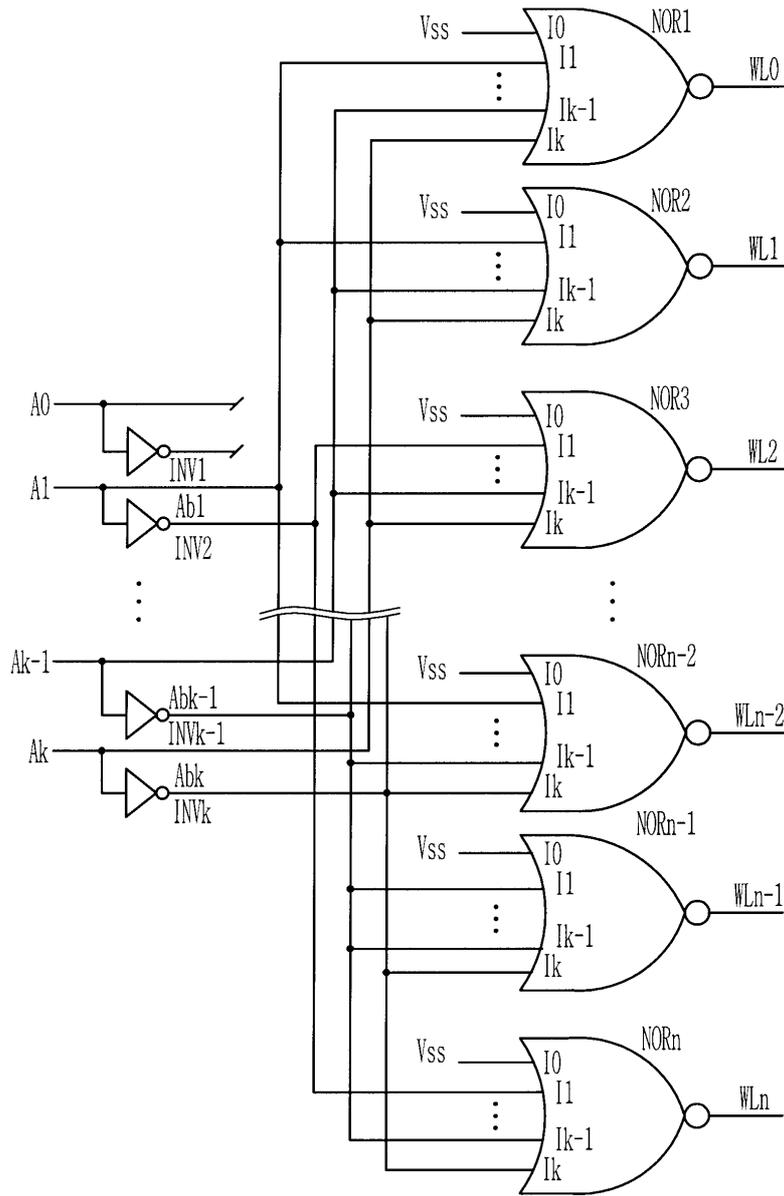
도면1



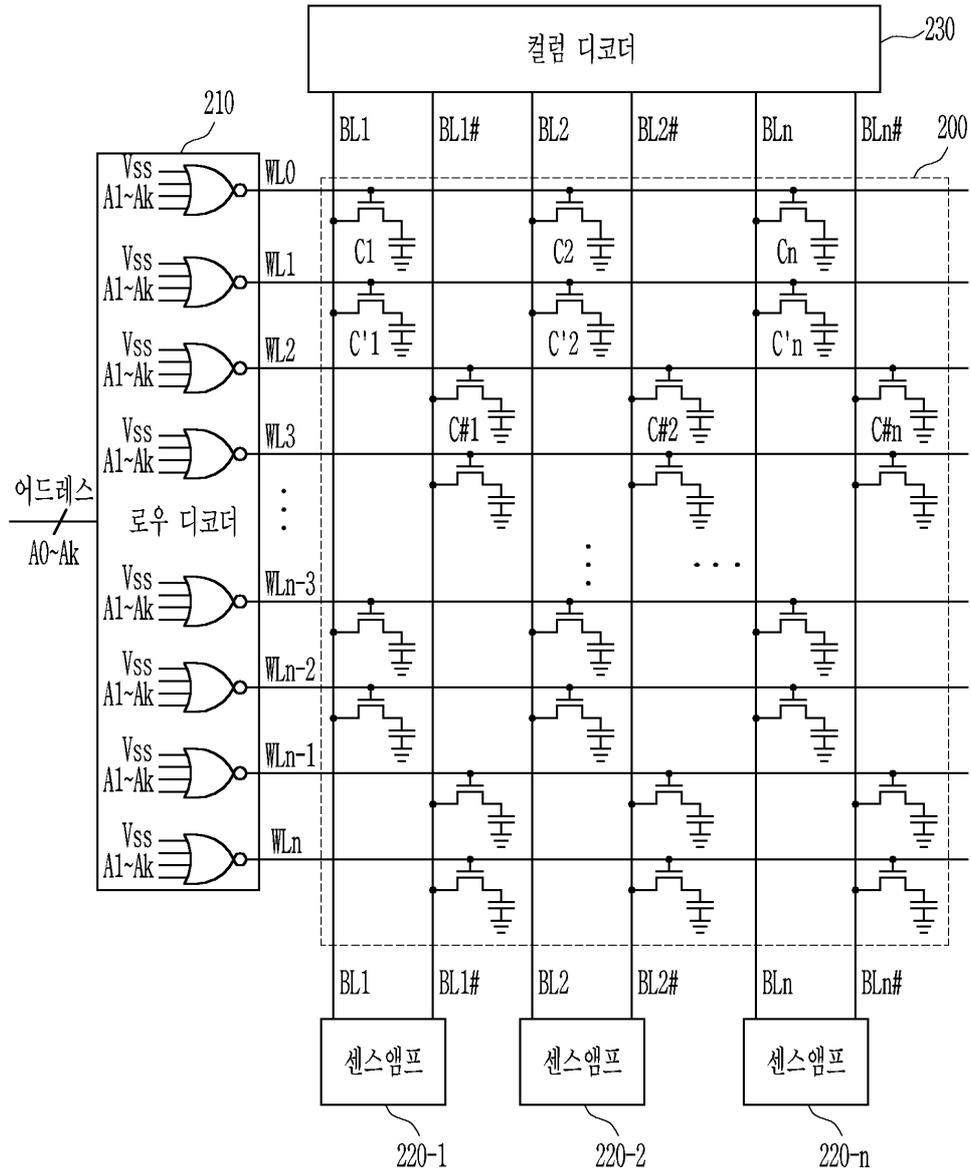
도면2



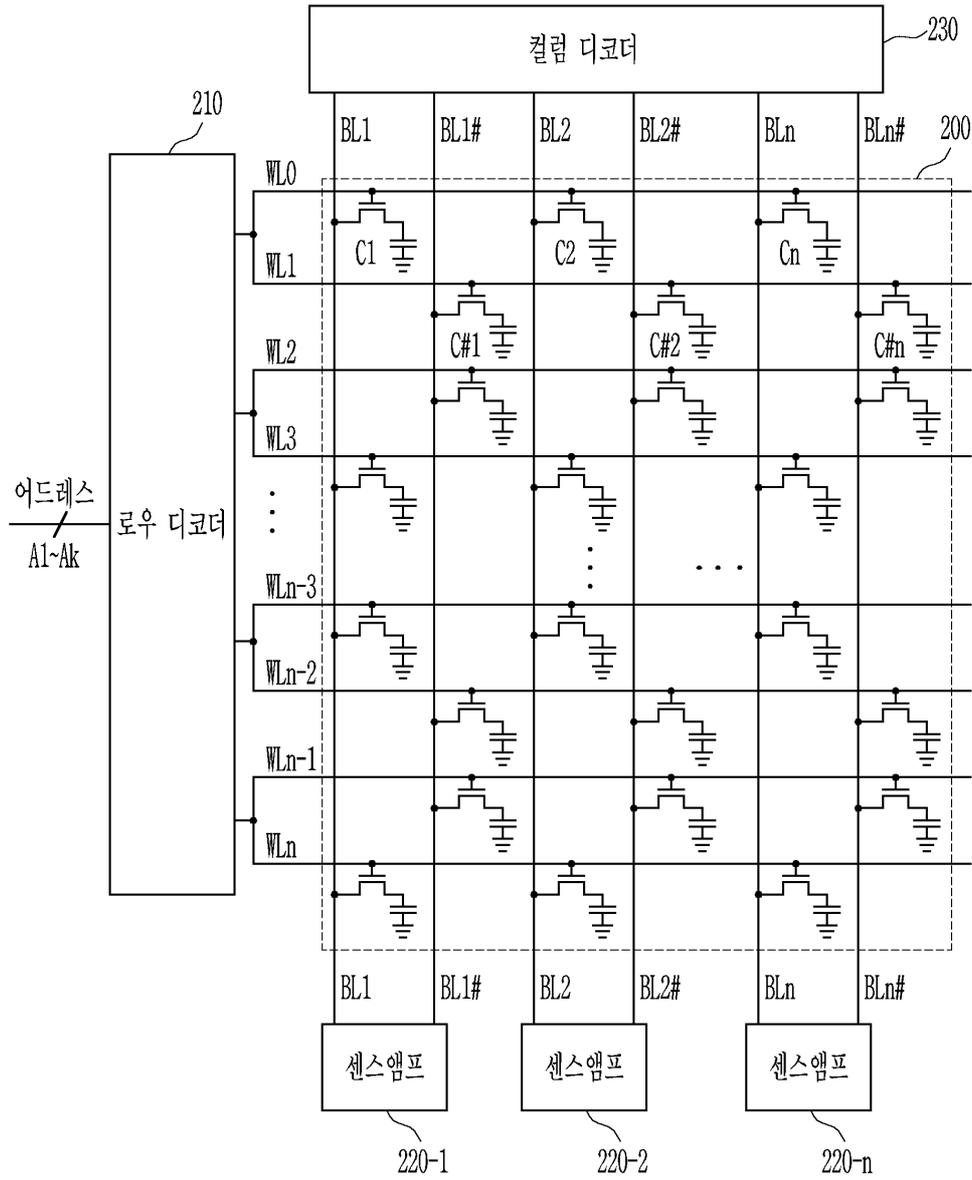
도면3



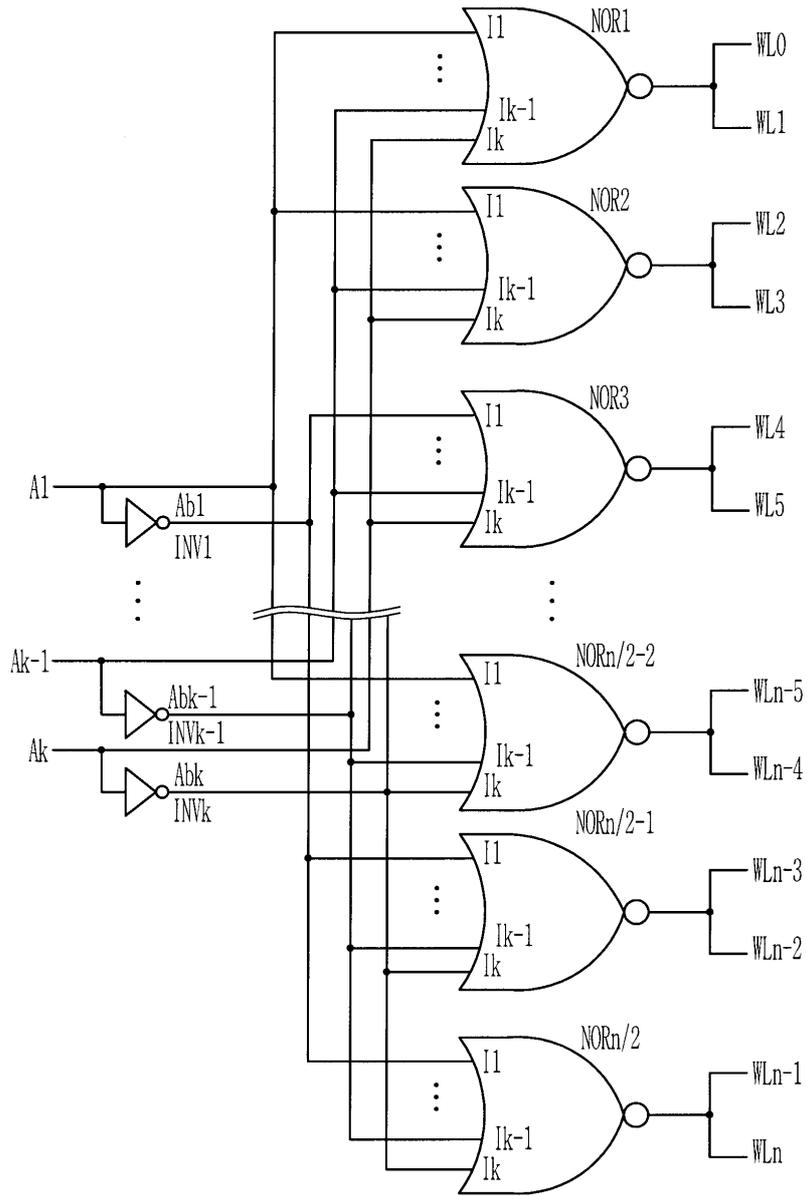
도면4



도면5



도면6



도면7

