



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I725755 B

(45) 公告日：中華民國 110 (2021) 年 04 月 21 日

(21) 申請案號：109106584

(22) 申請日：中華民國 109 (2020) 年 02 月 27 日

(51) Int. Cl. : *H01L27/11551 (2017.01)* *H01L27/11524 (2017.01)*
H01L27/11556 (2017.01)

(30) 優先權：2020/02/05 美國 16/782,093

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：賴二琨 LAI, ERH KUN (TW)；龍翔瀾 LUNG, HSIANG LAN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

US 2011/0298013A1

US 2016/0118122A1

US 2017/0077140A1

US 2019/0312052A1

審查人員：陳恩笙

申請專利範圍項數：8 項 圖式數：10 共 30 頁

(54) 名稱

立體記憶體元件及其製作方法

(57) 摘要

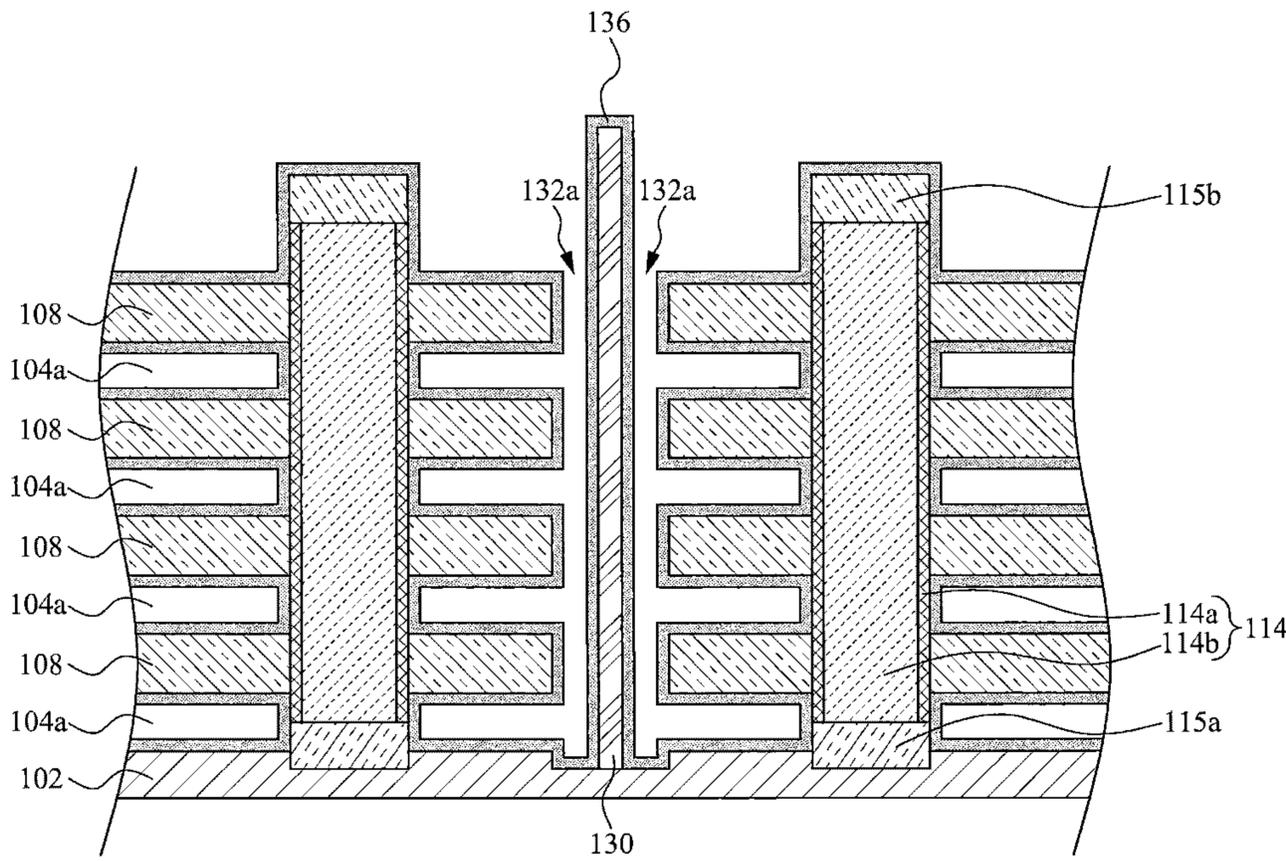
一種立體記憶體元件包含基材、複數水平導電層、複數垂直記憶體結構以及垂直導電板體。複數水平導電層位於基材上，該些導電層二緊鄰者之間形成第一空氣間隙。記憶體結構穿越該些導電層而連接至基材。導電板體位於該些記憶體結構其中二緊鄰者之間，且穿越該些導電層而連接至基材，導電板體與該些水平導電層緊鄰者的邊緣之間形成第二空氣間隙。

A three-dimensional memory device includes a substrate, a plurality of horizontal conductive layers, a plurality of vertical memory structures and a vertical conductive post. The conductive layers are located above the substrate, and immediately-adjacent two of the conductive layers are spaced by a first air gap. The memory structures pass through the conductive layers and are connected to the substrate. The conductive post is located between immediately-adjacent two of the memory structures and passes through the conductive layers and is connected to the substrate. The conductive post is spaced from immediately-adjacent edges of the conductive layers by a second air gap.

指定代表圖：

符號簡單說明：

- 102: 基材
- 104a: 空氣間隙
- 108: 導電層
- 114: 記憶體結構
- 114a: 存儲層
- 114b: 通道層
- 115a: 磊晶矽
- 115b: 接合焊墊
- 130: 導電板體
- 132a: 空氣間隙
- 136: 氧化層



第9圖

I725755

【發明摘要】

【中文發明名稱】立體記憶體元件及其製作方法

【英文發明名稱】THREE DIMENSIONAL MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME

【中文】

一種立體記憶體元件包含基材、複數水平導電層、複數垂直記憶體結構以及垂直導電板體。複數水平導電層位於基材上，該些導電層二緊鄰者之間形成第一空氣間隙。記憶體結構穿越該些導電層而連接至基材。導電板體位於該些記憶體結構其中二緊鄰者之間，且穿越該些導電層而連接至基材，導電板體與該些水平導電層緊鄰者的邊緣之間形成第二空氣間隙。

【英文】

A three-dimensional memory device includes a substrate, a plurality of horizontal conductive layers, a plurality of vertical memory structures and a vertical conductive post. The conductive layers are located above the substrate, and immediately-adjacent two of the conductive layers are spaced by a first air gap. The memory structures pass through the conductive layers and are connected to the substrate. The conductive post is located between immediately-adjacent two of the memory structures and passes through the conductive layers and is connected to the substrate. The conductive post is spaced from immediately-adjacent edges of the conductive layers by a second air gap.

【指定代表圖】第(9)圖。

【代表圖之符號簡單說明】

102: 基材

104a: 空氣間隙

108: 導電層

114: 記憶體結構

114a: 存儲層

114b: 通道層

115a: 磊晶矽

115b: 接合焊墊

130: 導電板體

132a: 空氣間隙

136: 氧化層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】立體記憶體元件及其製作方法

【英文發明名稱】THREE DIMENSIONAL MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME

【技術領域】

【0001】 本發明內容是有關於一種記憶體元件及其製造方法，且特別是有關於一種具有高記憶密度之立體記憶體元件及其製造方法。

【先前技術】

【0002】 記憶體元件係可攜式電子裝置，例如 MP3 播放器、數位相機、筆記型電腦、智慧型手機等：中重要的資料儲存元件。隨著各種應用程式的增加及功能的提升，對於記憶體元件的需求，也趨向較小的尺寸、較大的記憶容量。而為了因應這種需求，目前設計者轉而開發一種包含有多個記憶胞階層堆疊的立體記憶體元件，例如垂直通道式立體 NAND 快閃記憶體元件。

【0003】 然而，隨著元件的關鍵尺寸微縮至一般記憶胞技術領域的極限，如何在現有設備的製程能力限制下，獲得到更高的記憶儲存容量，已成了該技術領域所面臨的重要課題。例如，在高密度三維存儲器件中，如何減小金屬線之間電容並增加擊穿電壓是重要的問題。因此，有需要提供一種先進的立體記憶體元件及其製作方法，來解決習知技

術所面臨的問題。

【發明內容】

【0004】 本說明書的一實施例揭露一種立體記憶體元件，其包含基材、複數水平導電層、複數垂直記憶體結構以及垂直導電板體。複數水平導電層位於基材上，該些導電層二緊鄰者之間形成第一空氣間隙。記憶體結構穿越該些導電層而連接至基材。導電板體位於該些記憶體結構其中二緊鄰者之間，且穿越該些導電層而連接至基材，導電板體與該些水平導電層緊鄰者的邊緣之間形成第二空氣間隙。

【0005】 在本說明書的其他實施例中，第一空氣間隙連通至第二空氣間隙。

【0006】 在本說明書的其他實施例中，立體記憶體元件還包含一非共形氧化層形成於該些導電層、該些記憶體結構以及導電板體裸露於第一、二空氣間隙的表面上。

【0007】 在本說明書的其他實施例中，每一記憶體結構包含一儲存層接觸該些導電層以及一通道層接觸儲存層。

【0008】 在本說明書的其他實施例中，第一空氣間隙的寬度為約 10 奈米至約 50 奈米，第二空氣間隙的寬度為約 10 奈米至約 100 奈米。

【0009】 在本說明書的其他實施例中，立體記憶體元件還包含一非共形層，其覆蓋於該些導電層、該些記憶體結構以及導電板體之頂部的上方。

【0010】 在本說明書的其他實施例中，非共形層包含一第三

空氣間隙位於導電板體與該些記憶體結構之一緊鄰者之間，第三空氣間隙不連通至第一、二空氣間隙。

【0011】 在本說明書的其他實施例中，立體記憶體元件還包含一非共形層，其覆蓋於該些記憶體結構以及該導電板體之頂部的上方，第三空氣間隙形成於非共形層下方，且位於導電板體與該些記憶體結構之一緊鄰者之間，第三空氣間隙連通至第一、二空氣間隙。

【0012】 本說明書的另一實施例揭露一種立體記憶體元件的製作方法，其包含以下步驟：交替沈積複數第一絕緣層以及第二絕緣層於一基材上；蝕刻複數第一通孔穿越該些第一、二絕緣層；形成垂直記憶體結構於該些第一通孔內；蝕刻一溝槽於該些記憶體結構其中二緊鄰者之間；通過溝槽蝕刻該些第一絕緣層以形成該些第二絕緣層之間的空隙；通過溝槽沈積導電材料至空隙以形成該些第二絕緣層之間的複數水平導電層；沈積一第三絕緣層覆蓋溝槽的側壁；沈積垂直導電板體於溝槽內且位於第三絕緣層內；以及移除該些第二絕緣層與第三絕緣層以形成該些水平導電層二緊鄰者之間的第一空氣間隙以及該導電板體與該些水平導電層緊鄰者的邊緣之間的第二空氣間隙。

【0013】 在本說明書的其他實施例中，立體記憶體元件的製作方法還包含形成一共形氧化層於該些導電層、該些記憶體結構以及導電板體裸露於第一、二空氣間隙的表面上。

【0014】 根據前述實施例，本發明的立體記憶體元件在緊鄰字線之間具有空氣間隙，且在源極線與緊鄰字線之間具有

空氣間隙，能有效地減小它們之間的電容值，且有效地增加它們之間的擊穿電壓。因此，犧牲絕緣層可以製作的更薄，因而更容易堆疊更多的層，且可以減小源極線和緊鄰字線之間間隙，使得立體記憶體元件的儲存密度得以增加。

【0015】 以下將以實施方式對上述之說明作詳細的描述，並對本發明之技術方案提供更進一步的解釋。

【圖式簡單說明】

【0016】 為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第1～10D圖係繪示依照本說明書之實施例的半導體記憶體元件製造方法於多個步驟中的剖面圖。

【實施方式】

【0017】 本說明書是提供一種立體記憶體元件的製作方法，可在更微小的元件尺寸之中，獲得到更高的記憶儲存容量，同時又能兼顧元件的操作穩定性。為了對本說明書之上述實施例及其他目的、特徵和優點能更明顯易懂，下文特舉一記憶體元件及其製作方法作為較佳實施例，並配合所附圖式作詳細說明。

【0018】 但必須注意的是，這些特定的實施案例與方法，並非用以限定本發明。本發明仍可採用其他特徵、元件、方法及參數來加以實施。較佳實施例的提出，僅係用以例示

本發明的技術特徵，並非用以限定本發明的申請專利範圍。該技術領域中具有通常知識者，將可根據以下說明書的描述，在不脫離本發明的精神範圍內，作均等的修飾與變化。在不同實施例與圖式之中，相同的元件，將以相同的元件符號加以表示。

【0019】 應當理解，儘管「第一」與「第二」等在本文中可以用於描述各種元件、部件、區域、層及/或部分，但是這些元件、部件、區域、及/或部分不應受這些術語的限制。這些術語僅用於將一個元件、部件、區域、層或部分與另一個元件、部件、區域、層或部分區分開。

【0020】 本文使用的術語僅僅是為了描述本發明特定的實施例，而不是用來限制本發明。舉例來說，本文使用的「一」、「一個」和「該」並非限制元件為單數形式或複數形式。本文使用的「或」表示「及/或」。如本文所使用的，術語「及/或」包括一個或多個相關所列項目的任何和所有組合。還應當理解，當在本說明書中使用時，術語「包括」或「包含」指定所述特徵、區域、整體、步驟、操作、元件的存在及/或部分，但不排除一個或多個其它特徵、區域、整體、步驟、操作、元件、部件及/或其組合的存在或添加。

【0021】 請參照第 1 ~ 10 D 圖，其繪示依照本說明書之實施例的半導體記憶元件製造方法於多個步驟中的剖面圖。

【0022】 參照第 1 圖，複數絕緣層 104 和絕緣層 106 交替地沉積在半導體基材 102 上或半導體基材上方的氧化物層上，以形成多層堆疊結構。在本說明書的一些實施例中，

絕緣層 104 可以由包括例如氧化矽的氧化物材料的介電材料製成，並且絕緣層 106 可以由例如氮化矽的氮化物材料的介電材料製成。硬罩幕層 110 進一步沉積在多層堆疊結構上，並且硬罩幕層 110 可以由不同於絕緣層 104 的介電材料製成。在本實施例中，硬罩幕層 110 可以沉積在最頂部的絕緣層 104 之上。

【0023】 參照第 2 圖，進行蝕刻步驟以在多層堆疊結構上形成複數通孔 116，從而形成通孔的陣列(即複數行通孔)。每個通孔 116 穿過多層堆疊結構(104、106)和硬罩幕層 110 以暴露出基材 102。在本說明書的一些實施例中，複數通孔 116 可以具有 O 形、圓形、橢圓形或矩形等外形，但不限於此。在本說明書的一些實施例中，使用硬罩幕層 110 作為蝕刻罩幕來執行非等向性蝕刻工藝，例如反應離子蝕刻(RIE)工藝，以圖案化複數通孔 116 穿過多層堆疊結構。

【0024】 參照第 3 圖，然後通過沉積工藝在每個通孔 116 的底部和側壁上形成存儲層 114a 和通道層 114b，以形成垂直記憶體結構 114。在本說明書的一些實施例中，存儲層 114a 可以是氧化矽(silicon oxide)層、氮化矽(silicon nitride)層和氧化矽層的複合層(即 ONO 複合層)，但存儲層的結構並不以此為限。在本說明書的其他實施例中，存儲層的複合層還可以選自於由一矽氧化物-氮化矽-矽氧化物-氮化矽-矽氧化物(oxide-nitride-oxide-nitride-oxide，即 ONONO)

結構、一矽 - 矽氧化物 - 氮化矽 - 矽氧化物 - 矽 (silicon-oxide-nitride-oxide-silicon, 即 SONOS) 結構、一能隙工程矽 - 矽氧化物 - 氮化矽 - 矽氧化物 - 矽 (bandgap engineered silicon-oxide-nitride-oxide-silicon, 即 BE-SONOS) 結構、一氮化鉭 - 氧化鋁 - 氮化矽 - 矽氧化物 - 矽 (tantalum nitride, aluminum oxide, silicon nitride, silicon oxide, silicon, TANOS) 結構以及一金屬高介電係數能隙工程矽 - 矽氧化物 - 氮化矽 - 矽氧化物 - 矽 (metal-high-k bandgap-engineered silicon-oxide-nitride-oxide-silicon, MA BE-SONOS) 結構所組成之一族群。在本實施例中，存儲層 114a 包含 ONO 複合層。通道層 114b 可以由摻雜或未摻雜的半導體材料製成，並且在本實施例中可以由多晶矽製成。在一些其他實施例中，可以在每個通孔 116 的底部沉積磊晶矽 (self-epitaxial-growth silicon) 115a，並且可以在每個通孔 116 的頂部沉積接合焊墊 115b。在硬罩幕層 110 與通孔 116 上，亦可沉積蓋氧化物層 113 以保護通孔 116 內的記憶體結構 114。

【0025】 參照第 4 圖，執行蝕刻步驟以在緊鄰的兩個記憶體結構 114 之間形成溝槽 126，以穿過多層堆疊結構的絕緣層 104 與絕緣層 106，從而裸露出基材 102。

【0026】 參照第 5 圖，執行濕蝕刻工藝以去除多層堆疊結構其中的絕緣層 106，直到在每個溝槽 126 中暴露出記憶

體結構 114 的側壁為止。蝕刻的執行是藉由填入蝕刻劑，其對絕緣層 106 的蝕刻速率比對絕緣層 104 和存儲層 114a 的蝕刻速率快得多，因此能蝕刻絕緣層 104 之間的所有絕緣層 106，從而在其餘的（未被蝕刻的）絕緣層 104 之間形成空隙 106a。因此，在每個溝槽 126 中暴露出記憶體結構 114 的側壁（即存儲層 114a 的側壁）。記憶體結構 114 用作支撐柱，以支持其餘的絕緣層 104 不會因其間的空隙 106a 而塌陷。

【0027】 參照第 6 圖，將導電材料沉積到每個溝槽 126 中以形成導電層 108 填充到空隙中。每個導電層 108 應當延伸或觸及記憶體結構 114 的暴露的側壁。導電材料可以包括金屬，例如銅、鋁、鎢或其金屬合金。執行額外的蝕刻工藝以去除溝槽 126 中的過量導電材料，使相鄰的導電層 108 彼此隔開，以防止在相鄰的導電層 108 之間的橋接。導電層 108 也可以作為立體記憶體元件中的「字線」。

【0028】 參考第 7 圖，可以在每個溝槽 126 的側壁上沉積氧化物絕緣層 132，並且在氧化物絕緣層 132 內沉積垂直導電牆或導電板體 130，並與氧化物絕緣層 132 接觸。導電板體 130 藉氧化物絕緣層 132 與導電層 108 和絕緣層 104 的邊緣間隔開。垂直導電板體 130 包括金屬，例如銅、鋁、鎢或其金屬合金，並且也可以作為立體記憶體元件中的「源極線」。

【0029】 參照第 8 圖，執行另一濕蝕刻工藝以去除所有氧化物的層（包括絕緣層 104、氧化物絕緣層 132、硬罩幕

層 110 以及蓋氧化物層 113)。通過填入對氧化物材料的蝕刻速率比對導電層 108、導電板體 130 和儲存層 114a 的蝕刻速率快得多的蝕刻劑來執行濕蝕刻工藝，藉以蝕刻所有氧化物的層而在剩餘的（未被蝕刻的）導電層 108 和導電板體 130 之間形成空隙。記憶體結構 114 仍然用作支撐柱，藉以支持剩餘的導電層 108，例如導電層 108 不會因其間的空隙而塌陷。

【0030】 在本說明書的一些實施例中，空氣間隙 104a 形成在兩個緊鄰的導電層 108 之間，並且具有在大約 10 奈米至大約 50 奈米範圍內的寬度（W1）。在本說明書的一些實施例中，空氣間隙 104a 可具有小於約 20 奈米的寬度（W1）。在本說明書的一些實施例中，空氣間隙 132a 形成在導電板體 130 與緊鄰導電層 108 的邊緣之間，且具有在約 10 奈米至約 100 奈米範圍內的寬度（W2）。在本說明書的一些實施例中，空氣間隙 132a 可具有小於約 50 奈米的寬度（W2）。在本說明書的一些實施例中，空氣間隙 104a 連通至空氣間隙 132a。

【0031】 參照第 9 圖，共形的氧化層 136 可以形成在導電層 108、記憶體結構 114 和導電板體 130 暴露於空氣間隙（104a、132a）的表面外，但不限於此。在本說明書的一些實施例中，氧化層 136 可具有在約 1 奈米至約 5 奈米範圍內的均勻厚度。共形氧化層 136 用以將導電層 108 牢固地固定在記憶體結構 114 上，使得導電層 108 較不易因它們之間的空隙或空氣間隙而塌陷。因此，空氣間隙（104a、

132a) 被包圍在氧化層 136 之間。

【0032】 參照第 10A 圖，非共形層 140 沉積在導電層 108、記憶體結構 114 和導電板體 130 的頂部上方，並且未填充到空氣間隙 (104a、132a) 中。

【0033】 參照第 10B 圖，非共形層 150 沉積在導電層 108、記憶體結構 114 和導電板體 130 的頂部上方，並且未填充到空氣間隙 (104a、132a) 中。空氣間隙 152 形成在非共形層 150 內，且位在導電板體 130 與緊鄰的記憶體結構 114 之間。空氣間隙 152 不連通至空氣間隙 (104a、132a)。

【0034】 參照第 10C 圖，非共形層 160 沉積在導電層 108、記憶體結構 114 和導電板體 130 的頂部上方，並且未填充到空氣間隙 (104a、132a) 中。空氣間隙 162 形成在非共形層 160 內，且位在導電板體 130 與緊鄰的記憶體結構 114 之間。空氣間隙 162 具有與空氣間隙 152 不同的形狀。空氣間隙 162 不連通至空氣間隙 (104a、132a)。

【0035】 參照第 10D 圖，非共形層 170 沉積在記憶體結構 114 和導電板體 130 的頂部上方，並且未填充到空氣間隙 (104a、132a) 中。因此，空氣間隙 172 形成在非共形層 170 的下方，且位在導電板體 130 與緊鄰的一個記憶體結構 114 之間。空氣間隙 172 連通至空氣間隙 (104a、132a)。

【0036】 在本說明書的一些實施方案中，前述的非共形層 (140、150、160、170) 是由介電材料所製成，例如氧

化物或氮化物。

【0037】 根據前述實施例，本發明的立體記憶體元件在緊鄰字線（即導電層 108）之間具有空氣間隙，且在源極線（即導電板體 130）與緊鄰字線之間具有空氣間隙，能有效地減小它們之間的電容值，且有效地增加它們之間的擊穿電壓。因此，犧牲絕緣層（即絕緣層 104 和 106）可以製作的更薄，因而更容易堆疊更多的層，且可以減小源極線和緊鄰字線之間間隙，使得立體記憶體元件的儲存密度得以增加。

【0038】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何該技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0039】 為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附符號之說明如下：

102：基材

104：絕緣層

104a：空氣間隙

106：絕緣層

106a：空隙

108：導電層

- 1 1 0 : 硬罩幕層
- 1 1 3 : 蓋氧化物層
- 1 1 4 : 記憶體結構
- 1 1 4 a : 存儲層
- 1 1 4 b : 通道層
- 1 1 5 a : 磊晶矽
- 1 1 5 b : 接合焊墊
- 1 1 6 : 通孔
- 1 2 6 : 溝槽
- 1 3 0 : 導電板體
- 1 3 2 : 絕緣層
- 1 3 2 a : 空氣間隙
- 1 3 6 : 氧化層
- 1 4 0 : 非共形層
- 1 5 0 : 非共形層
- 1 5 2 : 空氣間隙
- 1 6 0 : 非共形層
- 1 6 2 : 空氣間隙
- 1 7 0 : 非共形層
- 1 7 2 : 空氣間隙
- W 1 : 寬度
- W 2 : 寬度

【發明申請專利範圍】

【請求項 1】一種立體記憶體元件，包含：

一基材；

複數水平導電層，位於該基材上，該些導電層二緊鄰者之間形成第一空氣間隙；

複數垂直記憶體結構，穿越該些導電層而連接至該基材；

一垂直導電板體，位於該些記憶體結構其中二緊鄰者之間，且穿越該些導電層而連接至該基材，該導電板體與該些導電層緊鄰者的邊緣之間形成第二空氣間隙；以及

一共形氧化層，形成於該些導電層、該些記憶體結構以及該導電板體裸露於該第一、二空氣間隙的表面上。

【請求項 2】如請求項 1 所述之立體記憶體元件，其中該第一空氣間隙連通至該第二空氣間隙。

【請求項 3】如請求項 1 所述之立體記憶體元件，其中每一該記憶體結構包含一儲存層接觸該些導電層以及一通道層接觸該儲存層。

【請求項 4】如請求項 1 所述之立體記憶體元件，其中該第一空氣間隙的寬度為約 10 奈米至約 50 奈米，該第二空氣間隙的寬度為約 10 奈米至約 100 奈米。

【請求項 5】如請求項 1 所述之立體記憶體元件，還包含一非共形層，其覆蓋於該些導電層、該些記憶體結構以及該導電板體之頂部的上方。

【請求項 6】如請求項 5 所述之立體記憶體元件，其中該非共形層包含一第三空氣間隙位於該導電板體與該些記憶體結構之一緊鄰者之間，該第三空氣間隙不連通至該第一、二空氣間隙。

【請求項 7】如請求項 1 所述之立體記憶體元件，還包含一非共形層，其覆蓋於該些記憶體結構以及該導電板體之頂部的上方，第三空氣間隙形成於該非共形層下方，且位於該導電板體與該些記憶體結構之一緊鄰者之間，該第三空氣間隙連通至該第一、二空氣間隙。

【請求項 8】一種立體記憶體元件的製造方法，包含：

交替沈積複數第一絕緣層以及第二絕緣層於一基材上；

蝕刻複數第一通孔穿越該些第一、二絕緣層；

形成垂直記憶體結構於該些第一通孔內；

蝕刻一溝槽於該些記憶體結構其中二緊鄰者之間；

通過該溝槽蝕刻該些第一絕緣層以形成該些第二絕緣層之間的空隙；

通過該溝槽沈積導電材料至該空隙以形成該些第二絕緣層之間的複數水平導電層；

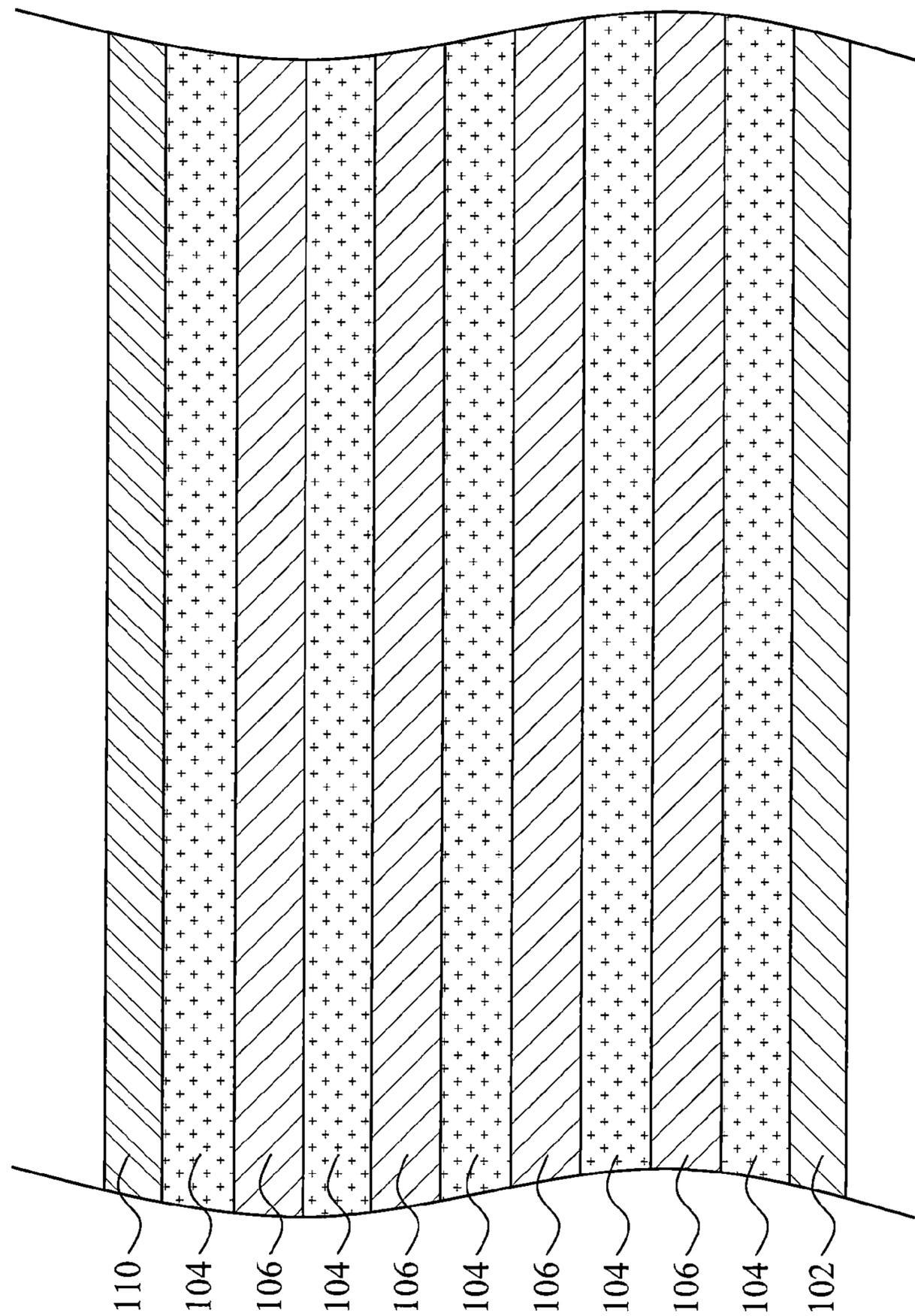
沈積一第三絕緣層覆蓋該溝槽的側壁；

沈積一垂直導電板體於該溝槽內且位於該第三絕緣層內；

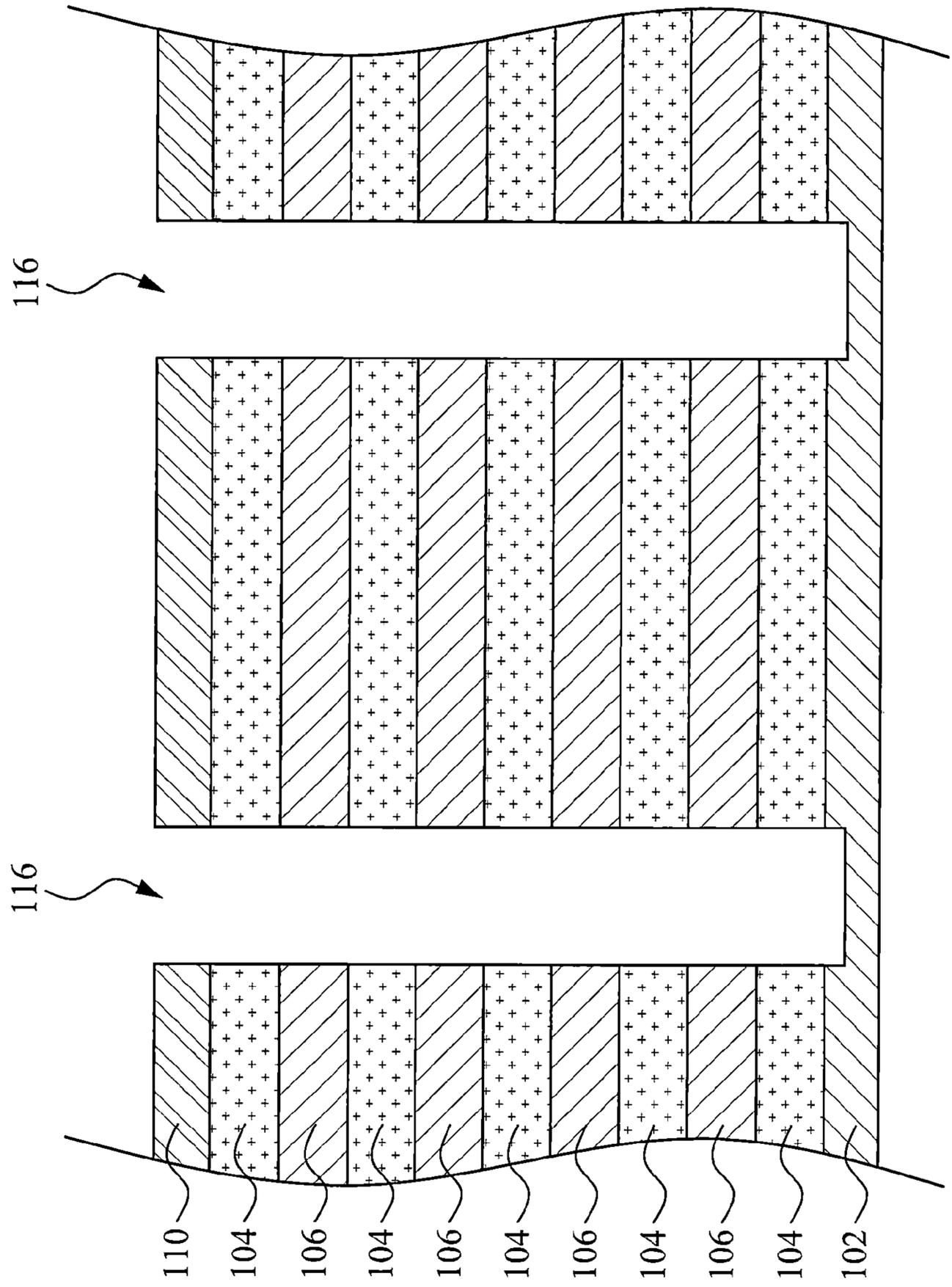
移除該些第二絕緣層與該第三絕緣層以形成該些水平導電層二緊鄰者之間的第一空氣間隙以及該導電板體與該些水平導電層緊鄰者的邊緣之間的第二空氣間隙；以及

形成一共形氧化層於該些水平導電層、該些記憶體結構以及該導電板體裸露於該第一、二空氣間隙的表面上。

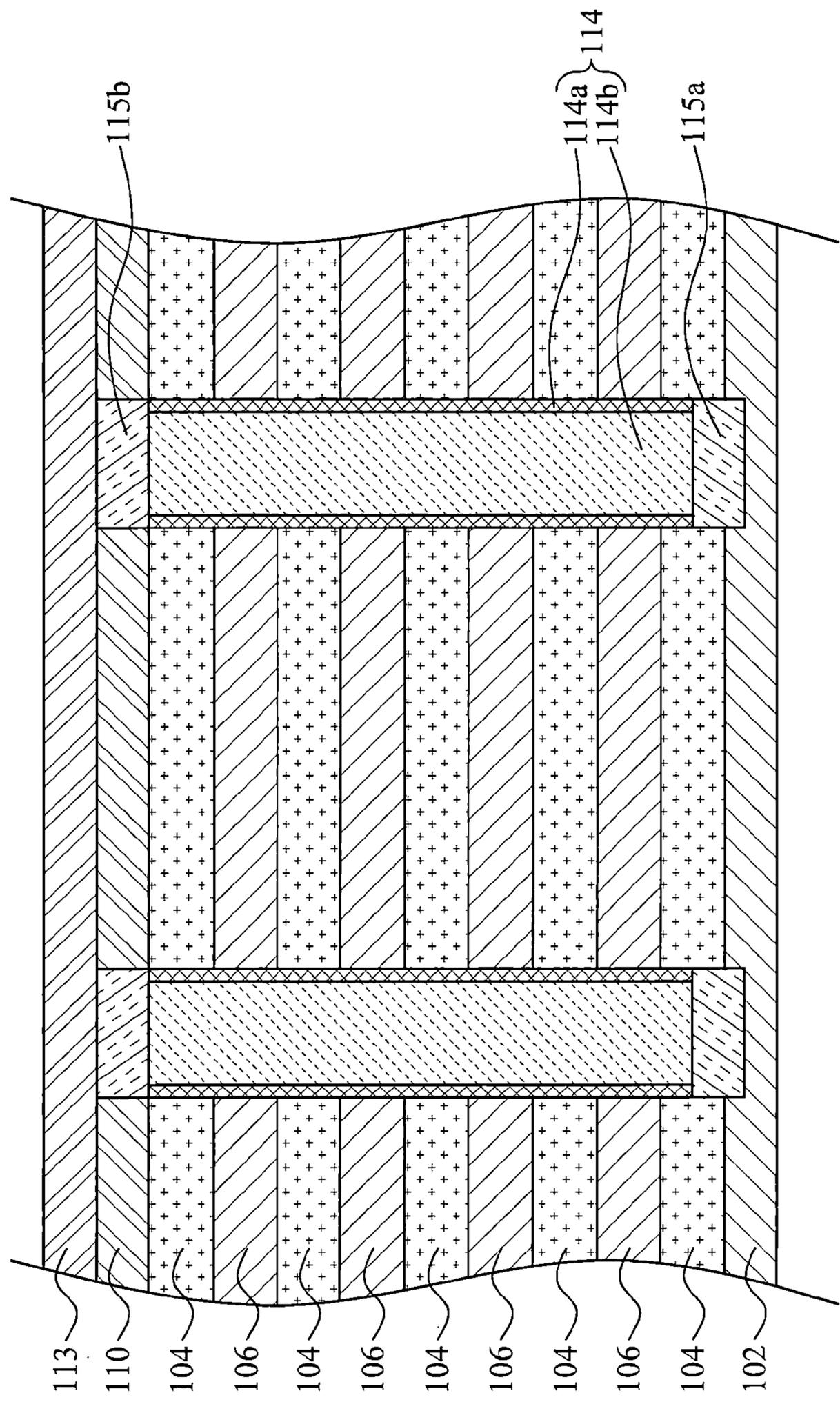
圖式



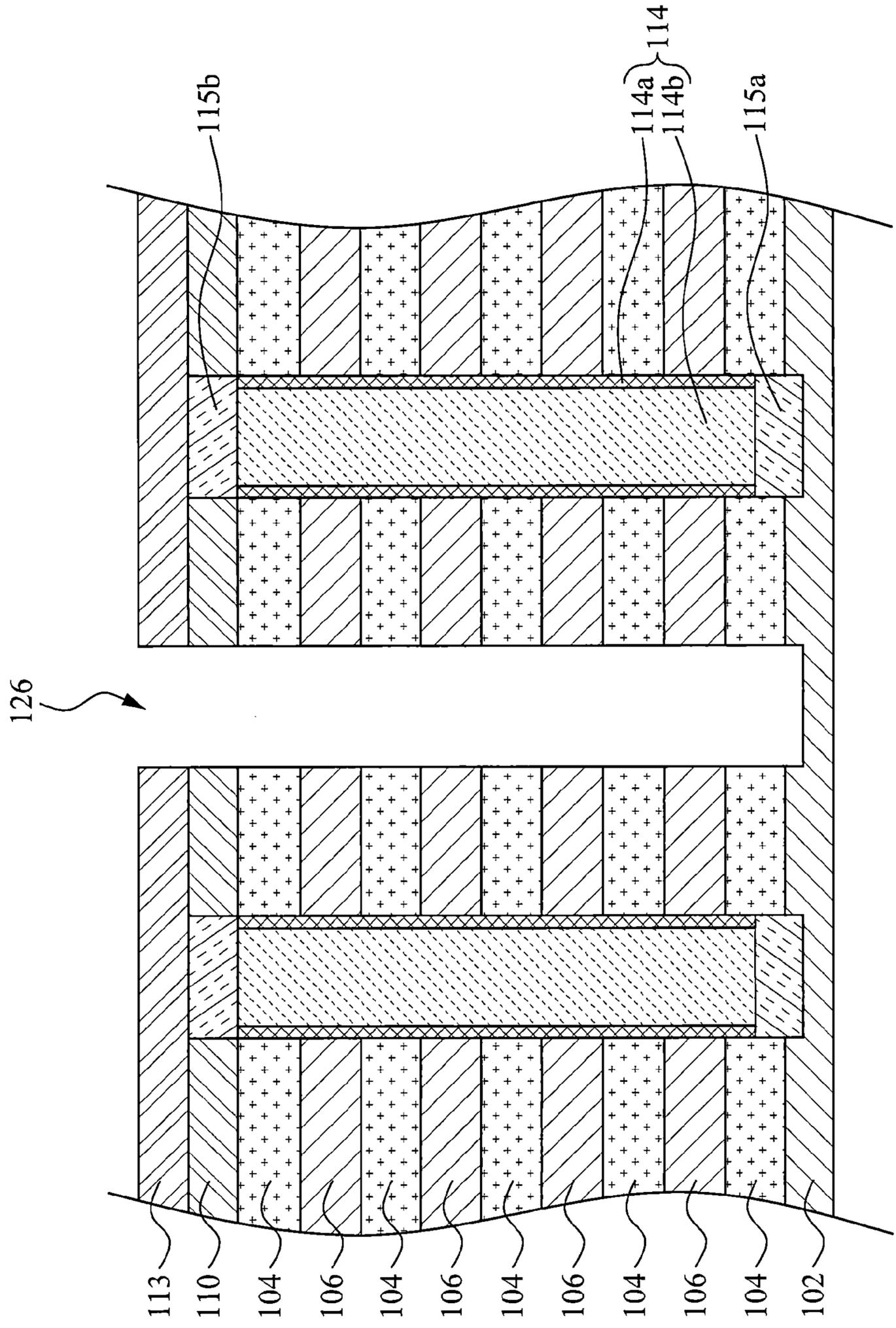
第1圖



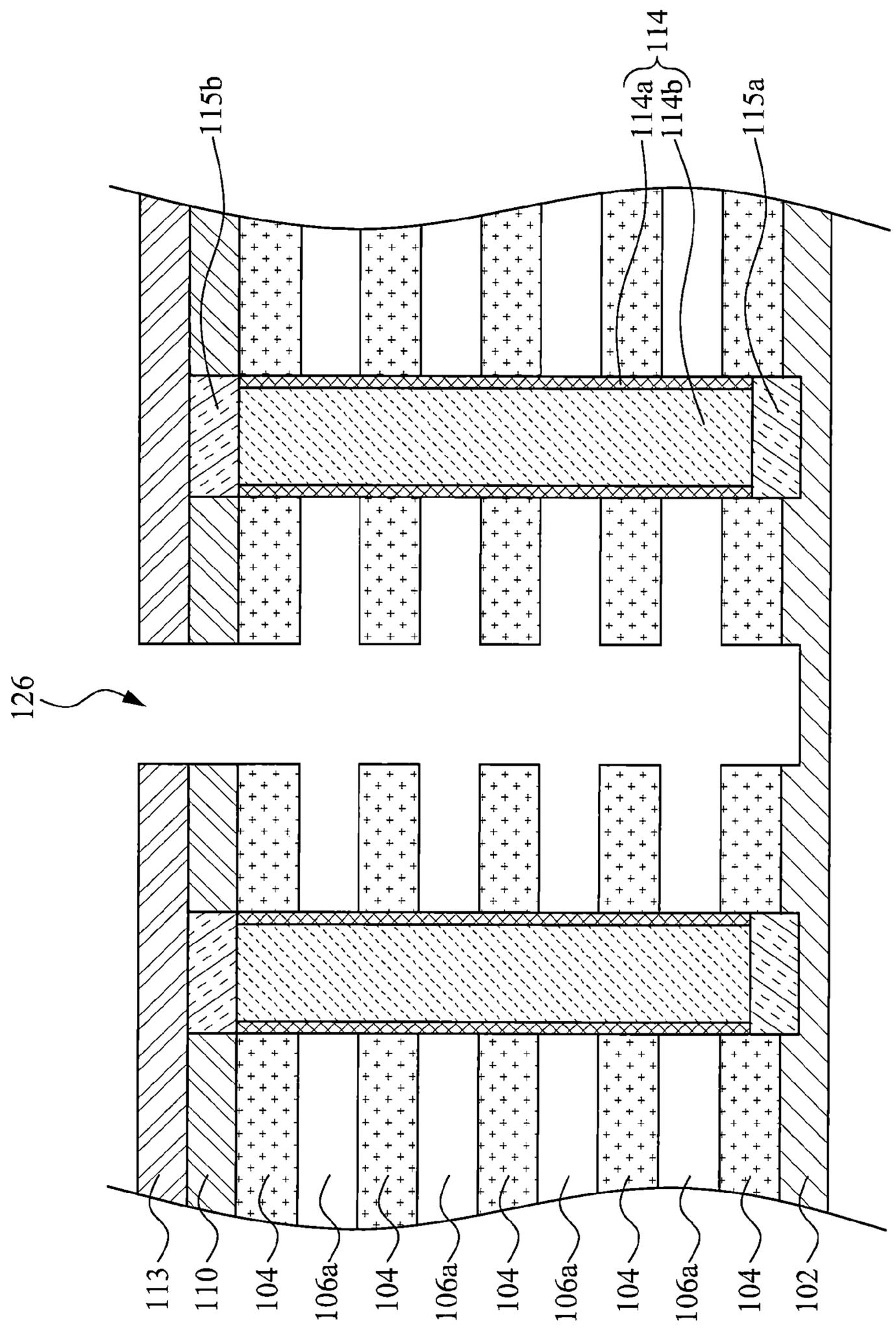
第2圖



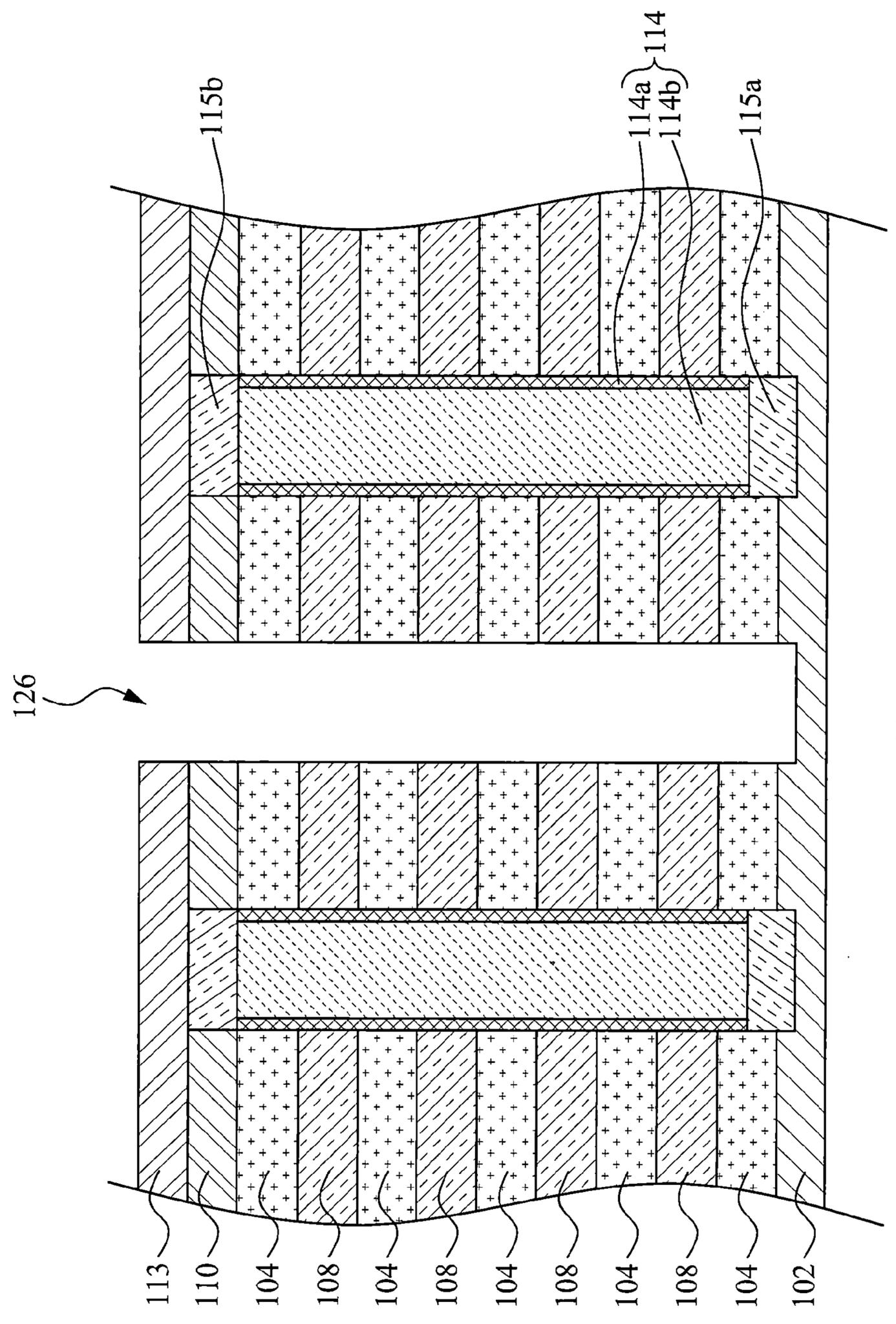
第3圖



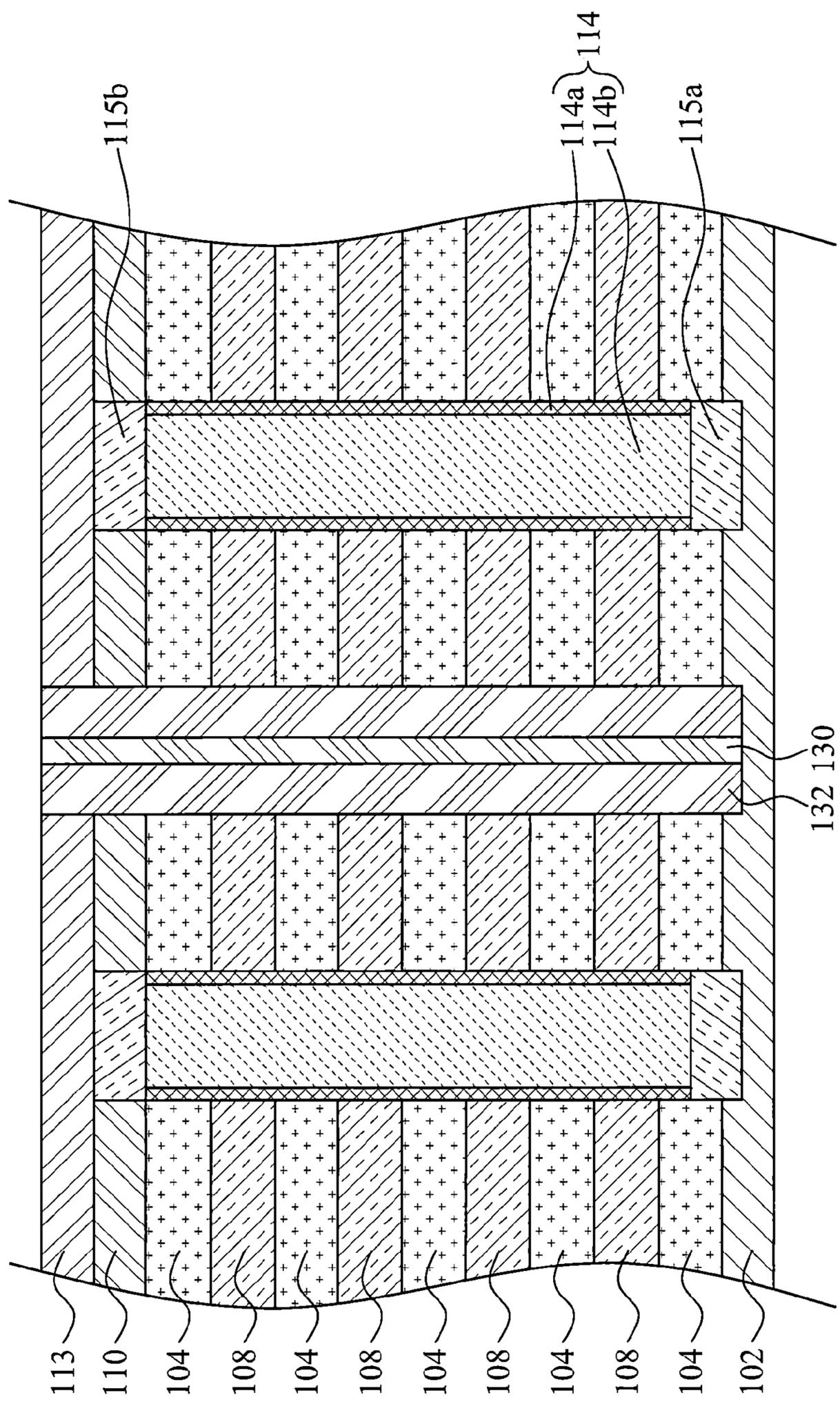
第4圖



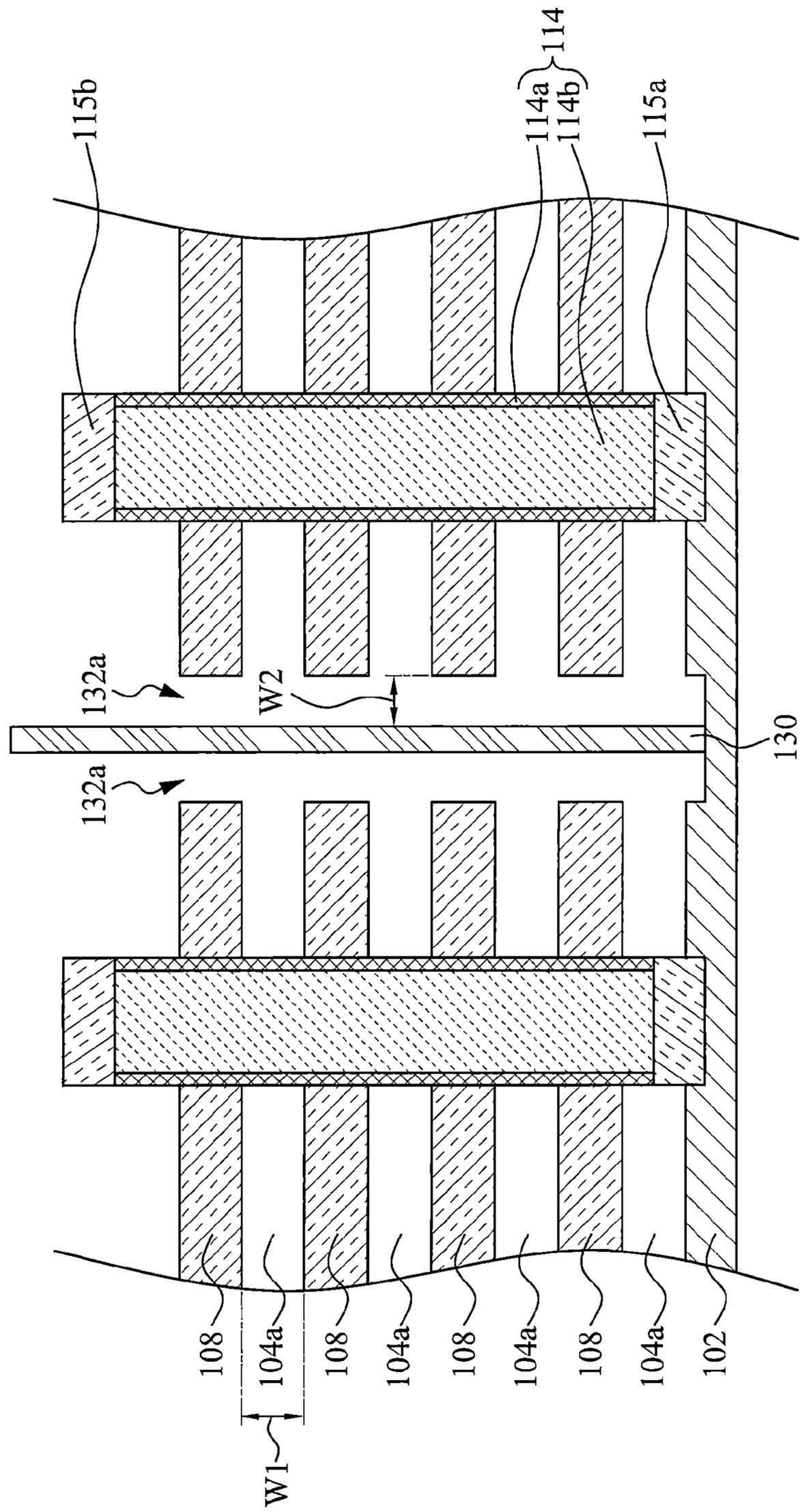
第 5 圖



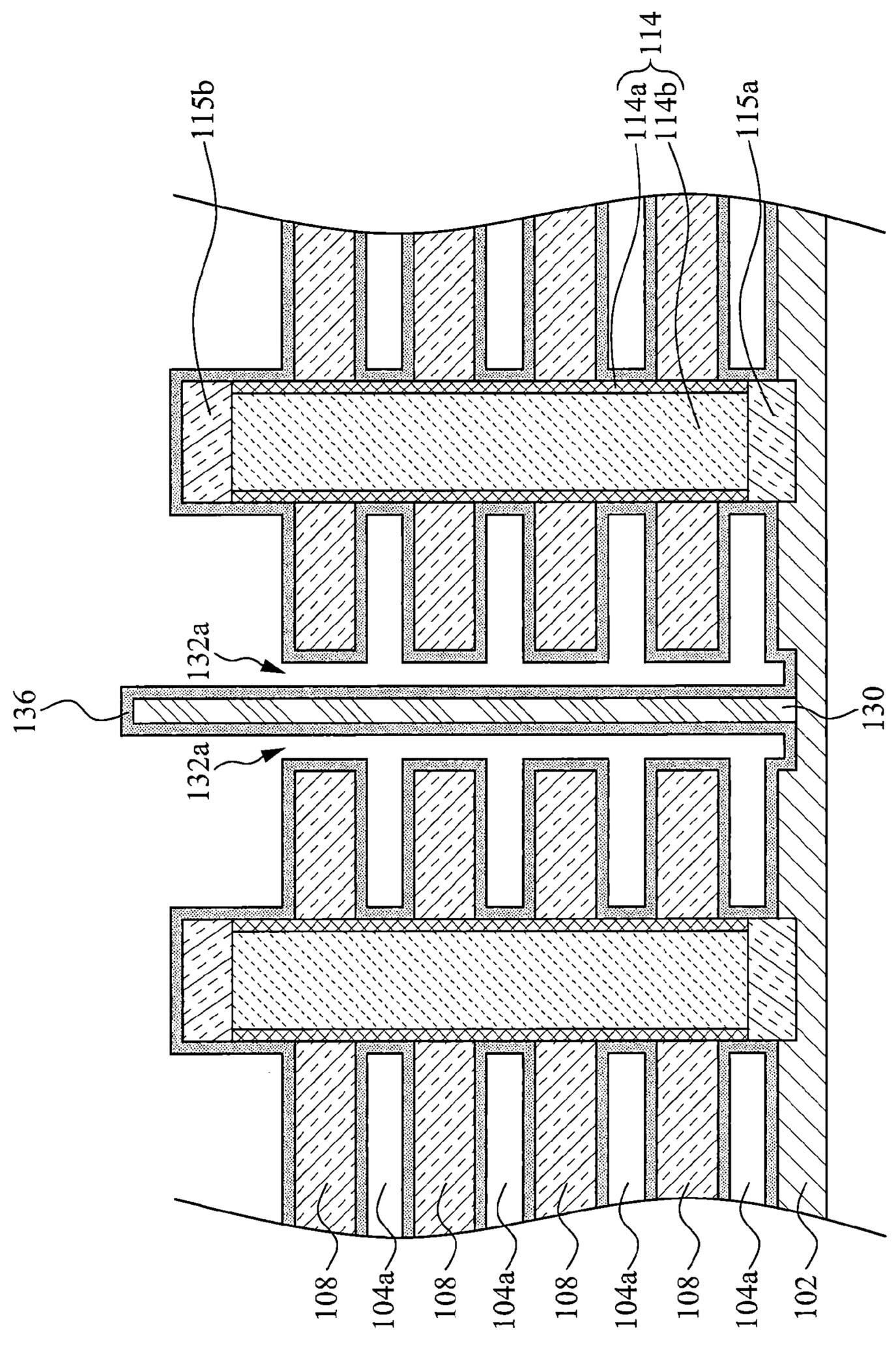
第6圖



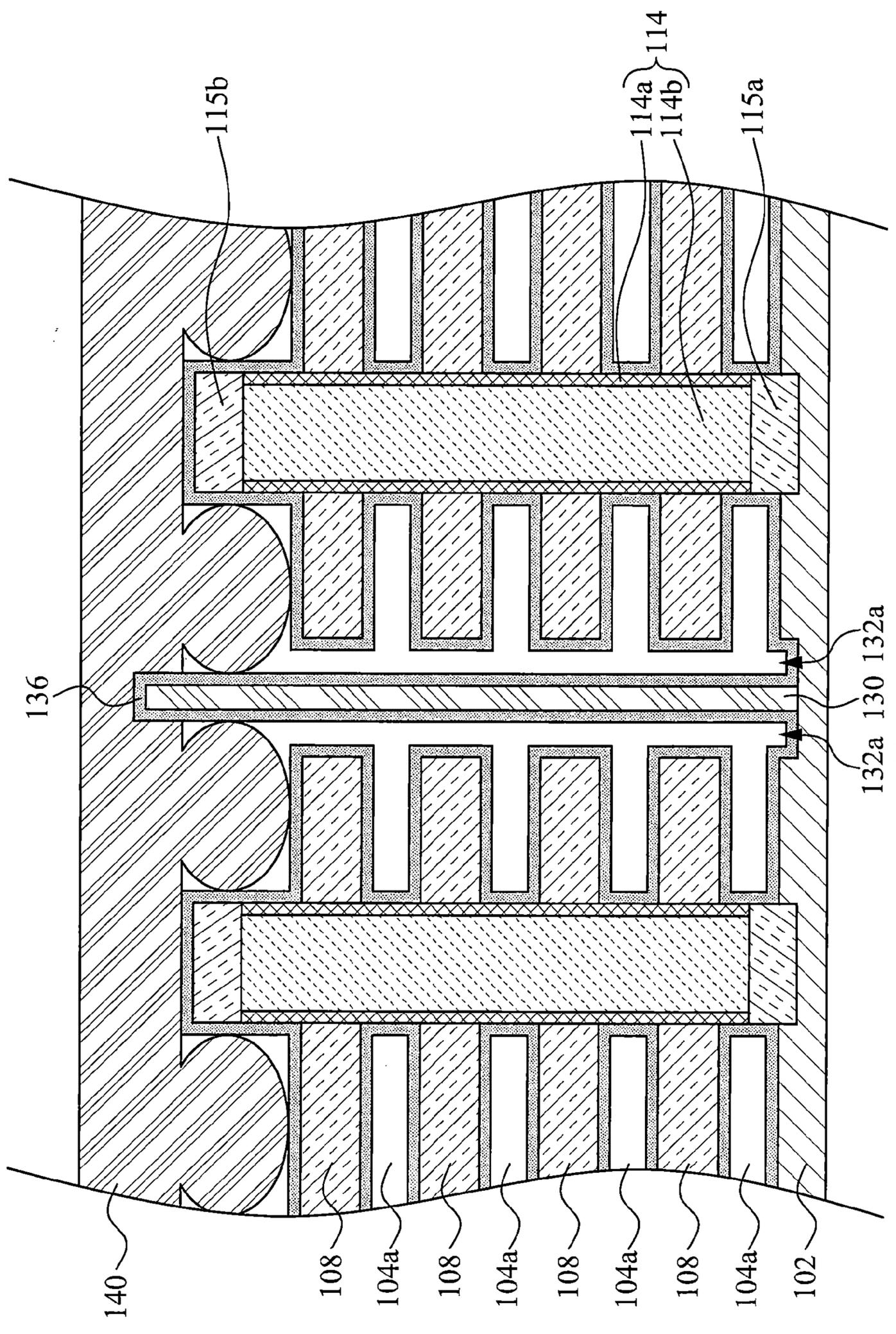
第7圖



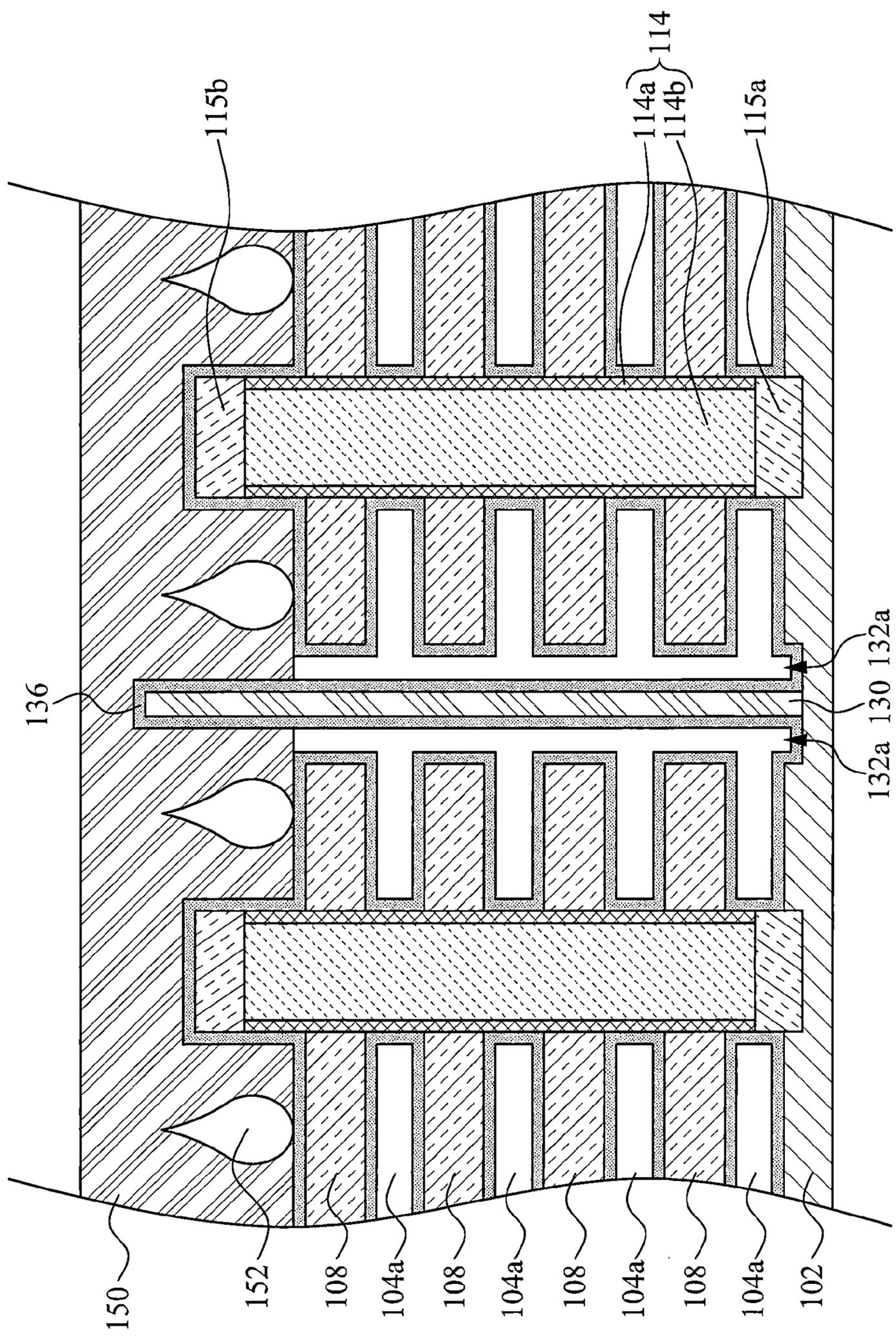
第8圖



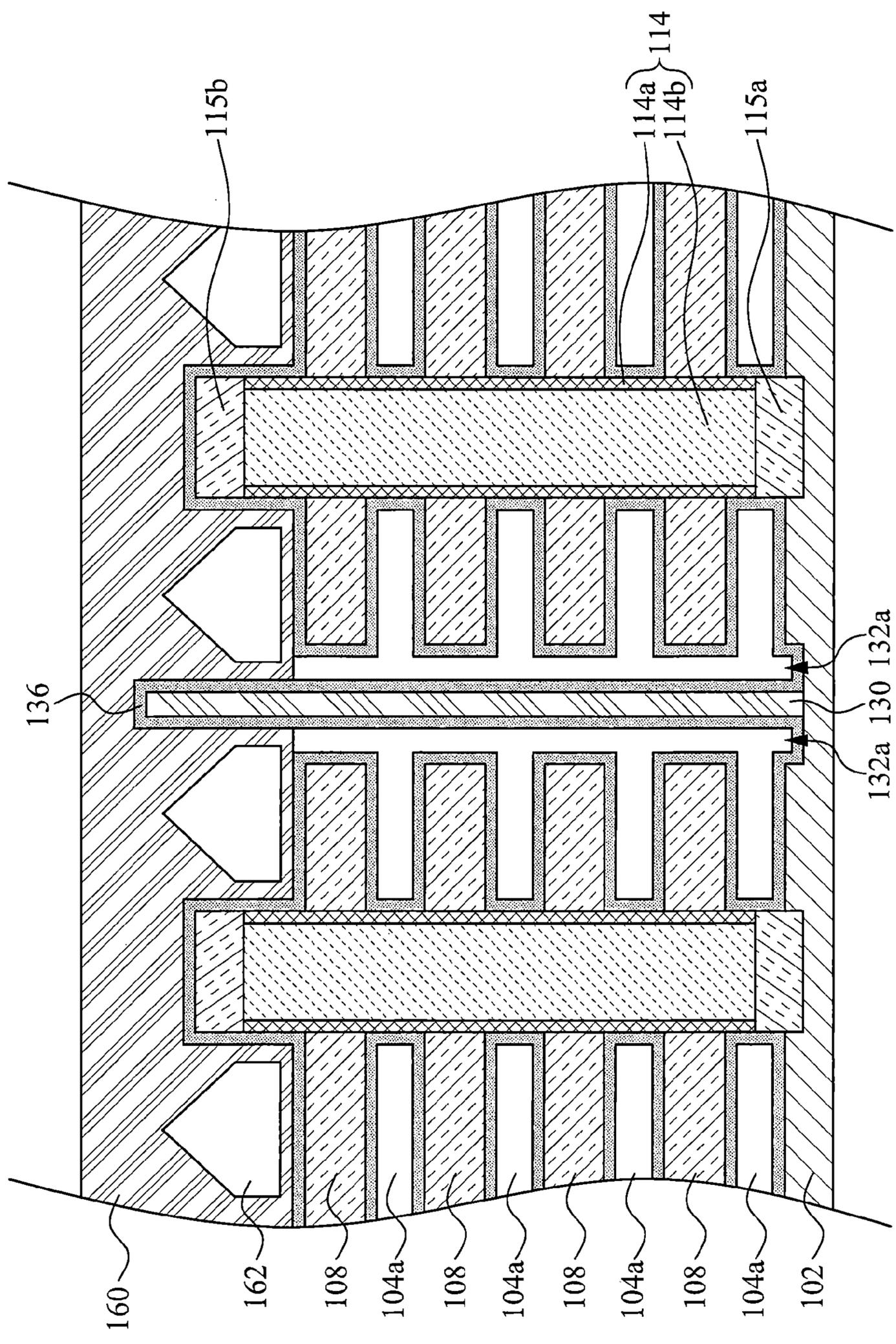
第9圖



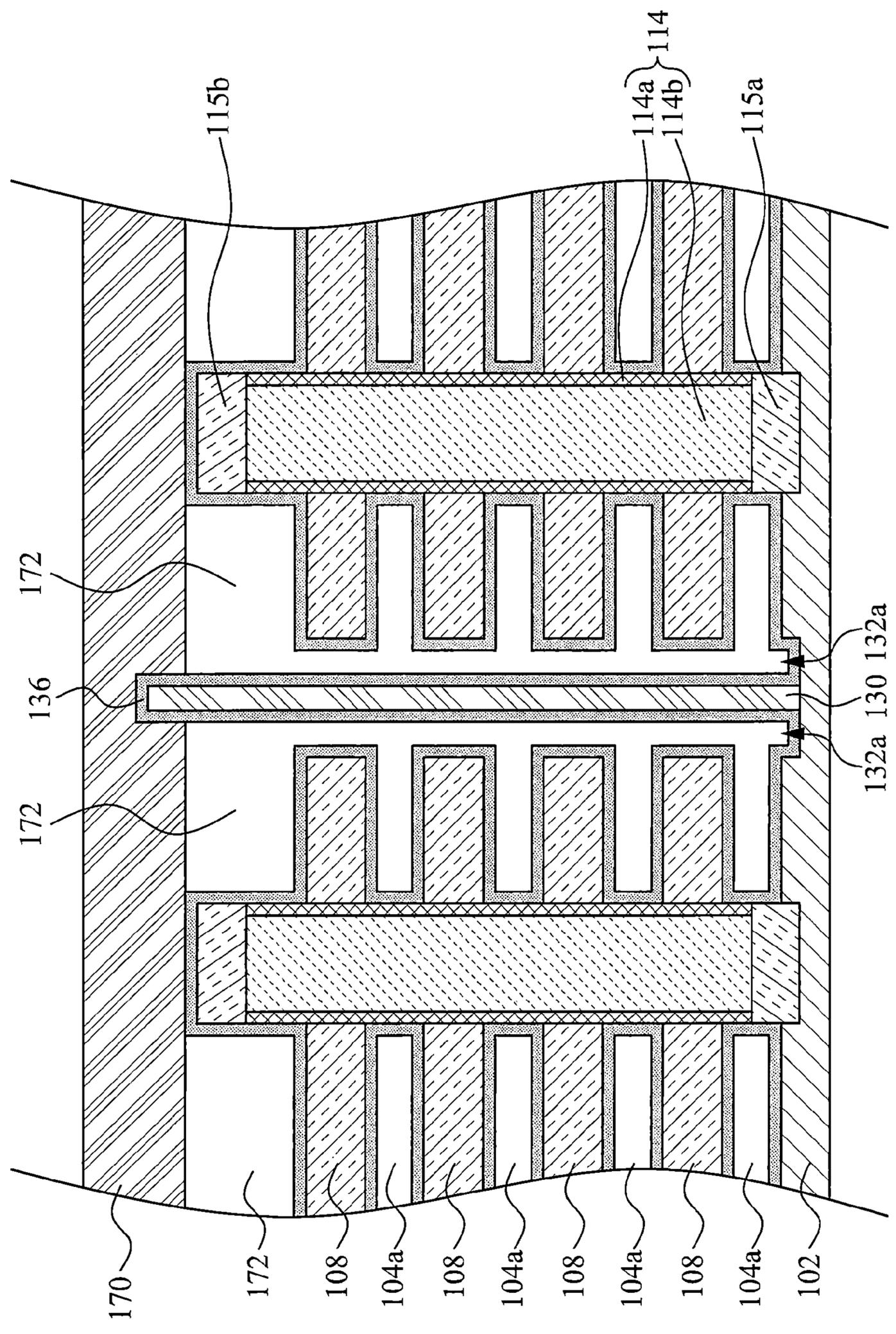
第 10A 圖



第 10B 圖



132a 130 132a
第10C圖



第 10D 圖