

發明專利說明書

200611093

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94120100

※申請日期：94.6.17

※IPC 分類：G02B-G05D23/00

一、發明名稱：(中文/英文)

控制元件溫度之系統

A SYSTEM FOR CONTROLLING THE TEMPERATURE IN
COMPONENTS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

荷蘭商皇家飛利浦電子股份有限公司

KONINKLIJKE PHILIPS ELECTRONICS N.V.

代表人：(中文/英文)

J L 凡 德 渥

VAN DER VEER, J. L.

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市格羅尼渥街1號

GROENEWOUDSEWEG 1, 5621 BA EINDHOVEN, THE
NETHERLANDS

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

三、發明人：(共 1 人)

姓 名：(中文/英文)

傑洛恩 雅諾度司 李奧那度司 強漢尼司 洛雅馬克斯

RAAYMAKERS, JEROEN ARNOLDUS LEONARDUS JOHANNES

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

背景

數位信號處理器 (DSP) 可當作單一指令 / 多數資料 (SIMD) (或資料平行) 處理器而操作。於單一指令 / 多數資料 (SIMD) 運算中，一單一指令將傳送至以不同資料執行相同運算的一些處理元件。單一指令 / 多數資料 (SIMD) 指令提供數種標準的運算類型，包括：加法，減法，乘法，乘法累計 (MAC)，以及例如供執行剪輯與雙線性內插運算用的一些特殊指令。

包括許多語音編碼譯碼器的許多數位信號處理器 (DSP) 應用程式要求高效能的 16 位元乘法累計 (MAC) 運算。為了使此等 16 位元數位信號處理器 (DSP) 應用程式達成高效能，可引進 64 位元單一指令 / 多數資料 (SIMD) 指令。由於可同時將四個 16 位元資料項載入一 64 位元暫存器，所以 64 位元單一指令 / 多數資料 (SIMD) 指令可更有效率地處置媒體流，及減少暫存器壓力與記憶體流量。

於設計無線 / 手持型產品的數位信號處理器 (DSP) 時，雖然高通量為達成高效能的一重要因素，但電力消耗同樣為一重要考量。因此，於數位信號處理器 (DSP) 中希望使用具有低電力需求而且高效能的乘法累計 (MAC) 架構。

圖式之簡單說明

圖 1 為根據一具體實施例的一雙乘法累計 (MAC) 單元之方塊圖。

圖 2 為根據一具體實施例圖例說明一乘法累計 (MAC) 單一指令 / 多數資料 (SIMD) 運算的一方塊圖。

圖 3A 至 3C 為根據一具體實施例說明一乘法累計 (MAC) 單一指令 / 多數資料 (SIMD) 運算的流程圖。

圖 4A 至 4C 為根據一具體實施例圖例說明利用資料轉送之管線指令順序的方塊圖。

圖 5A 至 5C 為根據一具體實施例圖例說明利用中間資料轉送之管線指令順序的方塊圖。

圖 6A 至 6B 為根據一具體實施例說明於一緊密耦合之雙 16 位元乘法累計 (MAC) 單元所執行的一 32 位元 X 32 位元乘法累計 (MAC) 運算之流程圖。

圖 7 係包括根據一具體實施例的一乘法累計 (MAC) 單元的一行動視訊單元之方塊圖。

詳細說明

圖 1 圖例說明根據一具體實施例的一乘法累計 (MAC) 單元 100。乘法累計 (MAC) 單元 100 可用以執行一些不同的單一指令 / 多數資料 (SIMD) 運算。

乘法累計 (MAC) 單元 100 將具有一緊密耦合的雙 16 位元乘法累計 (MAC) 架構。圖 2 中概念地顯示可由此一乘法累計 (MAC) 單元予以執行的一 16 位元乘法累計 (MAC) 單一指令 / 多數資料 (SIMD) 運算 200。兩個 64 位元暫存器 202(wRn) 及 204(wRm) 的內容可視為四對 16 位元值， A_0-A_3 (wRn) 及 B_0-B_3 (wRm)。wRn 的第一 16 位元至第四 16 位元分別為 wRm 的第一 16 位元至第四 16 位元。然後將四個乘法結果 P_0-P_3

(3)

加至64位元暫存器206(wRd)之值，並將結果傳送至一暫存器206。

乘法累計(MAC)運算200於四個執行級中實行：(1) B_1 與 B_0 的Booth編碼及Wallace樹壓縮；(2) B_3 與 B_2 的Booth編碼及Wallace樹壓縮；(3)結果之低32位元的4比2壓縮及加法；以及(4)結果之較高32位元的加法。此四級分別稱為CSA0，CSA1，CLA0，及CLA1級。

圖3A至3C根據一具體實施例圖例說明乘法累計(MAC)運算200其一實行300的一流程圖。於CSA0級中，一多工器(MUX) & Booth編碼器單元102選擇 B_0 (16位元)，並將該等位元編碼(方塊302)。產生控制信號，其個別從集合 $\{0, -A_0, -2A_0, A_0, 2A_0\}$ 中選擇一部分乘積向量。產生九個部分乘積向量Pa0至Pa8，並且傳至一多工器(MUX)陣列104(方塊304)。由一Wallace樹單元106將全部九個部分乘積向量及暫存器206(wRd)之值的低32位元壓縮成兩向量(方塊306)。此二向量包括一和向量及一進位向量，分別儲存於一和向量正反器(FF)108及一進位向量FF110。

一多工器(MUX) & Booth編碼器單元112選擇 B_1 (16位元)，並將該等位元編碼(方塊308)。產生控制信號，其個別從集合 $\{0, -A_1, -2A_1, A_1, 2A_1\}$ 中選擇一部分乘積向量。產生九個部分乘積向量Pb0至Pb8產生，並且傳至一多工器(MUX)陣列114(方塊310)。由一Wallace樹單元116將全部九個部分乘積向量及一零向量壓縮成兩向量(方塊312)。此二向量包括一和向量及一進位向量，分別儲存於一和向量

FF118及一進位向量 FF120。

於 CSA1 級，由多工器 (MUX) 及 4 比 2 壓縮器單元 122 將來自 CSA0 級中和及進位向量 FF 108，110，118，與 120 的四向量壓縮成向量 V_{s0} 及 V_{c0} (方塊 314)。多工器 (MUX) & Booth 編碼器單元 102 選擇 B_2 (16 位元)，並將該等位元編碼 (方塊 316)。產生控制信號，其個別從集合 $\{0, -A_2, -2A_2, A_2, 2A_2\}$ 中選擇一部分乘積向量。產生九個部分乘積向量 (方塊 318)。由 Wallace 樹單元 106 將全部九個部分乘積向量及向量 V_{s0} 壓縮成兩向量 (方塊 320)。此二向量包括一和向量及一進位向量，分別儲存於一和向量 FF 108 及一進位向量 FF 110。

多工器 (MUX) & Booth 編碼器 112 選擇 B_3 (16 位元)，然後將該等位元編碼 (方塊 322)。產生控制信號，其個別從集合 $\{0, -A_3, -2A_3, A_3, 2A_3\}$ 中選擇一部分乘積向量。產生九個部分乘積向量 (方塊 324)。然後由 Wallace 樹單元 116 將全部九個部分乘積向量及向量 V_{c0} 壓縮成兩向量 (方塊 326)。兩向量包括一和向量及一進位向量，分別儲存於一和向量 FF 118 及一進位向量 FF 120。

於 CLA0 級，將來自 CSA1 級中 FF 108，110，118，與 120 的四向量傳送至 4 比 2 壓縮單元 122，以產生向量 V_{s1} 及向量 V_{c1} (方塊 327)。由進位預看 (CLA) 單元 124 將 V_{s1} 及 V_{c1} 的較低 32 位元相加，產生最終結果的低 32 位元 (方塊 328)。

於 CLA1 級，將 V_{s1} 及 V_{c1} 的較高位元以正負號擴充為兩 32 位元向量 (方塊 330)。然後由一 3 比 2 壓縮器單元 12 將擴充的向量及 wRd 的較高 32 位元壓縮成兩向量 (方塊 332)。由

CLA單元128將兩壓縮向量及來自CLA0單元124的進位位元一起相加，產生最終結果的較高32位元(方塊334)。

如以上所述，Booth編碼及向量壓縮以兩週期完成。於第一週期中，將來自Wallace樹單元的結果送回，以便於第二週期中進一步處理。傳統上，將來自FF108，110，118，與120的全部四個向量送回Wallace樹，以便於第二週期中進一步處理。然而，可以察覺：多工器(MUX) & 4比2壓縮器單元122較多工器(MUX) & Booth編碼器單元與多工器(MUX)陣列更快執行4比12壓縮。因此，僅將來自多工器(MUX) & 4比2壓縮器單元122的兩向量(V_{s0} 與 V_{c0})送回Wallace樹單元106及116。以此架構，可減少回饋路由選擇，使Wallace樹單元106，116相對較小。較少的回饋路由選擇讓布置更容易，而且即為求，因為路由選擇限制為乘法累計(MAC)設計上的一問題。

某些傳統乘法累計(MAC)實行以一週期執行64位元加法。然而，這類乘法累計(MAC)可能不適合一超高頻率的64位元資料路徑，而且其結果可能沒有足夠時間透過普遍用以解決管線操作中資料相依的旁路邏輯加以轉回。相較於傳統架構，圖1中所示的雙乘法累計(MAC)架構可以超高頻率及低電力應用更迅速地實行。相較於CLA0級，CLA1級具有較少邏輯閘，促成以足夠時間透過旁路邏輯轉回最終結果，令此雙乘法累計(MAC)架構適合一高速低電力的64位元資料路徑。

乘法累計(MAC)單元可用於一管線式數位信號處理器

(DSP)。相較於一非管線操作的數位信號處理器(DSP)，藉由重疊其執行而改變指令之相對計時的管線操作可增加一數位信號處理器(DSP)的通量。然而，管線操作將引進資料相依或冒險，當前一指令的結果不可用而且目前指令需要使用時將會發生。目前的運算將於管線中停止，直到解決資料相依為止。

通常，資料轉送係根據一運算的一最終結果。對於許多數位信號處理器(DSP)演算法，前一乘法累計(MAC)運算的結果必需加至目前的乘法累計(MAC)運算。然而，一乘法累計(MAC)運算將以四週期完成，而且目前的乘法累計(MAC)運算可能無法使用前一乘法累計(MAC)運算的結果。此情況下，將引進稱為一累計相依的一資料相依。

圖4A-4C顯示一標準資料轉送方案的可能累計相依懲罰。標準轉送方案用以減少累計相依懲罰，其中EX 402為其他非乘法累計(MAC)指令的執行級。於圖4A中顯示，即使利用標準資料轉送，最糟情況下，一累計相依懲罰仍為兩週期(請注意，於CLA1級之後，雖然在最終結果可用前有三個停止404，但圖4A中的第一停止404係由於Wallace樹單元中的一資源衝突，不視為資料相依懲罰)。對某些數位信號處理器(DSP)應用程式而言，兩週期懲罰可能太嚴重，因而希望消除累計相依懲罰。

乘法累計(MAC)單元100可用以實行一新資料轉送方案，稱為中間資料轉送，其可消除累計相依懲罰。取代等待來自一前一運算的最終結果，中間資料轉送方案轉送一中

間結果而解決資料相依。圖 5A-5C圖例說明圖 4A-4C中所示的順序，但使用一中間資料轉送技術予以實行。

如圖 5A-5C所示，CSA0級 500分別分段成 Booth編碼及 Wallace樹壓縮運算元 B_0 與 B_1 的兩子級 502(BE0)及 504(WT0)。CSA1級 506分別分段成 Booth編碼及 Wallace樹壓縮運算元 B_2 與 B_3 的兩子級 508(BE1)與 510(WT1)。CLA0級 512分段成向量之 4 比 2 壓縮及最終結果之低 32 位元加法的兩子級 514(4T2)及 516(ADD0)。CLA1級 518包括最終結果 520的較高 32 位元加法 (ADD1)。

於圖 5A 及 5B 所示之情況下，可將中間第一乘法累計 (MAC)指令之向量 V_s ， V_c 的低 32 位元轉送至 Wallace樹單元 106 及 116，供第二乘法累計 (MAC)指令解決累計相依。將來自 CLA1單元 128 的第一乘法累計 (MAC)指令的較高 32 位元結果轉送至多工器 (MUX) & 3 比 2 壓縮器單元 126。圖 5A 中的 Stall404 係由於 Wallace樹資源衝突，其不視為資料相依懲罰。

於圖 5C 所示之情況下，當第二乘法累計 (MAC)指令要求時，第一乘法累計 (MAC)指令的最終結果不可用，但第一乘法累計 (MAC)指令的低 32 位元結果為可用。取代等待最終結果，第一乘法累計 (MAC)指令的低 32 位元結果將轉送至 Wallace樹單元 106，以解決累計相依。來自 CLA1單元 126 之第一乘法累計 (MAC)指令的較高 32 位元結果將轉送至 MUX & 3 比 2 壓縮器單元 128。

表 1 中給定圖 4A 至 4C 所示之標準資料轉送技術與圖 5A

至 5C 所示之中間資料轉送技術間的累計資料相依懲罰比較。中間資料轉送可消除累計相依，其促成許多數位信號處理器 (DSP) 應用程式具有相對較高的通量。

	情況(A)懲罰	情況(B)懲罰	情況(C)懲罰
標準資料轉送	2 週期	2 週期	1 週期
中間資料轉送	0 週期	0 週期	0 週期

表 1

根據一具體實施例，像是圖 1 中所示的一緊密耦合之雙 16 位元乘法累計 (MAC) 單元可用於 32 X 32 位元指令，以及 16 位元單一指令 / 多數資料 (SIMD)。一 32 位元 X 32 位元運算可分割成四個 16 位元 X 16 位元運算，如以下等式所示：

$$\begin{aligned}
 A[31:0] \times B[31:0] = & (A[31:16] \times B[15:0] \times 2^{16} + \\
 & A[15:0] \times B[15:0]) + (A[31:16] \times B[31:16] \times 2^{16} + \\
 & A[15:0] \times B[31:16]) \times 2^{16}
 \end{aligned}$$

圖 6 為根據一具體實施例說明一 32 位元 X 32 位元乘法累計 (MAC) 運算 600 的一流程圖。於 CSA0 級，由多工器 (MUX) & Booth 編碼器單元 102 產生 $A[15:0] \times B[15:0]$ 的部分乘積向量 (方塊 602)。Wallace 樹單元 106 將部分乘積向量壓縮成兩向量 (方塊 604)。兩向量包括一和向量及一進位向量，分別儲存於和向量 FF 108 及進位向量 FF 110。多工器 (MUX) & Booth 編碼器單元 112 產生 $A[31:16] \times B[15:0]$ 的部分乘積向量 (方塊 606)。Wallace 樹單元 116 將部分乘積向量壓縮成兩向量 (方塊 608)。兩向量包括一和向量及一進位向量，其分別儲存於和向量 FF 及進位向量 FF 110 中。

於 CSA1 級，將來自和向量 FF 118 及進位向量 FF 120 的兩向量向左平移 16 位元 (方塊 610)。多工器 (MUX) & 4 比 2 壓縮器單元 122 將平移的向量及來自和向量 FF 108 與進位向量 FF 110 的其他兩向量壓縮成向量 V_{s0} 及向量 V_{c0} (方塊 612)。將 V_{s0} 及 V_{c0} 的低 16 位元傳送至 CLA0 單元 124。將剩餘的位元送回 Wallace 樹單元 106 及 116。然後 CLA0 單元 124 產生從位元 0 至位元 15 的最終結果 (方塊 614)。然後 Wallace 樹單元 106 將 $A[15:0] \times B[31:16]$ 的部分乘積向量及來自 V_{s0} 的回饋向量壓縮成兩向量 (方塊 616)。兩向量包括一和向量及一進位向量，分別儲存於和向量 FF 108 及進位向量 FF 120。然後 Wallace 樹單元 116 將 $A[31:16] \times B[31:16]$ 的部分乘積向量及來自 V_{s0} 的回饋向量壓縮成兩向量 (方塊 618)。兩向量包括一和向量及一進位向量，分別儲存於和向量 FF 118 及進位向量 FF 120。

於 CLA0 級，將來自和向量 FF 118 及進位向量 FF 120 的兩向量向左平移 16 位元 (方塊 620)。多工器 (MUX) & 4 比 2 壓縮器單元 122 將平移的向量及來自和向量 FF 108 及進位向量 FF 110 的其他兩向量壓縮成向量 V_{s1} 及向量 V_{c1} (方塊 622)。CLA0 單元 124 將向量 V_{s1} 及 V_{c1} 的低 16 位元相加。然後產生從位元 16 至位元 31 的最終結果 (方塊 624)。

於 CLA1 級，CLA1 單元 128 將向量 V_{s1} 及 V_{c1} 的較高位元 (從第 16 位元至第 47 位元) 相加，而產生 (從第 32 位元至第 63 位元的) 較高 32 位元之最終結果 (方塊 626)。

乘法累計 (MAC) 單元 100 可於各式各樣系統中實行，包括

多用途計算系統，數位處理系統，膝上型電腦，個人數位助理(PDA)及蜂窩式電話。於此一系統中，乘法累計(MAC)單元將包含一處理器，其耦合至像是一快閃記憶體裝置或一靜態隨機存取記憶體(SRAM)等用以儲存一作業系統或其他軟體應用程式的一記憶體裝置。

此一處理器可用於視訊手提錄音攝影機，電傳會議，個人電腦(PC)視訊卡，及高畫質電視(HDTV)。此外，處理器可結合利用像是用於行動電話，語音辨識，及其他應用程式等語音處理之數位信號處理的其他技術而使用。

例如，圖7根據一具體實施例圖例說明包括含有一乘法累計(MAC)單元100之處理器701的一行動視訊裝置700。行動視訊裝置700可為一手持型裝置，用以顯示從來自一天線702，或者例如一數位影音光碟(DVD)或一記憶體卡的一數位視訊傳送媒體704的一接收之編碼視訊信號所產生的視訊影像。處理器100可與能夠儲存處理器作業的指令與資料的一快取記憶體706以及例如一SRAM 708的其他裝置通訊。

已經對一些具體實施例加以說明。儘管如此，將可了解：於沒有脫離本發明的精神及範圍下，可進行各種修正。例如，流程圖中的方塊可失序跨越或執行而依舊產生希望的結果。再者，每一單一指令/多數資料(SIMD)指令所運算的運算元大小及運算元數目可以變化。因此，其他具體實施例同樣於以下申請專利範圍內。

【圖式簡單說明】

圖 1a 展示當將額外雜訊添加至致動器線圈系統時讀取一正常碟片及一壞碟片期間的致動器中之功率消耗，

圖 1b 展示對應於圖 1a 中之情形的穩態溫度，

圖 2a 及 2b 展示用於不同功率分佈的一諸如一致動器之元件中的穩態溫度梯度，

圖 3 展示一功率控制迴路之一實例，及

圖 4 展示一功率控制迴路之另一實例。

【主要元件符號說明】

C1	消耗元件
C2	消耗元件
G	放大器
P_{Act}	致動器功率消耗
P_{noise}	雜訊功率消耗
P_{total}	總功率消耗
PC1	C1 處之功率
PC2	C2 處之功率
$P_{setp;foc}$	所需之功率消耗
t	時間
ε_f	誤差訊號

五、中文發明摘要：

本發明係關於一種用於控制一電子元件之溫度的系統。該電子元件之功率消耗經量測且與一所需之功率消耗相比較。在所量測之功率消耗不同於所需之功率消耗的情況下，將一訊號(較佳為一具有該電子元件之正常操作範圍外之一能量的訊號)注入該電子元件以控制功率消耗且進而控制該電子元件之溫度。其亦可用於控制定位於該電子元件附近之另一元件，如一光學元件(諸如一透鏡)之溫度。該系統有利之處在於無需使用一獨立溫度感應器。其適用於一光碟機中，尤其是用於藍光碟片之光碟機中。

六、英文發明摘要：

拾壹、圖式

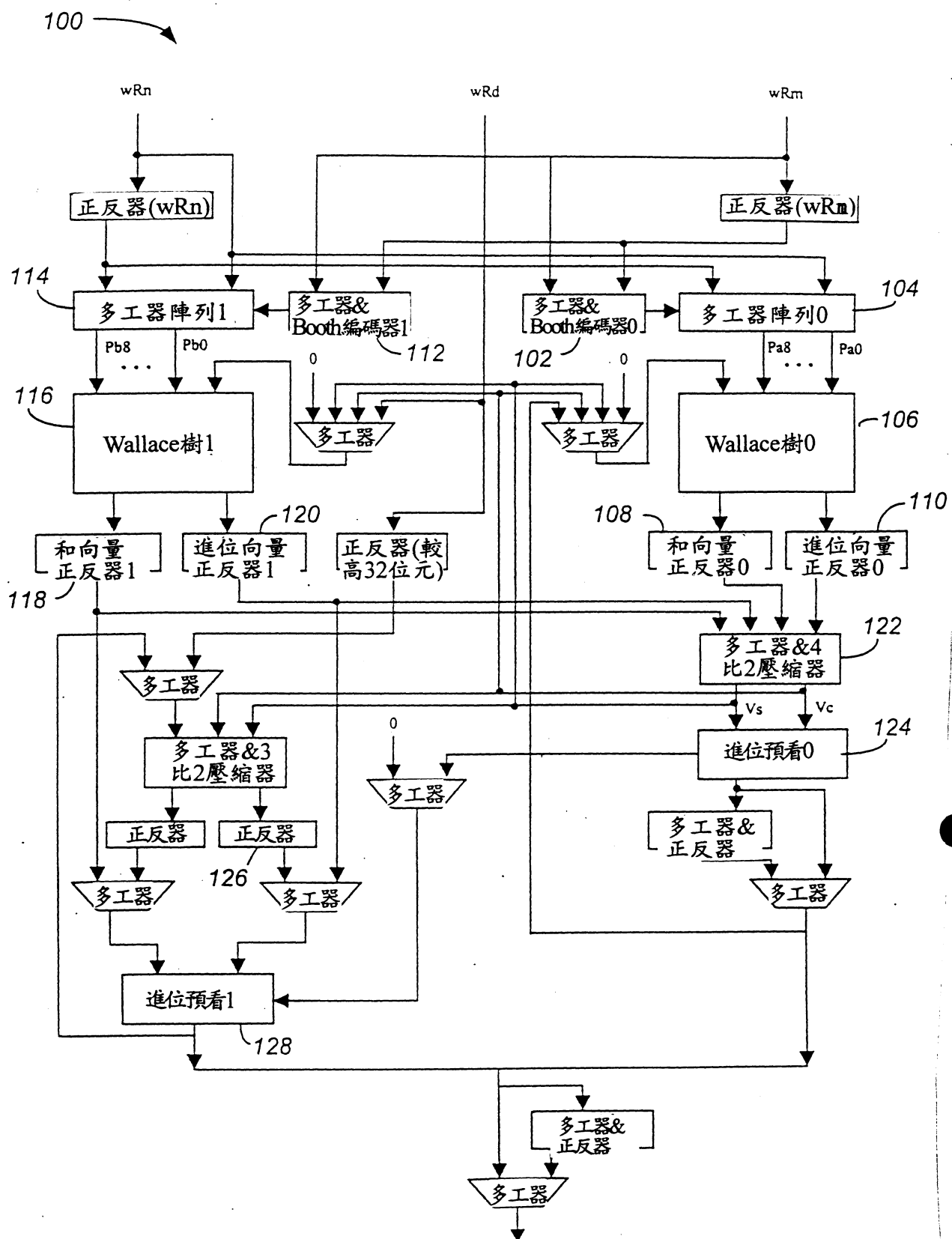


圖 1

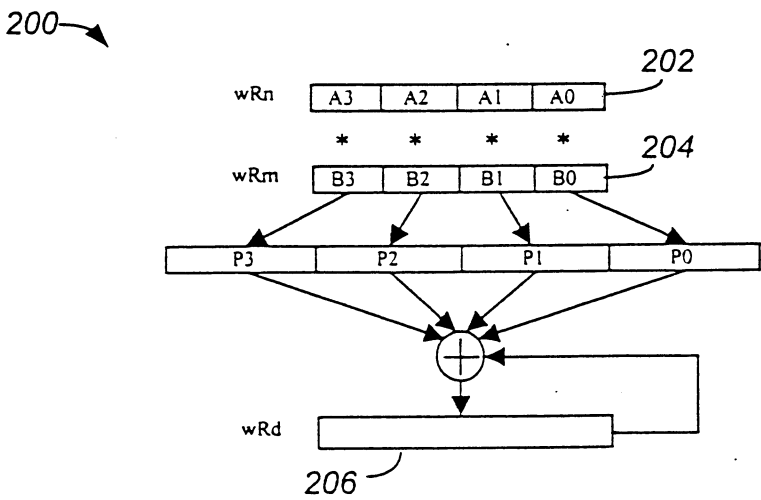


圖 2

8. 如請求項1之系統，其中該所注入之訊號係一雜訊訊號。

9. 一種光碟機，其包含一如請求項1之系統。

10. 一種控制一第一電子元件之溫度的方法，該方法包含步驟：

量測該第一電子元件中之功率消耗，

比較該所量測之功率消耗與一所需之功率消耗，

回應該比較且在該所量測之功率消耗不同於該所需之功率消耗之情況下，將一訊號注入該第一電子元件來控制該第一電子元件中之功率消耗以獲得該所需之功率消耗，

其中對功率消耗之該控制使得該第一電子元件之溫度受到控制。

十一、圖式：

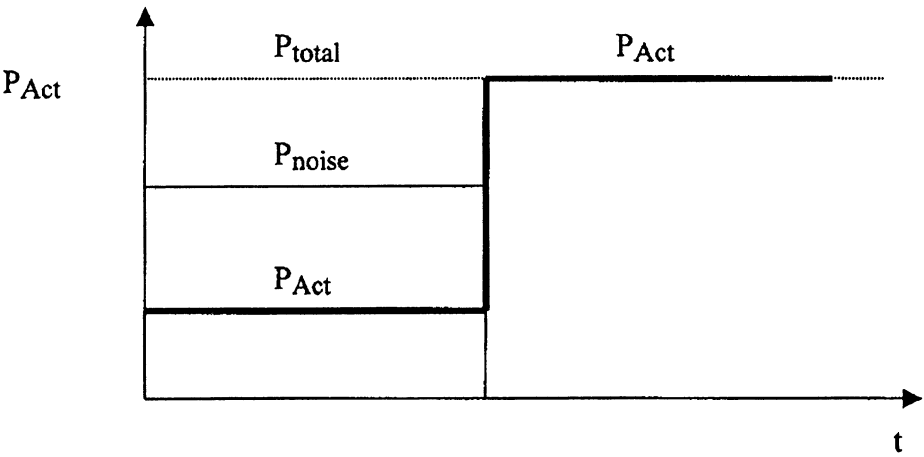


圖 1a

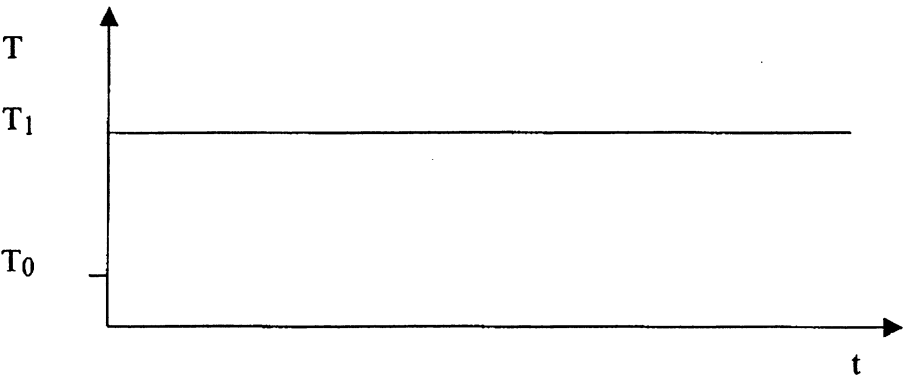


圖 1b