

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：941-3532

※申請日期：94.2.4

※IPC 分類：H01L27/146 (2006.01)

## 一、發明名稱：(中文/英文)

固體攝影裝置

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司  
SONY CORPORATION

代表人：(中文/英文)

安藤 國威  
ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號  
7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO  
JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 江崎 孝之  
EZAKI, TAKAYUKI
2. 平山 照峰  
HIRAYAMA, TERUO

國 籍：(中文/英文)

- 1.-2.均日本 JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年02月04日；特願2004-028353

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種固體攝像裝置，其不會降低飽和電荷量(Qs)或靈敏度，可實現像素尺寸之微細化。

### 【先前技術】

作為固體攝像裝置，眾所周知的是CMOS型固體攝像元件。該CMOS型固體攝像裝置以藉由光電二極體以及複數個電晶體，即所謂MOS電晶體形成1像素，將複數個像素排列為所需之圖案之方式而構成。該光電二極體係生成並蓄積相應於受光量之信號電荷的光電轉換元件，複數個MOS電晶體係用以轉送來自光電二極體之信號電荷的元件。

圖8表示適用於影像感應器的先前之CMOS型固體攝像裝置之例。圖8表示像素之主要部分。該CMOS型固體攝像裝置51於第一導電型例如p型矽半導體基板52之表面側形成用以劃分各像素之像素分離區域65，於各劃分區域形成有光電二極體53與複數個MOS電晶體，即電荷讀取電晶體54、復位電晶體55、放大電晶體56以及垂直選擇電晶體(未圖示)四個MOS電晶體，從而構成單位像素60。並且，該像素60排列為多個二次元矩陣狀。

光電二極體53藉由n型半導體區域61〔n<sup>+</sup>區域61a、n區域61b〕以及於該n型半導體區域61之表面所形成之高雜質濃度p型半導體區域(p<sup>+</sup>區域)62而形成，上述n型半導體區域61係自p型半導體基板52之表面跨越所需之深度，藉由離子佈植而形成之第二導電型。

各MOS電晶體54、55、56以如下方式而構成。於p型半導體基板52之表面，以鄰接於光電二極體53之方式，藉由離子佈植形成高雜質濃度之n型半導體區域，即 $n^+$ 源極/汲極區域57、58、59。

電荷讀取電晶體54含有 $n^+$ 源極/汲極區域57，光電二極體53之表面側之高雜質濃度的 $n^+$ 區域61a，以及於兩區域57與61a間之基板52上介以閘極絕緣膜71而形成之閘電極72。

復位電晶體55含有 $n^+$ 源極/汲極區域57與58，以及於兩區域57與58間之基板52上介以閘極絕緣膜71而形成之閘電極73。於此， $n^+$ 源極/汲極區域57被稱為浮動擴射(FD)。

放大電晶體56含有n型源極/汲極區域58與59，以及於兩區域58與59間之基板52上介以閘極絕緣膜71而形成之閘電極74。

垂直選擇電晶體雖未圖示但亦同樣地含有一對源極/汲極區域，以及於其間之基板52上介以閘極絕緣膜而形成之閘電極。

上述各MOS電晶體之電路佈線因與下述相同，故而省略其說明。再者，連接各像素之復位電晶體55與放大電晶體56之n型源極/汲極區域58介以連接導體75連接於電源佈線76。進而，於基板52上，介以層間絕緣膜78形成有包含電源佈線76之多層佈線77。

該CMOS型固體攝像裝置51以自半導體基板52之表面側入射光線至光電二極體53，於光電二極體53中實行光電轉換，並蓄積相應於受光量之信號電荷的方式而構成。

於專利文獻1之圖5中，亦揭示有如上述之於同一基板上之同一平面，形成有構成單位像素的光電二極體、電荷讀取電晶體、復位電晶體、放大電晶體以及垂直轉送電晶體之MOS型影像感應器的固體攝像元件(參照專利文獻1、圖5)。

專利文獻1：日本專利特開平11-122532號公報

[發明所欲解決之問題]

於上述CMOS型固體攝像裝置51中，雖然實行有微細化用以高集成複數個像素60，但是，特別是為於各像素區域中，光電二極體53或電荷讀取電晶體等複數個電晶體配置於同一平面上，各自需要平面上之面積，從而會有1像素之面積增大之趨勢。因此，像素尺寸之微細化會變困難，或者於實行像素尺寸微細化之情形時，因光電二極體53之面積縮小，而會有導致飽和電荷量(Qs)或靈敏度降低等問題。

本發明係鑒於上述問題開發而成者，其目的在於提供一種不會降低飽和電荷量(Qs)或靈敏度，可實現像素尺寸之微細化的固體攝像裝置。

### 【發明內容】

本發明之固體攝像裝置之特徵在於：於半導體基板形成含有光電二極體以及電晶體之像素，於半導體基板之表面形成構成該像素之電晶體，並且將於光電二極體之高濃度區域間所形成的pn接合部設置於半導體基板之內部，且以於半導體基板表面所形成之電晶體之下部延伸的方式形成該光電二極體之pn接合部之一部分。

作為本發明之固體攝像裝置之較好形態，較好的是於像素中，將用以讀取光電二極體之信號電荷之電荷讀取電晶體的通道部分形成於相對於半導體基板表面而言為深度方向。

作為本發明之固體攝像裝置之較好形態，較好的是將電荷讀取電晶體之閘電極以及閘極絕緣膜之底部形成於光電二極體之pn接合部的深度以上之較深的位置上。

作為本發明之固體攝像裝置之較好形態，較好的是使對應於電荷讀取電晶體與光電二極體之連接部的閘電極位於光電二極體之中央部分。

作為本發明之固體攝像裝置之較好形態，較好的是電荷讀取電晶體之一方之第二導電型源極/汲極區域兼作構成光電二極體之第二導電型半導體區域。

作為本發明之固體攝像裝置之較好形態，較好的是根據藉由離子佈植而形成之構成光電二極體的第二導電型半導體區域與電荷讀取電晶體之於半導體基板表面所形成的他方之第二導電型源極/汲極區域間的距離，決定電荷讀取電晶體之實效通道長度。

作為本發明之固體攝像裝置之較好形態，較好的是於電荷讀取電晶體之閘電極之周邊部或閘電極之底部所對應之部分，於構成光電二極體之第二導電型半導體區域與上述閘極絕緣膜之間，設置第一導電型半導體區域。

作為本發明之固體攝像裝置之較好形態，較好的是於構成光電二極體之第一導電型高濃度半導體區域與電荷讀取

電晶體之閘極絕緣膜之間，形成濃度低於上述高濃度半導體區域之第一導電型或第二導電型半導體區域。

作為本發明之固體攝像裝置之較好形態，較好的是自半導體基板之背面入射光線至光電二極體。

[發明之效果]

根據本發明之固體攝像裝置，於光電二極體之高濃度區域間所形成之pn接合部以於一部分半導體表面所形成之電晶體之下部延伸的方式，設置於半導體基板之內部，藉此，即使縮小像素面積亦可較大地維持光電二極體之面積。故而，不會降低飽和電荷量(Qs)或靈敏度，可實現像素尺寸之微細化。

於像素中，將電荷讀取電晶體之通道部分形成於相對於半導體基板表面而言為深度方向，藉此可使電晶體與光電二極體以上下重疊之方式立體地形成，從而可擴大光電二極體之面積，實現像素尺寸之微細化。

將電荷讀取電晶體之閘電極以及閘極絕緣膜之底部形成於光電二極體之pn接合部之深度以上之較深的位置上，藉此通道部分得以確實地形成於光電二極體與源極/汲極區域間，可確實地實行電荷讀取電晶體之動作。

以位於光電二極體之中央部分之方式形成電荷讀取電晶體之閘電極，藉此光電二極體之周邊與閘電極之距離可為相等，從而可無剩餘地轉送光電二極體之所有信號電荷，高效地向電荷讀取電晶體轉送。

電荷讀取電晶體之一方之第二導電型源極/汲極區域兼

作構成光電二極體之第二導電型半導體區域，藉此可決定電荷讀取電晶體之實效通道長度。

因電荷讀取電晶體之實效通道長度根據藉由離子佈植而形成之光電二極體之第二導電型半導體區域與電荷讀取電晶體之形成於基板表面的他方之第二導電型源極/汲極區域間的距離而決定，故而即使於電荷讀取電晶體之閘電極底部位置有若干不均一，亦可保持實效通道長度不變，提供可靠性較高之固體攝像裝置。

於電荷讀取電晶體之閘電極之周邊部或閘電極之底部所對應之部分中，於光電二極體之第二導電型半導體區域與閘極絕緣膜之間設置第一導電型半導體區域，藉此可抑制因光電二極體之缺陷等而導致的洩漏電流之產生。

於光電二極體之第一導電型高濃度半導體區域與閘極絕緣膜之間，形成濃度低於該高濃度半導體區域之第一導電型或第二導電型半導體區域，藉此可保持光電二極體之電荷蓄積容量，並且可較容易地藉由電荷讀取電晶體轉送信號電荷。

自半導體區域之背面入射光線至光電二極體，藉此光電二極體之面積較大，且不會降低飽和電荷量或靈敏度，實現像素尺寸之微細化。

### 【實施方式】

以下，參照圖式就本發明之實施形態加以說明。

圖2表示適用於本發明之固體攝像裝置，即CMOS型固體攝像裝置之單位像素之等價電路的一實施形態。該CMOS

型固體攝像裝置之單位像素20如圖2所示，包含光電二極體3以及四個MOS電晶體，即電荷讀取電晶體4、復位電晶體5、放大電晶體6以及垂直選擇電晶體7。並且，光電二極體3連接於電荷讀取電晶體4之一方之主電極，電荷讀取電晶體4之他方之主電極連接於復位電晶體5的一方之主電極。復位電晶體5之他方之主電極連接於放大電晶體6的一方之主電極，並且放大電晶體6之他方之主電極連接於垂直選擇電晶體7的一方之主電極。

又，電荷讀取電晶體4與復位電晶體5之連接中點所對應的FD(浮動擴射)連接於放大電晶體6之閘電極。復位電晶體5與放大電晶體6之連接中點連接於來自電源Vdd之電源佈線8。進而，垂直選擇電晶體7之他方之主電極連接於垂直信號線9。水平選擇電晶體17連接於垂直信號線9與水平信號線(未圖示)之間。

並且，垂直讀取脈衝 $\phi_{TG}$ 得以施加至電荷讀取電晶體4之閘電極，復位脈衝 $\phi_R$ 得以施加至復位電晶體5之閘電極，垂直選擇脈衝 $\phi_{SEL}$ 得以施加至垂直選擇電晶體7之閘電極。

如此之單位像素20排列為多個二次元矩陣狀，從而構成CMOS型固體攝像裝置。

於此單位像素20中，藉由光電轉換，信號電荷得以蓄積於光電二極體3中。施加垂直讀取脈衝 $\phi_{TG}$ 至電荷讀取電晶體4之閘電極，藉此電荷讀取電晶體4導通，光電二極體3之信號電荷得以轉送至FD，藉此FD之電位產生變化。施加該FD之信號電壓至放大電晶體6之閘電極，藉由放大電晶體6

轉換為信號電流。另一方面，施加垂直選擇脈衝 $\phi_{SEL}$ 至垂直選擇電晶體7之閘電極，藉此垂直選擇電晶體7導通，信號電流顯現於垂直信號線9。該信號電流藉由水平選擇脈衝，經過水平選擇電晶體17流至水平信號線，繼而自輸出部輸出。

繼而，使用圖1就本發明之固體攝像裝置，即CMOS型固體攝像裝置之一實施形態加以說明。再者，本例雖然適用於含有如圖2所示之含有一個光電二極體以及四個電晶體之單位像素20的CMOS型固體攝像裝置，但並非僅限於此，亦可適用於含有MOS電晶體之數量相異之其他單位像素的CMOS型固體攝像裝置。

圖1表示像素之主要部分，表示於單位像素中，光電二極體3與三個MOS電晶體即電荷讀取電晶體4、復位電晶體5以及放大電晶體6之構成部分。

本實施形態之CMOS型固體攝像裝置1於第一導電型，例如p型矽半導體基板2之表面側形成有用以劃分各像素之像素分離區域25，於各劃分區域中形成光電二極體3以及複數個MOS電晶體，於本例中為電荷讀取電晶體4、復位電晶體5、放大電晶體6以及垂直選擇電晶體(未圖示)四個MOS電晶體，從而構成單位像素20。該像素60排列為多個二次元矩陣狀。像素分離區域25藉由例如場絕緣膜( $\text{SiO}_2$ 膜)而形成。

並且，於本實施形態中，特別是於半導體基板2之表面形成有複數個MOS電晶體，即電荷讀取電晶體4、復位電晶體

5、放大電晶體6以及垂直選擇電晶體(未圖示)，光電二極體3以位於該等電荷讀取電晶體4、復位電晶體5、放大電晶體6以及垂直選擇電晶體(未圖示)之下方之方式，形成於半導體基板2之內部。此時，用以讀取光電二極體3之信號電荷之電荷讀取電晶體4的通道部分形成於相對於半導體基板2之表面而言為深度方向，較好的是垂直方向。

光電二極體3包含高雜質濃度之p型半導體區域( $p^+$ 區域)12以及n型半導體區域11，上述p型半導體區域( $p^+$ 區域)12形成於基板2之表面側，上述n型半導體區域11包含與上述p型半導體區域( $p^+$ 區域)12相接並且於面向基板2之背面側之深度方向所形成之高濃度雜質區域( $n^+$ 區域)11A以及低雜質濃度區域(n區域)11B。光電二極體3之主要pn接合j藉由 $p^+$ 區域12以及 $n^+$ 區域11A而形成。因此，該pn接合j以位於半導體基板2內部，並且一部分pn接合延伸於上述MOS電晶體之下部的方式而形成。此情形如圖1所示，自基板表面側觀察時，光電二極體3以跨越像素分離區域所劃分之相互鄰接之單位像素20、20的區域之方式而形成。自基板背面側觀察時，光電二極體3之區域與單位像素20之區域相對應。

於電荷讀取電晶體4中，於半導體基板2之表面形成有高雜質濃度之n型半導體區域，即所謂 $n^+$ 源極/汲極區域14，又，以與 $n^+$ 源極/汲極區域14相接之方式，自半導體基板2之表面至深於光電二極體3之例如pn接合j的位置形成有溝部18。即，形成超過pn接合部j到達 $n^+$ 區域11A內部之深度

方向，較好的是垂直於基板面方向的溝部18。於此溝部18之內壁，以跨越 $n^+$ 源極/汲極區域14與光電二極體3之 $n^+$ 區域11A間之方式形成閘極絕緣膜(例如矽氧化膜等)10，並且於此閘極絕緣膜10上形成埋入溝部18之柱狀閘電極19。藉此，電荷讀取電晶體4之通道部21對應於溝部18之內壁，於對於半導體基板面而言為深度方向，較好的是垂直方向而形成。再者，閘電極19以及閘極絕緣膜10之底部亦可對應於光電二極體3之pn接合部j之深度位置而形成。

進而，於與電荷讀取電晶體4之閘電極19之包含底部的下部周邊部相對應之部分，於構成光電二極體3之 $n^+$ 區域11A與閘極絕緣膜10之間，形成有濃度低於 $p^+$ 半導體區域12之低雜質濃度p型半導體區域( $p^-$ 區域)或者n型半導體區域( $n^-$ 區域)13a，於本例中形成 $p^-$ 區域。又，於構成光電二極體3之高雜質濃度之p型半導體區域( $p^+$ 區域)12中，形成有閘極絕緣膜10之附近部分13b作為低雜質濃度之p型區域( $p^-$ 區域)。於此情形時， $p^-$ 區域13a與 $p^-$ 區域13b可以相同濃度形成。

並且，電荷讀取電晶體4含有一方之 $n^+$ 源極/汲極區域14，兼作他方之 $n^+$ 源極/汲極區域的光電二極體3之 $n^+$ 區域11A，以及閘電極19。該 $n^+$ 源極/汲極區域14成為FD(浮動擴散)。

於此，需要將藉由光電二極體3實行光電轉換並蓄積之全部信號電荷高效地讀取至電荷讀取電晶體4。因此，電荷讀取電晶體4與光電二極體3之連接部所對應之電荷讀取電晶

體4的閘極部即閘電極19，較好的是如圖1所示，形成於距光電二極體3之周邊之距離為基本相等的中央部分。於圖1中，閘電極19介以閘極絕緣膜10以與源極/汲極區域14以及像素分離區域25相接之方式形成。

又，與上述 $n^+$ 源極/汲極區域14同時地，於p型半導體基板2之其他表面形成有高雜質濃度之n型半導體區域，即 $n^+$ 源極/汲極區域15、16。

並且，復位電晶體5含有 $n^+$ 源極/汲極區域14、15以及閘電極24，上述閘電極24於兩 $n^+$ 源極/汲極區域14以及15間之p型半導體基板2上介以閘極絕緣膜10而形成。又，放大電晶體6含有 $n^+$ 源極/汲極區域15、16以及閘電極24，上述閘電極24於兩 $n^+$ 源極/汲極區域15以及16間之p型半導體基板2上介以閘極絕緣膜10而形成。垂直選擇電晶體7(參照圖2)雖未圖示但亦同樣地，含有一對 $n^+$ 源極/汲極區域以及於上述區域間之p型半導體基板2上介以閘極絕緣膜10而形成之閘電極。

上述各閘電極19、23以及24可藉由例如多晶矽膜而形成。又，連接導體29以及佈線27、28等亦可藉由例如多晶矽膜而形成。

於形成有各MOS電晶體4~6以及垂直選擇電晶體等之半導體基板2上，介以層間絕緣膜26形成有含有電源佈線28之多層佈線27。多層佈線中之電源佈線28介以連接導體29連接於成為各像素之FD(浮動擴散)之 $n^+$ 源極/汲極區域14。

上述實施形態中，於與電荷讀取電晶體4之閘電極19之包

含底部的下部周邊部相對應的部分中，於構成光電二極體3之 $n^+$ 區域11A與閘極絕緣膜10之間，形成有低雜質濃度之p型半導體區域( $p^-$ 區域)13a。然而，除此以外，亦可如圖3所示，僅於與電荷讀取電晶體4之閘電極19之底部相對應的部分中，於構成光電二極體3之 $n^+$ 區域11A與閘極絕緣膜10之間，形成低雜質濃度之p型半導體區域( $p^-$ 區域)13c。

於上述CMOS型固體攝像裝置1中，自半導體基板2之背面入射光線L，繼而藉由光電二極體3受光該光線L。再者，雖未圖示，但是於半導體基板2之背面，於彩色濾光片之對應於其上之各像素20的位置，形成有片上微鏡等。

繼而，使用圖4至圖7，就上述CMOS型固體攝像裝置1之製造方法，特別是含有光電二極體3以及電荷讀取電晶體4之主要部分的製造方法之實施形態加以說明。

首先，如圖4A所示，於p型半導體基板2之各像素形成區域所需要之深度位置，藉由離子佈植選擇性地形成為光電二極體3之n型半導體區域( $n^+$ 區域11A、n區域11B)11、p型半導體區域即中央之 $p^-$ 區域13b、以及將中央之 $p^-$ 區域13b夾住之兩側之 $p^+$ 區域12。

繼而，如圖4B所示，對應於 $p^-$ 區域13b之中央部分，以自基板2之表面到達 $n^+$ 區域11A內之方式，於基板之深度方向，較好的是垂直方向藉由例如選擇蝕刻形成柱狀之溝部18。繼而，於柱狀之溝部18的內壁面以及基板2之表面，藉由CVD法或者熱氧化法而成膜閘極絕緣膜(例如矽氧化膜)10。

積。即，因光電二極體之面積變大，並且自基板背面實行受光，故而不會降低飽和電荷量( $Q_s$ )、靈敏度，可實現像素尺寸之微細化。

來自光電二極體3之電荷之讀取可藉由電荷讀取電晶體4而實現，該電荷讀取電晶體4於相對於半導體基板2之表面而言為深度方向，較好的是垂直方向形成有通道部21。又，藉由使電荷讀取電晶體4之閘電極19位於光電二極體3中央部，光電二極體3之全域之信號電荷可通過通道部21，高效地讀取至電荷讀取電晶體4。因此，可較容易地電性讀取來自光電二極體3之電荷。

電荷讀取電晶體4之 $n^+$ 源極/汲極區域14兼作構成光電二極體3之 $n^+$ 區域11A，藉此可決定電荷讀取電晶體4之實效通道長度 $d$ 。

將電荷讀取電晶體4之閘電極19以及閘極絕緣膜10之底部形成於與光電二極體3之pn接合部 $j$ 的深度相同之位置上，或者形成於深於光電二極體3之pn接合部 $j$ 的位置上，藉此通道部分21得以確實地形成於光電二極體3與 $n^+$ 源極/汲極區域14間，可確實地實行電荷讀取電晶體4之動作。

又，光電二極體3之 $n^+$ 區域11A兼作電荷讀取電晶體4之他方之 $n^+$ 源極/汲極區域，進而使電荷讀取電晶體4之柱狀閘電極19的根部延伸至深於光電二極體3之pn接合部 $j$ 之位置，且於形成光電二極體3之後形成電荷讀取電晶體4，藉此可根據光電二極體3之 $n^+$ 區域11A之深度位置，決定電荷讀取電晶體4之實效閘極長度 $d$ 。

## 【主要元件符號說明】

1	CMOS型固體攝像裝置
2	半導體基板
3	光電二極體
4	電荷讀取電晶體
5	復位電晶體
6	放大電晶體
7	垂直選擇電晶體
8	電源佈線
9	垂直信號線
10	閘極絕緣膜
11	n型半導體區域
12	高雜質濃度之p型半導體區域(p <sup>+</sup> 區域)
14	n <sup>+</sup> 源極/汲極區域
15, 16	n <sup>+</sup> 源極/汲極區域
17	水平選擇電晶體
18	溝部
19, 23, 24	閘電極
20	單位像素
21	通道部
25	像素分離區域
26	層間絕緣膜
27, 28	佈線
29	連接導體

32	抗蝕遮罩
51	CMOS型固體攝像裝置
52	矽半導體基板
53	光電二極體
54	電荷讀取電晶體
55	復位電晶體
56	放大電晶體
57, 58, 59	$n^+$ 源極/汲極區域
60	像素
61	n型半導體區域
62	p型半導體區域
74	閘電極
75	連接導體
76	電源佈線
77	多層佈線
78	層間絕緣膜

## 五、中文發明摘要：

本發明之目的在於提供一種固體攝像裝置，其可在不降低飽和電荷量(Qs)或靈敏度下，實現像素尺寸之微細化。

本發明之固體攝像裝置1之特徵在於：於半導體基板2上形成包含光電二極體3以及電晶體之像素20，於半導體基板之表面形成構成該像素20之電晶體，並且將於光電二極體3之高濃度區域間所形成之pn接合部設置於半導體基板2的內部，且以於半導體基板2表面所形成之電晶體之下部延伸的方式，形成該光電二極體3之pn接合部之一部分。

## 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種固體攝像裝置，其特徵在於：

包含光電二極體以及電晶體之像素形成於半導體基板上，

上述電晶體形成於上述半導體基板之表面，

於上述光電二極體之高濃度區域間所形成之pn接合部位於上述半導體基板的內部，該光電二極體之上述pn接合部之一部分以於半導體基板表面所形成之上述電晶體之下部延伸的方式而形成。

2. 如請求項1之固體攝像裝置，其中於上述像素中，用以讀取上述光電二極體之信號電荷之電荷讀取電晶體的通道部分形成於相對於上述半導體基板表面而言為深度方向。
3. 如請求項2之固體攝像裝置，其中上述電荷讀取電晶體之閘電極以及閘極絕緣膜之底部形成於上述光電二極體之pn接合部的深度以上之較深的位置上。
4. 如請求項2之固體攝像裝置，其中對應於上述電荷讀取電晶體與上述光電二極體之連接部的閘電極位於上述光電二極體之中央部分。
5. 如請求項2之固體攝像裝置，其中上述電荷讀取電晶體之一方之第二導電型源極/汲極區域兼作為構成上述光電二極體之第二導電型半導體區域。
6. 如請求項2之固體攝像裝置，其中根據藉由離子佈植而形成之構成上述光電二極體的第二導電型半導體區域與上

述電荷讀取電晶體之形成於上述半導體基板表面之他方的第二導電型源極/汲極區域間之距離，決定上述電荷讀取電晶體之實效通道長度。

7. 如請求項2之固體攝像裝置，其中於與上述電荷讀取電晶體之閘電極的周邊部或者閘電極之底部相對應之部分中，

於構成上述光電二極體之第二導電型半導體區域與上述閘極絕緣膜之間，設置有第一導電型半導體區域。

8. 如請求項2之固體攝像裝置，其中於構成上述光電二極體之第一導電型高濃度半導體區域與電荷讀取電晶體之閘極絕緣膜之間，形成有濃度低於上述高濃度半導體區域之第一導電型或者第二導電型半導體區域。
9. 如請求項1之固體攝像裝置，其中自上述半導體基板之背面入射光線至上述光電二極體。

十一、圖式：

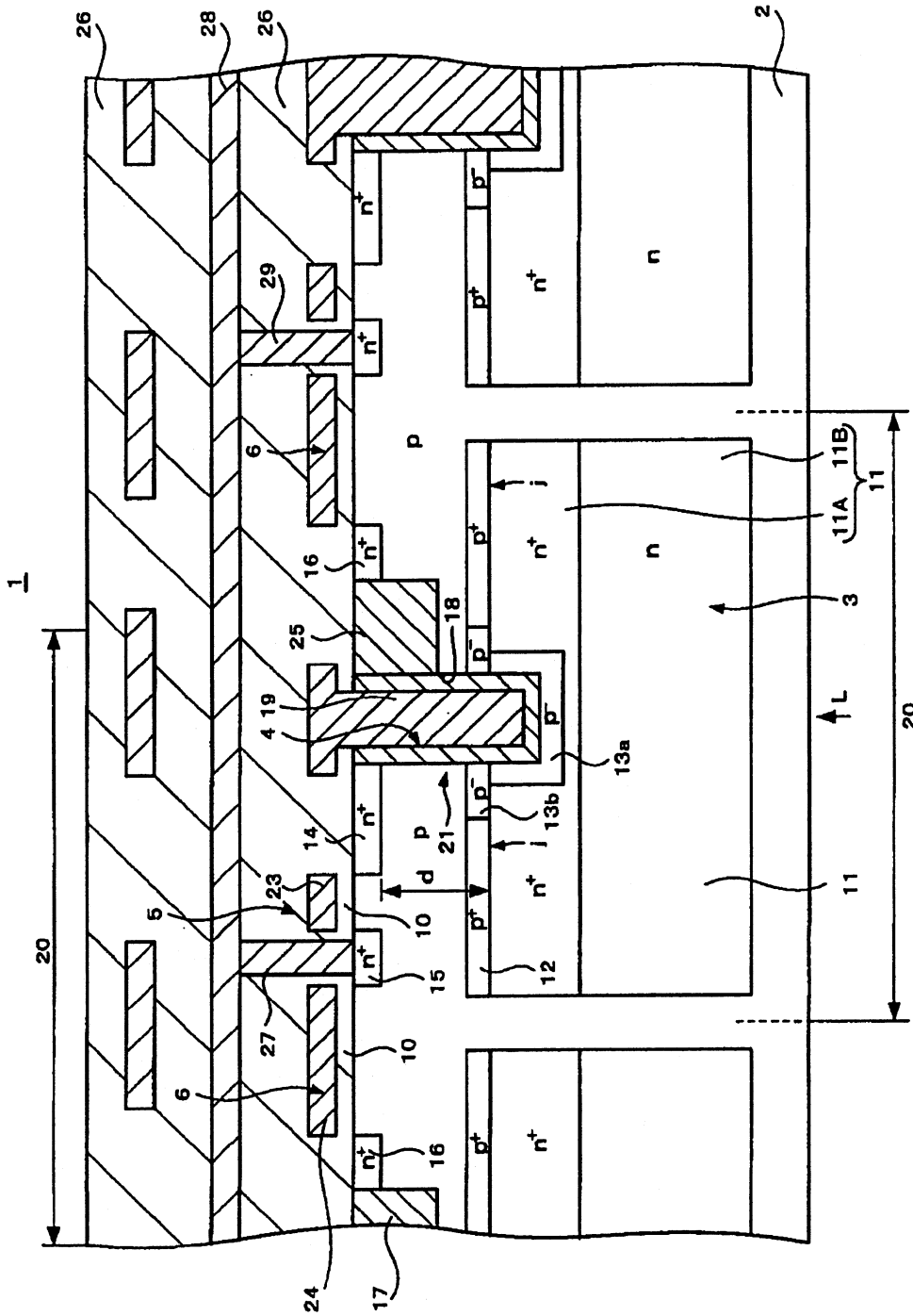


圖 1

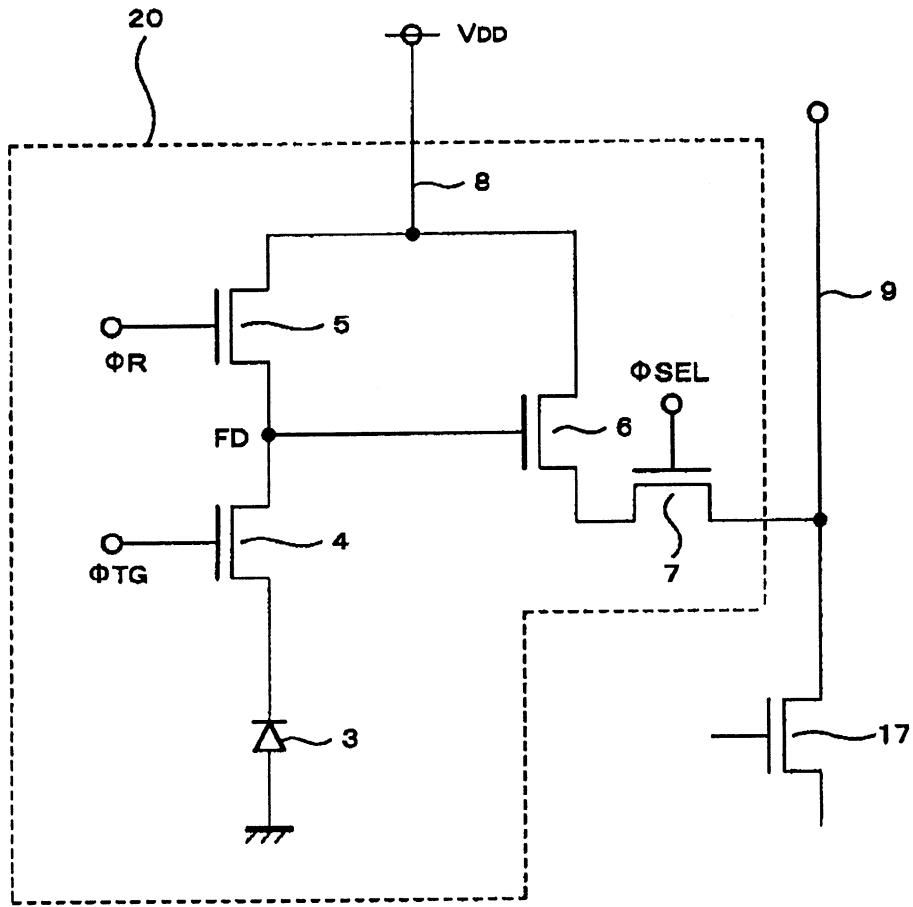


圖 2

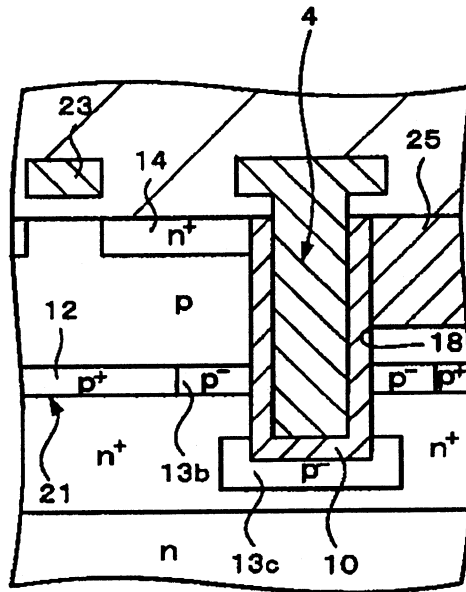


圖 3

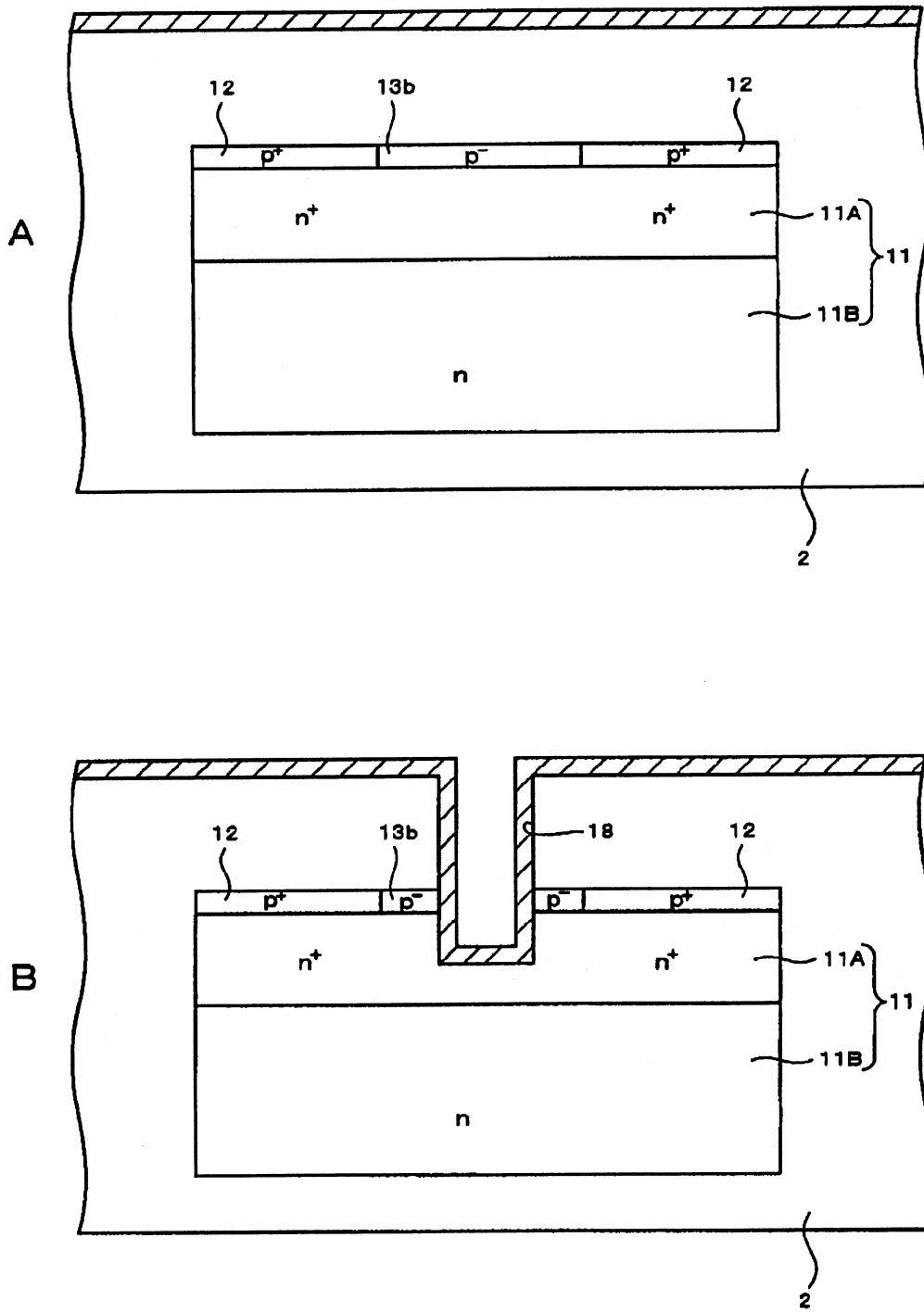
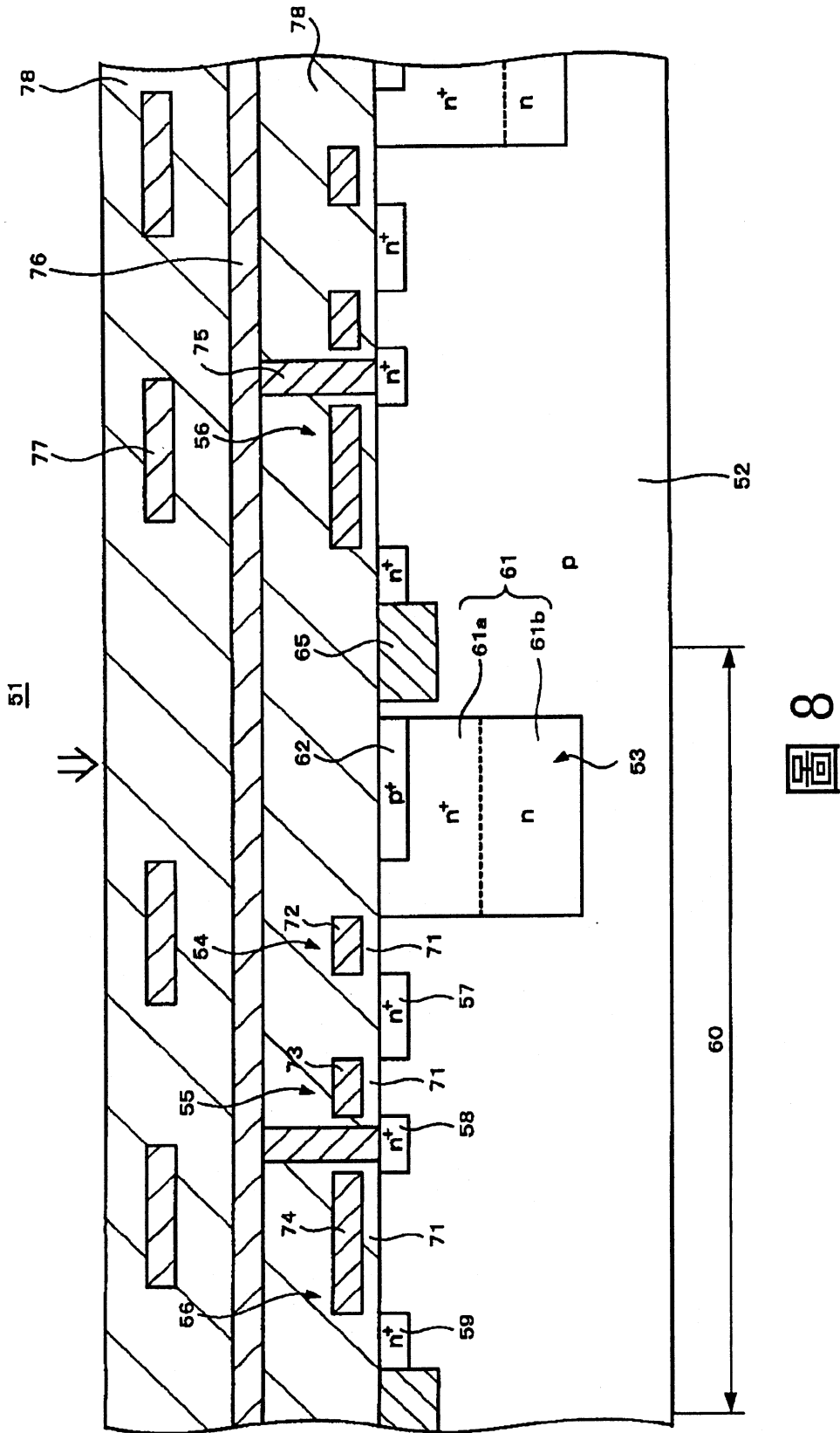


圖 4



## 七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	CMOS型固體攝像裝置
2	半導體基板
3	光電二極體
4	電荷讀取電晶體
5	復位電晶體
6	放大電晶體
10	閘極絕緣膜
11	n型半導體區域
12	高雜質濃度之p型半導體區域(p <sup>+</sup> 區域)
13a	p <sup>-</sup> 區域
13b	p <sup>-</sup> 區域
14	n <sup>+</sup> 源極/汲極區域
15, 16	n <sup>+</sup> 源極/汲極區域
17	水平選擇電晶體
18	溝部
19, 23, 24	閘電極
20	單位像素
21	通道部
25	像素分離區域

26	層間絕緣膜
27, 28	佈線
29	連接導體
d	實效通道長度
j	pn接合部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

繼而，如圖5所示，藉由例如傾斜離子佈植而導入低濃度p型雜質，從而於光電二極體3之 $n^+$ 區域11A之與溝部18的包含底部之下部周邊部相對應之部分，形成 $p^-$ 區域13a。

繼而，如圖6所示，以埋入溝部18內之方式於基板表面全面堆積例如多晶矽膜31，並且於形成閘電極之區域上形成抗蝕遮罩32。

繼而，如圖7A所示，介以抗蝕遮罩32將多晶矽膜31圖案化，形成得以埋入溝部18內之柱狀閘電極19。

繼而，如圖7B所示，藉由離子佈植形成像素分離區域25以及各MOS電晶體之 $n^+$ 源極/汲極區域14、15以及16。繼而，藉由其他多晶矽膜形成閘電極23、24。閘電極19、23以及24等可同時形成。

又，亦可於形成各MOS電晶體之後，形成溝部18，繼而形成柱狀閘電極19。

根據此製造方法，因於形成電荷讀取電晶體4之前，藉由離子佈植形成光電二極體3，故而即使有溝部18之形成不均一，亦可容易且正確地決定實效閘極長度d。即，根據構成光電二極體3之 $n^+$ 區域11A與電荷讀取電晶體4之 $n^+$ 源極/汲極區域14的底部間之距離，決定實效閘極長度d。

根據上述本實施形態之CMOS型固體攝像裝置，因於像素區域20中，光電二極體3以位於形成於基板表面之複數個MOS電晶體，例如讀取電晶體4、復位電晶體5、放大電晶體6以及垂直轉送電晶體(未圖示)等之下部的方式，立體地配置，故而可擴大光電二極體3之面積，並可縮小像素面

即，溝部18之形成即使有不均一，亦可決定正確之實效閘極長度d。於電荷讀取電晶體4之閘極絕緣膜10與光電二極體3之 $n^+$ 區域11A之間設置 $p^-$ 區域13a，藉此可抑制因光電二極體3之缺陷等而導致的洩漏電流之產生。進而，於電荷讀取電晶體4之閘極絕緣膜10與光電二極體3之 $p^+$ 半導體區域12間設置 $p^-$ 區域13b，藉此可保持光電二極體3之電荷蓄積容量，並且可較容易地藉由電荷讀取電晶體4轉送電荷。

【圖式簡單說明】

圖1係表示本發明之固體攝像裝置之一實施形態的剖面圖。

圖2係表示本發明之固體攝像裝置之單位像素之一實施形態之等價電路。

圖3係表示本發明之固體攝像裝置之其他實施形態的主要部分。

圖4A、B係表示本發明之固體攝像裝置之製造方法之一實施形態之步驟圖。

圖5係表示本發明之固體攝像裝置之製造方法之一實施形態之步驟圖。

圖6係表示本發明之固體攝像裝置之製造方法之一實施形態之步驟圖。

圖7A、B係表示本發明之固體攝像裝置之製造方法之一實施形態之步驟圖。

圖8係先前之固體攝像裝置之主要部分的剖面圖。

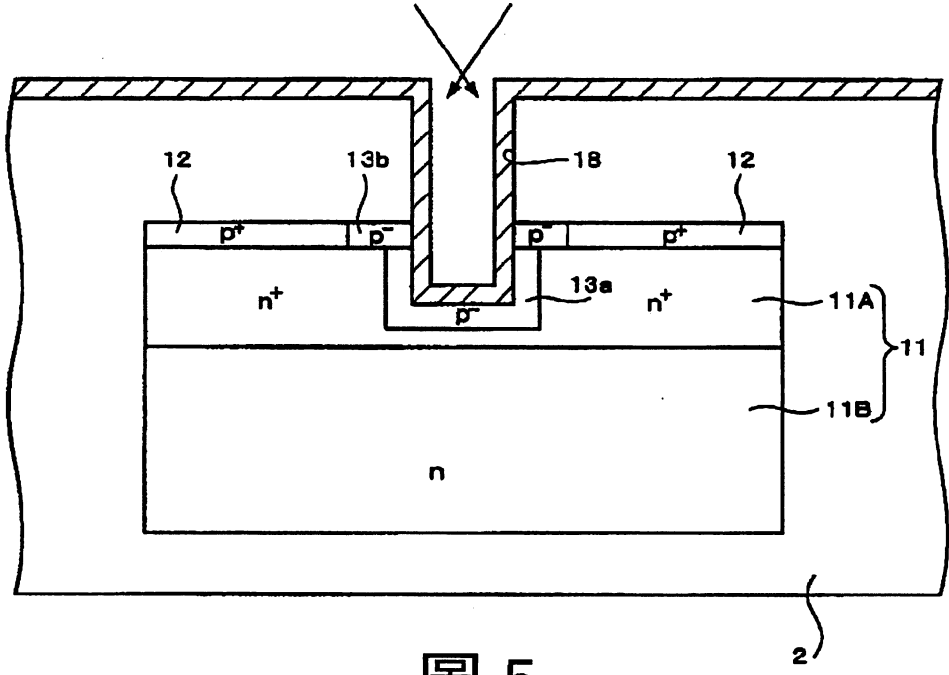


圖 5

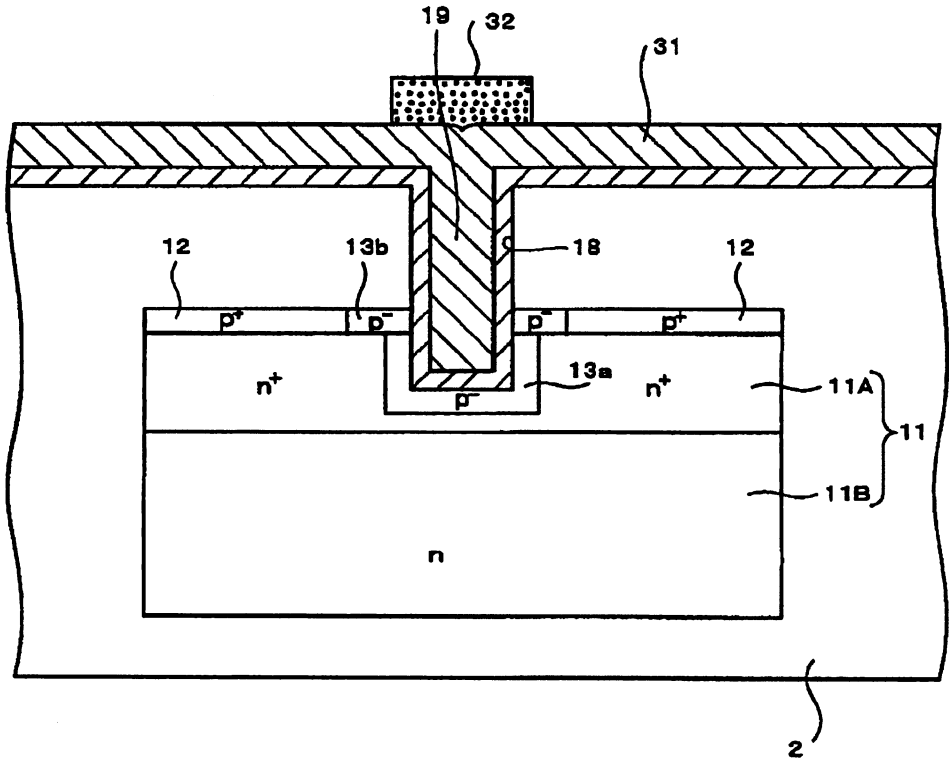


圖 6

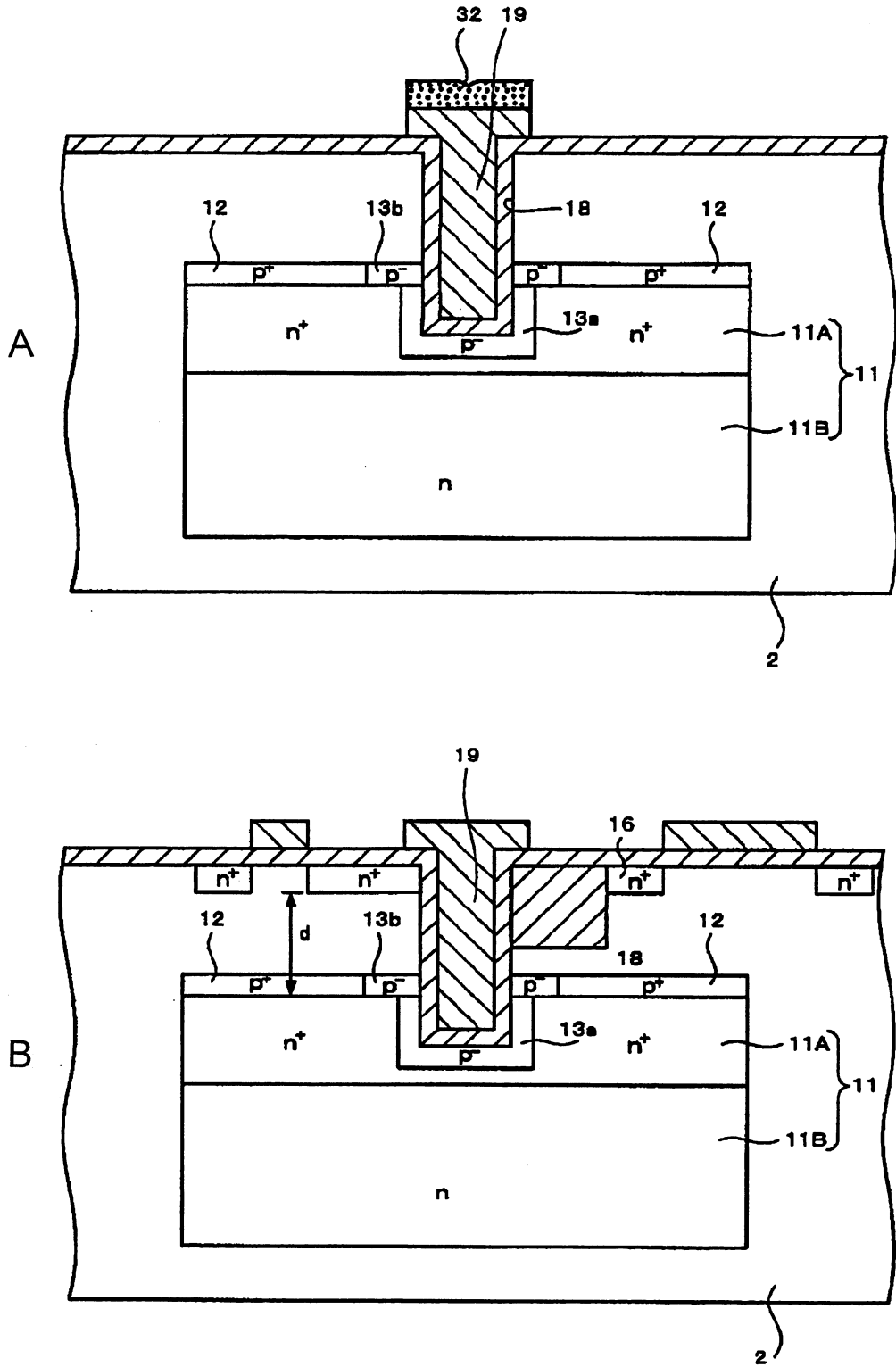


圖 7