

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 3 月 30 日 (30.03.2017)

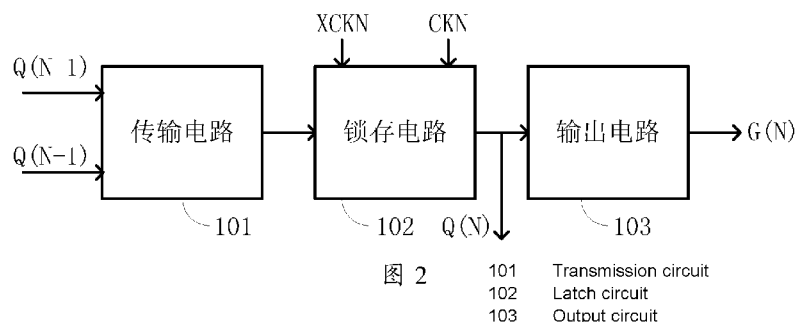


(10) 国际公布号
WO 2017/049704 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/092809
- (22) 国际申请日: 2015 年 10 月 26 日 (26.10.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510609541.9 2015 年 9 月 22 日 (22.09.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹尚操 (CAO, Shangcao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY

(54) 发明名称: 一种 GOA 电路及液晶显示器



(57) Abstract: A gate driver on array (GOA) circuit and liquid crystal display. The GOA circuit comprises a plurality of cascaded GOA units. Each stage of the GOA units comprises a transmission circuit (101, 201, 301, 401, 501, 601, 701, 801), a latch circuit (102, 202, 302, 402, 502, 602, 702, 802), and an output circuit (103, 203, 303, 403, 503, 603, 703, 803). When performing a forward scan, the transmission circuit (101, 201, 301, 401, 501, 601, 701, 801) is configured to receive an (N-1) stage transmission signal from an (N-1) stage GOA unit, and transmit the same to the latch circuit (102, 202, 302, 402, 502, 602, 702, 802). When performing a reverse scan, the transmission circuit (101, 201, 301, 401, 501, 601, 701, 801) is configured to receive an (N+1) stage transmission signal from an (N+1) stage GOA unit, and transmit the same to the latch circuit (102, 202, 302, 402, 502, 602, 702, 802). In a scan period, the latch circuit (102, 202, 302, 402, 502, 602, 702, 802) is configured to simultaneously receive a first clock signal (XCK(N)) and a second clock signal (CK(N)), and output an N stage transmission signal Q(N) having a voltage level identical to that of the first clock signal (XCK(N)) and opposite to that of the second clock signal (CK(N)). The output circuit (103, 203, 303, 403, 503, 603, 703, 803) is configured to receive the N stage transmission signal Q(N), and output an N stage scan signal G(N) having a voltage level identical to that of the N stage transmission signal. By adopting the configuration, the embodiment can simultaneously drive the GOA circuit by two set of clock signals, increasing stability of the circuit.

(57) 摘要:

[见续页]

WO 2017/049704 A1



一种 GOA 电路及液晶显示器，该 GOA 电路包括多个级联的 GOA 单元，每一级的 GOA 单元均包括传输电路（101、201、301、401、501、601、701、801）、锁存电路（102、202、302、402、502、602、702、802）以及输出电路（103、203、303、403、503、603、703、803）；传输电路（101、201、301、401、501、601、701、801）用于在正向扫描时，接收第 N-1 级 GOA 单元的第 N-1 级级传信号（Q(N-1)），并发送给锁存电路（102、202、302、402、502、602、702、802）；或在反向扫描时接收第 N+1 级 GOA 单元的第 N+1 级级传信号（Q(N+1)），并发送给锁存电路（102、202、302、402、502、602、702、802）；锁存电路（102、202、302、402、502、602、702、802）用于在扫描期间，同时接收第一时钟信号（XCK(N)）以及第二时钟信号（CK(N)），并输出与第一时钟信号（XCK(N)）电平相同，与第二时钟信号（CK(N)）电平相反的第 N 级级传信号（Q(N)）；输出电路（103、203、303、403、503、603、703、803）用于接收第 N 级级传信号（Q(N)），并输出与第 N 级级传信号电平相同的第 N 级扫描信号（G(N)）。通过上述方式，能够通过两组时钟信号共同驱动 GOA 电路，提高电路的稳定性。

一种GOA电路及液晶显示器

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种GOA电路及液晶显示器。

[3] **【背景技术】**

[4] 阵列基板行驱动（GOA， Gate Driver On Array 或Gate On Array）电路，是利用现有薄膜晶体管显示装置（TFT-LCD）阵列（Array）制程将栅线（Gate）行扫描驱动信号电路制作在阵列基板上，以实现对栅线逐行扫描的驱动方式的一项技术。其与传统的柔性电路板（COF）和玻璃电路板（COG）工艺相比，不仅节省了制作成本，而且还可以省去栅极方向邦定（Bonding）的工艺，对提升产能极为有利，并提高了显示装置的集成度。

[5] CMOS GOA电路的主要架构有正反向扫描电路、输出电路、讯号传递电路和锁存电路；目前窄边框和无边框是手机屏追求的目标；而GOA电路的宽度是影响b order的主要因素；另外目前的GOA CMOS电路功耗较大，而且不稳定。

[6] **【发明内容】**

[7] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器，能够采用两组时钟信号共同驱动GOA电路，提高电路的稳定性。

[8] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种GOA电路，其中，GOA电路包括多个级联的GOA单元，每级GOA单元均包括依次连接的传输电路、锁存电路以及输出电路；设N为正整数，在第N级GOA单元中：传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与第一时钟信号电平相同，与第二时钟信号电平相反的第N级级传信号；输出电路用于接收第N级级传信号，并输出与第N级级传信号电平相同的第N级扫描信号；传输电路包括第一传输门以及第二传输门，第一传输门的输入端接入第N-1级级传信号，用于在正向扫描时打开，将第N-1级级传信号发送给锁

存电路；第二传输门的输入端接入第 $N+1$ 级级传信号，用于在反向扫描时打开，将第 $N+1$ 级级传信号发送给锁存电路；输出电路包括依次连接的第二或非门、第二反相器、第三反相器以及第四反相器；第二或非门的第一输入端接收锁存电路发送的第 N 级级传信号，第二输入端接收复位信号，当第 N 级级传信号和复位信号中至少一个为高电平时，第二或非门的输出端输出低电平信号，并在通过第二反相器、第三反相器以及第四反相器后，输出高电平的第 N 级扫描信号。

[9] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种GOA电路，该GOA电路包括多个级联的GOA单元，每级GOA单元均包括传输电路、锁存电路以及输出电路；设 N 为正整数，在第 N 级GOA单元中：传输电路用于在正向扫描时，接收第 $N-1$ 级GOA单元的第 $N-1$ 级级传信号，并发送给锁存电路；或在反向扫描时接收第 $N+1$ 级GOA单元的第 $N+1$ 级级传信号，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与第一时钟信号电平相同，与第二时钟信号电平相反的第 N 级级传信号；输出电路用于接收第 N 级级传信号，并输出与第 N 级级传信号电平相同的第 N 级扫描信号。

[10] 其中，锁存电路包括第一或非门和第一晶体管，第一晶体管为P型；第一或非门的第一输入端接收传输电路发送的级传信号，输出端连接第一晶体管的栅极；第一晶体管的源极连接第一时钟信号，漏极连接第一或非门的第二输入端，用于在第一晶体管导通时，输出与第一时钟信号相同的第 N 级级传信号。

[11] 其中，锁存电路还包括第二晶体管以及第一反相器，第二晶体管为P型；第二晶体管的源极连接第二时钟信号，栅极连接第一或非门的输出端，漏极通过第一反相器正向连接第一晶体管的漏极；其中，第二时钟信号与第一时钟信号反向。

[12] 其中，传输电路包括第一传输门以及第二传输门，第一传输门的输入端接入第 $N-1$ 级级传信号，用于在正向扫描时打开，将第 $N-1$ 级级传信号发送给锁存电路；第二传输门的输入端接入第 $N+1$ 级级传信号，用于在反向扫描时打开，将第 $N+1$ 级级传信号发送给锁存电路。

[13] 其中，输出电路包括依次连接的第二或非门、第二反相器、第三反相器以及第四反相器；第二或非门的第一输入端接收锁存电路发送的第 N 级级传信号，第二

输入端接收复位信号，当第N级级传信号和复位信号中至少一个为高电平时，第二或非门的输出端输出低电平信号，并在通过第二反相器、第三反相器以及第四反相器后，输出高电平的N级扫描信号。

[14] 其中，输出电路连接传输电路，用于在正向扫描时接收第N-1级级传信号，并输出与第N-1级级传信号相同的N级扫描信号；或在反向扫描时接收第N+1级级传信号，并输出与第N+1级级传信号相同的N级扫描信号。

[15] 其中，锁存电路包括第三或非门、第三传输门、第四传输门、第五反相器以及第六反相器；第三或非门的第一输入端接收传输电路发送的级传信号，输出端分别连接第三传输门与第四传输门的一控制端，第三或非门的输出端还通过第五反相器分别连接第三传输门与第四传输门的另一控制端；第三传输门的输入端连接第一时钟信号，输出端连接第三或非门的第二输入端；第四传输门的输入端连接第二时钟信号，输出端通过第六反相器正向连接第三或非门的第二输入端。

[16] 其中，锁存电路包括第四或非门、第七反相器、第一与非门以及第八反相器；第四或非门的第一输入端接收传输电路发送的级传信号，输出端通过第七反相器连接第一与非门的第一输入端；第一与非门的第二输入端连接第一时钟信号，输出端通过第八反相器连接第四或非门的第二输入端；第八反相器的输出端连接输出电路，以向输出电路发送N级级传信号。

[17] 其中，相邻两级的GOA单元包括一组传输电路、锁存电路以及输出电路；传输电路用于在正向扫描时，接收第N-2级GOA单元的第N-2级级传信号，并发送给锁存电路；或在反向扫描时接收N+3级GOA单元的N+3级级传信号，并发送给锁存电路；锁存电路包括第五或非门、第二与非门、第三与非门、第九反相器、第十反相器、第十一反相器、第十二反相器、第四晶体管以及第五晶体管；第五或非门的第一输入端接收传输电路发送的级传信号，输出端分别通过第九反相器以及第十一反相器连接第二与非门的第一输入端以及第三与非门的第一输入端，第二与非门的输出端通过第十反相器连接输出电路，第三与非门的输出端通过第十二反相器连接输出电路，第二与非门的第二输入端连接第三时钟信号，第三与非门的第二输入端连接第四时钟信号；第四晶体管以及第五晶体管

的漏极分别连接第十反相器和第十二反相器的输出端，源极连接第五或非门的第二输入端，栅极分别连接第四时钟信号和第三时钟信号；输出电路分别连接第十反相器和第十二反相器的输出端以分别输出第N级扫描信号和第N+1级扫描信号。

[18] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种液晶显示器，该液晶显示器包括GOA电路，该GOA电路包括多个级联的GOA单元，每级GOA单元均包括传输电路、锁存电路以及输出电路；设N为正整数，在第N级GOA单元中：传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与第一时钟信号电平相同，与第二时钟信号电平相反的第N级级传信号；输出电路用于接收第N级级传信号，并输出与第N级级传信号电平相同的第N级扫描信号。

[19] 其中，锁存电路包括第一或非门和第一晶体管，第一晶体管为P型；第一或非门的第一输入端接收传输电路发送的级传信号，输出端连接第一晶体管的栅极；第一晶体管的源极连接第一时钟信号，漏极连接第一或非门的第二输入端，用于在第一晶体管导通时，输出与第一时钟信号相同的第N级级传信号。

[20] 其中，锁存电路还包括第二晶体管以及第一反相器，第二晶体管为P型；第二晶体管的源极连接第二时钟信号，栅极连接第一或非门的输出端，漏极通过第一反相器正向连接第一晶体管的漏极；其中，第二时钟信号与第一时钟信号反向。

[21] 其中，传输电路包括第一传输门以及第二传输门，第一传输门的输入端接入第N-1级级传信号，用于在正向扫描时打开，将第N-1级级传信号发送给锁存电路；第二传输门的输入端接入第N+1级级传信号，用于在反向扫描时打开，将第N+1级级传信号发送给锁存电路。

[22] 其中，输出电路包括依次连接的第二或非门、第二反相器、第三反相器以及第四反相器；第二或非门的第一输入端接收锁存电路发送的第N级级传信号，第二输入端接收复位信号，当第N级级传信号和复位信号中至少一个为高电平时，第

二或非门的输出端输出低电平信号，并在通过第二反相器、第三反相器以及第四反相器后，输出高电平的第N级扫描信号。

[23] 其中，输出电路连接传输电路，用于在正向扫描时接收第N-1级级传信号，并输出与第N-1级级传信号相同的第N级扫描信号；或在反向扫描时接收第N+1级级传信号，并输出与第N+1级级传信号相同的第N级扫描信号。

[24] 其中，锁存电路包括第三或非门、第三传输门、第四传输门、第五反相器以及第六反相器；第三或非门的第一输入端接收传输电路发送的级传信号，输出端分别连接第三传输门与第四传输门的一控制端，第三或非门的输出端还通过第五反相器分别连接第三传输门与第四传输门的另一控制端；第三传输门的输入端连接第一时钟信号，输出端连接第三或非门的第二输入端；第四传输门的输入端连接第二时钟信号，输出端通过第六反相器正向连接第三或非门的第二输入端。

[25] 其中，锁存电路包括第四或非门、第七反相器、第一与非门以及第八反相器；第四或非门的第一输入端接收传输电路发送的级传信号，输出端通过第七反相器连接第一与非门的第一输入端；第一与非门的第二输入端连接第一时钟信号，输出端通过第八反相器连接第四或非门的第二输入端；第八反相器的输出端连接输出电路，以向输出电路发送第N级级传信号。

[26] 其中，相邻两级的GOA单元包括一组传输电路、锁存电路以及输出电路；传输电路用于在正向扫描时，接收第N-2级GOA单元的第N-2级级传信号，并发送给锁存电路；或在反向扫描时接收N+3级GOA单元的N+3级级传信号，并发送给锁存电路；锁存电路包括第五或非门、第二与非门、第三与非门、第九反相器、第十反相器、第十一反相器、第十二反相器、第四晶体管以及第五晶体管；第五或非门的第一输入端接收传输电路发送的级传信号，输出端分别通过第九反相器以及第十一反相器连接第二与非门的第一输入端以及第三与非门的第一输入端，第二与非门的输出端通过第十反相器连接输出电路，第三与非门的输出端通过第十二反相器连接输出电路，第二与非门的第二输入端连接第三时钟信号，第三与非门的第二输入端连接第四时钟信号；第四晶体管以及第五晶体管的漏极分别连接第十反相器和第十二反相器的输出端，源极连接第五或非门的

第二输入端，栅极分别连接第四时钟信号和第三时钟信号；输出电路分别连接第十反相器和第十二反相器的输出端以分别输出第N级扫描信号和第N+1级扫描信号。

- [27] 本发明的有益效果是：区别于现有技术的情况，本发明提供了一种GOA电路，该GOA电路包括多个级联的GOA单元，每级GOA单元均包括传输电路、锁存电路以及输出电路；在第N级GOA单元中，传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与第一时钟信号电平相同，与第二时钟信号电平相反的第N级级传信号；输出电路用于接收第N级级传信号，并输出与第N级级传信号电平相同的第N级扫描信号。通过上述方式，本实施方式采用两个时钟信号同时进行驱动，防止时钟信号高低电平转换时失效，提高电路的稳定性。

[28] **【附图说明】**

- [29] 图1是本发明GOA电路一实施方式的电路结构示意图；
[30] 图2是本发明GOA电路一实施方式中第N级GOA单元的电路结构示意图；
[31] 图3是本发明GOA电路第一实施方式中第N级GOA单元的电路图；
[32] 图4是本发明GOA电路第一实施方式中第N级GOA单元的电路时序图；
[33] 图5是本发明GOA电路第二实施方式中第N级GOA单元的电路图；
[34] 图6是本发明GOA电路第三实施方式中第N级GOA单元的电路图；
[35] 图7是本发明GOA电路第四实施方式中第N级GOA单元的电路图；
[36] 图8是本发明GOA电路第五实施方式中第N级GOA单元的电路图；
[37] 图9是本发明液晶显示器一实施方式的结构示意图。

[38] **【具体实施方式】**

- [39] 参阅图1，本发明GOA电路一实施方式的电路结构示意图，该GOA电路包括多个级联的GOA单元，其中，在正向扫描期间，第一级GOA单元接收STV级传信号，以后的每一级GOA单元均接收上一级GOA单元发出的级传信号，例如，第N级GOA电路均接收第N-1级GOA输出的第N-1级级传信号Q(N-1)；或在反向扫

描期间，最后一级GOA单元接收STV级传信号，以后的每一级GOA单元均接收下一级GOA单元发出的级传信号，例如，第N级GOA电路接收第N+1级GOA输出的第N+1级级传信号 $Q(N+1)$ 。

[40] 同时参阅图2，本发明GOA电路一实施方式中第N级GOA单元的电路结构示意图，每级GOA单元均包括传输电路101、锁存电路102以及输出电路103。

[41] 设N为正整数，在第N级GOA单元中：

[42] 传输电路101用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号 $Q(N-1)$ ，并发送给锁存电路102；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号 $Q(N+1)$ ，并发送给锁存电路102。

[43] 锁存电路102用于根据传输电路101发送的级传信号开始工作，即当接收到传输电路101发送的第N-1级级传信号 $Q(N-1)$ 为高电平时，开启接收时钟信号的通道，即开始扫描。在扫描期间，同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$ ，并输出与第一时钟信号 $XCK(N)$ 电平相同，与第二时钟信号 $CK(N)$ 电平相反的第N级级传信号 $Q(N)$ 。

[44] 输出电路103用于接收第N级级传信号 $Q(N)$ ，并输出与第N级级传信号 $Q(N)$ 电平相同的第N级扫描信号 $G(N)$ 。

[45] 区别于现有技术，本实施方式提供了一种GOA电路，该GOA电路包括多个级联的GOA单元，每级GOA单元均包括传输电路、锁存电路以及输出电路；在第N级GOA单元中，传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号 $Q(N-1)$ ，并发送给锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号 $Q(N+1)$ ，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$ ，并输出与第一时钟信号 $XCK(N)$ 电平相同，与第二时钟信号 $CK(N)$ 电平相反的第N级级传信号 $Q(N)$ ；输出电路用于接收第N级级传信号 $Q(N)$ ，并输出与第N级级传信号 $Q(N)$ 电平相同的第N级扫描信号 $G(N)$ 。通过上述方式，本实施方式采用两个时钟信号同时进行驱动，防止时钟信号高低电平转换时失效，提高电路的稳定性。

[46] 参阅图3，本发明GOA电路第一实施方式中第N级GOA单元的电路图。

[47] 其中，传输电路301包括第一传输门G1以及第二传输门G2，第一传输门G1的输

入端接入第N-1级级传信号 $Q(N-1)$ ，用于在正向扫描时打开，将第N-1级级传信号 $Q(N-1)$ 发送给锁存电路302；第二传输门G2的输入端接入第N+1级级传信号 $Q(N+1)$ ，用于在反向扫描时打开，将第N+1级级传信号 $Q(N+1)$ 发送给锁存电路302。

[48] 其中，锁存电路302包括第一或非门H1和第一晶体管T1，第一晶体管T1为P型；第一或非门H1的第一输入端接收传输电路301发送的级传信号，输出端连接第一晶体管T1的栅极；第一晶体管T1的源极连接第一时钟信号 $XCK(N)$ ，漏极连接第一或非门H1的第二输入端。

[49] 其中，锁存电路302还包括第二晶体管T2以及第一反相器F1，第二晶体管T2为P型；第二晶体管T2的源极连接第二时钟信号 $CK(N)$ ，栅极连接第一或非门H1的输出端，漏极通过第一反相器F1正向连接第一晶体管T1的漏极。

[50] 另外，锁存电路302还包括第三晶体管T3，该第三晶体管T3为N型，其栅极连接第一反相器F1的输出端，漏极连接第一反相器F1的输入端，源极接入一低电平信号，用于稳定第一反相器F1输出端的电压。

[51] 其中，输出电路303包括依次连接的第二或非门H2、第二反相器F2、第三反相器F3以及第四反相器F4；第二或非门H2的第一输入端接收锁存电路发送的第N级级传信号 $Q(N)$ ，第二输入端接收复位信号Reset。

[52] 具体地，第二反相器F2用于使输出信号反相，而第三反相器F3和第四反相器F4起到缓冲的作用。

[53] 结合以上电路，并参阅图4，本发明GOA电路第一实施方式中第N级GOA单元的电路时序图，对本实施方式进行详细阐述。

[54] 具体地，以下例子仅为正向扫描中第N级GOA单元中电路各个节点的时序，其中，在正向扫描期间，每级GOA单元的电路中的D2U均为低电平，U2D均为高电平，以使第一传输门G1一直打开从而接收上一级GOA单元的级传信号。

[55] 在第一作用区间， $Q(N-1)$ 为高电平、 $XCK(N)$ 为低电平、 $CK(N)$ 为高电平，由于 $Q(N-1)$ 为高电平，因此a点为高电平，即，第一或非门H1的第一输入端输入高电平，使得第一或非门H1输出低电平，即，b点为低电平，因此，第一晶体管T1和第二晶体管T2均导通。由于第一时钟信号 $XCK(N)$ 为低电平，因此 $Q(N)$ 为低电平

。第二时钟信号 $CK(N)$ 为高电平，且第二晶体管 $T2$ 导通，因此第一反相器 $F1$ 的输入端产生高电平，进而输出低电平。第三晶体管 $T3$ 的栅极为低电平，不导通。

第二或非门 $H2$ 的输出端为高电平信号，并在通过第二反相器 $F2$ 、第三反相器 $F3$ 以及第四反相器 $F4$ 后，输出低电平的第 N 级扫描信号 $G(N)$ 。

[56] 在第二作用区间， $Q(N-1)$ 为高电平、 $XCK(N)$ 为高电平、 $CK(N)$ 为低电平，由于 $Q(N-1)$ 为高电平，因此 a 点为高电平，即，第一或非门 $H1$ 的第一输入端输入高电平，使得第一或非门 $H1$ 输出低电平， b 点为低电平，因此，第一晶体管 $T1$ 和第二晶体管 $T2$ 均导通。由于第一时钟信号 $XCK(N)$ 为高电平，因此 $Q(N)$ 为高电平。由于 $Q(N)$ 为高电平，第三晶体管 $T3$ 导通，使第一反相器 $F1$ 的输入端连接低电平，进而输出高电平信号，以保证 $Q(N)$ 的高电平稳定。第二或非门 $H2$ 的输出端为低电平信号，并在通过第二反相器 $F2$ 、第三反相器 $F3$ 以及第四反相器 $F4$ 后，输出高电平的第 N 级扫描信号 $G(N)$ 。

[57] 在第三作用区间， $Q(N-1)$ 为低电平、 $XCK(N)$ 为高电平、 $CK(N)$ 为低电平，由于 $Q(N-1)$ 为低电平，因此 a 点为低电平，但由于 $Q(N)$ 为高电平，即，第一或非门 $H1$ 的第二输入端输入高电平，使得第一或非门 $H1$ 输出低电平， b 点继续保持为低电平，因此，第一晶体管 $T1$ 和第二晶体管 $T2$ 继续导通。由于第一时钟信号 $XCK(N)$ 为高电平，因此 $Q(N)$ 为高电平。由于 $Q(N)$ 为高电平，第三晶体管 $T3$ 导通，使第一反相器 $F1$ 的输入端连接低电平，进而输出高电平信号，以保证 $Q(N)$ 的高电平稳定。第二或非门 $H2$ 的输出端为低电平信号，并在通过第二反相器 $F2$ 、第三反相器 $F3$ 以及第四反相器 $F4$ 后，输出高电平的第 N 级扫描信号 $G(N)$ 。

[58] 在第四作用区间， $Q(N-1)$ 为高电平、 $XCK(N)$ 为低电平、 $CK(N)$ 为高电平，由于 $XCK(N)$ 为低电平，使得 $Q(N)$ 瞬间变为低电平，同时由于 $Q(N)$ 为低电平，因此 a 点为低电平，即，第一或非门 $H1$ 的第一输入端和第二输入端均输入低电平，使得第一或非门 $H1$ 输出高电平，即， b 点为高电平，因此，第一晶体管 $T1$ 和第二晶体管 $T2$ 均截止。第三晶体管 $T3$ 的栅极为低电平，不导通。第二或非门 $H2$ 的输出端为高电平信号，并在通过第二反相器 $F2$ 、第三反相器 $F3$ 以及第四反相器 $F4$ 后，输出低电平的第 N 级扫描信号 $G(N)$ 。

[59] 值得注意的是，以正向扫描为例，在扫描期间，每一级的第一时钟信号和第二

时钟信号均是不同的，一般情况下，每一级的时钟信号要比相对应的前一级的时钟信号延迟半个周期，即图4中的两个作用区间；另外，在本实施方式中，每一级的时钟信号可以比相对应的前一级的时钟信号延迟1/4个周期，即相邻两级对应的时钟信号的高电平互相重叠，例如，第N级GOA单元的第一时钟信号XCK(N)比第N-1级GOA单元的第一时钟信号XCK(N-1)延迟1/4个周期，第N级GOA单元的第二时钟信号CK(N)比第N-1级GOA单元的第二时钟信号CK(N-1)延迟1/4个周期，通过上述方式，如图4中，相邻两级的扫描信号也相应的延迟1/4个周期，即高电平互相重叠。

[60] 区别于现有技术，本实施方式公开了一GOA单元的具体电路，通过第一时钟信号XCK(N)和第二时钟信号CK(N)两个时钟信号共同驱动，提高了电路的稳定性；同时，相邻两级的相应时钟信号采用重叠的时序设置，能够降低锁存电路在电平高低转换时失效的风险；另外，采用或非门等器件实现逻辑功能，能够降低电路的功耗，减小漏电。

[61] 参阅图5，本发明GOA电路第二实施方式中第N级GOA单元的电路图，该电路包括传输电路501、锁存电路502以及输出电路503。

[62] 其中，输出电路503连接传输电路501，用于在正向扫描时接收第N-1级级传信号Q(N-1)，并输出与第N-1级级传信号Q(N-1)相同的第N级扫描信号G(N)；或在反向扫描时接收第N+1级级传信号Q(N+1)，并输出与第N+1级级传信号Q(N+1)相同的第N级扫描信号G(N)。

[63] 具体地，本实施方式的传输电路501、锁存电路502以及输出电路503与本发明GOA电路第二实施方式的电路完全相同，不同之处在于输出电路503不再接收锁存电路502发出的Q(N)信号，而是接收传输电路501发出的Q(N-1)信号，而锁存模块502只提供级传信号，因此提高了电路的稳定性。

[64] 本实施方式与上述实施方式类似，这里不再赘述。

[65] 参阅图6，本发明GOA电路第三实施方式中第N级GOA单元的电路图，该电路包括传输电路601、锁存电路602以及输出电路603。

[66] 其中，传输电路601和输出电路603与上述各个实施方式中的相应电路相同，不同之处在于，本实施方式的锁存电路包括第三或非门H3、第三传输门G3、第四

传输门G4、第五反相器F5以及第六反相器F6。

[67] 其中，第三或非门H3的第一输入端接收传输电路发送的级传信号，输出端分别连接第三传输门G3与第四传输门G4的一控制端，第三或非门H3的输出端还通过第五反相器F5分别连接第三传输门G3与第四传输门G4的另一控制端；第三传输门G3的输入端连接第一时钟信号XCK(N)，输出端连接第三或非门H3的第二输入端；第四传输门G4的输入端连接第二时钟信号CK(N)，输出端通过第六反相器F6正向连接第三或非门H3的第二输入端。

[68] 区别于上述各实施方式，本实施方式的锁存电路采用或非门加传输门组成锁存模块，能够稳定Q(N)点的电位。

[69] 参阅图7，本发明GOA电路第四实施方式中第N级GOA单元的电路图，该电路包括传输电路701、锁存电路702以及输出电路703。

[70] 其中，传输电路701和输出电路703与上述各个实施方式中的相应电路相同，不同之处在于，本实施方式的锁存电路包括第四或非门H4、第七反相器F7、第一与非门Y1以及第八反相器F8。

[71] 第四或非门H4的第一输入端接收传输电路发送的级传信号，输出端通过第七反相器F7连接第一与非门Y1的第一输入端；第一与非门Y1的第二输入端连接第一时钟信号XCK(N)，输出端通过第八反相器F8连接第四或非门H4的第二输入端；第八反相器F8的输出端连接输出电路，以向输出电路发送第N级级传信号Q(N)。

[72] 区别于上述各实施方式，本实施方式的锁存电路采用或非门加与非门组成锁存模块，能够降低电路的功耗。

[73] 另外，上述各个实施方式中均可以在Q(N)所在的节点增加如图3、5、6、7中的复位电路，用于在扫描前或扫描后对电路进行复位。

[74] 参阅图8，本发明GOA电路第五实施方式中第N级GOA单元的电路图，其中，相邻两级的GOA单元包括一组传输电路801、锁存电路802以及输出电路803。

[75] 具体地，本实施方式的锁存电路802是将两个本发明GOA电路第五实施方式中的锁存电路702组合形成新的锁存电路802；将两个本发明GOA电路第五实施方式中的输出电路703组合形成新的输出电路803。

[76] 具体地，传输电路801用于在正向扫描时，接收第N-2级GOA单元的第N-2级级

传信号 $Q(N-2)$ ，并发送给锁存电路802；或在反向扫描时接收 $N+3$ 级GOA单元的 $N+3$ 级级传信号 $Q(N+3)$ ，并发送给锁存电路802。

- [77] 锁存电路802包括第五或非门H5、第二与非门Y2、第三与非门Y3、第九反相器F9、第十反相器F10、第十一反相器F11、第十二反相器F12、第四晶体管T4以及第五晶体管T5；第五或非门H5的第一输入端接收传输电路发送的级传信号，输出端分别通过第九反相器F9以及第十一反相器F11连接第二与非门Y2的第一输入端以及第三与非门Y3的第一输入端，第二与非门Y2的输出端通过第十反相器F10连接输出电路，第三与非门Y3的输出端通过第十二反相器F12连接输出电路，第二与非门Y2的第二输入端连接第三时钟信号，第三与非门Y3的第二输入端连接第四时钟信号；第四晶体管T4以及第五晶体管T5的漏极分别连接第十反相器F10和第十二反相器F12的输出端，源极连接第五或非门H5的第二输入端，栅极分别连接第四时钟信号和第三时钟信号；输出电路分别连接第十反相器F10和第十二反相器F12的输出端以分别输出第 N 级扫描信号 $G(N)$ 和第 $N+1$ 级扫描信号 $G(N+1)$ 。
- [78] 具体地，第三时钟信号和第四时钟信号也可以是时序重叠的两个信号，其中第四时钟信号延迟于第三时钟信号 $1/4$ 周期。
- [79] 区别与上述实施方式，本实施方式将两级GOA单元合并为同一单元并共用一个传输电路，减少了电子器件的数量，减小了功耗。
- [80] 参阅图9，本发明液晶显示器一实施方式的结构示意图，该液晶显示器包括显示面板901及背光902，显示面板901中包括GOA电路，其中，该GOA电路是如上述各个实施方式的GOA电路，其具体实施方式类似，这里不再赘述。
- [81] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，其中，所述GOA电路包括多个级联的GOA单元，每级GOA单元均包括依次连接的传输电路、锁存电路以及输出电路；

设N为正整数，在第N级GOA单元中：

所述传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给所述锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号，并发送给所述锁存电路；

所述锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与所述第一时钟信号电平相同，与所述第二时钟信号电平相反的第N级级传信号；

所述输出电路用于接收所述第N级级传信号，并输出与所述第N级级传信号电平相同的第N级扫描信号；

所述传输电路包括第一传输门以及第二传输门，所述第一传输门的输入端接入第N-1级级传信号，用于在正向扫描时打开，将所述第N-1级级传信号发送给所述锁存电路；所述第二传输门的输入端接入第N+1级级传信号，用于在反向扫描时打开，将所述第N+1级级传信号发送给所述锁存电路；

所述输出电路包括依次连接的第二或非门、第二反相器、第三反相器以及第四反相器；所述第二或非门的第一输入端接收所述锁存电路发送的所述第N级级传信号，第二输入端接收复位信号，当所述第N级级传信号和所述复位信号中至少一个为高电平时，所述第二或非门的输出端输出低电平信号，并在通过所述第二反相器、第三反相器以及第四反相器后，输出高电平的第N级扫描信号。

[权利要求 2]

一种GOA电路，其中，所述GOA电路包括多个级联的GOA单元，每级GOA单元均包括依次连接的传输电路、锁存电路以及输出电路；

设N为正整数，在第N级GOA单元中：

所述传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给所述锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号，并发送给所述锁存电路；

所述锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与所述第一时钟信号电平相同，与所述第二时钟信号电平相反的第N级级传信号；

所述输出电路用于接收所述第N级级传信号，并输出与所述第N级级传信号电平相同的第N级扫描信号。

[权利要求 3]

根据权利要求2所述的电路，其中，所述锁存电路包括第一或非门和第一晶体管，所述第一晶体管为P型；

所述第一或非门的第一输入端接收所述传输电路发送的级传信号，输出端连接所述第一晶体管的栅极；

所述第一晶体管的源极连接所述第一时钟信号，漏极连接所述第一或非门的第二输入端，用于在所述第一晶体管导通时，输出与所述第一时钟信号相同的第N级级传信号。

[权利要求 4]

根据权利要求3所述的电路，其中，所述锁存电路还包括第二晶体管以及第一反相器，所述第二晶体管为P型；

所述第二晶体管的源极连接所述第二时钟信号，栅极连接所述第一或非门的输出端，漏极通过所述第一反相器正向连接所述第一晶体管的漏极；其中，所述第二时钟信号与所述第一时钟信号反向。

[权利要求 5]

根据权利要求2所述的电路，其中，所述传输电路包括第一传输门以及第二传输门，

所述第一传输门的输入端接入第N-1级级传信号，用于在正向扫描时打开，将所述第N-1级级传信号发送给所述锁存电路；

所述第二传输门的输入端接入第N+1级级传信号，用于在反向扫描时打开，将所述第N+1级级传信号发送给所述锁存电路。

[权利要求 6]

根据权利要求2所述的电路，其中，所述输出电路包括依次连接的

第二或非门、第二反相器、第三反相器以及第四反相器；

所述第二或非门的第一输入端接收所述锁存电路发送的所述第N级级传信号，第二输入端接收复位信号，当所述第N级级传信号和所述复位信号中至少一个为高电平时，所述第二或非门的输出端输出低电平信号，并在通过所述第二反相器、第三反相器以及第四反相器后，输出高电平的第N级扫描信号。

[权利要求 7]

根据权利要求2所述的电路，其中，所述输出电路连接所述传输电路，用于在正向扫描时接收所述第N-1级级传信号，并输出与所述第N-1级级传信号相同的第N级扫描信号；或
在反向扫描时接收所述第N+1级级传信号，并输出与所述第N+1级级传信号相同的第N级扫描信号。

[权利要求 8]

根据权利要求2所述的电路，其中，所述锁存电路包括第三或非门、第三传输门、第四传输门、第五反相器以及第六反相器；
所述第三或非门的第一输入端接收所述传输电路发送的级传信号，输出端分别连接所述第三传输门与所述第四传输门的一控制端，所述第三或非门的输出端还通过所述第五反相器分别连接所述第三传输门与所述第四传输门的另一控制端；
所述第三传输门的输入端连接第一时钟信号，输出端连接所述第三或非门的第二输入端；
所述第四传输门的输入端连接第二时钟信号，输出端通过所述第六反相器正向连接所述第三或非门的第二输入端。

[权利要求 9]

根据权利要求2所述的电路，其中，所述锁存电路包括第四或非门、第七反相器、第一与非门以及第八反相器；
所述第四或非门的第一输入端接收所述传输电路发送的级传信号，输出端通过所述第七反相器连接所述第一与非门的第一输入端；
；
所述第一与非门的第二输入端连接第一时钟信号，输出端通过所述第八反相器连接所述第四或非门的第二输入端；

所述第八反相器的输出端连接所述输出电路，以向所述输出电路发送所述第N级级传信号。

[权利要求 10]

根据权利要求2所述的电路，其中，相邻两级的GOA单元包括一组传输电路、锁存电路以及输出电路；

所述传输电路用于在正向扫描时，接收第N-2级GOA单元的第N-2级级传信号，并发送给所述锁存电路；或在反向扫描时接收N+3级GOA单元的N+3级级传信号，并发送给所述锁存电路；

所述锁存电路包括第五或非门、第二与非门、第三与非门、第九反相器、第十反相器、第十一反相器、第十二反相器、第四晶体管以及第五晶体管；

所述第五或非门的第一输入端接收所述传输电路发送的级传信号，输出端分别通过所述第九反相器以及第十一反相器连接第二与非门的第一输入端以及第三与非门的第一输入端，第二与非门的输出端通过第十反相器连接所述输出电路，第三与非门的输出端通过第十二反相器连接所述输出电路，第二与非门的第二输入端连接第三时钟信号，第三与非门的第二输入端连接第四时钟信号；

所述第四晶体管以及第五晶体管的漏极分别连接第十反相器和第十二反相器的输出端，源极连接第五或非门的第二输入端，栅极分别连接第四时钟信号和第三时钟信号；

所述输出电路分别连接所述第十反相器和第十二反相器的输出端以分别输出第N级扫描信号和第N+1级扫描信号。

[权利要求 11]

一种液晶显示器，其中，所述液晶显示器包括GOA电路，所述GOA电路包括多个级联的GOA单元，每级GOA单元均包括依次连接的传输电路、锁存电路以及输出电路；

设N为正整数，在第N级GOA单元中：

所述传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号，并发送给所述锁存电路；或在反向扫描时接收第N+

1级GOA单元的第N+1级级传信号，并发送给所述锁存电路；
所述锁存电路用于在扫描期间，同时接收第一时钟信号以及第二时钟信号，并输出与所述第一时钟信号电平相同，与所述第二时钟信号电平相反的第N级级传信号；
所述输出电路用于接收所述第N级级传信号，并输出与所述第N级级传信号电平相同的第N级扫描信号。

[权利要求 12] 根据权利要求11所述的液晶显示器，其中，所述锁存电路包括第一或非门和第一晶体管，所述第一晶体管为P型；
所述第一或非门的第一输入端接收所述传输电路发送的级传信号，输出端连接所述第一晶体管的栅极；
所述第一晶体管的源极连接所述第一时钟信号，漏极连接所述第一或非门的第二输入端，用于在所述第一晶体管导通时，输出与所述第一时钟信号相同的第N级级传信号。

[权利要求 13] 根据权利要求12所述的液晶显示器，其中，所述锁存电路还包括第二晶体管以及第一反相器，所述第二晶体管为P型；
所述第二晶体管的源极连接所述第二时钟信号，栅极连接所述第一或非门的输出端，漏极通过所述第一反相器正向连接所述第一晶体管的漏极；其中，所述第二时钟信号与所述第一时钟信号反向。

[权利要求 14] 根据权利要求11所述的液晶显示器，其中，所述传输电路包括第一传输门以及第二传输门，
所述第一传输门的输入端接入第N-1级级传信号，用于在正向扫描时打开，将所述第N-1级级传信号发送给所述锁存电路；
所述第二传输门的输入端接入第N+1级级传信号，用于在反向扫描时打开，将所述第N+1级级传信号发送给所述锁存电路。

[权利要求 15] 根据权利要求11所述的液晶显示器，其中，所述输出电路包括依次连接的第二或非门、第二反相器、第三反相器以及第四反相器；

所述第二或非门的第一输入端接收所述锁存电路发送的所述第N级级传信号，第二输入端接收复位信号，当所述第N级级传信号和所述复位信号中至少一个为高电平时，所述第二或非门的输出端输出低电平信号，并在通过所述第二反相器、第三反相器以及第四反相器后，输出高电平的第N级扫描信号。

[权利要求 16]

根据权利要求11所述的液晶显示器，其中，所述输出电路连接所述传输电路，用于在正向扫描时接收所述第N-1级级传信号，并输出与所述第N-1级级传信号相同的第N级扫描信号；或在反向扫描时接收所述第N+1级级传信号，并输出与所述第N+1级级传信号相同的第N级扫描信号。

[权利要求 17]

根据权利要求11所述的液晶显示器，其中，所述锁存电路包括第三或非门、第三传输门、第四传输门、第五反相器以及第六反相器；

所述第三或非门的第一输入端接收所述传输电路发送的级传信号，输出端分别连接所述第三传输门与所述第四传输门的一控制端，所述第三或非门的输出端还通过所述第五反相器分别连接所述第三传输门与所述第四传输门的另一控制端；

所述第三传输门的输入端连接第一时钟信号，输出端连接所述第三或非门的第二输入端；

所述第四传输门的输入端连接第二时钟信号，输出端通过所述第六反相器正向连接所述第三或非门的第二输入端。

[权利要求 18]

根据权利要求11所述的液晶显示器，其中，所述锁存电路包括第四或非门、第七反相器、第一与非门以及第八反相器；

所述第四或非门的第一输入端接收所述传输电路发送的级传信号，输出端通过所述第七反相器连接所述第一与非门的第一输入端；

所述第一与非门的第二输入端连接第一时钟信号，输出端通过所述第八反相器连接所述第四或非门的第二输入端；

所述第八反相器的输出端连接所述输出电路，以向所述输出电路发送所述第N级级传信号。

[权利要求 19]

根据权利要求11所述的液晶显示器，其中，相邻两级的GOA单元包括一组传输电路、锁存电路以及输出电路；

所述传输电路用于在正向扫描时，接收第N-2级GOA单元的第N-2级级传信号，并发送给所述锁存电路；或在反向扫描时接收N+3级GOA单元的N+3级级传信号，并发送给所述锁存电路；

所述锁存电路包括第五或非门、第二与非门、第三与非门、第九反相器、第十反相器、第十一反相器、第十二反相器、第四晶体管以及第五晶体管；

所述第五或非门的第一输入端接收所述传输电路发送的级传信号，输出端分别通过所述第九反相器以及第十一反相器连接第二与非门的第一输入端以及第三与非门的第一输入端，第二与非门的输出端通过第十反相器连接所述输出电路，第三与非门的输出端通过第十二反相器连接所述输出电路，第二与非门的第二输入端连接第三时钟信号，第三与非门的第二输入端连接第四时钟信号；

所述第四晶体管以及第五晶体管的漏极分别连接第十反相器和第十二反相器的输出端，源极连接第五或非门的第二输入端，栅极分别连接第四时钟信号和第三时钟信号；

所述输出电路分别连接所述第十反相器和第十二反相器的输出端以分别输出第N级扫描信号和第N+1级扫描信号。

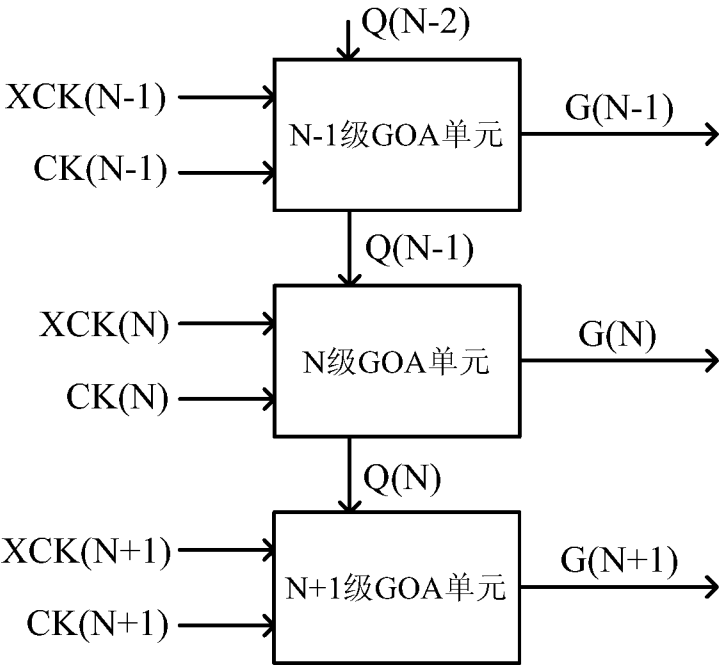


图 1

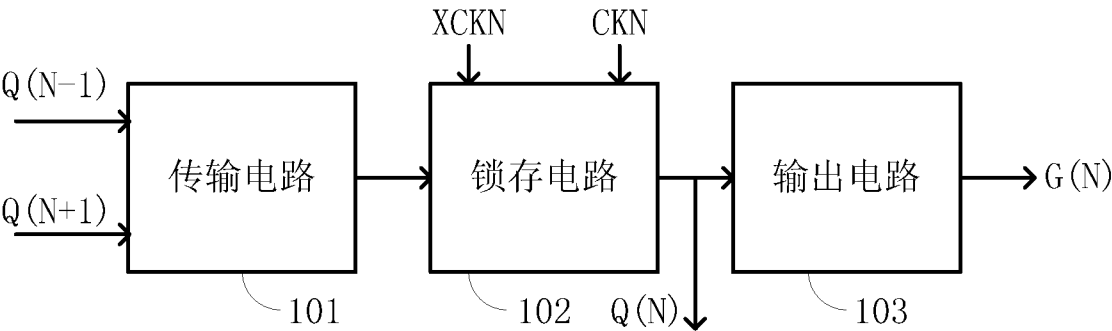
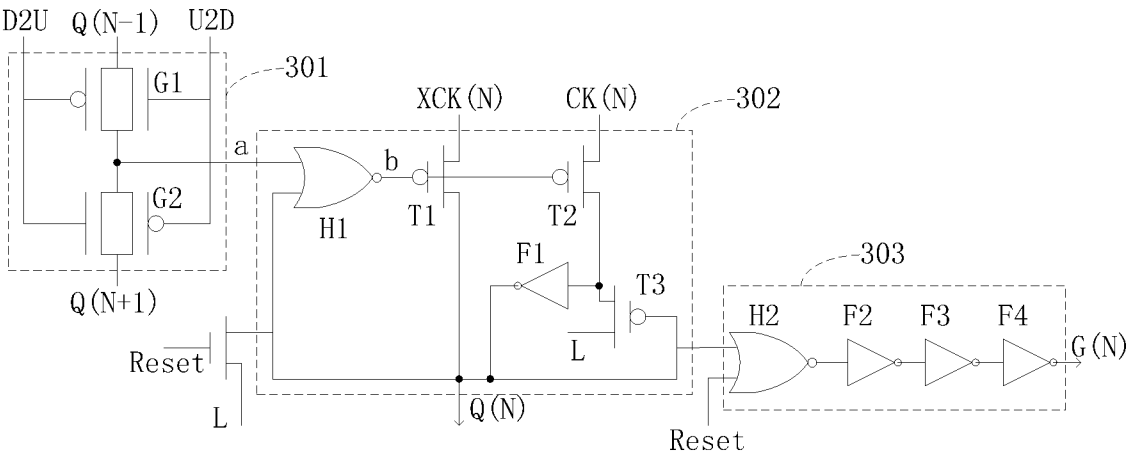


图 2



2/3

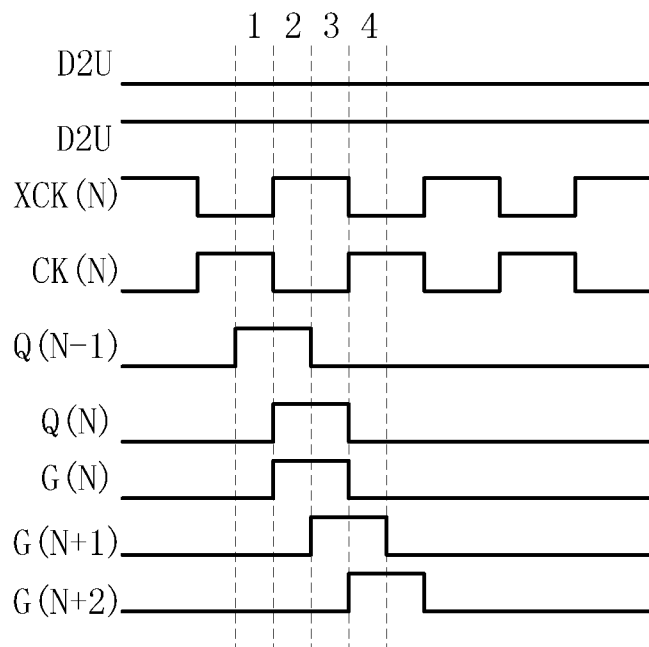


图 4

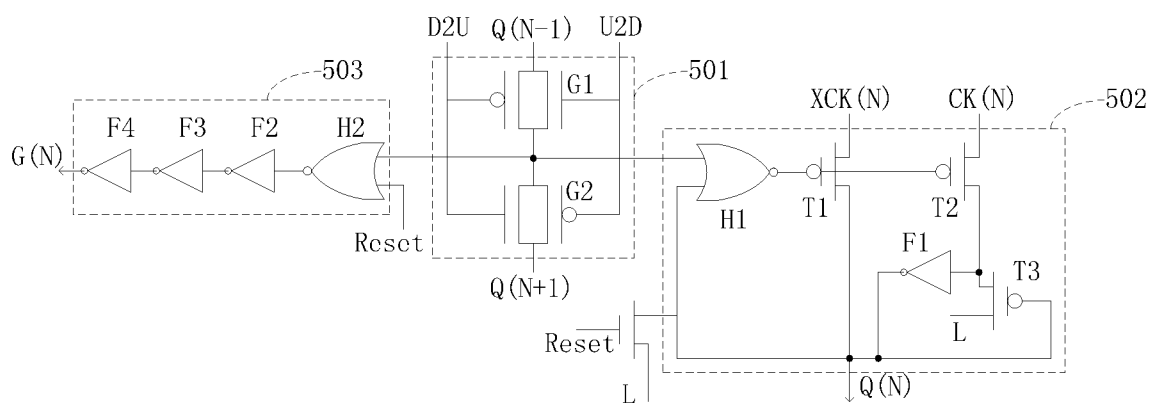


图 5

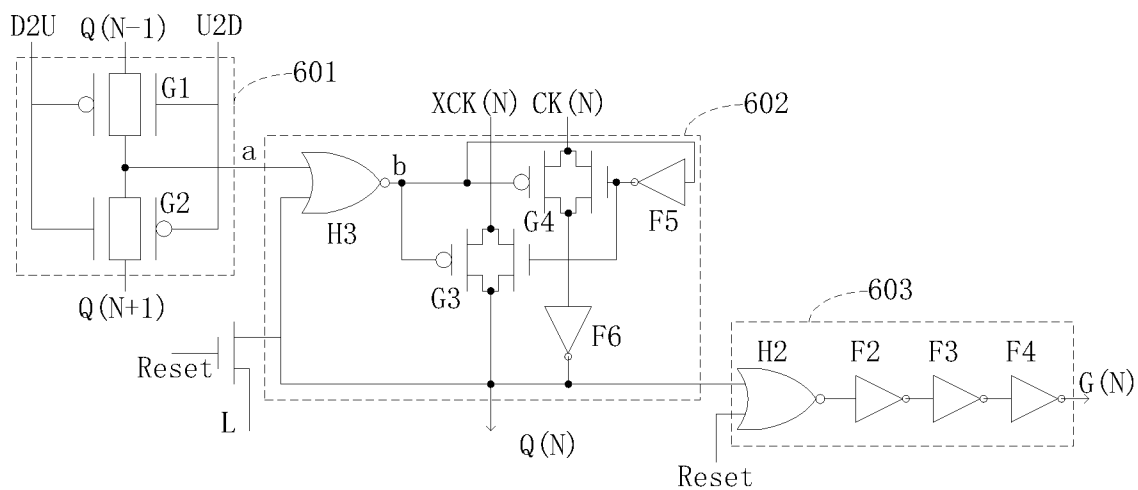


图 6

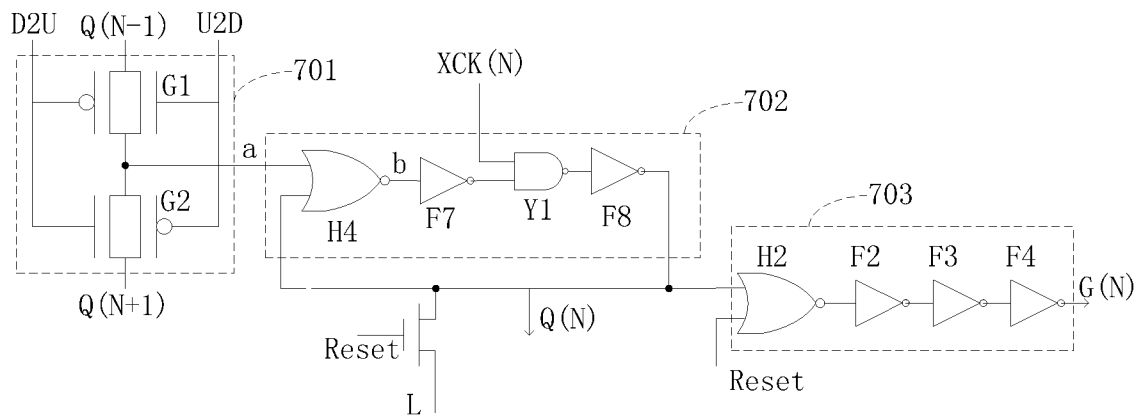


图 7

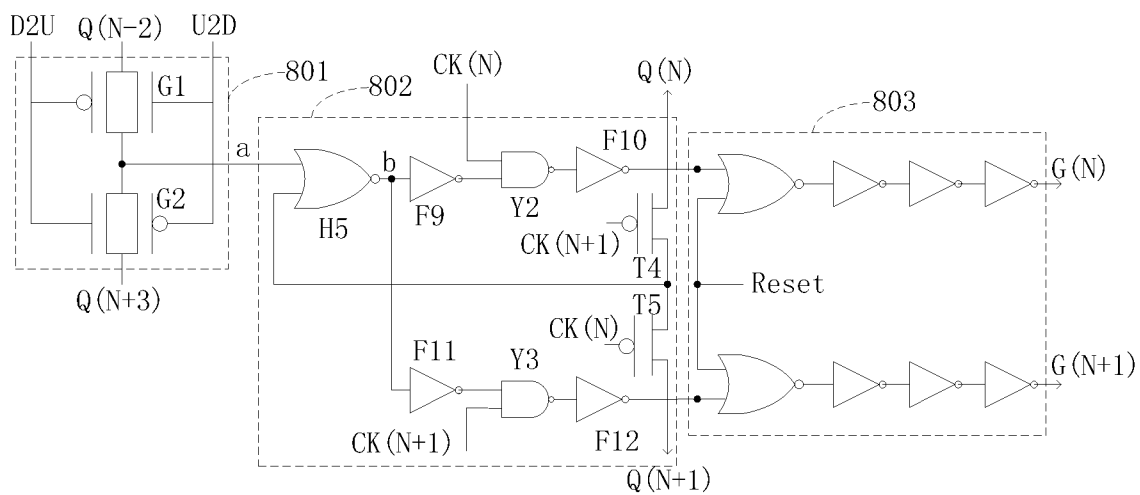


图 8

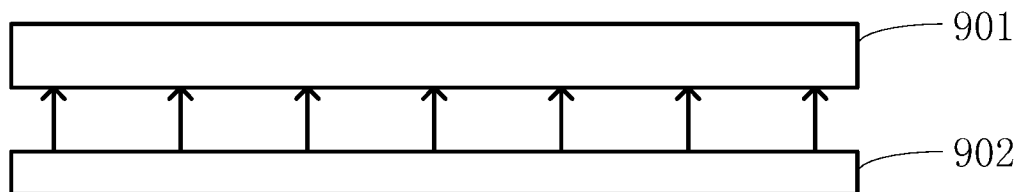


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092809

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNPAT; WPI; EPODOC: display, panel, shift+, mov+, register?, driv+, gate, scan+, substrate, latch, cache, process, sweep+, tim+, clock , reset+, input, output, prior level, GOA, gate drive on array, clock, timing, synchronization, nor gate CMOS, TFT, LTPA, low temperature poly-sillion, second, front, fore, rear, back, NOR, NOT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104392686 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 04 March 2015 (04.03.2015) description, paragraphs [0002] and [0030]-[0065], and figures 1-6	1, 2, 5-7, 11, 14-16
A	CN 104537995 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 22 April 2015 (22.04.2015) the whole document	1-19
A	CN 104732940 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 24 June 2015 (24.06.2015) the whole document	1-19
A	CN 104409054 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 11 March 2015 (11.03.2015) the whole document	1-19
A	US 2010103315 A1 (CHUNGHWA PICTURE TUBES CO., LTD.) 29 April 2010 (29.04.2010) the whole document	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 May 2016	Date of mailing of the international search report 27 May 2016
--	---

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Peng Telephone No. (86-10) 61648477
---	---

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092809

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20020058437 A (HYNIX SEMICONDUCTOR INCORPORATION) 12 July 2002 (12.07.2002) the whole document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/092809

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104392686 A	04 March 2015	None	
CN 104537995 A	22 April 2015	None	
CN 104732940 A	24 June 2015	None	
CN 104409054 A	11 March 2015	None	
US 2010103315 A1	29 April 2010	US 8120568 B2	21 February 2012
		TW 1397037 B	21 May 2013
		TW 201017614 A	01 May 2010
KR 20020058437 A	12 July 2002	KR 100602366 B1	14 July 2006

国际检索报告

国际申请号

PCT/CN2015/092809

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 显示, 面板, 移位, 移动, 寄存器, 寄入器, 驱动, 栅极, 栅线, 闸极, 扫描, 行, 阵列基板, 低温多晶硅, 驱动, 输入, 输出, 锁存, 缓存, 存储, 缓冲, 处理, 级传, 前一级, 上一级, 前级, 上级, 后一级, 后级, 下一级, 下级, 时钟, 定时, 计时, 同步, 校时, 调时, 或非门 display, panel, shift+, mov+, register?, driv+, gate, scan+, sweep+, tim+, clock, reset+, input, output, GOA, gate drive on array, CMOS, TFT, LTPA, low temperature poly-sillion, second, front, fore, rear, back, NOR, NOT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104392686 A (厦门天马微电子有限公司 等) 2015年 3月 4日 (2015 - 03 - 04) 说明书第0002段, 第0030-0065段、附图1-6	1-2, 5-7, 11, 14-16
A	CN 104537995 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-19
A	CN 104732940 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-19
A	CN 104409054 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-19
A	US 2010103315 A1 (CHUNGHWA PICTURE TUBES LTD.) 2010年 4月 29日 (2010 - 04 - 29) 全文	1-19
A	KR 20020058437 A (HYNIX SEMICONDUCTOR INC.) 2002年 7月 12日 (2002 - 07 - 12) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 5月 5日

国际检索报告邮寄日期

2016年 5月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

授权官员

张鹏

电话号码 (86-10) 61648477

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/092809

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104392686	A	2015年 3月 4日	无			
CN	104537995	A	2015年 4月 22日	无			
CN	104732940	A	2015年 6月 24日	无			
CN	104409054	A	2015年 3月 11日	无			
US	2010103315	A1	2010年 4月 29日	US	8120568	B2	2012年 2月 21日
				TW	I397037	B	2013年 5月 21日
				TW	201017614	A	2010年 5月 1日
KR	20020058437	A	2002年 7月 12日	KR	100602366	B1	2006年 7月 14日

表 PCT/ISA/210 (同族专利附件) (2009年7月)