

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 29 日 (29.11.2018)



(10) 国际公布号
WO 2018/214732 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2018/086187

(22) 国际申请日: 2018 年 5 月 9 日 (09.05.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710370614.2 2017 年 5 月 23 日 (23.05.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司 (ORDOS YUANSHENG OPTOELECTRONICS
CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔
多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。

(72) 发明人: 王培 (WANG, Pei); 中国北京市北京经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
金贤镇 (KIM, Hyunjin); 中国北京市北京经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
张凯 (ZHANG, Kai); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。史大
为 (SHI, Dawei); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。王文涛

(WANG, Wentao); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京中博世达专利商标代理有
限公司 (BEIJING ZBSD PATENT&TRADEMARK
AGENT LTD.); 中国北京市海淀区交大东路 31
号 11 号楼 8 层, Beijing 100044 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制备方法、显示装置

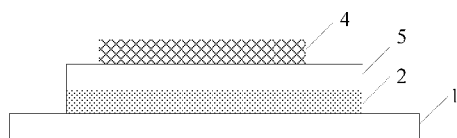


图 3

(57) Abstract: An array substrate comprises an electrostatic shielding layer (2) provided at a substrate (1), an isolating layer (5) covering the electrostatic shielding layer (2), a gate line (3), a data line (4), and a thin film transistor. The gate line (3), the data line (4), and the thin film transistor are provided at the isolating layer (5). An orthographic projection of a pattern of the electrostatic shielding layer (2) on the substrate (1) covers an orthographic projection of a pattern of at least one of the gate line (3), the data line (4), and the thin film transistor on the substrate (1).

(57) 摘要: 一种阵列基板包括, 设置在衬底基板 (1) 上的静电屏蔽层 (2), 覆盖静电屏蔽层 (2) 的隔离层 (5), 以及设置在隔离层 (5) 上的栅线 (3)、数据线 (4) 和薄膜晶体管。静电屏蔽层 (2) 的图案在衬底基板 (1) 上的正投影覆盖所述栅线 (3)、数据线 (4) 和薄膜晶体管中至少一者的图案在衬底基板 (1) 上的正投影。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

阵列基板及其制备方法、显示装置

本申请要求于 2017 年 5 月 23 日提交中国专利局、申请号为 201710370614.2、发明名称为“一种阵列基板及其制备方法、显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板及其制备方法、显示装置。

背景技术

阵列基板，即包括薄膜晶体管（Thin Film Transistor）的 TFT 基板是显示产品的重要组成构件之一。阵列基板包括衬底基板，薄膜晶体管设置在衬底基板上。

发明内容

本公开的一些实施例提供了一种阵列基板，包括：

设置在衬底基板上的静电屏蔽层；

覆盖所述静电屏蔽层的隔离层；以及

设置在所述隔离层上的栅线、数据线和薄膜晶体管，其中

所述静电屏蔽层的图案在所述衬底基板上的正投影覆盖所述栅线、所述数据线和所述薄膜晶体管中至少一者的图案在所述衬底基板上的正投影。

在一些实施例中，所述静电屏蔽层的图案包括多条横向部和多条纵向部，所述多条横向部与所述多条纵向部相互交叉形成网格状的图案，

横向部在所述衬底基板上的正投影覆盖所述栅线在所述衬底基板上的正投影，所述纵向部在所述衬底基板上的正投影覆盖所述数据线在所述衬底基板上的正投影。

在一些实施例中，所述横向部还包括形成在同一侧的多个与所述纵向部连接的突起部，所述突起部、所述横向部的与所述突起部相连接的部分、及所述纵向部的与所述突起部相连接的部分的组合在所

述衬底基板上的正投影覆盖所述薄膜晶体管在所述衬底基板上的正投影。

在一些实施例中，所述横向部垂直于所述栅线延伸方向的宽度大于所述栅线的线宽；

所述纵向部垂直于所述数据线延伸方向的宽度大于所述数据线的线宽；以及

所述突起部、所述横向部的与所述突起部相连接的部分、以及所述纵向部的与所述突起部相连接的部分的组合所在区域的面积大于所述薄膜晶体管所在区域的面积。

在一些实施例中，所述静电屏蔽层包括具有掺杂离子的多晶硅。

在一些实施例中，所述静电屏蔽层位于所述阵列基板的显示区域或所述阵列基板的栅极驱动区域中的至少一个中。

本公开一些实施例提供了一种阵列基板的制备方法，包括：

在衬底基板上依次形成静电屏蔽层、覆盖所述静电屏蔽层的隔离层；以及

在所述隔离层上形成栅线、数据线和薄膜晶体管，其中，

所述静电屏蔽层的图案在所述衬底基板上的正投影覆盖所述栅线、所述数据线和所述薄膜晶体管中至少一者的图案在所述衬底基板上的正投影。

在一些实施例中，所述形成静电屏蔽层包括：

形成覆盖衬底基板的多晶硅薄膜；

对所述多晶硅薄膜进行构图工艺处理，以形成多晶硅图案层；以及，

对所述多晶硅图案层进行离子掺杂处理，以形成静电屏蔽层，其中所述静电屏蔽层具有预设电阻。

在一些实施例中，在形成所述静电屏蔽层之后，所述制备方法还包括：

对所述静电屏蔽层进行加热活化处理，以提高所述静电屏蔽层中掺杂离子的排列有序程度。

在一些实施例中，所述形成静电屏蔽层包括：
直接形成覆盖衬底基板的氮掺杂多晶硅薄膜；以及
对所述氮掺杂多晶硅薄膜进行构图工艺处理，以形成静电屏蔽层。

在一些实施例中，形成的所述静电屏蔽层的图案，包括：
多条横向部和多条纵向部，所述多条横向部与所述多条纵向部相互交叉形成网格状的图案，其中，

所述横向部在所述衬底基板上的正投影覆盖所述栅线在所述衬底基板上的正投影，所述纵向部在所述衬底基板上的正投影覆盖所述数据线在所述衬底基板上的正投影。

在一些实施例中，所述横向部还包括形成在同一侧的多个与所述纵向部连接的突起部，所述突起部、所述横向部的与所述突起部相连接的部分、所述纵向部的与所述突起部相连接的部分的组合在所述衬底基板上的正投影覆盖所述薄膜晶体管在所述衬底基板上的正投影。

在一些实施例中，所述横向部沿垂直于所述栅线延伸方向的宽度大于所述栅线的线宽，所述纵向部沿垂直于所述数据线延伸方向的宽度大于所述数据线的线宽，所述突起部、所述横向部的与所述突起部相连接的部分、所述纵向部的与所述突起部相连接的部分的组合所在区域的面积大于所述薄膜晶体管所在区域的面积。

本公开一些实施例提供了一种显示装置，包括上述的阵列基板。

附图说明

为了更清楚地说明本公开实施例中的技术方案，下面将对实施例描述中所需使用的附图作简单地介绍。显而易见地，下面描述的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开一些实施例提供的一种阵列基板的制备方法的流程图；

图 2 为本公开一些实施例提供的一种阵列基板的局部结构示意图

图；

图 3 为图 2 中沿线 AA' 的剖面图；

图 4 为本公开一些实施例提供的阵列基板的制备分步结构示意图；

图 5 为本公开一些实施例提供的阵列基板的进一步制备分步结构示意图；

图 6 为本公开一些实施例提供的阵列基板的进一步制备分步结构示意图；

图 7 为本公开一些实施例提供的阵列基板的进一步制备分步结构示意图；

图 8 为本公开一些实施例提供的阵列基板的进一步制备分步结构示意图；

图 9 为本公开一些实施例提供的一种阵列基板的局部结构示意图；以及

图 10 为本公开一些实施例提供的显示装置的示意图。

具体实施方式

下面将结合附图，对本公开的实施例进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

需要指出的是，除非另有定义，本公开实施例中所使用的所有术语（包括技术和科学术语）具有与本公开所属领域的普通技术人员共同理解的相同含义。还应当理解，诸如在通常字典里定义的那些术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义，而不应用理想化或极度形式化的意义来解释，除非这里明确地这样定义。

例如，本公开说明书以及权利要求书中所使用的术语“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，仅是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指

出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“横向”、“纵向”等指示的方位或位置关系的术语为基于附图所示的方位或位置关系，仅是为了便于说明本公开的技术方案的简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

此外，由于本公开实施例所涉及的各信号线及 TFT 元件等结构实际尺寸非常微小，为了清楚起见，本公开实施例附图中的各结构尺寸均被放大，除非另有说明，均不代表实际尺寸比例。

相关技术中，在阵列基板的制备过程中，衬底基板（通常为玻璃基板）上进行的工艺制程较多，因此玻璃基板通常会与机台发生多次接触。在玻璃基板邻近机台的表面与机台相接触的过程中会使机台累积静电，比如玻璃基板在与用于运输的滚轴（Roller）或用于支撑的支撑针（Pin）的接触期间会使这些部件产生静电。而玻璃基板与滚轴或支撑针的再次接触会引起 ESD（Electro-Static discharge，静电放电）。由于衬底基板的厚度较薄，因此，静电放电过程中释放的电荷传输到玻璃基板上的 TFT 而导致 TFT 元件性能失效，从而造成显示产品出现亮点、黑斑等不良。

针对上述问题，如图 1 所示，本公开一些实施例提供了一种阵列基板的制备方法，该制备方法包括但不限于步骤 02（S02），即在衬底基板上方形形成栅线、数据线和薄膜晶体管。在前述 S02 之前，该制备方法还包括步骤 01（S01），即在衬底基板上依次形成静电屏蔽层、和覆盖静电屏蔽层的隔离层。静电屏蔽层的图案在衬底基板上的正投影覆盖栅线、数据线和薄膜晶体管中至少一者的图案在衬底基板上的正投影。

需要说明的是，上述步骤 02 是在步骤 01 之后进行的，因此栅线、数据线和薄膜晶体管形成于覆盖静电屏蔽层的隔离层之上。隔离层由绝缘材料构成，用于隔离静电屏蔽层与后续形成的信号线（栅线和数据线）及薄膜晶体管（TFT）。栅线、数据线和薄膜晶体管的制

备工艺以及 TFT 的结构（如顶栅型或底栅型）均可沿用现有技术的相关设计，本公开实施例对此不作限定。

在一些实施例中，静电屏蔽层的材料为金属材料、半导体材料或经过离子掺杂的具有一定调试电阻的半导体材料，只要具有导电性，可屏蔽衬底基板远离静电屏蔽层的表面感应的静电即可。

基于此，通过本公开的实施例提供的上述制备方法，在栅线、数据线和 TFT 与衬底基板之间设置静电屏蔽层，且静电屏蔽层的图案在衬底基板上的正投影覆盖栅线、数据线和薄膜晶体管中至少一者的图案在衬底基板上的正投影，从而可采用屏蔽的方式来避免机台积累的静电在 ESD 时释放的电荷通过栅线或数据线传输到 TFT 上，或直接传输到 TFT 元件上，从而可避免由于 ESD 导致的显示产品出现亮点、黑斑等多种不良，提高了产品良率。

在上述基础上，由于阵列基板的衬底基板的远离静电屏蔽层的表面的 ESD 可能在衬底基板上的任意区域内发生，因此，为了提高静电屏蔽层的屏蔽效果，在一些实施例中，将静电屏蔽层设置在栅线、数据线和 TFT 区域的下方，即静电屏蔽层的图案在衬底基板上的正投影覆盖栅线、数据线和薄膜晶体管这三者的图案在衬底基板上的正投影。

在一些实施例中，如图 2 所示，静电屏蔽层 2 的图案包括多条横向部 2a 和多条纵向部 2b，多条横向部 2a 与多条纵向部 2b 相互交叉形成网格状的图案。横向部 2a 在衬底基板 1 上的正投影覆盖栅线 3 在衬底基板 1 上的正投影，纵向部 2b 在衬底基板 1 上的正投影覆盖数据线 4 在衬底基板 1 上的正投影。

需要说明的是，为清楚示出静电屏蔽层 2 的图案，上述图 2 中已将后续形成的栅线 3、数据线 4 以及 TFT 结构示出。并且，栅线 3、数据线 4 以及 TFT 结构的具体数量仅为示意。

上述的“横向”、“纵向”仅为说明静电屏蔽层 2 中分别屏蔽栅线 3 和数据线 4 的部分是相对设置的，并非为对栅线与数据线方向的限定。

上述的阵列基板当然还包括形成栅线、数据线以及 TFT 过程中隔离各层金属的栅绝缘层、层间绝缘层等结构,由于栅绝缘层、层间绝缘层以及先形成的隔离层均为透明绝缘层,故上述图 2 中未示出。

在一些实施例中,如图 2 所示,上述横向部 2a 还包括形成在同一侧的多个与纵向部 2b 连接的突起部 2c。突起部 2c、横向部 2a 的与突起部 2c 相连接的部分、纵向部 2b 的与突起部 2c 相连接的部分的组合在衬底基板 1 上的正投影覆盖待形成的薄膜晶体管(图中以缩写“TFT”示意出)在衬底基板 1 上的正投影。如图 2 所示,“形成在同一侧”是指形成在横向部 2a 的沿横向延伸的部分的一侧。

在一些实施例中,为了全面屏蔽 ESD 释放的电荷,静电屏蔽层 2 的区域大于上述各结构的区域。例如,如图 2 所示,上述横向部 2a 垂直于栅线 3 延伸方向的宽度大于栅线 3 的线宽,上述纵向部 2b 垂直于数据线 4 延伸方向的宽度大于数据线 4 的线宽,且突起部 2c、横向部 2a 的与突起部 2c 相连接的部分、纵向部 2b 的与突起部 2c 相连接的部分的组合所在区域的面积大于 TFT 所在区域的面积。

这里,针对栅线 3 而言,其具有图 2 中自左至右的“长度”尺寸和图示平面中垂直于该长度的“宽度”尺寸,因此,上述横向部 2a 垂直于栅线 3 延伸方向的宽度即为其在图 2 中垂直于长度的相应尺寸。针对数据线 4 而言,其具有在图 2 中自左至右的“宽度”尺寸和垂直于该宽度的“长度”尺寸,因此,上述纵向部 2b 沿垂直于数据线 4 的延伸方向的宽度即为其在图 2 中沿自左至右方向上的相应尺寸。针对 TFT 而言,由于上述突起部 2c、横向部 2a 的与突起部 2c 相连接的部分、及纵向部 2b 的与突起部 2c 相连接的部分的组合在衬底基板 1 上的正投影覆盖 TFT 在衬底基板 1 上的正投影,故该组合所在区域的面积大于 TFT 所在区域的面积,即该组合所在区域的沿从左至右的方向的长度和沿垂直于长度的方向的宽度的尺寸均大于 TFT 所在区域的相应长度和宽度的尺寸。

由前述描述可知,在一些实施例中,静电屏蔽层的材料为金属材料,例如沉积的单质钼(Mo)。在另一些实施例中,静电屏蔽层的

材料为半导体材料。

然而，由于金属材料的电阻较小，而静电屏蔽层与后续形成的栅线、数据线以及 TFT 结构有重叠区域，导致金属材料构成的静电屏蔽层易于与栅金属层（包括有栅线、TFT 中的栅极，通常称之为 Gate 层）、源漏金属层（包括有数据线、TFT 中的源极和漏极，通常称之为 SD 层）以及 TFT 中的有源层产生寄生电容，因此可能会增加产品能耗。并且，由于半导体材料的导电性介于导体金属与绝缘体之间，因此半导体材料的电阻较大，屏蔽效果有限。针对上述问题，本公开一些实施例中，采用经过离子掺杂的具有一定调试电阻的半导体材料作为静电屏蔽层的材料。

在以上情况下，在一些实施例中，形成静电屏蔽层的步骤包括步骤 11-13（S11-S13）。

步骤 11（S11），形成覆盖衬底基板的多晶硅薄膜。

步骤 12（S12），对多晶硅薄膜进行构图工艺处理，以形成多晶硅图案层，例如形成上述的由横向部、纵向部以及突起部构成的图案。

步骤 13（S13），对多晶硅图案层进行离子掺杂（Doping）处理，以形成静电屏蔽层。形成的静电屏蔽层具有预设电阻。

需要说明的是，在一些实施例中，通过控制掺杂浓度和/或掺杂的离子种类，使得静电屏蔽层具有预设电阻。该预设电阻为使得静电屏蔽层不易与栅金属层、源漏金属层以及 TFT 中的有源层中的至少一者产生寄生电容的同时，屏蔽效果最优的阻值。

在一些实施例中，形成覆盖衬底基板的多晶硅薄膜的步骤包括，形成覆盖衬底基板的非晶硅（a-Si）薄膜，以及对非晶硅薄膜进行晶化处理，以使非晶硅薄膜转化为多晶硅（P-Si）薄膜。

在一些实施例中，晶化过程包括固相法以及准分子激光退火（Excimer laser anneal crystallization，简称为 ELA）工艺。在一些实施例中，当采用 ELA 工艺晶化非晶硅薄膜时，为避免非晶硅制备时含有的氢发生闪爆，在进行 ELA 工艺前对非晶硅薄膜进行去氢处

理。去氢化处理的过程可沿用现有技术，本公开实施例对此不再赘述。

这里，考虑到非晶硅的结构中缺点较多，对其进行离子掺杂后电阻的调试效果较差，故本公开实施例中对形成的多晶硅薄膜进行离子掺杂，以获得适宜的调试电阻。

上述的构图工艺可以是对膜层（由一层或多层薄膜，本公开实施例即为沉积在衬底基板上的整层铺设的多晶硅薄膜）进行处理以形成具有特定图案的任意工艺。在一些实施例中，构图工艺是应用一次掩模板（Mask），对光刻胶曝光、显影、刻蚀膜层（具体到多晶硅薄膜则为干法刻蚀，Dry Etch）、去除（具体可以为剥离工艺，Strip）光刻胶的工艺。

当后续形成的 TFT 中的有源层为 LTPS（Low Temperature Poly Silicon，低温多晶硅）时，由于 LTPS 受光照影响容易产生漏电流问题，而多晶硅经离子掺杂后的光透过率会有所降低，故设置在 TFT 下方的静电屏蔽层还可起到遮光层（Light Shielding，简称为 LS）的遮光的效果。

在一些实施例中，对于上述静电屏蔽层包括经过离子掺杂的具有一定调试电阻的多晶硅的情况，在形成上述静电屏蔽层的步骤之后，上述制备方法还包括以下步骤。即，对静电屏蔽层进行加热活化处理，以提高静电屏蔽层中掺杂离子的排列有序程度。

通过对静电屏蔽层进行加热，利用掺杂离子受热后的热运动提高其在多晶硅主体中的扩散均匀程度，使得掺杂离子的排列有序程度提高，可进一步增强静电屏蔽层的屏蔽效果。

在一些实施例中，对静电屏蔽层进行加热活化处理的步骤是在形成上述静电屏蔽层的步骤之后、且还未形成后续的栅线、数据线以及 TFT 等结构之前。可选地，当后续形成的栅线、数据线以及 TFT 等结构也需要加热活化处理时，对整个基板进行一次加热处理，同时活化静电屏蔽层以及其余膜层。具体步骤可根据上述阵列基板的工艺灵活调整，本公开实施例对此不作限定。

在一些实施例中，上述的静电屏蔽层包括氮掺杂多晶硅

(N+a-Si) 材料。在此情况下, 静电屏蔽层的制备步骤例如包括, 采用沉积法 (Deposition, 简称为 Dep) 直接形成覆盖衬底基板的氮掺杂多晶硅薄膜, 以及对氮掺杂多晶硅薄膜进行构图工艺处理, 以形成静电屏蔽层。

这里, 上述的“直接”是指形成的 N+a-Si 中的氮元素 (N) 是沉积时在沉积原材料中直接形成的, 而不是后续经离子注入等离子掺杂工艺再次形成的。如此设置, 可使工艺简单, 对产能影响较小。

下面对本公开实施例提供的阵列基板的制备方法进行举例说明。该制备方法包括步骤 a-e。

步骤 a、如图 4 所示, 采用沉积法在衬底基板 (图 4 中未示出) 上沉积 a-Si 薄膜, 经过去氢处理及 ELA 工艺将 a-Si 晶化转换为 P-Si。然后应用掩模板 (Mask)、通过曝光光刻胶、干法刻蚀 (Dry Etch) 及剥离 (Strip) 光刻胶定义 P-Si 的图案 (Pattern)。此图案需遮挡后续形成的栅线、数据线、TFT 区域, 以便全面地屏蔽衬底基板 (Glass) 远离该图案的表面通过机台感应的静电。对 P-Si 的图案进行离子掺杂 (Doping), 以给 P-Si 调试一定的预设电阻。电阻太大屏蔽效果变差, 电阻太小则会与后续遮挡的结构形成一定的寄生电容。离子掺杂工艺完成后的静电屏蔽层 (LS Layer) 2 的图案如图 5 所示, 即包括横纵交叉的横向部 2a、纵向部 2b 以及从横向部 2a 上延伸出的并与纵向部 2b 相连的突起部 2c。

在此之后在衬底基板上形成覆盖静电屏蔽层 2 的隔离层。

步骤 b、如图 6 所示, 在隔离层上形成多晶硅有源层 (Poly Layer, 图中以 P 标识出)。其工艺可沿用现有常规工艺。由于该多晶硅有源层为应用于 LTPS TFT 中的结构, 具有类似于倒立的字符“Π”的图案, 故该多晶硅有源层的图案被前述形成的突起部 2c、横向部 2a 的与突起部 2c 相连接的部分、及纵向部 2b 的与突起部 2c 相连接的部分的组合所遮挡。

在一些示例中, 多晶硅有源层“Π”图案的两端处还形成有经离子掺杂形成的相对设置的源极接触区与漏极接触区, 以提高后续与

源极、漏极相接触的性能，提高 TFT 的器件性能。

在此之后在隔离层上形成覆盖多晶硅有源层的栅绝缘层。

步骤 c、如图 7 所示，在栅绝缘层上形成栅线 3 的图案，其工艺可沿用现有常规工艺。栅线 3 的图案被下方的横向部 2a 全部遮挡住。其中，栅线 3 的图案与具有倒立的字符“Π”图案的多晶硅有源层重叠的区域为栅极。

步骤 d、形成覆盖栅线 3 的层间绝缘层（Inter layer Dielectric，简称为 ILD），该层间绝缘层上形成有贯穿层间绝缘层与下方的栅绝缘层的过孔，以露出多晶硅有源层上的源极接触区与漏极接触区。

在此之后，对基板进行加热活化处理。如此设置，可在提高静电屏蔽层 2 中掺杂离子的排列有序程度的同时，使得多晶硅有源层中源极接触区与漏极接触区中植入的离子得到有序的排列，从而简化工艺次数。

步骤 e、如图 8 所示，在层间绝缘层上形成数据线 4 与漏极（图中标记为 d）。数据线 4 通过过孔与源极接触区相连的部分则直接作为 TFT 的源极（图中标记为 s），漏极则通过过孔与漏极接触区相连。数据线 4 被下方的纵向部 2b 所遮挡，漏极被下方的突起部 2c 所遮挡。

在此之后，形成 PLN（Planarization Layer，作为平坦层的有机膜层）、P-ITO Layer（Pixel ITO，像素电极）、PVX（Passivation Layer，保护层）以及 C-ITO（Common ITO，公共电极）等结构，其过程可沿用现有技术，本公开实施例对此不作限定。

本公开一些实施例提供了一种采用上述制备方法获得的阵列基板，如图 2 和图 3 所示，该阵列基板包括，设置在衬底基板 1 上方的栅线 3、数据线 4 和薄膜晶体管，以及，设置在衬底基板 1 上的静电屏蔽层 2、覆盖静电屏蔽层 2 的隔离层 5。栅线 3、数据线 4 和薄膜晶体管设置在隔离层 5 上。静电屏蔽层 2 的图案在衬底基板 1 上的正投影覆盖栅线 3、数据线 4 和薄膜晶体管中至少一者的图案在衬底基板 1 上的正投影。

据此，可采用屏蔽的方式来避免机台积累的静电在 ESD 时释放的电荷通过栅线或数据线传输到 TFT 上，或直接传输到 TFT 元件上，从而可避免由于 ESD 导致的显示产品出现亮点、黑斑等多种不良，提高了产品良率。

在一些实施例中，上述静电屏蔽层设置在显示区域内，即可对显示区域内的栅线、数据线和 TFT 进行静电屏蔽的防护。在一些实施例中，上述静电屏蔽层设置在阵列基板的栅极驱动（Gate Driver on Array，简称为 GOA）区域，从而对 GOA 区域内的结构进行静电屏蔽。在一些实施例中，上述静电屏蔽层设置在显示区域和 GOA 区域内。在一些实施例中，如图 9 所示，GOA 区域 10 设置在显示区域 20 的两侧。在另一些实施例中，GOA 区域设置在显示区域的一侧。

在一些实施例中，静电屏蔽层包括经离子掺杂处理的多晶硅，且掺杂后的多晶硅具有预设电阻。从而可使得静电屏蔽层不易与栅金属层、源漏金属层以及 TFT 中的有源层中的至少一者产生寄生电容的同时，达到最优的屏蔽效果。

如图 10 所示，本公开一些实施例提供了一种显示装置 100，包括上述的阵列基板。上述显示装置 100 例如是液晶显示器、液晶电视、有机电致发光显示器、有机电致发光电视、数码相框、手机、平板电脑、数码相框或导航仪等具有任何显示功能的产品或者部件。

本公开实施例的所有附图是上述阵列基板的简略的示意图，只为清楚描述本方案体现了与发明点相关的结构，对于其他的与发明点无关的结构是现有结构，在附图中并未体现或只体现部分。

以上所述，仅为本公开的一些实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种阵列基板，包括：

设置在衬底基板上的静电屏蔽层；

覆盖所述静电屏蔽层的隔离层；以及

设置在所述隔离层上的栅线、数据线和薄膜晶体管，其中

所述静电屏蔽层的图案在所述衬底基板上的正投影覆盖所述栅线、所述数据线和所述薄膜晶体管中至少一者的图案在所述衬底基板上的正投影。

2、根据权利要求 1 所述的阵列基板，其中，所述静电屏蔽层的图案包括多条横向部和多条纵向部，所述多条横向部与所述多条纵向部相互交叉形成网格状的图案，

横向部在所述衬底基板上的正投影覆盖所述栅线在所述衬底基板上的正投影，所述纵向部在所述衬底基板上的正投影覆盖所述数据线在所述衬底基板上的正投影。

3、根据权利要求 2 所述的阵列基板，其中，所述横向部还包括形成在同一侧的多个与所述纵向部连接的突起部，所述突起部、所述横向部的与所述突起部相连接的部分、及所述纵向部的与所述突起部相连接的部分的组合在所述衬底基板上的正投影覆盖所述薄膜晶体管在所述衬底基板上的正投影。

4、根据权利要求 3 所述的阵列基板，其中，

所述横向部垂直于所述栅线延伸方向的宽度大于所述栅线的线宽；

所述纵向部垂直于所述数据线延伸方向的宽度大于所述数据线的线宽；以及

所述突起部、所述横向部的与所述突起部相连接的部分、以及所述纵向部的与所述突起部相连接的部分的组合所在区域的面积大于所述薄膜晶体管所在区域的面积。

5、根据权利要求 1 所述的阵列基板，其中，所述静电屏蔽层包括

具有掺杂离子的多晶硅。

6、根据权利要求 1 所述的阵列基板，其中，所述静电屏蔽层位于所述阵列基板的显示区域或所述阵列基板的栅极驱动区域中的至少一个中。

7、一种如权利要求 1 所述的阵列基板的制备方法，包括：

在衬底基板上依次形成静电屏蔽层、覆盖所述静电屏蔽层的隔离层；以及

在所述隔离层上形成栅线、数据线和薄膜晶体管，其中，

所述静电屏蔽层的图案在所述衬底基板上的正投影覆盖所述栅线、所述数据线和所述薄膜晶体管中至少一者的图案在所述衬底基板上的正投影。

8、根据权利要求 7 所述的制备方法，其中，所述形成静电屏蔽层包括：

形成覆盖衬底基板的多晶硅薄膜；

对所述多晶硅薄膜进行构图工艺处理，以形成多晶硅图案层；以及

对所述多晶硅图案层进行离子掺杂处理，以形成静电屏蔽层，其中，所述静电屏蔽层具有预设电阻。

9、根据权利要求 8 所述的制备方法，其中，在形成所述静电屏蔽层之后，所述制备方法还包括：

对所述静电屏蔽层进行加热活化处理，以提高所述静电屏蔽层中掺杂离子的排列有序程度。

10、根据权利要求 7 所述的制备方法，其中，所述形成静电屏蔽层包括：

直接形成覆盖衬底基板的氮掺杂多晶硅薄膜；以及

对所述氮掺杂多晶硅薄膜进行构图工艺处理，以形成静电屏蔽层。

11、根据权利要求 7 至 10 任一项所述的制备方法，其中，形成的所述静电屏蔽层的图案，包括，

多条横向部和多条纵向部，所述多条横向部与所述多条纵向部相

互交叉形成网格状的图案，

且其中，横向部在所述衬底基板上的正投影覆盖所述栅线在所述衬底基板上的正投影，所述纵向部在所述衬底基板上的正投影覆盖所述数据线在所述衬底基板上的正投影。

12、根据权利要求 11 所述的制备方法，其中，所述横向部还包括形成在同一侧的多个与所述纵向部连接的突起部，所述突起部、所述横向部的与所述突起部相连接的部分、以及所述纵向部的与所述突起部相连接的部分的组合在所述衬底基板上的正投影覆盖所述薄膜晶体管在所述衬底基板上的正投影。

13、根据权利要求 12 所述的制备方法，其中，

所述横向部垂直于所述栅线延伸方向的宽度大于所述栅线的线宽；

所述纵向部垂直于所述数据线延伸方向的宽度大于所述数据线的线宽；

所述突起部、所述横向部的与所述突起部相连接的部分、以及所述纵向部的与所述突起部相连接的部分的组合所在区域的面积大于所述薄膜晶体管所在区域的面积。

14、一种显示装置，包括如权利要求 1-6 任一项所述的阵列基板。

1/4

在衬底基板上依次形成静电屏蔽层、覆盖静电屏蔽层的隔离层的步骤;

S01

在衬底基板上方形成栅线、数据线和薄膜晶体管的步骤;

S02

图 1

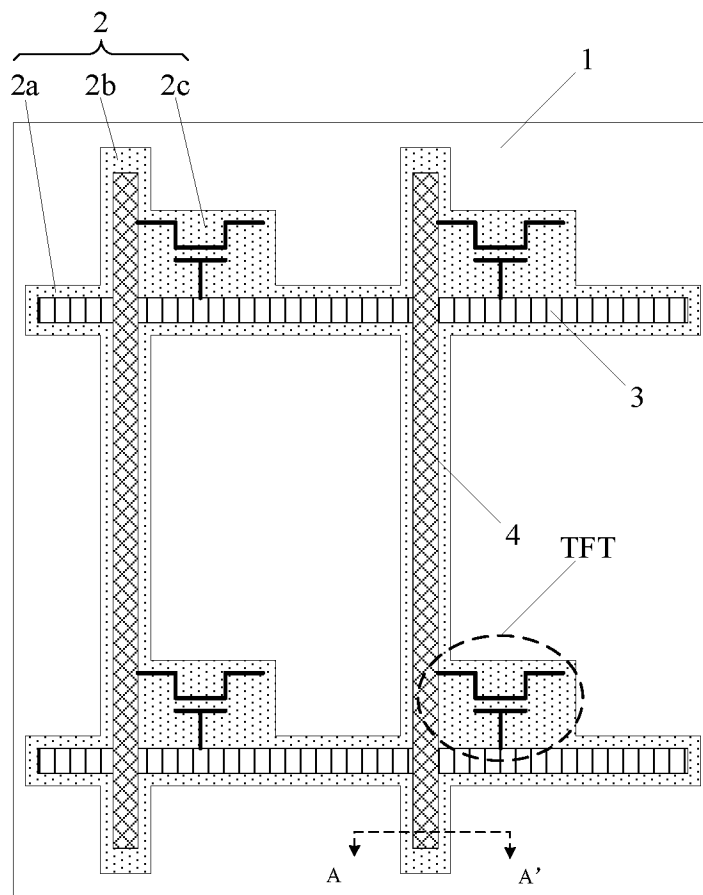


图 2

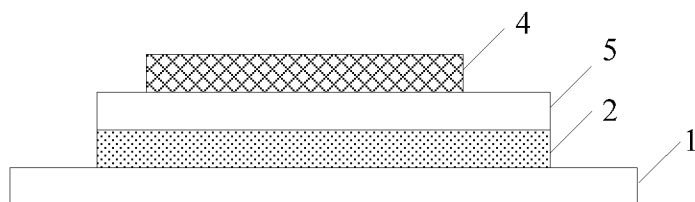


图 3

2/4

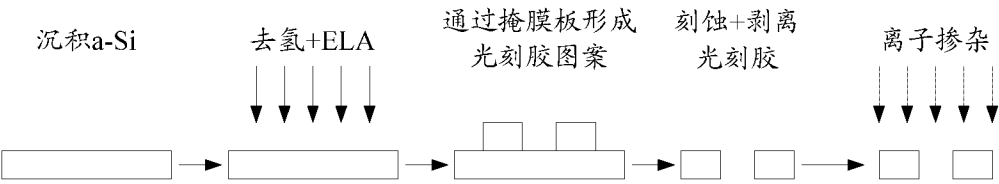


图 4

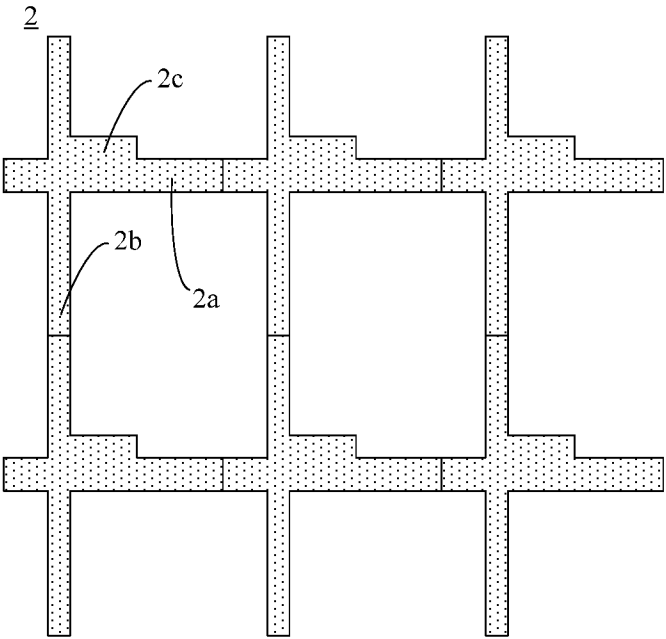


图 5

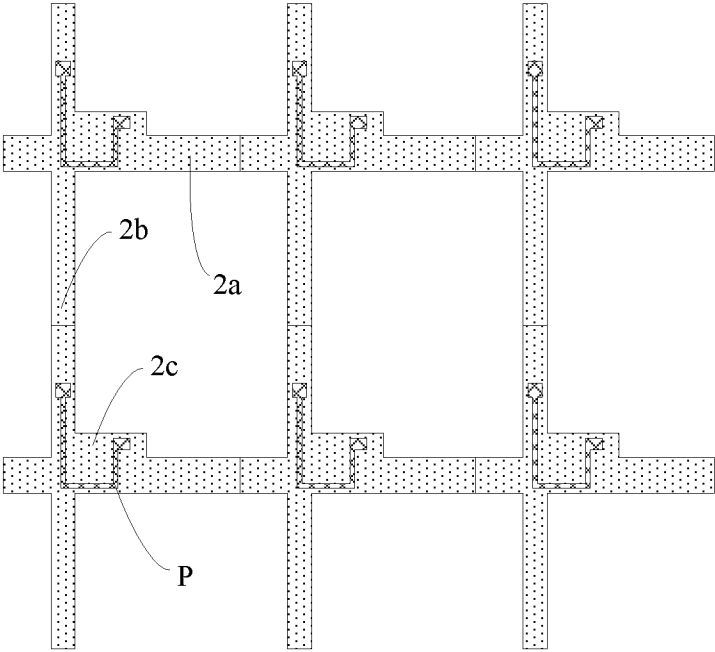


图 6

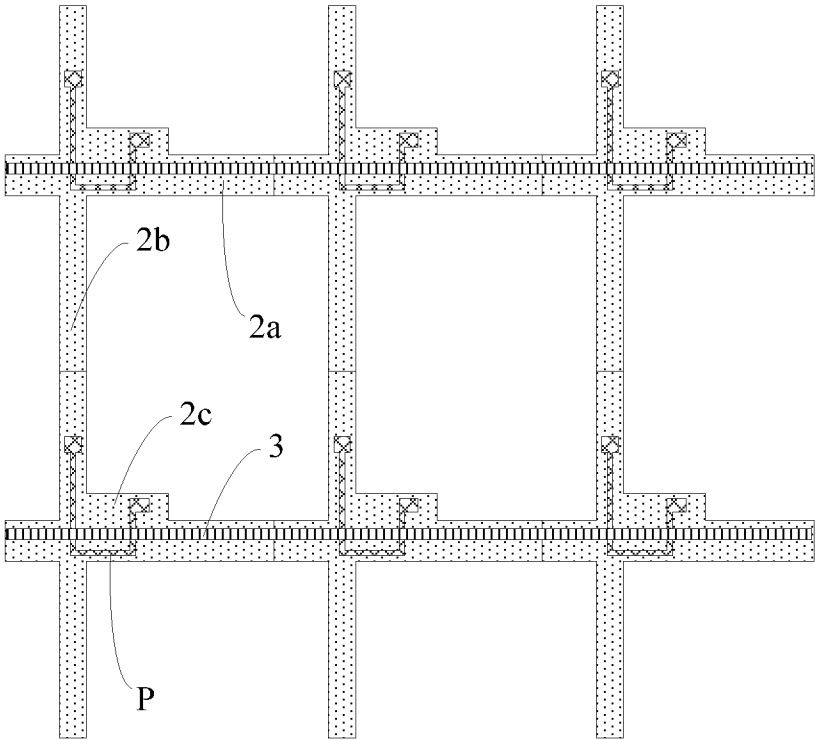


图 7

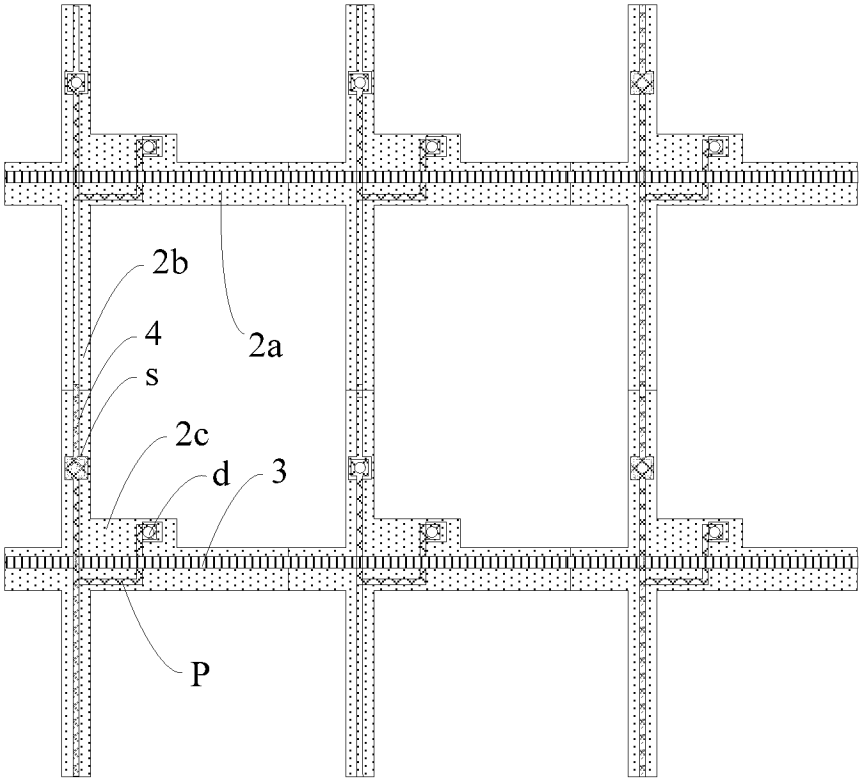


图 8

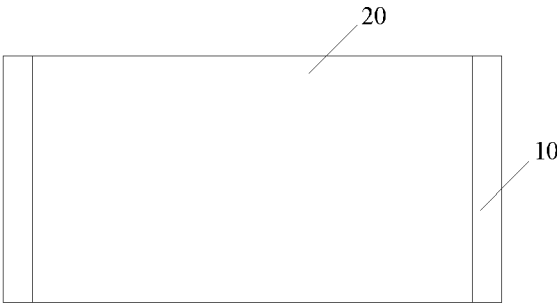


图 9



图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/086187

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNABS; SIPOABS; DWPI: 静电屏蔽, 静电保护, 静电屏蔽层, 阵列基板, 网格, static screen, static shield, static screen layer, static shield layer, ESD, array substrate, grid, net

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107204345 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 26 September 2017 (26.09.2017), claims, description, paragraphs [0001]-[0080], and figures 1-7	1-14
X	CN 202189210 U (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 11 April 2012 (11.04.2012), description, paragraphs [0023]-[0030], and figures 1-3	1, 5-10, 14
A	CN 105304559 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 February 2016 (03.02.2016), entire document	1-14
A	US 2012100653 A1 (AU OPTRONICS CORPORATION), 26 April 2012 (26.04.2012), entire document	1-14
A	CN 105954922 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 September 2016 (21.09.2016), entire document	1-1-

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 July 2018	Date of mailing of the international search report 07 August 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Hong Telephone No. 86-010-62089538

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/086187

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107204345 A	26 September 2017	None	
CN 202189210 U	11 April 2012	None	
CN 105304559 A	03 February 2016	None	
US 2012100653 A1	26 April 2012	US 2009108270 A1	30 April 2009
		TW 200919688 A	01 May 2009
		US 8450157 B2	28 May 2013
CN 105954922 A	21 September 2016	None	

国际检索报告

国际申请号

PCT/CN2018/086187

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI; CNABS; SIPOABS; DWPI:静电屏蔽, 静电保护, 静电屏蔽层, 阵列基板, 网格, static screen, static shield, static screen layer, static shield layer, ESD, array substrate, grid, net

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 107204345 A (京东方科技集团股份有限公司等) 2017年 9月 26日 (2017 - 09 - 26) 权利要求书, 说明书第【0001】段至第【0080】段, 图1-7	1-14
X	CN 202189210 U (北京京东方光电科技有限公司) 2012年 4月 11日 (2012 - 04 - 11) 说明书第【0023】段至【0030】段, 图1-3	1、5-10、14
A	CN 105304559 A (京东方科技集团股份有限公司等) 2016年 2月 3日 (2016 - 02 - 03) 全文	1-14
A	US 2012100653 A1 (AU OPTRONICS CORPORATION) 2012年 4月 26日 (2012 - 04 - 26) 全文	1-14
A	CN 105954922 A (武汉华星光电技术有限公司) 2016年 9月 21日 (2016 - 09 - 21) 全文	1-1-

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 7月 16日

国际检索报告邮寄日期

2018年 8月 7日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

刘红

传真号 (86-10)62019451

电话号码 86-010-62089538

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/086187

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107204345	A	2017年 9月 26日	无			
CN	202189210	U	2012年 4月 11日	无			
CN	105304559	A	2016年 2月 3日	无			
US	2012100653	A1	2012年 4月 26日	US	2009108270	A1	2009年 4月 30日
				TW	200919688	A	2009年 5月 1日
				US	8450157	B2	2013年 5月 28日
CN	105954922	A	2016年 9月 21日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)