

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 3 日(03.01.2013)



(10) 国際公開番号

WO 2013/002191 A1

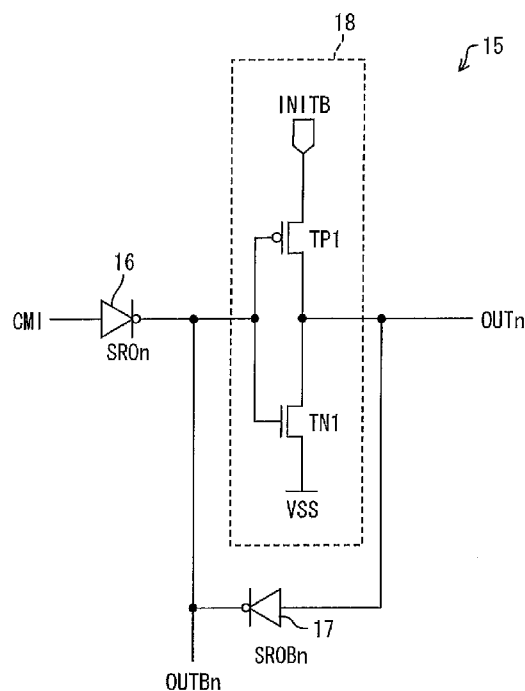
- (51) 国際特許分類:
H03K 3/356 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2012/066194
- (22) 国際出願日: 2012 年 6 月 25 日(25.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-146532 2011 年 6 月 30 日(30.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 横山 真
(YOKOYAMA, Makoto). 古田 成(FURUTA, Shige).
村上 祐一郎(MURAKAMI, Yuhichiroh). 業天 誠
二郎(GYOUTEN, Seijirou).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: HOLDING CIRCUIT, DISPLAY DRIVE CIRCUIT, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 発明の名称: 保持回路、表示駆動回路、表示パネル、および表示装置

[図1]



(57) Abstract: Provided is a latch circuit (15) that, while holding a signal (CMI) acquired when a signal (SROn) is active, outputs a signal (OUTn) that is in response to the signal (CMI). An inverter (18) is configured from a CMOS circuit comprising an N-channel transistor (TN1) and a P-channel transistor (TP1), and a low-level initialization signal (INITB) is input to the source terminal of the P-channel transistor (TP1). As a result, initialization is performed without increasing the number of elements.

(57) 要約: 信号 (SROn) がアクティブのときに取り込んだ信号 (CMI) を保持しつつ、該信号 (CMI) に応じた信号 (OUTn) を出力するラッチ回路 (15) であって、インバータ (18) は、Pチャネル型のトランジスタ (TP1) およびNチャネル型のトランジスタ (TN1) からなるCMOS回路により構成され、トランジスタ (TP1) のソース端子に、ローレベルの初期化用信号 (INITB) が入力される。これにより、素子数を増やすことなく初期化する。

WO 2013/002191 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

保持回路、表示駆動回路、表示パネル、および表示装置

技術分野

[0001] 本発明は、取り込んだデータ信号を保持しつつ該データ信号に基づいた出力が可能な保持回路、並びに、これを備える表示駆動回路、表示パネル、および表示装置に関するものである。

背景技術

[0002] 従来、第1信号がアクティブの期間に第2信号を取り込み、これを保持しつつ出力するラッチ回路（保持回路）が広く用いられている。ラッチ回路は、単独で用いられることの他、多段接続することによりシフトレジスタなどを構成して用いられている。例えば、液晶表示装置においては、液晶パネルを駆動する表示駆動回路に多数のラッチ回路が搭載されている。

[0003] ここで、ラッチ回路では、電源投入時においてラッチ回路の内部ノードがどの基準電源に接続するか不定であれば、予期せぬ電位となって動作不具合を生じたり、違う電位のノードと短絡することによって過電流が流れる、といった問題があった。そこで、電源投入時に内部ノードが確実に安定した電位に接続するように、初期化することが可能なラッチ回路が提案されている（例えば、特許文献1～3参照）。

[0004] 図37は、特許文献1に記載された初期化機能付きのラッチ回路900の構成を示す回路図である。図37に示すように、ラッチ回路900は、クロックインバータ901・902およびNAND回路903を備えている。ラッチ回路900は、初期化用信号INITBによって初期化が可能であるとともに、Q信号・QB信号に応じて映像信号DATを取り込み、これを保持しつつ出力信号LOUTとして出力する。図37中の904は、初期化を行うための制御回路である。

[0005] クロックインバータ901・902は、一般的なクロックインバータ

の構成を備えている。図38は、一般的なクロックインバータ910の構成を示す図であり、(a)は回路構成を示し、(b)は論理回路記号を示す。クロックインバータ910は、2つのPチャネル型トランジスタP1・P2、および、2つのNチャネル型トランジスタN1・N2により構成されている。

[0006] クロックインバータ910では、制御信号がハイレベルのとき、入力信号INの反転信号が出力信号OUTとして出力される。なお、図38では、制御信号としてQ信号を用いているが、Q信号をトランジスタP1、QB信号をトランジスタN2に供給する構成とすることで、QB信号を制御信号として用いることができる。クロックインバータ901はQB信号を制御信号とし、クロックインバータ902はQ信号を制御信号としている。

[0007] 図39は、図37に示すラッチ回路900の動作時のタイミングチャートである。

[0008] まず、通常時の動作について説明する。通常時、初期化用信号INITBはハイレベル(Vdd)で固定されている。第1フレームにおいてQ信号がハイレベル(アクティブ)からローレベル(非アクティブ)、すなわちQB信号がローレベル(非アクティブ)からハイレベル(アクティブ)になると、クロックインバータ901によって映像信号DAT(ここではローレベル)が取り込まれ、映像信号DATの反転信号がクロックインバータ901から出力される。これにより、クロックインバータ901からのハイレベルの出力信号と、ハイレベルの初期化用信号INITBとを入力したNAND回路903から、ローレベル(Vss)の出力信号LOUTが出力される。なお、QB信号がハイレベルの期間、クロックインバータ902の出力はハイインピーダンスとなっている。

[0009] その後、QB信号がハイレベルからローレベルになると、クロックインバータ901の出力はハイインピーダンスとなり、その出力は入力から切り離される。このとき、Q信号はハイレベルであるので、クロックインバータ902によってローレベルの出力信号LOUTが保持される。この出力信

号 L O U T は、次に Q B 信号がハイレベルになるまで出力され続ける。

[0010] 続いて、Q B 信号がローレベルからハイレベルになると、クロックインバータ 9 0 1 によって、このときの映像信号 D A T（ここではハイレベル）が取り込まれ、その反転信号が N A N D 回路 9 0 3 に出力される。これにより、N A N D 回路 9 0 3 からハイレベル（V d d）の出力信号 L O U T が出力され、この出力信号 L O U T は、Q B 信号がハイレベルからローレベルになった後も出力され続ける。

[0011] このようにして、ラッチ回路 9 0 0 は、通常時にはラッチ出力動作を繰り返す。次に、初期化時の動作について説明する。

[0012] 初期化したい場合には、初期化用信号 I N I T B をローレベル（V s s）とする。初期化用信号 I N I T B がローレベルになると、N A N D 回路 9 0 3 は、もう一方の入力端子の電位に拘らず、ハイレベル（V d d）の出力信号 L O U T を生成する。これにより、出力信号 L O U T の電位が、強制的にハイレベルに固定されることになる。よって、ローレベルの初期化用信号 I N I T B を与えることにより、電源投入時の不定状態を解消し、内部回路を安定化することが可能となり、後段回路の誤動作などを回避することが可能となる。

先行技術文献

特許文献

- [0013] 特許文献1：日本国公開特許公報「特開平 1 1－5 2 9 3 1 号公報（1 9 9 9 年 2 月 2 6 日公開）」
- 特許文献2：日本国公開特許公報「特開平 1 0－3 9 8 2 3 号公報（1 9 9 8 年 2 月 1 3 日公開）」
- 特許文献3：日本国公開特許公報「特開 2 0 0 0－2 5 9 1 3 2 号公報（2 0 0 0 年 9 月 2 2 日公開）」

発明の概要

発明が解決しようとする課題

[0014] ところで、近年、液晶表示装置の狭額縁化を図るため、液晶パネルを駆動する表示駆動回路の縮小化が求められている。表示駆動回路の規模は、回路を構成するトランジスタの素子数に大きく影響するため、トランジスタ数を削減することが重要である。上述のように表示駆動回路には多数のラッチ回路が搭載されているため、ラッチ回路のトランジスタ数を削減することは、液晶表示装置の狭額縁化に大きく寄与する。

[0015] しかし、ラッチ回路に初期化機能を付加するためには、図37の制御回路904のように初期化用の制御回路を追加する必要がある。このため、通常のラッチ回路に対して制御回路と端子配線とを追加することになり、素子数や配線領域が増え、回路規模が大きくなってしまいう問題があった。初期化機能の付加は、額縁サイズの増大につながるため、液晶表示装置の狭額縁化に対して不向きであった。

[0016] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、素子数を増やすことなく初期化することができる保持回路、表示駆動回路、表示パネル、および表示装置を提供することにある。

課題を解決するための手段

[0017] 本発明の保持回路は、上記課題を解決するために、
制御信号がアクティブになると保持対象信号を取り込み、該制御信号が次にアクティブになるまで該保持対象信号を保持しつつ、該保持対象信号に応じた出力信号を出力する保持回路であって、

上記保持対象信号を保持するためのインバータを少なくとも1つ備え、

上記インバータは、Pチャネル型の第1トランジスタとNチャネル型の第2トランジスタのゲート端子同士及びドレイン端子同士が互いに接続されたCMOS回路により構成され、

上記第1トランジスタのソース端子または上記第2トランジスタのソース端子に、初期化時にハイレベルまたはローレベルである初期化用信号が入力されることを特徴としている。

[0018] 上記の構成によれば、インバータの第1トランジスタのソース端子または

第2トランジスタのソース端子に、初期化時にハイレベルまたはローレベルである初期化用信号が入力されることによって、保持対象信号の保持電位および出力信号の出力電位に関わるインバータの入力端子および出力端子の電位を、所望の電位で固定することが可能となる。また、初期化用信号の電位を、回路内に大きな貫通電流を発生させない電位（例えば、初期化用信号を第1トランジスタのソース端子に入力する場合はローレベル、初期化用信号を第2トランジスタのソース端子に入力する場合はハイレベル）とすることによって、安定して固定することが可能となる。

[0019] さらに、初期化用信号は、新たに初期化用の制御回路や端子配線を追加して供給するのではなく、初期化機能を付加する前に設けられていたインバータの電源の配線を利用することができる。

[0020] よって、保持回路では、素子数を増やすことなく初期化することができる。

[0021] 本発明の表示駆動回路は、上記課題を解決するために、
画素に含まれる画素電極と容量を形成する信号線が設けられた表示パネルを駆動する表示駆動回路であって、

複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタと、

上記シフトレジスタの各段に対応して設けられた少なくとも1つの保持回路とを備え、

上記保持回路は、上述の保持回路であり、上記シフトレジスタの各段の出力信号を上記制御信号とし、

上記シフトレジスタの1つの段の出力信号がアクティブになると、この段に対応する保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた出力信号をこの段に対応する上記信号線に供給することを特徴としている。

[0022] 上記の構成によれば、素子数を増やすことなく初期化することができる保持回路を備えていることによって、初期化することで表示駆動回路を安定化

することが可能となり、また、回路規模を縮小化することが可能となるので、例えば、表示駆動回路を搭載する表示装置の狭額縁化に寄与することができる。

発明の効果

[0023] 以上のように、本発明の保持回路は、上記第1トランジスタのソース端子及び上記第2トランジスタのソース端子のいずれか1つのソース端子に、ハイレベルまたはローレベルの初期化用信号が入力される構成を有している。それゆえ、素子数を増やすことなく初期化することができるという効果を奏する。

図面の簡単な説明

[0024] [図1]実施の形態1に係るラッチ回路の構成を示す回路図である。
[図2]図1のラッチ回路の動作時のタイミングチャートである。
[図3]実施の形態1に係るラッチ回路の変形例を示す回路図である。
[図4]実施の形態2に係るラッチ回路の構成を示す回路図である。
[図5]図4のラッチ回路の初期化時のタイミングチャートである。
[図6]図4のラッチ回路の初期化時のタイミングチャートである。
[図7]図4のラッチ回路の初期化時のタイミングチャートである。
[図8]図4のラッチ回路の初期化時のタイミングチャートである。
[図9]実施の形態2に係るラッチ回路の変形例を示す回路図である。
[図10]実施の形態3に係るラッチ回路の構成を示す回路図である。
[図11]図10のラッチ回路の初期化時のタイミングチャートである。
[図12]図10のラッチ回路の初期化時のタイミングチャートである。
[図13]図10のラッチ回路の初期化時のタイミングチャートである。
[図14]図10のラッチ回路の初期化時のタイミングチャートである。
[図15]実施の形態3に係るラッチ回路の変形例を示す回路図である。
[図16]実施の形態4に係る液晶表示装置の概略構成を示すブロック図である。
。
[図17]図16の液晶表示装置の画素の電氣的構成を示す等価回路図である。

[図18]実施例 1 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図19]実施例 1 に係る共通電極駆動回路に入力される極性信号 C M I Z を生成する生成回路の回路図である。

[図20]実施例 1 に係る共通電極駆動回路の動作時のタイミングチャートである。

[図21]実施例 1 に係る共通電極駆動回路の動作時のタイミングチャートを模式的に示した図である。

[図22]実施例 1 に係る共通電極駆動回路の初期化時のタイミングチャートである。

[図23]実施例 1 に係る共通電極駆動回路の初期化時のタイミングチャートである。

[図24]実施例 2 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図25]実施例 2 に係る共通電極駆動回路に入力される極性信号 C M I Z を生成する生成回路の回路図である。

[図26]実施例 3 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図27]実施例 3 に係る共通電極駆動回路に入力される極性信号 C M I Z を生成する生成回路の回路図である。

[図28]実施例 4 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図29]実施例 4 に係る共通電極駆動回路に入力される極性信号 C M I Z を生成する生成回路の回路図である。

[図30]実施の形態 4 に係る液晶表示装置の変形例を示すブロック図である。

[図31]実施の形態 5 に係る液晶表示装置の概略構成を示すブロック図である。

[図32]実施例 1 に係る保持容量配線駆動回路に含まれる単位回路の回路図で

ある。

[図33]実施例1に係る保持容量配線駆動回路の動作時のタイミングチャートである。

[図34]実施例1に係る保持容量配線駆動回路の動作時のタイミングチャートを模式的に示した図である。

[図35]実施例1に係る保持容量配線駆動回路の初期化時のタイミングチャートである。

[図36]実施例1に係る保持容量配線駆動回路の初期化時のタイミングチャートである。

[図37]従来の初期化機能付きのラッチ回路の構成を示す回路図である。

[図38]一般的なクロックインバータの構成を示す図であり、(a)は回路構成を示し、(b)は論理回路記号を示す。

[図39]図37の従来のラッチ回路の動作時のタイミングチャートである。

発明を実施するための形態

[0025] [実施の形態1]

本発明の実施形態1について図面に基づいて説明すれば、以下の通りである。

[0026] 図1は、本実施の形態のラッチ回路15の一構成例を示す回路図である。

図1に示すように、ラッチ回路15（保持回路）は、クロックインバータ16・17およびインバータ18（第1インバータ）を備えている。ラッチ回路15は、例えば、液晶パネルを駆動する表示駆動回路に搭載されるものであり、ここでは、シフトレジスタの各段の出力信号 SRO_n （制御信号）に応じて極性信号 CM_I （保持対象信号）を取り込み、これを保持しつつ出力信号 OUT_n を出力するものについて説明する。

[0027] クロックインバータ16・17は、図38に示したクロックインバータ910の構成を備えている。クロックインバータ16は、出力信号 SRO_n を制御信号とし、クロックインバータ17は、出力信号 $SROB_n$ を制御信号としている。クロックインバータ16の入力端子には極性信号 C

M I が供給され、クロックインバータ 16 の出力端子はインバータ 18 の入力端子と接続されている。クロックインバータ 17 の入力端子はインバータ 18 の出力端子に接続され、クロックインバータ 17 の出力端子はインバータ 18 の入力端子に接続されている。

[0028] インバータ 18 は、Pチャネル型のトランジスタ TP1（第1トランジスタ）およびNチャネル型のトランジスタ TN1（第2トランジスタ）からなるCMOS回路により構成されている。トランジスタ TP1 のソース端子には初期化用信号 INITB が与えられ、トランジスタ TP1 のゲート端子はインバータ 18 の入力端子に接続され、トランジスタ TP1 のドレイン端子はインバータ 18 の出力端子に接続されている。トランジスタ TN1 のソース端子には電源電圧 Vss が与えられ、トランジスタ TN1 のゲート端子はインバータ 18 の入力端子に接続され、トランジスタ TN1 のドレイン端子はインバータ 18 の出力端子に接続されている。インバータ 18 の出力端子から出力信号 OUTn が出力される。初期化用信号 INITB は、通常動作時にハイレベル（Vdd）になり、初期化時（アクティブ時）にローレベル（Vss）になる信号である。

[0029] （動作について）

次に、ラッチ回路 15 の動作について説明する。図 2 は、ラッチ回路 15 の動作時のタイミングチャートである。

[0030] CMI は、1 水平走査期間（1H）ごとに極性が反転する極性信号である。INITB は初期化用信号 INITB の電位を示す。SROn はシフトレジスタの n 段目の出力信号 SROn の電位を示し、SROBn は出力信号 SROn の反転信号の電位を示す。OUTn はラッチ回路 15 の出力信号 OUTn の電位を示し、OUTBn は出力信号 OUTn の反転信号の電位を示す。なお、図 2 では、電源投入から、電源投入後に通常動作が開始される第 1 フレーム以降を示している。

[0031] まず、通常時の動作について説明する。第 1 フレームにおいて、シフトレジスタの出力信号 SROn がローレベル（非アクティブ）からハイレベル（

アクティブ)になると、クロックインバータ16によって極性信号CMI(ここではハイレベル(Vdd))が取り込まれ、極性信号CMIの反転信号がクロックインバータ16から出力される。そして、通常時には初期化用信号INITBはVdd(ハイレベル)で固定されているので、インバータ18ではトランジスタTP1がオン状態となり、トランジスタTN1がオフ状態となることによって、インバータ18の出力信号はVdd(ハイレベル)となる。これにより、ハイレベル(Vdd)の出力信号OUTnが出力される。なお、出力信号SROnがハイレベルの期間、クロックインバータ17の出力はハイインピーダンスとなっている。

[0032] その後、シフトレジスタの出力信号SROnがハイレベルからローレベルになると、クロックインバータ16の出力はハイインピーダンスとなり、その出力は入力から切り離される。このとき、出力信号SROBnはハイレベルであるので、クロックインバータ17によってハイレベルの出力信号OUTnが保持される。この出力信号OUTnは、次に出力信号SROnがハイレベルになるまで出力され続ける。

[0033] 続いて、シフトレジスタの出力信号SROnがローレベルからハイレベルになると、クロックインバータ16によって、このときの極性信号CMI(ここではローレベル(Vss))が取り込まれ、その反転信号がインバータ18に出力される。これにより、インバータ18からローレベル(Vss)の出力信号OUTnが出力され、この出力信号OUTnは、出力信号SROnがハイレベルからローレベルになった後も出力され続ける。このようにして、ラッチ回路15は、通常時にはラッチ出力動作を繰り返す。

[0034] (初期化動作について)

次に、初期化時の動作について説明する。初期化時には、初期化用信号INITBをVss(ローレベル)とする。

[0035] 初期化時に、シフトレジスタの出力信号SROnがVss(ローレベル)の場合は、以下のように動作する(図2参照)。

[0036] 初期化用信号INITBがローレベルになると、インバータ18の出力信

号、すなわち出力信号 OUT_n の電位が、強制的に V_{ss} （ローレベル）に固定されることとなる。このとき、クロックインバータ17はインバータとして機能するので、出力信号 OUT_n の電位が V_{ss} となることにより、出力信号 $OUTB_n$ の電位が V_{dd} （ハイレベル）となる。また、クロックインバータ16はハイインピーダンスとなっているため、出力信号 $OUTB_n$ は極性信号 CM_I から電氣的に切り離される。よって、出力信号 OUT_n を V_{ss} 電位、出力信号 $OUTB_n$ を V_{dd} 電位で、共に安定化することができる。

[0037] 一方、初期化時に、シフトレジスタの出力信号 SRO_n が V_{dd} （ハイレベル）の場合は、以下のように動作する（図示せず）。

[0038] 初期化用信号 $INITB$ がローレベルになると、インバータ18の出力信号である出力信号 OUT_n の電位が、強制的に V_{ss} （ローレベル）に固定されることとなる。このとき、クロックインバータ16はインバータとして機能し、クロックインバータ17はハイインピーダンスとなっている。これにより、出力信号 $OUTB_n$ の電位は、極性信号 CM_I の反転電位に固定される。よって、出力信号 OUT_n を V_{ss} 電位、出力信号 $OUTB_n$ を極性信号 CM_I の反転電位で、共に安定化することができる。

[0039] このように、ラッチ回路15では、出力信号 SRO_n がハイレベル・ローレベルのいずれの場合であっても、ローレベル（ V_{ss} ）の初期化用信号 $INITB$ をトランジスタ $TP1$ のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0040] また、初期化用信号 $INITB$ は、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラッチ回路に設けられていたインバータ18の電源 V_{DD} の配線を利用している。

[0041] よって、ラッチ回路15では、素子数を増やすことなく初期化することが可能となっている。

[0042] なお、通常動作時は、初期化用信号 $INITB$ が V_{dd} （ハイレベル）で

固定されているので、初期化用信号 $INITB$ が電源電圧 V_{dd} と同様の機能を果たすため、通常のラッチ回路と同一の動作が可能となる。

[0043] (変形例)

ラッチ回路 15 では、初期化用信号 $INITB$ をトランジスタ $TP1$ のソース端子に供給していたが、初期化用信号 $INIT$ をトランジスタ $TN1$ のソース端子に供給して、同様に初期化することができる。

[0044] 図 3 は、ラッチ回路 19 の一構成例を示す回路図である。図 3 に示すように、ラッチ回路 19 (保持回路) では、図 1 のラッチ回路 15 と比較して、トランジスタ $TP1$ のソース端子およびトランジスタ $TN1$ のソース端子にそれぞれ供給される信号および電源電圧が異なっている。具体的には、トランジスタ $TP1$ のソース端子には電源電圧 V_{dd} が供給され、トランジスタ $TN1$ のソース端子に初期化用信号 $INIT$ が供給されている。初期化用信号 $INIT$ は、通常動作時にローレベル (V_{ss}) になり、初期化時にハイレベル (V_{dd}) になる信号である。

[0045] (初期化動作について)

ここでは、初期化時の動作について説明する。初期化時には、初期化用信号 $INIT$ を V_{dd} (ハイレベル) とする。

[0046] 初期化時に、シフトレジスタの出力信号 SRO_n が V_{ss} (ローレベル) の場合は、以下のように動作する。

[0047] 初期化用信号 $INIT$ がハイレベルになると、インバータ 18 の出力信号、すなわち出力信号 OUT_n の電位が、強制的に V_{dd} (ハイレベル) に固定されることとなる。このとき、クロックインバータ 17 はインバータとして機能するので、出力信号 OUT_n の電位が V_{dd} となることにより、出力信号 $OUTB_n$ の電位が V_{ss} (ローレベル) となる。クロックインバータ 16 はハイインピーダンスとなっているため、出力信号 $OUTB_n$ は極性信号 $CM1$ から電氣的に切り離される。よって、出力信号 OUT_n を V_{dd} 電位、出力信号 $OUTB_n$ を V_{ss} 電位で、共に安定化することができる。

[0048] 一方、初期化時に、シフトレジスタの出力信号 SRO_n が V_{dd} （ハイレベル）の場合は、以下のように動作する。

[0049] 初期化用信号 $INIT$ がハイレベルになると、インバータ 18 の出力信号である出力信号 OUT_n の電位が、強制的に V_{dd} （ハイレベル）に固定されることとなる。このとき、クロックトインバータ 16 はインバータとして機能し、クロックトインバータ 17 はハイインピーダンスとなっている。これにより、出力信号 $OUTB_n$ の電位は、極性信号 $CM1$ の反転電位に固定される。よって、出力信号 OUT_n を V_{dd} 電位、出力信号 $OUTB_n$ を極性信号 $CM1$ の反転電位で、共に安定化することができる。

[0050] このように、ラッチ回路 19 では、出力信号 SRO_n がハイレベル・ローレベルのいずれの場合であっても、ハイレベル（ V_{dd} ）の初期化用信号 $INIT$ をトランジスタ $TN1$ のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0051] また、初期化用信号 $INIT$ は、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラッチ回路に設けられていたインバータ 18 の電源 V_{SS} の配線を利用している。

[0052] よって、ラッチ回路 19 では、素子数を増やすことなく初期化することが可能となっている。

[0053] なお、通常動作時は、初期化用信号 $INIT$ が V_{ss} （ローレベル）で固定されるので、初期化用信号 $INIT$ が電源電圧 V_{ss} と同様の機能を果たす。よって、ラッチ回路 19 は、通常のラッチ回路と同一の動作が可能となっており、上述したラッチ回路 15 の通常時の動作と同様に動作することが可能となっている。

[0054] 〔実施の形態 2〕

本発明の実施形態 2 について図面に基づいて説明すれば、以下の通りである。本実施の形態では、シフトレジスタの前段（ $k-1$ 段目）の出力信号 $SROUT(k-1)$ に応じて極性信号 $CM1$ を取り込み、これを保持しつつ

、自段（ k 段目）の出力として、出力信号 OUT_k を出力するラッチ回路について説明する。

[0055] 図4は、本実施の形態のラッチ回路31の一構成例を示す回路図である。図4に示すように、ラッチ回路31（保持回路）は、インバータ $INV1$ （第1インバータ）、インバータ $INV2$ （第2インバータ）、インバータ $INV3$ 、アナログスイッチ回路 $ASW1$ 、およびアナログスイッチ回路 $ASW2$ により構成される。なお、アナログスイッチ回路 $ASW1$ の出力端子とインバータ $INV2$ の入力端子との接続点をノード $N1$ とし、インバータ $INV1$ の出力端子とアナログスイッチ回路 $ASW2$ の入力端子との接続点をノード $N2$ とする（図4参照）。

[0056] インバータ $INV3$ の入力端子はラッチ回路31の入力端子 IN_s に接続されている。アナログスイッチ回路 $ASW1$ は、 N チャネル型トランジスタ $T1$ と P チャネル型トランジスタ $T2$ で構成され、トランジスタ $T1$ は、ゲート端子が入力端子 IN_s に接続され、ソース端子が入力端子 IN_c に接続され、トランジスタ $T2$ は、ゲート端子がインバータ $INV3$ の出力端子に接続され、ソース端子が入力端子 IN_c に接続されている。入力端子 IN_s にはシフトレジスタの前段の出力信号 $SROUT(k-1)$ が供給され、入力端子 IN_c には極性信号 $CM1$ が供給される。

[0057] インバータ $INV2$ は、 P チャネル型トランジスタ $T3$ （第1トランジスタ）と N チャネル型トランジスタ $T4$ （第2トランジスタ）で構成され、インバータ $INV2$ の入力端子（トランジスタ $T3$ のゲート端子と、トランジスタ $T4$ のゲート端子との接続点（ノード $N1$ ））は、アナログスイッチ回路 $ASW1$ の出力端子（トランジスタ $T1$ 、 $T2$ のドレイン端子）に接続されている。トランジスタ $T3$ のソース端子には電源電圧 V_{dd} が与えられ、トランジスタ $T3$ のドレイン端子はインバータ $INV2$ の出力端子（トランジスタ $T3$ のドレイン端子と、トランジスタ $T4$ のドレイン端子との接続点）に接続され、トランジスタ $T4$ のソース端子には電源電圧 V_{ss} が与えられ、トランジスタ $T4$ のドレイン端子はインバータ $INV2$ の出力端子に接

続されている。インバータ I N V 2 の出力端子は、ラッチ回路 3 1 の出力端子 O U T、及びインバータ I N V 1 の入力端子（トランジスタ T 5、T 6 のゲート端子）に接続されている。

[0058] インバータ I N V 1 は、Pチャネル型トランジスタ T 5（第1インバータ）とNチャネル型トランジスタ T 6（第2インバータ）で構成され、インバータ I N V 1 の入力端子（トランジスタ T 5、T 6 のゲート端子）は、インバータ I N V 2 の出力端子に接続されている。トランジスタ T 5 のソース端子には初期化用信号 I N I T B が与えられ、トランジスタ T 5 のドレイン端子は、アナログスイッチ回路 A S W 2 の入力端子（トランジスタ T 7 のソース端子と、トランジスタ T 8 のソース端子との接続点（ノード N 2））に接続され、トランジスタ T 6 のソース端子には電源電圧 V s s が与えられ、トランジスタ T 6 のドレイン端子はアナログスイッチ回路 A S W 2 の入力端子に接続されている。

[0059] アナログスイッチ回路 A S W 2 は、Nチャネル型トランジスタ T 7 と Pチャネル型トランジスタ T 8 で構成され、トランジスタ T 7 は、ゲート端子がインバータ I N V 3 の出力端子に接続され、ソース端子がインバータ I N V 1 の出力端子に接続され、ドレイン端子がインバータ I N V 2 の入力端子に接続され、トランジスタ T 8 は、ゲート端子が入力端子 I N s に接続され、ソース端子がインバータ I N V 1 の出力端子に接続され、ドレイン端子がインバータ I N V 2 の入力端子に接続されている。

[0060] 上記の構成によれば、ラッチ回路 3 1 は、入力端子 I N s にシフトレジスタの前段（ $k - 1$ 段目）の出力信号 S R O U T（ $k - 1$ ）が入力され、該出力信号 S R O U T（ $k - 1$ ）がアクティブになると極性信号 C M I を入力端子 I N c から取り込み、これを保持しつつ、自段（ k 段目）の出力として、出力端子 O U T から出力信号 O U T k を出力する。出力信号 O U T k は、ハイレベル（V d d）及びローレベル（V s s）が切り替わって出力される。初期化用信号 I N I T B は、通常動作時にハイレベル（V d d）になり、初期化時（アクティブ時）にローレベル（V s s）になる信号である。

[0061] (動作について)

次に、ラッチ回路31の動作について説明する。

[0062] まず、通常時の動作について簡単に説明する。通常時、初期化用信号IN I T BはV d d (ハイレベル)で固定されている。

[0063] ラッチ回路31では、出力信号S R O U T (k - 1)がローレベル (非アクティブ) からハイレベル (アクティブ) になると、アナログスイッチ回路A S W 1がオン (トランジスタT 1, T 2がオン) となり、アナログスイッチ回路A S W 2がオフ (トランジスタT 7, T 8がオフ) となる。これにより、ノードN 1が極性信号C M Iと電氣的に接続され、同電位となる。また、ノードN 1はノードN 2と電氣的に遮断される。よって、極性信号C M IがV d d (ハイレベル) の場合はインバータI N V 2の出力はV s s (ローレベル) となり、ローレベル (V s s) の出力信号O U T kが出力される。一方、極性信号C M IがV s s (ローレベル) の場合はインバータI N V 2の出力はV d d (ハイレベル) となり、ハイレベル (V d d) の出力信号O U T kが出力される。

[0064] 続いて、出力信号S R O U T (k - 1)がハイレベル (アクティブ) からローレベル (非アクティブ) になると、アナログスイッチ回路A S W 1がオフ (トランジスタT 1, T 2がオフ) となり、アナログスイッチ回路A S W 2がオン (トランジスタT 7, T 8がオン) となる。これにより、インバータI N V 2の出力端子とインバータI N V 1の入力端子とが電氣的に互いに接続されるとともに、インバータI N V 1の出力端子とインバータI N V 2の入力端子とが電氣的に互いに接続されるので、ノードN 1は、インバータI N V 1、I N V 2によるラッチ動作により直前に保持した電位を保持する。よって、出力信号O U T kは、直前に出力した電位のまま出力され続ける。この出力信号O U T kは、出力信号S R O U T (k - 1)が次にハイレベル (アクティブ) になるまで出力され続け、出力信号S R O U T (k - 1)がハイレベルになると、同様にラッチ出力動作を行う。このようにして、ラッチ回路31は、通常時にはラッチ出力動作を繰り返す。

[0065] (初期化動作について)

次に、初期化時の動作について説明する。初期化時には、初期化用信号 $INITB$ を V_{ss} (ローレベル) とする。図5は、シフトレジスタの全段の出力信号 $SROUT$ がハイレベルであって、極性信号 $CM I$ がハイレベルの場合の、ラッチ回路31の初期化時のタイミングチャートである。図6は、シフトレジスタの全段の出力信号 $SROUT$ がハイレベルであって、極性信号 $CM I$ がローレベルの場合の、ラッチ回路31の初期化時のタイミングチャートである。図7は、シフトレジスタの全段の出力信号 $SROUT$ がローレベルであって、極性信号 $CM I$ がハイレベルの場合の、ラッチ回路31の初期化時のタイミングチャートである。図8は、シフトレジスタの全段の出力信号 $SROUT$ がローレベルであって、極性信号 $CM I$ がローレベルの場合の、ラッチ回路31の初期化時のタイミングチャートである。

[0066] 図5～図8において、 $CM I$ は、1水平走査期間(1H)ごとに極性が反転する極性信号である。 $INITB$ は初期化用信号 $INITB$ の電位を示す。 $SR(k-1)$ はシフトレジスタの $(k-1)$ 段目の出力信号 $SROUT(k-1)$ の電位を示す。 $Node1$ 、 $Node2$ はノード $N1$ 、 $N2$ それぞれの電位を示す。 $OUTk$ はラッチ回路31の出力信号 $OUTk$ の電位を示す。

[0067] 初期化時に、シフトレジスタの全段の出力信号 $SROUT$ がハイレベル(全オン)の場合は、以下のように動作する。

[0068] まず、出力信号 $SROUT(k-1)$ がハイレベルになると、スイッチ回路 $ASW1$ が常時オンとなり、極性信号 $CM I$ がノード $N1$ に常時接続(短絡)することになる。また、ノード $N1$ はインバータ $INV2$ の入力端子に接続され、インバータ $INV2$ の出力端子は出力端子 OUT に接続されている。これにより、出力端子 OUT からは、常に、ノード $N1$ の反転電位の出力信号 $OUTk$ が出力される。

[0069] また、初期化用信号 $INITB$ は V_{ss} 電位に固定されている。よって、出力信号 $OUTk$ が V_{dd} 電位であっても V_{ss} 電位であっても、インバー

タ I N V 1 の出力端子であるノード N 2 の電位が V s s 電位となる。

[0070] ゆえに、極性信号 C M I が V d d (ハイレベル) の場合は、ノード N 1 は V d d 電位、出力信号 O U T k は V s s 電位、ノード N 2 は V s s 電位で固定することができる (図 5 参照)。また、極性信号 C M I が V s s (ローレベル) の場合は、ノード N 1 は V s s 電位、出力信号 O U T k は V d d 電位、ノード N 2 は V s s 電位で固定することができる (図 6 参照)。なお、このときスイッチ回路 A S W 2 は常時オフとなっているため、ノード N 1 とノード N 2 とは切り離されている (電氣的に遮断されている)。よって、極性信号 C M I がハイレベル・ローレベルのいずれの場合であっても短絡して過電流を発生させることなく、初期化することが可能となる。

[0071] 一方、初期化時に、シフトレジスタの全段の出力信号 S R O U T がローレベル (全オフ) の場合は、以下のように動作する。

[0072] 初期化用信号 I N I T B は V s s 電位に固定されているため、出力信号 O U T k が V d d 電位であっても V s s 電位であっても、インバータ I N V 1 の出力端子であるノード N 2 は、V s s 電位で固定される。

[0073] ここで、出力信号 S R O U T (k - 1) がローレベルになると、スイッチ回路 A S W 2 は常時オンとなるため、ノード N 1 とノード N 2 とは常時接続 (短絡) することになる。よって、ノード N 1 は V s s 電位となり、これによって出力信号 O U T k は V d d 電位となる。またこのとき、スイッチ回路 A S W 1 は常時全オフとなっているため、極性信号 C M I とノード N 1 とは切り離されている。よって、極性信号 C M I がハイレベル・ローレベルのいずれの場合であっても、ノード N 1、ノード N 2、出力信号 O U T k の電位はそれぞれ同じとなる (図 7, 8 参照)。こうして、短絡して過電流を発生させることなく、初期化することが可能となる。

[0074] このように、ラッチ回路 3 1 では、シフトレジスタの全段の出力信号 S R O U T がハイレベル・ローレベルのいずれの場合であっても、ローレベル (V s s) の初期化用信号 I N I T B をトランジスタ T 5 のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0075] また、初期化用信号 $INITB$ は、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラッチ回路に設けられていたインバータ $INV1$ の電源 VDD の配線を利用している。

[0076] よって、ラッチ回路 31 では、素子数を増やすことなく初期化することが可能となっている。

[0077] なお、通常動作時は、初期化用信号 $INITB$ が Vdd （ハイレベル）となり、初期化用信号 $INITB$ が電源電圧 Vdd と同様の機能を果たすため、通常のラッチ回路と同一の動作が可能となる。

[0078] （変形例）

ラッチ回路 31 では、初期化用信号 $INITB$ をトランジスタ $T5$ のソース端子に供給していたが、初期化用信号 $INIT$ をトランジスタ $T6$ のソース端子に供給して、同様に初期化することができる。

[0079] 図 9 は、ラッチ回路 32 の一構成例を示す回路図である。図 9 に示すように、ラッチ回路 32（保持回路）では、図 4 のラッチ回路 31 と比較して、トランジスタ $T5$ のソース端子およびトランジスタ $T6$ のソース端子にそれぞれ供給される信号および電源電圧が異なっている。具体的には、トランジスタ $T5$ のソース端子には電源電圧 Vdd が供給され、トランジスタ $T6$ のソース端子に初期化用信号 $INIT$ が供給されている。初期化用信号 $INIT$ は、通常動作時にローレベル（ Vss ）になり、初期化時にハイレベル（ Vdd ）になる信号である。

[0080] （初期化動作について）

ここでは、初期化時の動作について説明する。初期化時には、初期化用信号 $INIT$ を Vdd （ハイレベル）とする。

[0081] 初期化時に、シフトレジスタの全段の出力信号 $SROUT$ がハイレベルの場合（全オン）は、以下のように動作する。

[0082] まず、出力信号 $SROUT(k-1)$ がハイレベルになると、スイッチ回路 $ASW1$ が常時全オンとなり、極性信号 CMI がノード $N1$ に常時接続（

短絡) することになる。また、ノードN 1はインバータI N V 2の入力端子に接続され、インバータI N V 2の出力端子は出力端子O U Tに接続されている。これにより、出力端子O U Tからは、常に、ノードN 1の反転電位の出力信号O U T kが出力される。

[0083] また、初期化用信号I N I TはV d d電位に固定されているため、出力信号O U T kがV d d電位であってもV s s電位であっても、インバータI N V 1の出力端子であるノードN 2は、V d d電位で固定される。

[0084] ゆえに、極性信号C M IがV d d（ハイレベル）の場合は、ノードN 1はV d d電位、出力信号O U T kはV s s電位、ノードN 2はV d d電位で固定することができる。また、極性信号C M IがV s s（ローレベル）の場合は、ノードN 1はV s s電位、出力信号O U T kはV d d電位、ノードN 2はV d d電位で固定することができる。なお、このときスイッチ回路A S W 2は常時全オフとなっているため、ノードN 1とノードN 2とは切り離されている（電氣的に遮断されている）。よって、極性信号C M Iがハイレベル・ローレベルのいずれの場合であっても短絡して過電流を発生させることなく、初期化することが可能となる。

[0085] 一方、初期化時に、シフトレジスタの全段の出力信号S R O U Tがローレベルの場合（全オフ）は、以下のように動作する。

[0086] 初期化用信号I N I TはV d d電位に固定されているため、出力信号O U T kがV d d電位であってもV s s電位であっても、インバータI N V 1の出力端子であるノードN 2は、V d d電位で固定される。

[0087] ここで、出力信号S R O U T（k - 1）がローレベルになると、スイッチ回路A S W 2は常時全オンとなるため、ノードN 1とノードN 2とは常時接続（短絡）することになる。よって、ノードN 1はV d d電位となり、これによって出力信号O U T kはV s s電位となる。またこのとき、スイッチ回路A S W 1は常時全オフとなっているため、極性信号C M IとノードN 1とは切り離されている。よって、極性信号C M Iがハイレベル・ローレベルのいずれの場合であっても、ノードN 1、ノードN 2、出力信号O U T kの電

位はそれぞれ同じとなる。こうして、短絡して過電流を発生させることなく、初期化することが可能となる。

[0088] このように、ラッチ回路 32 では、シフトレジスタの全段の出力信号 S R O U T がハイレベル・ローレベルのいずれの場合であっても、ハイレベル (V d d) の初期化用信号 I N I T をトランジスタ T 6 のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0089] また、初期化用信号 I N I T は、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラッチ回路に設けられていたインバータ I N V 1 の電源 V S S の配線を利用している。

[0090] よって、ラッチ回路 32 では、素子数を増やすことなく初期化することが可能となっている。

[0091] なお、通常動作時は、初期化用信号 I N I T が V s s (ローレベル) で固定されるので、初期化用信号 I N I T が電源電圧 V s s と同様の機能を果たす。よって、ラッチ回路 32 は、通常のラッチ回路と同一の動作が可能となっており、上述したラッチ回路 31 の通常時の動作と同様に動作することが可能となっている。

[0092] [実施の形態 3]

本発明の実施形態 3 について図面に基づいて説明すれば、以下の通りである。本実施の形態では、前記実施の形態 2 のラッチ回路 31 よりも回路面積を減少することができるラッチ回路について説明する。なお、説明の便宜上、前述の実施の形態において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、前述の実施の形態において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。このことは、以下の各実施形態に共通する。

[0093] 図 10 は、本実施の形態のラッチ回路 33 の一構成例を示す回路図である。図 10 に示すように、ラッチ回路 33 (保持回路) は、インバータ I N V 1 ・ I N V 2、アナログスイッチ回路 A S W 3 により構成される。なお、ア

ナログスイッチ回路 A S W 3 の出力端子とインバータ I N V 2 の入力端子との接続点をノード N 1 とする（図 10 参照）。

[0094] アナログスイッチ回路 A S W 3 は、Nチャネル型トランジスタ T 1 で構成され、トランジスタ T 1 は、ゲート端子が入力端子 I N s に接続され、ソース端子が入力端子 I N c に接続されている。入力端子 I N s にはシフトレジスタの前段の出力信号 S R O U T (k - 1) が供給され、入力端子 I N c には極性信号 C M I が供給される。

[0095] インバータ I N V 2 の入力端子（トランジスタ T 3 のゲート端子と、トランジスタ T 4 のゲート端子との接続点（ノード N 1 ））は、アナログスイッチ回路 A S W 3 の出力端子（トランジスタ T 1 のドレイン端子）に接続されている。インバータ I N V 2 の出力端子は、ラッチ回路 3 3 の出力端子 O U T 、及びインバータ I N V 1 の入力端子（トランジスタ T 5 、 T 6 のゲート端子）に接続されている。

[0096] ラッチ回路 3 3 のインバータ I N V 1 では、上述したラッチ回路 3 1 （図 4 参照）のインバータ I N V 1 に、抵抗 R 1 （第 2 抵抗）および抵抗 R 2 （第 1 抵抗）が追加されている。具体的には、トランジスタ T 5 のソース端子に抵抗 R 2 が直列に接続され、トランジスタ T 6 のソース端子に抵抗 R 1 が直列接続されている。これにより、トランジスタ T 5 のソース端子には、抵抗 R 2 を介して初期化用信号 I N I T B が与えられ、トランジスタ T 6 のソース端子には、抵抗 R 1 を介して電源電圧 V s s が与えられている。

[0097] 上記の構成によれば、ラッチ回路 3 3 は、入力端子 I N s にシフトレジスタの前段（k - 1 段目）の出力信号 S R O U T (k - 1) が入力され、該出力信号 S R O U T (k - 1) がアクティブになると極性信号 C M I を入力端子 I N c から取り込み、これを保持しつつ、自段（k 段目）の出力として、出力端子 O U T から出力信号 O U T k を出力する。出力信号 O U T k は、ハイレベル（V d d ）及びローレベル（V s s ）が切り替わって出力される。初期化用信号 I N I T B は、通常動作時にハイレベル（V d d ）になり、初期化時（アクティブ時）にローレベル（V s s ）になる信号である。

[0098] (動作について)

次に、ラッチ回路33の動作について説明する。

[0099] まず、通常時の動作について簡単に説明する。通常時、初期化用信号INITBはVdd（ハイレベル）で固定されている。

[0100] ラッチ回路33では、出力信号SROUT(k-1)がローレベル（非アクティブ）からハイレベル（アクティブ）になると、アナログスイッチ回路ASW3がオン（トランジスタT1がオン）となる。これにより、ノードN1が極性信号CMIと電氣的に接続される。

[0101] このとき、極性信号CMIがVdd（ハイレベル）の場合は、ノードN1はVdd-Vth電位（Vth：閾値）となる。このノードN1の電位は、インバータINV2のトランジスタT4をオンするのに十分であるため、インバータINV2の出力はVss（ローレベル）となる。

[0102] ここで、出力信号SROUT(k-1)がハイレベル（アクティブ）になる直前において、ノードN1の電位がVss（ローレベル）に保持されており、トランジスタT6がオン状態になっていると、出力信号SROUT(k-1)がローレベル（非アクティブ）からハイレベル（アクティブ）になることで、ノードN1を介して極性信号CMIのVdd（ハイレベル）と電源VSS（ローレベル）とが短絡することになる。この点、電源VSSとノードN1との間に抵抗R1が設けられているため、ノードN1の電位は、極性信号CMI側へ引き込まれ、極性信号CMIのVdd（ハイレベル）に近い電位まで上昇する。

[0103] その後、インバータINV2の出力（Vss（ローレベル））がインバータINV1の入力にフィードバックされ、インバータINV1の出力によって、ノードN1の電位は、極性信号CMIのVddに近い電位からさらにVddまで上昇する。よって、インバータINV2の出力はVss（ローレベル）となり、ローレベル（Vss）の出力信号OUTkが出力される。

[0104] 一方、極性信号CMIがVss（ローレベル）の場合は、ノードN1はVss電位となるため、インバータINV2の出力はVdd（ハイレベル）と

なる。

[0105] ここで、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になる直前において、ノード $N1$ の電位が Vdd （ハイレベル）に保持されており、トランジスタ $T5$ がオン状態になっていると、出力信号 $SROUT(k-1)$ がローレベル（非アクティブ）からハイレベル（アクティブ）になることで、ノード $N1$ を介して極性信号 $CM1$ の Vss （ローレベル）と初期化用信号 $INITB$ が入力される端子（ $INITB$ 端子）（ハイレベル）とが短絡することになる。この点、 $INITB$ 端子（ハイレベル）とノード $N1$ との間に抵抗 $R2$ が設けられているため、ノード $N1$ の電位は、極性信号 $CM1$ 側へ引き込まれ、極性信号 $CM1$ の Vss （ローレベル）に近い電位まで低下する。

[0106] その後、インバータ $INV2$ の出力（ Vdd （ハイレベル））がインバータ $INV1$ の入力にフィードバックされ、インバータ $INV1$ の出力によって、ノード $N1$ の電位は、極性信号 $CM1$ の Vss に近い電位からさらに Vss まで低下する。よって、インバータ $INV2$ の出力は Vdd （ハイレベル）となり、ハイレベル（ Vdd ）の出力信号 $OUTk$ が出力される。

[0107] 続いて、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路 $ASW3$ がオフ（トランジスタ $T1$ がオフ）になり、極性信号 $CM1$ の入力が遮断され、ノード $N1$ は、インバータ $INV1$ 、 $INV2$ によるラッチ動作により直前に保持した電位を保持する。よって、出力信号 $OUTk$ は、直前に出力した電位のまま出力され続ける。この出力信号 $OUTk$ は、出力信号 $SROUT(k-1)$ が次にハイレベル（アクティブ）になるまで出力され続け、出力信号 $SROUT(k-1)$ がハイレベルになると、同様にラッチ出力動作を行う。このようにして、ラッチ回路 33 は、通常時にはラッチ出力動作を繰り返す。

[0108] （初期化動作について）

次に、初期化時の動作について説明する。初期化時には、初期化用信号 I

INITBをVss（ローレベル）とする。図11は、シフトレジスタの全段の出力信号SROUTがハイレベルであって、極性信号CMIがハイレベルの場合の、ラッチ回路33の初期化時のタイミングチャートである。図12は、シフトレジスタの全段の出力信号SROUTがハイレベルであって、極性信号CMIがローレベルの場合の、ラッチ回路33の初期化時のタイミングチャートである。図13は、シフトレジスタの全段の出力信号SROUTがローレベルであって、極性信号CMIがハイレベルの場合の、ラッチ回路33の初期化時のタイミングチャートである。図14は、シフトレジスタの全段の出力信号SROUTがローレベルであって、極性信号CMIがローレベルの場合の、ラッチ回路33の初期化時のタイミングチャートである。

[0109] 図11～図14において、CMIは、1水平走査期間（1H）ごとに極性が反転する極性信号である。INITBは初期化用信号INITBの電位を示す。SR(k-1)はシフトレジスタの(k-1)段目の出力信号SROUT(k-1)の電位を示す。Node1はノードN1の電位を示す。OUTkはラッチ回路33の出力信号OUTkの電位を示す。

[0110] 初期化時に、シフトレジスタの全段の出力信号SROUTがハイレベル（全オン）の場合は、以下のように動作する。

[0111] まず、出力信号SROUT(k-1)がハイレベルになると、スイッチ回路ASW3が常時オンとなり、極性信号CMIがノードN1に常時接続（短絡）することになる。また、ノードN1はインバータINV2の入力端子に接続され、インバータINV2の出力端子は出力端子OUTに接続されている。これにより、出力端子OUTからは、常に、ノードN1の反転電位の出力信号OUTkが出力される。

[0112] ここで、極性信号CMIがVdd（ハイレベル）の場合は、ノードN1はVdd-Vth電位（Vth：閾値）となる（図11参照）。このノードN1の電位は、インバータINV2のトランジスタT4をオンするのに十分であるため、インバータINV2によりローレベル（Vss）の出力信号OUTkが出力される。なお、この出力信号OUTkによって、インバータIN

V1のトランジスタT5がオンとなり、INITB端子が抵抗R2を介してノードN1と接続される。このとき、初期化用信号INITBはVss（ローレベル）に固定されているが、抵抗R2を介してノードN1と接続されるため、ノードN1は、Vdd-Vth付近で過電流が流れることなく安定化することが可能となる。

[0113] 極性信号CMIがVss（ローレベル）の場合は、ノードN1はVss電位となる（図12参照）。これにより、インバータINV2のトランジスタT3がオンとなり、ハイレベル（Vdd）の出力信号OUTkが出力される。なお、この出力信号OUTkによって、インバータINV1のトランジスタT6がオンとなり、電源VSSが抵抗R1を介してノードN1と接続される。よって、ノードN1はVss電位で安定化することが可能となる。

[0114] 一方、初期化時に、シフトレジスタの全段の出力信号SROUTがローレベル（全オフ）の場合は、以下のように動作する。

[0115] 初期化用信号INITBはVss電位に固定されているため、出力信号OUTkがVdd電位であってもVss電位であっても、ノードN1は、インバータINV1から出力されるVss電位で固定される。

[0116] ここで、出力信号SROUT（k-1）がローレベルになると、スイッチ回路ASW3は常時オフとなるため、極性信号CMIとノードN1とは切り離されている。よって、極性信号CMIがハイレベル・ローレベルのいずれの場合であっても、ノードN1はVss電位、出力信号OUTkはVdd電位となる（図13，14参照）。こうして、短絡して過電流を発生させることなく、初期化することが可能となる。

[0117] このように、ラッチ回路33では、シフトレジスタの全段の出力信号SROUTがハイレベル・ローレベルのいずれの場合であっても、ローレベル（Vss）の初期化用信号INITBをトランジスタT5のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0118] また、初期化用信号INITBは、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラ

ッチ回路に設けられていたインバータ $INV1$ の電源 VDD の配線を利用している。

[0119] よって、ラッチ回路 33 では、素子数を増やすことなく初期化することが可能となっている。

[0120] なお、通常動作時は、初期化用信号 $INITB$ が Vdd (ハイレベル) となり、初期化用信号 $INITB$ が電源電圧 Vdd と同様の機能を果たすため、通常のラッチ回路と同一の動作が可能となる。

[0121] (変形例)

ラッチ回路 33 では、初期化用信号 $INITB$ をトランジスタ $T5$ のソース端子に供給していたが、初期化用信号 $INIT$ をトランジスタ $T6$ のソース端子に供給して、同様に初期化することができる。

[0122] 図 15 は、ラッチ回路 34 の一構成例を示す回路図である。図 15 に示すように、ラッチ回路 34 (保持回路) では、図 10 のラッチ回路 33 と比較して、トランジスタ $T5$ のソース端子およびトランジスタ $T6$ のソース端子にそれぞれ供給される信号および電源電圧が異なっている。具体的には、トランジスタ $T5$ のソース端子には電源電圧 Vdd が供給され、トランジスタ $T6$ のソース端子に初期化用信号 $INIT$ が供給されている。初期化用信号 $INIT$ は、通常動作時にローレベル (Vss) になり、初期化時にハイレベル (Vdd) になる信号である。

[0123] (初期化動作について)

ここでは、初期化時の動作について説明する。初期化時には、初期化用信号 $INIT$ を Vdd (ハイレベル) とする。

[0124] 初期化時に、シフトレジスタの全段の出力信号 $SROUT$ がハイレベルの場合 (全オン) は、以下のように動作する。

[0125] まず、出力信号 $SROUT(k-1)$ がハイレベルになると、スイッチ回路 $ASW3$ が常時オンとなり、極性信号 $CM1$ がノード $N1$ に常時接続 (短絡) することになる。また、ノード $N1$ はインバータ $INV2$ の入力端子に接続され、インバータ $INV2$ の出力端子は出力端子 OUT に接続されてい

る。これにより、出力端子OUTからは、常に、ノードN1の反転電位の出力信号OUT_kが出力される。

[0126] ここで、極性信号CMIがV_{dd}（ハイレベル）の場合は、ノードN1はV_{dd} - V_{th}電位（V_{th}：閾値）となる。このノードN1の電位は、インバータINV2のトランジスタT4をオンするのに十分であるため、インバータINV2によりローレベル（V_{ss}）の出力信号OUT_kが出力される。なお、この出力信号OUT_kによって、インバータINV1のトランジスタT5がオンとなり、電源VDDが抵抗R2を介してノードN1と接続される。よって、ノードN1はV_{dd} - V_{th}付近で安定化することが可能となる。

[0127] 極性信号CMIがV_{ss}（ローレベル）の場合は、ノードN1はV_{ss}電位となる。これにより、インバータINV2のトランジスタT3がオンとなり、ハイレベル（V_{dd}）の出力信号OUT_kが出力される。なお、この出力信号OUT_kによって、インバータINV1のトランジスタT6がオンとなり、初期化用信号INITが入力される端子（INIT端子）が抵抗R1を介してノードN1と接続される。このとき、初期化用信号INITはV_{dd}（ハイレベル）に固定されているが、抵抗R1を介してノードN1と接続されるため、ノードN1は、V_{dd} - V_{th}付近で過電流が流れることなく安定化することが可能となる。

[0128] 一方、初期化時に、シフトレジスタの全段の出力信号SROUTがローレベル（全オフ）の場合は、以下のように動作する。

[0129] 初期化用信号INITはV_{dd}電位に固定されているため、出力信号OUT_kがV_{dd}電位であってもV_{ss}電位であっても、ノードN1は、インバータINV1から出力されるV_{dd}電位で固定される。

[0130] ここで、出力信号SROUT（k - 1）がローレベルになると、スイッチ回路ASW3は常時オフとなるため、極性信号CMIとノードN1とは切り離されている。よって、極性信号CMIがハイレベル・ローレベルのいずれの場合であっても、ノードN1はV_{dd}電位、出力信号OUT_kはV_{ss}電

位となる。こうして、短絡して過電流を発生させることなく、初期化することが可能となる。

[0131] このように、ラッチ回路 34 では、シフトレジスタの全段の出力信号 S R O U T がハイレベル・ローレベルのいずれの場合であっても、ハイレベル (V_{dd}) の初期化用信号 I N I T をトランジスタ T 6 のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0132] また、初期化用信号 I N I T は、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前のラッチ回路に設けられていたインバータ I N V 1 の電源 V_{SS} の配線を利用している。

[0133] よって、ラッチ回路 34 では、素子数を増やすことなく初期化することが可能となっている。

[0134] なお、通常動作時は、初期化用信号 I N I T が V_{ss} (ローレベル) で固定されるので、初期化用信号 I N I T が電源電圧 V_{ss} と同様の機能を果たす。よって、ラッチ回路 34 は、通常のラッチ回路と同一の動作が可能となっており、上述したラッチ回路 33 の通常時の動作と同様に動作することが可能となっている。

[0135] 以上、上述した実施の形態 1～3 のラッチ回路は、ラッチ回路を備える回路、例えばレベルシフタやシフトレジスタに適用することが可能である。そして、本実施形態のラッチ回路によれば、特に、液晶表示装置に搭載される表示駆動回路である、ラッチ回路を多数備える共通電極駆動回路や容量配線駆動回路に効果大きい。そこで、共通電極駆動回路や容量配線駆動回路に搭載されるラッチ回路の実施形態を、以降の実施形態で説明する。

[0136] [実施の形態 4]

本発明に係る実施の形態 4 について、以下に説明する。本実施の形態では、液晶表示装置に搭載された、ラッチ回路を含んで構成される共通電極駆動回路について説明する。

[0137] 図 16 は、実施の形態 4 に係る液晶表示装置 1 の概略構成を示すブロック

図であり、図 17 は、液晶表示装置 1 の画素 P の電氣的構成を示す等価回路図である。

[0138] まず、図 16 及び図 17 を用いて液晶表示装置 1 の概略構成について説明する。液晶表示装置 1 は、走査信号線駆動回路 100（ゲートドライバ）、共通電極駆動回路 200（COMドライバ）、データ信号線駆動回路 300（ソースドライバ）、及び表示パネル 400 を備えている。また、液晶表示装置 1 には、各駆動回路を制御する制御回路（図示せず）が含まれる。なお、各駆動回路は、画素回路とアクティブマトリクス基板上にモノリシックに形成されていてもよい。

[0139] 表示パネル 400 は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素 P（図 17）を有している。

[0140] そして、表示パネル 400 は、アクティブマトリクス基板上に、走査信号線 41（GL_n）（ゲートライン）、コモンライン 42（共通電極配線）（CML_n）、データ信号線 43（SL_i）（ソースライン）、薄膜トランジスタ（Thin Film Transistor；以下「TFT」とも言う）44、及び画素電極 45 を備えている。なお、*i*、*n* は 2 以上の整数である。

[0141] 走査信号線 41 は行方向（横方向）に互いに平行となるように各行に 1 本ずつ形成されており、データ信号線 43 は、列方向（縦方向）に互いに平行となるように各列に 1 本ずつ形成されている。図 17 に示すように、TFT 44 及び画素電極 45 は、走査信号線 41 とデータ信号線 43 との各交点に対応してそれぞれ形成されており、TFT 44 のゲート電極 *g* が走査信号線 41 に、ソース電極 *s* がデータ信号線 43 に、ドレイン電極 *d* が画素電極 45 にそれぞれ接続されている。また、画素電極 45 は、コモンライン 42 との間に容量 *C_{lc}*（液晶容量を含む）を形成している。

[0142] これにより、走査信号線 41 に供給されるゲート信号（走査信号）によって TFT 44 のゲートをオン状態にし、データ信号線 43 からのソース信号（データ信号）を画素電極 45 に書き込んで画素電極 45 を上記ソース信号

に応じた電位に設定し、コモンライン42との間に介在する液晶に対して上記ソース信号に応じた電圧を印加することによって、上記ソース信号に応じた階調表示を実現することができる。

[0143] 上記構成の表示パネル400は、走査信号線駆動回路100、共通電極駆動回路200、データ信号線駆動回路300、及びこれらを制御する制御回路によって駆動される。

[0144] 本実施の形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。

[0145] そのため、走査信号線駆動回路100は、TFT44をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線41に対して順次出力する。

[0146] 共通電極駆動回路200は、走査信号線駆動回路100を構成するシフトレジスタ10の出力信号（SROUT）に基づいて、各コモンライン42にハイレベルの信号（Vcomh）（第1電位）またはローレベルの信号（Vcoml）（第2電位）を供給する。

[0147] データ信号線駆動回路300は、各データ信号線43に対してソース信号を出力する。このソース信号は、液晶表示装置1の外部から制御回路を介してデータ信号線駆動回路300に供給された映像信号を、データ信号線駆動回路300において各列に割り当て、昇圧等を施した信号である。

[0148] 制御回路は、上述した走査信号線駆動回路100、共通電極駆動回路200、及びデータ信号線駆動回路300を制御することにより、これら各回路から、ゲート信号、ソース信号、及びコモン信号を出力させる。

[0149] 本実施の形態に係る液晶表示装置1では、回路面積を縮小化しつつ、共通電極駆動回路200の出力信号の電位レベルの低下を防いで安定した動作を行う構成を有している。以下では、走査信号線駆動回路100及び共通電極駆動回路200の具体的な構成について説明する。

[0150] 走査信号線駆動回路100を構成するシフトレジスタ10は、m個（mは

2以上の整数)の単位回路11を多段接続して構成されている。単位回路11は、クロック用端子(CK端子)、セット用端子(S端子)、リセット用端子(R端子)、初期化用端子(INITB端子)、及び出力端子OUTを有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ(例えば、クロック用端子CK経由で入力される信号をクロック信号CKという)。

[0151] シフトレジスタ10には、外部からスタートパルス(図示せず)と2相のクロック信号CK1、CK2が供給される。スタートパルスは、1段目の単位回路11のS端子に与えられる。クロック信号CK1は、奇数段目の単位回路11のCK端子に与えられ、クロック信号CK2は、偶数段目の単位回路11のCK端子に与えられる。単位回路11の出力は、出力端子OUTから、出力信号SROUTとして対応する走査信号線GLに出力されるとともに、後段の単位回路11のS端子及び前段の単位回路11のR端子に与えられる。また、単位回路11の出力信号SROUTは、対応する共通電極駆動回路200の単位回路21に入力される。

[0152] 共通電極駆動回路200は、 n 個(n は2以上の整数)の単位回路21を多段接続して構成されている。単位回路21は、入力端子 $IN_s \cdot IN_c$ 、初期化用端子INITB、及び出力端子OUTを有している。単位回路21の入力端子 IN_s には、シフトレジスタ10の出力信号SROUTが入力され、単位回路21の入力端子 IN_c には、極性信号CMIZ(保持対象信号)が入力される。単位回路21の初期化用端子INITBには、初期化用信号INITBが入力される。単位回路21の出力は、出力信号CMOUTとしてコモンライン(COMライン)CMLに出力される。

[0153] 具体的には、共通電極駆動回路200の k 段目(k は1以上 n 以下の整数)の単位回路21には、シフトレジスタ10の($k-1$)段目の単位回路11の出力信号SROUT($k-1$)が入力され、当該 k 段目の単位回路21は、出力信号CMOUT k をコモンラインCML k に出力する。このように、共通電極駆動回路200は、シフトレジスタ10のシフト動作に従って、

出力信号CMOUT1～CMOUTnを、コモンラインCML1～CMLnに順に出力する。なお、1段目の単位回路21には、シフトレジスタ10のスタートパルスが供給される。

[0154] シフトレジスタ10は周知の構成を適用することができる。よって、シフトレジスタ10の詳細な説明は省略し、以下では、共通電極駆動回路200の詳細な構成について説明する。

[0155] (実施例1)

図18は、実施例1に係る共通電極駆動回路200に含まれる単位回路21の回路図である。図18に示すように、単位回路21は、ラッチスルー回路21a（保持回路）およびバッファ21bを含んで構成される。ラッチスルー回路21aは、インバータINV1（第1インバータ）、インバータINV2（第2インバータ）、およびアナログスイッチ回路SW1により構成され、バッファ21bは、2つのトランジスタにより構成される。また、インバータINV2において、インバータINV1の出力端子とインバータINV2の入力端子との接続点をノードN1とし、インバータINV1の入力端子とインバータINV2の出力端子との接続点をノードN2とする（図18参照）。

[0156] アナログスイッチ回路SW1は、Nチャネル型トランジスタT1とNチャネル型トランジスタT9と容量C1とで構成され、トランジスタT9のゲート端子に電源電圧Vddが与えられ、ソース端子が入力端子INsに接続され、ドレイン端子がトランジスタT1のゲート端子に接続されている。また、容量C1は、トランジスタT1のゲート端子及びドレイン端子の間に設けられている。なお、容量C1とトランジスタT1のゲート端子との接続点をノードN3とする。トランジスタT1のソース端子は入力端子INcに接続されている。入力端子INsにはシフトレジスタ10の単位回路11の出力信号SROUTが供給され、入力端子INcには極性信号CMIZが供給される。

[0157] インバータINV2は、Pチャネル型トランジスタT3とNチャネル型ト

ランジスタT4で構成され、インバータINV2の入力端子（トランジスタT3のゲート端子と、トランジスタT4のゲート端子との接続点（ノードN1））は、アナログスイッチ回路SW1の出力端子（トランジスタT1のドレイン端子）に接続されている。トランジスタT3のソース端子には電源電圧V_{dd}が与えられ、トランジスタT3のドレイン端子はインバータINV2の出力端子（トランジスタT3のドレイン端子と、トランジスタT4のドレイン端子との接続点（ノードN2））に接続され、トランジスタT4のソース端子には電源電圧V_{ss}が与えられ、トランジスタT4のドレイン端子はインバータINV2の出力端子（ノードN2）に接続されている。ノードN2は、ラッチスルー回路21aの出力端子out、及びインバータINV1の入力端子（トランジスタT5、T6のゲート端子）に接続されている。

[0158] インバータINV1は、Pチャネル型トランジスタT5とNチャネル型トランジスタT6と抵抗R1、R2とで構成されるとともに、初期化用端子（INITB端子）が設けられている。インバータINV1の入力端子（トランジスタT5、T6のゲート端子）は、インバータINV2の出力端子（ノードN2）に接続されている。トランジスタT5のソース端子には抵抗R2を介して初期化用信号INITBが入力され、トランジスタT5のドレイン端子は、インバータINV1の出力端子（トランジスタT5のドレイン端子と、トランジスタT6のドレイン端子との接続点）に接続され、トランジスタT6のソース端子には抵抗R1を介して電源電圧V_{ss}が与えられ、トランジスタT6のドレイン端子はインバータINV1の出力端子に接続されている。インバータINV1の出力端子は、インバータINV2の入力端子（ノードN1）に接続されている。ラッチスルー回路21aの出力端子outは、バッファ21bの入力端子inに接続されている。

[0159] バッファ21bは、Pチャネル型トランジスタT7とNチャネル型トランジスタT8で構成され、トランジスタT7、T8のゲート端子は入力端子inに接続され、トランジスタT7のソース端子には電源電圧V_{comh}が与えられ、トランジスタT7のドレイン端子は単位回路21の出力端子OUT

に接続され、トランジスタT8のソース端子には電源電圧 V_{coml} が与えられ、トランジスタT8のドレイン端子は単位回路21の出力端子OUTに接続されている。

[0160] これにより、 k 段目の単位回路21の入力端子INsには、シフトレジスタ10の $(k-1)$ 段目の単位回路11の出力信号SROUT $(k-1)$ が入力され、 k 段目の単位回路21の出力端子OUTから、 k 行目のコモンラインCML k に出力信号CMOUT k が出力される。

[0161] 上記構成の単位回路21を含む共通電極駆動回路200は、1フレームごとにハイレベル(V_{comh})及びローレベル(V_{coml})が切り替わる出力信号CMOUT1~CMOUT n を1つずつ順に出力する動作を行う。以下、クロック信号CK1、CK2を含め、共通電極駆動回路200の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときには V_{dd} 、ローレベルのときには V_{ss} であるとする。また、極性信号CMIZについても、以下では、ハイレベルのときは V_{dd} 、ローレベルのときは V_{ss} とする。ただし、極性信号CMIZの電位レベルはこれに限定されず、「ハイレベル」はインバータINV2の反転電位よりも高ければよく、「ローレベル」はインバータINV2の反転電位よりも低ければよい。

[0162] 極性信号CMIZは、図19に示すように、NAND回路とインバータで構成された生成回路210により生成され、共通電極駆動回路200の外部に設けられている。極性信号CMIZは、各段の単位回路21に入力される。

[0163] (動作について)

共通電極駆動回路200の動作について図20及び図21を用いて説明する。図20は、共通電極駆動回路200の動作時のタイミングチャートであり、図21は、共通電極駆動回路200の動作時のタイミングチャートを模式的に示した図である。図20では、 $(k-1)$ 段目の単位回路21、 k 段目の単位回路21、 $(k+1)$ 段目の単位回路21における入出力信号を示している。

[0164] CK1は、奇数段目の単位回路11のCK端子に与えられるクロック信号であり、CK2は、偶数段目の単位回路11のCK端子に与えられるクロック信号である。初期化用信号INITBは、通常動作時にハイレベル(V_{dd})になり、初期化時(アクティブ時)にローレベル(V_{ss})になる信号である。すなわち、初期化用信号INITBは通常動作時では、電源VDDと同様の機能を果たす。極性信号CMIZは、通常動作時は、極性信号CMIと同じように1水平走査期間(1H)ごとに極性が反転するが、初期化時にはローレベルになる信号である。

[0165] SR(k-2)、SR(k-1)、SR_nは、それぞれ、シフトレジスタ10の(k-2)段目の単位回路11、(k-1)段目の単位回路11、k段目の単位回路11の出力信号SROUT(k-2)、SROUT(k-1)、SROUT_kの電位を示している。N1、N2はそれぞれ、図18に示すノードN1、ノードN2の電位を示している。CM(k-1)、CM_k、CM(k+1)はそれぞれ、共通電極駆動回路200の(k-1)段目の単位回路21、k段目の単位回路21、(k+1)段目の単位回路21の出力信号CMOUT(k-1)、CMOUT_k、CMOUT(k+1)を示している。なお、出力信号SROUT(k-2)が出力されてから次の出力信号SROUT(k-1)が出力されるまでの期間が1垂直走査期間(1フレーム:1V)に相当する。また、図20では、任意の連続するフレームF(t)、F(t+1)、F(t+2)について示している。

[0166] まず、通常時の動作として、k段目の単位回路21におけるフレームF(t)、F(t+1)の動作について説明する。

[0167] 初めに、フレームF(t)において、k段目の単位回路21の入力端子IN_sに、シフトレジスタ10の(k-1)段目の単位回路11の出力信号SROUT(k-1)(ハイレベル(アクティブ))が入力される。これにより、トランジスタT1がオン状態になり、極性信号CMIZ(ローレベル; V_{ss})がラッチスルー回路21aに取り込まれる。

[0168] ここで、出力信号SROUT(k-1)がハイレベル(アクティブ)にな

る直前ではノードN1の電位がV_{dd}（ハイレベル）に保持されており、トランジスタT5がオン状態になっているため、出力信号SROUT（k-1）がハイレベル（アクティブ）になると、極性信号CMIZのV_{ss}（ローレベル）と、INITB端子（ハイレベル）とが短絡することになる。この点、INITB端子（ハイレベル）とノードN1との間に抵抗R2が設けられているため、ノードN1の電位は、極性信号CMIZ側へ引き込まれ、極性信号CMIZのV_{ss}（ローレベル）に近い電位（インバータINV2の反転電位よりも低い電位）まで低下する（図21参照）。

[0169] その後、トランジスタT3がオン状態になり、インバータINV2の出力（ノードN2；V_{dd}（ハイレベル））がインバータINV1の入力にフィードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号CMIZのV_{ss}に近い電位からさらにV_{ss}まで低下する（図21参照）。

[0170] ノードN1の電位が、V_{ss}（ローレベル）近くまたはV_{ss}（ローレベル）になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位がV_{dd}（ハイレベル）になり、ラッチスルー回路21aからV_{dd}（ハイレベル）が出力される。そして、V_{dd}（ハイレベル）が入力されたバッファ21bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ21bからV_{com1}が出力され、k行目のコモンラインCMLkに供給される。

[0171] 続いて、シフトレジスタ10の出力信号SROUT（k-1）がハイレベル（アクティブ）からローレベル（非アクティブ）になると、トランジスタT1がオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（V_{ss}（ローレベル））を保持し、フレームF（t+1）において出力

信号 $SROUT(k-1)$ がハイレベル（アクティブ）になるまで、バッファ 21b から V_{com1} が出力され、 k 行目のコモンライン $CMLk$ に供給され続ける。

[0172] 次にフレーム $F(t+1)$ において、シフトレジスタ 10 の $(k-1)$ 段目の単位回路 11 の出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になると、ノード $N3$ の電位が $V_{dd}-V_{th}$ にチャージされた後、トランジスタ $T9$ はオフ状態になる。ノード $N1$ では、出力信号 $SROUT(k-1)$ （ハイレベル）によりトランジスタ $T1$ がオン状態になり、極性信号 $CMIZ$ の V_{dd} （ハイレベル）が入力されることで、 V_{ss} （ローレベル）から V_{dd} （ハイレベル）に上がり始める。すると、ノード $N1$ の電位変動により、容量 $C1$ を介してノード $N3$ の電位が $V_{dd}-V_{th}+\alpha$ に突き上げられる。これにより、極性信号 $CMIZ(V_{dd})$ が閾値 (V_{th}) 落ちせずに入力され、ノード $N1$ の電位が V_{dd} になる（ブートストラップ動作）。

[0173] ここで、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になる直前（フレーム $F(t)$ ）ではノード $N1$ の電位が V_{ss} （ローレベル）に保持されており、トランジスタ $T6$ がオン状態となっているため、出力信号 $SROUT(k-1)$ がハイレベル（アクティブ）になると、極性信号 $CMIZ$ の V_{dd} （ハイレベル）と、電源 V_{SS} （ローレベル）とが短絡することになる。この点、電源 V_{SS} とノード $N1$ との間に抵抗 $R1$ が設けられているため、ノード $N1$ の電位は、極性信号 $CMIZ$ 側へ引き込まれ、極性信号 $CMIZ$ の V_{dd} （ハイレベル）に近い電位（インバータ $INV2$ の反転電位よりも高い電位）まで上昇する（図 21 参照）。

[0174] その後、インバータ $INV2$ の出力（ノード $N2$; V_{ss} （ローレベル））がインバータ $INV1$ の入力にフィードバックされることにより、トランジスタ $T5$ がオン状態になり、トランジスタ $T6$ がオフ状態になる。これにより、ノード $N1$ の電位は、極性信号 $CMIZ$ の V_{dd} に近い電位からさらに V_{dd} まで上昇する（図 21 参照）。

[0175] ノードN1の電位が、V_{dd}（ハイレベル）近くまたはV_{dd}（ハイレベル）になることによりインバータINV2のトランジスタT4がオン状態になり、トランジスタT3がオフ状態になる。トランジスタT4がオン状態になることにより、ノードN2の電位がV_{ss}（ローレベル）になり、ラッチスルー回路21aからV_{ss}（ローレベル）が出力される。そして、V_{ss}（ローレベル）が入力されたバッファ21bでは、トランジスタT8がオフ状態になり、トランジスタT7がオン状態になることにより、バッファ21bからV_{comh}が出力され、k行目のコモンラインCMLkに供給される。

[0176] 続いて、シフトレジスタ10の出力信号SROUT（k-1）がハイレベル（アクティブ）からローレベル（非アクティブ）になると、トランジスタT1がオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（V_{dd}（ハイレベル））を保持し、フレームF（t+2）において出力信号SROUT（k-1）がハイレベル（アクティブ）になるまで、バッファ21bからV_{comh}が出力され、k行目のコモンラインCMLkに供給され続ける。フレームF（t+2）以降は、上記フレームF（t）、F（t+1）の動作を繰り返す。

[0177] このようにして、k段目以外の単位回路21においても、シフトレジスタ10の各単位回路11から順次出力される出力信号SROUTに基づいて、上述と同様のラッチ出力動作を行う。

[0178] 本実施例1の単位回路21によれば、共通電極駆動回路200の回路規模を縮小化することができるため、液晶表示装置の更なる狭額縁化を実現することができる。また、回路規模の縮小化に伴う動作不具合が生じることもない。

[0179] （初期化動作について）

次に、初期化時の動作について説明する。初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合は、以下

のように動作する（図22参照）。

[0180] まず、出力信号SROUTがハイレベルになると、全段の単位回路21でトランジスタT1がオン状態になり、全段のノードN1と極性信号CMIZが接続（短絡）される。初期化直前の不定の状態では、ノードN1に保持されている電位も不定のため、極性信号CMIZに接続されるインバータINV2の出力も各段でVdd（ハイレベル）であるか、Vss（ローレベル）であるか不定の状態である。

[0181] ここで、仮にノードN1に接続される初期化用信号INITBがVddとすると、全段のノードN1に接続されている極性信号CMIZは、インバータINV1の電源VDDに接続されている段と電源VSSに接続されている段とが同時に接続されることになり、電源VDDと電源VSSが極性信号CMIZを介して短絡することにより大電流が発生し、ノードN1の電位が中間電位となるため、正常に初期化することができない。

[0182] この点、本単位回路21の構成では、初期化時には、極性信号CMIZ及び初期化用信号INITBが、ともにVss（ローレベル）になるように制御されているため、ノードN1は、必ずVss（ローレベル）になり、確実に初期化することができる。

[0183] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合は、以下のように動作する（図23参照）。

[0184] 初期化前の不定の状態で、ノードN1がVdd（ハイレベル）の場合は、トランジスタT5のゲート端子はVss（ローレベル）になっており、トランジスタT5はオン状態になっている。ここで、初期化時に初期化用信号INITBはVss（ローレベル）のため、ノードN1の電位は、トランジスタT5を介して、閾値（Vth）落ちしたローレベル（Vss + Vth）になる。インバータINV1の出力が、インバータINV2に入力されることにより、インバータINV2はVddを出力する。インバータINV2の出力（ノードN2）は、インバータINV1の入力に接続されているため、インバータINV2の出力（Vdd）がインバータINV1にフィードバック

され、トランジスタT6がオン状態になる。これにより、 $V_{ss} + V_{th}$ のノードN1が、 V_{ss} （ローレベル）になるため、確実に初期化することができる。

[0185] 初期化前の不定の状態、ノードN1が V_{ss} （ローレベル）の場合は、トランジスタT5がオフ状態となっているため、初期化用信号INITBの信号はノードN1には入力されないが、既に所望の電位（ V_{ss} ）になっているため初期化された状態と同じである。

[0186] このように、単位回路21によれば、共通電極駆動回路200を安定して初期化することができる。つまりは、単位回路21では、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベル・ローレベルのいずれの場合であっても、ローレベル（ V_{ss} ）の初期化用信号INITBをトランジスタT5のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0187] また、初期化用信号INITBは、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前の単位回路に設けられていたインバータINV1の電源VDDの配線を利用している。

[0188] よって、単位回路21では、素子数を増やすことなく初期化することが可能となっている。

[0189] なお、通常動作時は、初期化用信号INITBがVdd（ハイレベル）となり、初期化用信号INITBが電源電圧Vddと同様の機能を果たすため、通常の単位回路と同一の動作が可能となる。

[0190] 次に、共通電極駆動回路200（COMドライバ）の他の形態について説明する。なお、以下の説明では、主に、実施例1に係る共通電極駆動回路200（単位回路21）との相違点について説明するものとし、実施例1で説明した各構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0191] （実施例2）

図 2 4 は、実施例 2 に係る共通電極駆動回路 2 0 0 に含まれる単位回路 2 2 の回路図である。

[0192] 単位回路 2 2 は、実施例 1 の単位回路 2 1 と同様、共通電極駆動回路 2 0 0 を初期化するための機能を備えている。具体的には、単位回路 2 2 は、実施例 1 の単位回路 2 1（図 1 8）において、インバータ I N V 1 の電源 V S S が省略され、初期化用端子（I N I T 端子）が設けられているとともに、初期化用端子（I N I T B 端子）が省略され、インバータ I N V 1 の電源 V D D が設けられている。初期化用信号 I N I T は、抵抗 R 1 を介してトランジスタ T 6 のソース端子に入力される。

[0193] 初期化用信号 I N I T は、通常動作時にローレベル（V s s）になり、初期化時（アクティブ時）にハイレベル（V d d）になる信号である。極性信号 C M I Z は、通常動作時は、極性信号 C M I と同じように 1 水平走査期間（1 H）ごとに極性が反転するが、初期化時にはハイレベルになる信号である。極性信号 C M I Z は、各段の単位回路 2 2 に入力される。また、極性信号 C M I Z は、図 2 5 に示すように、N O R 回路とインバータで構成された生成回路 2 2 0 により生成され、共通電極駆動回路 2 0 0 の外部に設けられている。

[0194] （動作について）

初期化時に、シフトレジスタ 1 0 の全段の単位回路 1 1 の出力信号 S R O U T がハイレベルの場合は、以下のように動作する。

[0195] 初期化直前の不定の状態では、ノード N 1 の電位、インバータ I N V 2 の出力ともに不定の状態であるが、初期化時には、極性信号 C M I Z 及び初期化用信号 I N I T が、ともに V d d（ハイレベル）になるように制御されているため、ノード N 1 は、必ず V d d（ハイレベル）になり、確実に初期化することができる。

[0196] 一方、初期化時に、シフトレジスタ 1 0 の全段の単位回路 1 1 の出力信号 S R O U T がローレベルの場合は、以下のように動作する。

[0197] 初期化前の不定の状態で、ノード N 1 が V s s（ローレベル）の場合は、

トランジスタT6のゲート端子はVdd（ハイレベル）になっており、トランジスタT6はオン状態になっている。ここで、初期化時に初期化用信号INITはVdd（ハイレベル）のため、ノードN1の電位は、トランジスタT6を介して、閾値（Vth）落ちしたハイレベル（Vdd - Vth）になる。インバータINV1の出力が、インバータINV2に入力されることにより、インバータINV2はVssを出力する。インバータINV2の出力（ノードN2）は、インバータINV1の入力に接続されているため、インバータINV2の出力（Vss）がインバータINV1にフィードバックされ、トランジスタT5がオン状態になる。これにより、Vdd - VthのノードN1が、Vdd（ハイレベル）になるため、確実に初期化することができる。

[0198] 初期化前の不定の状態、ノードN1がVdd（ハイレベル）の場合は、トランジスタT6がオフ状態となっているため、初期化用信号INITの信号はノードN1には入力されないが、既に所望の電位（Vdd）になっているため初期化された状態と同じである。

[0199] このように、単位回路22によれば、共通電極駆動回路200を安定して初期化することができる。つまりは、単位回路22では、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベル・ローレベルのいずれの場合であっても、ハイレベル（Vdd）の初期化用信号INITをトランジスタT6のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。また、初期化用信号INITは、元のインバータINV1の電源VSSの配線を利用している。よって、単位回路22では、素子数を増やすことなく初期化することが可能となっている。

[0200] なお、通常動作時は、初期化用信号INITがVss（ローレベル）となり、初期化用信号INITが電源VSSと同様の機能を果たすため、通常の単位回路と同一の動作が可能となる。

[0201] （実施例3）

図26は、実施例3に係る共通電極駆動回路200に含まれる単位回路2

3の回路図である。

[0202] 単位回路23は、実施例1の単位回路21と同様、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路23は、実施例1の単位回路21において、インバータINV2の電源VDDが省略され、初期化用端子(INITB端子)が設けられているとともに、初期化用端子(INITB端子)が省略され、インバータINV1の電源VDDが設けられている。初期化用信号INITBは、トランジスタT3のソース端子に入力される。

[0203] 初期化用信号INITBは、通常動作時にハイレベル(Vdd)になり、初期化時(アクティブ時)にローレベル(Vss)になる信号である。極性信号CMIZは、通常動作時は、極性信号CMIと同じように1水平走査期間(1H)ごとに極性が反転するが、初期化時にはハイレベルになる信号である。極性信号CMIZは、各段の単位回路23に入力される。また、極性信号CMIZは、図27に示すように、NOR回路とインバータで構成された生成回路230により生成され、共通電極駆動回路200の外部に設けられている。

[0204] (動作について)

初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合は、以下のように動作する。

[0205] 初期化直前の不定の状態では、ノードN1の電位、インバータINV2の出力(ノードn2)ともに不定の状態であるが、初期化時には、極性信号CMIZがVdd(ハイレベル)、初期化用信号INITBがVss(ローレベル)になるように制御されているため、ノードN2はVss(ローレベル)になり、インバータINV2の出力(Vss)がインバータINV1にフィードバックされ、トランジスタT5がオン状態になる。これにより、ノードN1はVddになるため、確実に初期化することができる。

[0206] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合は、以下のように動作する。

[0207] 初期化前の不定の状態、ノードN2がV_{dd}（ハイレベル）の場合は、トランジスタT3のゲート端子はV_{ss}（ローレベル）になっており、トランジスタT3はオン状態になっている。ここで、初期化時に初期化用信号I_{NITB}はV_{ss}（ローレベル）のため、ノードN2の電位は、トランジスタT3を介して、閾値（V_{th}）落ちしたローレベル（V_{ss} + V_{th}）になる。インバータINV2の出力（ノードN2）は、インバータINV1の入力に接続されているため、インバータINV2の出力（V_{ss} + V_{th}）がインバータINV1にフィードバックされ、トランジスタT5がオン状態になる。これにより、ノードN1がV_{dd}（ハイレベル）になり、トランジスタT4がオン状態になり、V_{ss} + V_{th}のノードN2がV_{ss}（ローレベル）になるため、確実に初期化することができる。

[0208] 初期化前の不定の状態、ノードN2がV_{ss}（ローレベル）の場合は、トランジスタT3がオフ状態となっているため、初期化用信号I_{NITB}の信号はノードN2には入力されないが、既に所望の電位（V_{ss}）になっているため初期化された状態と同じである。

[0209] このように、単位回路23によれば、共通電極駆動回路200を安定して初期化することができる。つまりは、単位回路23では、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベル・ローレベルのいずれの場合であっても、ローレベル（V_{ss}）の初期化用信号I_{NITB}をトランジスタT3のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。また、初期化用信号I_{NITB}は、元のインバータINV2の電源VDDの配線を利用している。よって、単位回路23では、素子数を増やすことなく初期化することが可能となっている。

[0210] なお、通常動作時は、初期化用信号I_{NITB}がV_{dd}（ハイレベル）となり、初期化用信号I_{NITB}が電源VDDと同様の機能を果たすため、通常の単位回路と同一の動作が可能となる。

[0211] （実施例4）

図28は、実施例4に係る共通電極駆動回路200に含まれる単位回路2

4の回路図である。

[0212] 単位回路24は、実施例1の単位回路21と同様、共通電極駆動回路200を初期化するための機能を備えている。具体的には、単位回路24は、実施例1の単位回路21において、インバータINV2の電源VSSが省略され、初期化用端子(INIT端子)が設けられているとともに、初期化用端子(INITB端子)が省略され、インバータINV1の電源VDDが設けられている。初期化用信号INITは、トランジスタT4のソース端子に入力される。

[0213] 初期化用信号INITは、通常動作時にローレベル(Vss)になり、初期化時(アクティブ時)にハイレベル(Vdd)になる信号である。極性信号CMIZは、通常動作時は、極性信号CMIと同じように1水平走査期間(1H)ごとに極性が反転するが、初期化時にはローレベルになる信号である。極性信号CMIZは、各段の単位回路24に入力される。また、極性信号CMIZは、図29に示すように、NOR回路とインバータで構成された生成回路240により生成され、共通電極駆動回路200の外部に設けられている。

[0214] (動作について)

初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合は、以下のように動作する。

[0215] 初期化直前の不定の状態では、ノードN1の電位、インバータINV2の出力(ノードn2)とともに不定の状態であるが、初期化時には、極性信号CMIZがVss(ローレベル)、初期化用信号INITがVdd(ハイレベル)になるように制御されているため、ノードN2はVdd(ハイレベル)になり、インバータINV2の出力(Vdd)がインバータINV1にフィードバックされ、トランジスタT6がオン状態になる。これにより、ノードN1はVssになるため、確実に初期化することができる。

[0216] 一方、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合は、以下のように動作する。

[0217] 初期化前の不定の状態、ノードN2がVss（ローレベル）の場合は、トランジスタT4のゲート端子はVdd（ハイレベル）になっており、トランジスタT4はオン状態になっている。ここで、初期化時に初期化用信号INITはVdd（ハイレベル）のため、ノードN2の電位は、トランジスタT4を介して、閾値（Vth）落ちしたハイレベル（Vdd - Vth）になる。インバータINV2の出力（ノードN2）は、インバータINV1の入力に接続されているため、インバータINV2の出力（Vdd - Vth）がインバータINV1にフィードバックされ、トランジスタT6がオン状態になる。これにより、ノードN1がVss（ローレベル）になり、トランジスタT3がオン状態になり、Vdd - VthのノードN2がVdd（ハイレベル）になるため、確実に初期化することができる。

[0218] 初期化前の不定の状態、ノードN2がVdd（ハイレベル）の場合は、トランジスタT4がオフ状態となっているため、初期化用信号INITの信号はノードN2には入力されないが、既に所望の電位（Vdd）になっているため初期化された状態と同じである。

[0219] このように、単位回路24によれば、共通電極駆動回路200を安定して初期化することができる。つまりは、単位回路24では、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベル・ローレベルのいずれの場合であっても、ハイレベル（Vdd）の初期化用信号INITをトランジスタT4のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。また、初期化用信号INITは、元のインバータINV2の電源VSSの配線を利用している。よって、単位回路24では、素子数を増やすことなく初期化することが可能となっている。

[0220] なお、通常動作時は、初期化用信号INITがVss（ローレベル）となり、初期化用信号INITが電源VSSと同様の機能を果たすため、通常の単位回路と同一の動作が可能となる。

[0221] （変形例）

本実施の形態4に係る共通電極駆動回路200を構成する各単位回路のラ

タッチスルー回路 21a には、前記実施の形態 1～3 に示した各ラッチ回路（ラッチ回路 15, 19, 31～34）と同じ回路構成を適用することができる。

[0222] （走査方向の切り替え）

液晶表示装置 1 は、シフトレジスタ 10 の走査方向（シフト方向）を切り替える切替回路 UDSW を備えていても良い。図 30 は、液晶表示装置 1 の変形例である液晶表示装置 2 を示すブロック図である。図 30 に示すように、液晶表示装置 2 は、図 16 の液晶表示装置 1 の構成に加えて、シフトレジスタ 10 の各段に対応して設けられた切替回路 UDSW を備えている。

[0223] 切替回路 UDSW には、互いに極性が逆転した信号である切替信号 UD、UDB が供給される。そして、切替回路 UDSW は、例えば、切替信号 UD がハイレベル（切替信号 UDB がローレベル）のときは、 $(k-1)$ 段目の単位回路 11 の出力信号 SROUT $(k-1)$ が、切替回路 UDSW から k 段目の単位回路 21 に入力され、切替信号 UDB がハイレベル（切替信号 UD がローレベル）のときは、 $(k+1)$ 段目の単位回路 11 の出力信号 SROUT $(k+1)$ が、切替回路 UDSW から k 段目の単位回路 21 に入力されるように、信号出力の切替を行う。

[0224] これにより、シフトレジスタ 10 の走査方向を切り替える（1 段目から n 段目へ向かう第 1 方向、及び、 n 段目から 1 段目へ向かう第 2 方向とを相互に切り替える）ことができる。なお、切替回路 UDSW は、上述した各実施例に適用することができる。

[0225] 〔実施の形態 5〕

本発明の実施の形態 5 について図面に基づいて説明すると以下の通りである。本実施の形態では、液晶表示装置に搭載された、ラッチ回路を含んで構成される保持容量配線駆動回路（CS ドライバ）について説明する。

[0226] 図 31 は、実施の形態 5 に係る液晶表示装置 3 の概略構成を示すブロック図である。液晶表示装置 3 は、走査信号線駆動回路 100、保持容量配線駆動回路 500（CS ドライバ）、データ信号線駆動回路 300、及び表示パ

ネル４００を備えている。なお、各駆動回路は、画素回路とアクティブマトリクス基板上にモノリシックに形成されていてもよい。

[0227] 表示パネル４００は、走査信号線駆動回路１００、保持容量配線駆動回路５００、データ信号線駆動回路３００、及びこれらを制御する制御回路によって駆動される。

[0228] 保持容量配線駆動回路５００は、走査信号線駆動回路１００を構成するシフトレジスタ１０の出力信号（ＳＲＯＵＴ）に基づいて、各保持容量配線４６（ＣＳライン）にハイレベルの信号（Ｖｃｓｈ）（変調信号）またはローレベルの信号（Ｖｃｓｌ）（変調信号）を供給する。

[0229] 制御回路は、走査信号線駆動回路１００、保持容量配線駆動回路５００、及びデータ信号線駆動回路３００を制御することにより、これら各回路から、ゲート信号、ソース信号、及びＣＳ信号を出力させる。

[0230] 本実施の形態に係る液晶表示装置３では、回路面積を縮小化しつつ、保持容量配線駆動回路５００の出力信号の電位レベルの低下を防いで安定した動作を行う構成を有している。以下では、走査信号線駆動回路１００及び保持容量配線駆動回路５００の具体的な構成について説明する。

[0231] 走査信号線駆動回路１００を構成するシフトレジスタ１０は、 m 個（ m は２以上の整数）の単位回路１１を多段接続して構成されている。単位回路１１は、クロック用端子（ＣＫ端子）、セット用端子（Ｓ端子）、リセット用端子（Ｒ端子）、初期化用端子（ＩＮＩＴＢ端子）、及び出力端子ＯＵＴを有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ（例えば、クロック用端子ＣＫ経由で入力される信号をクロック信号ＣＫという）。

[0232] シフトレジスタ１０には、外部からスタートパルス（図示せず）と２相のクロック信号ＣＫ１、ＣＫ２が供給される。スタートパルスは、１段目の単位回路１１のＳ端子に与えられる。クロック信号ＣＫ１は、奇数段目の単位回路１１のＣＫ端子に与えられ、クロック信号ＣＫ２は、偶数段目の単位回路１１のＣＫ端子に与えられる。単位回路１１の出力は、出力端子ＯＵＴか

ら、出力信号 $SROUT$ として対応する走査信号線 GL に供給されるとともに、後段の単位回路 11 の S 端子及び前段の単位回路 11 の R 端子に与えられる。また、単位回路 11 の出力信号 $SROUT$ は、対応する保持容量配線駆動回路 500 の単位回路 51 に供給される。

[0233] 具体的には、図 31 に示すように、シフトレジスタ 10 の k 段目 (k は 1 以上 n 以下の整数) の単位回路 11 の S 端子に、 $(k-1)$ 段目の単位回路 11 の出力信号 $SROUT(k-1)$ が入力され、当該 k 段目の単位回路 11 は、出力信号 $SROUT k$ を走査信号線 $GL k$ に出力する。このように、シフトレジスタ 10 は、シフト動作によって、出力信号 $SROUT 1 \sim SROUT n$ を、走査信号線 $GL 1 \sim GL n$ に順に出力する。

[0234] 保持容量配線駆動回路 500 は、 n 個 (n は 2 以上の整数) の単位回路 51 を多段接続して構成されている。単位回路 51 は、入力端子 $INs 1 \cdot INs 2 \cdot INC$ 、初期化用端子 ($INITB$ 端子)、及び出力端子 OUT を有している。単位回路 51 の入力端子 $INs 1$ 、 $INs 2$ には、シフトレジスタ 10 の出力信号 $SROUT$ が入力され、入力端子 INC には、極性信号 $CMIZ$ が入力され、初期化用端子 ($INITB$ 端子) には、初期化用信号 ($INITB$) が入力される。単位回路 51 の出力は、出力信号 $CROUT$ として保持容量配線 (CS ライン) CSL に供給される。

[0235] 具体的には、図 31 に示すように、保持容量配線駆動回路 500 の k 段目 (k は 1 以上 n 以下の整数) の単位回路 51 には、入力端子 $INs 1$ にシフトレジスタ 10 の k 段目の出力 $SROUT k$ が入力されるとともに、入力端子 $INs 2$ にシフトレジスタ 10 の $(k+1)$ 段目の出力 $SROUT (k+1)$ が入力され、当該 k 段目の単位回路 51 は、出力信号 $CROUT k$ を保持容量配線 $CSL k$ に出力する。このように、保持容量配線駆動回路 500 は、シフトレジスタ 10 のシフト動作に従って、出力信号 $CROUT 1 \sim CROUT n$ を、保持容量配線 $CSL 1 \sim CSL n$ に順に出力する。

[0236] シフトレジスタ 10 は周知の構成を適用することができる。よって、シフトレジスタ 10 の詳細な説明は省略し、以下では、保持容量配線駆動回路 5

00の詳細な構成について説明する。

[0237] (実施例1)

図32は、実施例1に係る保持容量配線駆動回路500に含まれる単位回路51の回路図である。単位回路51は、ラッチスルー回路51a（保持回路）およびバッファ51bを含んで構成される。ラッチスルー回路51aは、インバータINV1、インバータINV2、およびアナログスイッチ回路SW1aにより構成され、バッファ51bは、2つのトランジスタにより構成される。インバータINV1には、抵抗R1および抵抗R2が設けられている。また、インバータINV2において、インバータINV1の出力端子とインバータINV2の入力端子との接続点をノードN1とし、インバータINV1の入力端子とインバータINV2の出力端子との接続点をノードN2とする（図32参照）。

[0238] アナログスイッチ回路SW1aは、Nチャネル型トランジスタT1と、チャネル型トランジスタT2と、Nチャネル型トランジスタT91・T92と、容量C1・C2とで構成されている。トランジスタT91のゲート端子に電源電圧Vddが与えられ、ソース端子が入力端子INs1に接続され、ドレイン端子がトランジスタT1のゲート端子に接続されている。また、容量C1は、トランジスタT1のゲート端子及びドレイン端子の間に設けられている。なお、容量C1とトランジスタT1のゲート端子との接続点をノードN3とする。トランジスタT92のゲート端子に電源電圧Vddが与えられ、ソース端子が入力端子INs2に接続され、ドレイン端子がトランジスタT2のゲート端子に接続されている。また、容量C2は、トランジスタT2のゲート端子及びドレイン端子の間に設けられている。なお、容量C2とトランジスタT2のゲート端子との接続点をノードN4とする。入力端子INs1には、シフトレジスタ10の自段（k段目）の出力SROUTkが供給され、入力端子INs2には、シフトレジスタ10の次段（（k+1）段目）の出力SROUT（k+1）が供給される。トランジスタT1、T2のソース端子は入力端子INcに接続され、入力端子INcには極性信号CMI

Zが供給される。

[0239] インバータINV2は、Pチャネル型トランジスタT3とNチャネル型トランジスタT4で構成され、インバータINV2の入力端子（トランジスタT3のゲート端子と、トランジスタT4のゲート端子との接続点（ノードN1））は、アナログスイッチ回路SW1aの出力端子（トランジスタT1、T2のドレイン端子）に接続されている。トランジスタT3のソース端子には電源電圧V_{dd}が与えられ、トランジスタT3のドレイン端子はインバータINV2の出力端子（トランジスタT3のドレイン端子と、トランジスタT4のドレイン端子との接続点（ノードN2））に接続され、トランジスタT4のソース端子には電源電圧V_{ss}が与えられ、トランジスタT4のドレイン端子はインバータINV2の出力端子（ノードN2）に接続されている。ノードN2は、ラッチスルー回路51aの出力端子out、及びインバータINV1の入力端子（トランジスタT5、T6のゲート端子）に接続されている。

[0240] インバータINV1は、Pチャネル型トランジスタT5とNチャネル型トランジスタT6と抵抗R1・R2とで構成されるとともに、初期化用端子（INITB端子）が設けられている。インバータINV1の入力端子（トランジスタT5、T6のゲート端子）は、インバータINV2の出力端子（ノードN2）に接続されている。トランジスタT5のソース端子には抵抗R2を介して初期化用信号INITBが入力され、トランジスタT5のドレイン端子は、インバータINV1の出力端子（トランジスタT5のドレイン端子と、トランジスタT6のドレイン端子との接続点）に接続され、トランジスタT6のソース端子には抵抗R1を介して電源電圧V_{ss}が与えられ、トランジスタT6のドレイン端子はインバータINV1の出力端子に接続されている。インバータINV1の出力端子は、インバータINV2の入力端子（ノードN1）に接続されている。ラッチスルー回路51aの出力端子outは、バッファ51bの入力端子inに接続されている。

[0241] バッファ51bは、Pチャネル型トランジスタT7とNチャネル型トラン

ジスタ T 8 で構成され、トランジスタ T 7、T 8 のゲート端子は入力端子 i_n に接続され、トランジスタ T 7 のソース端子には電源電圧 V_{csh} が与えられ、トランジスタ T 7 のドレイン端子は単位回路 5 1 の出力端子 OUT に接続され、トランジスタ T 8 のソース端子には電源電圧 V_{csi} が与えられ、トランジスタ T 8 のドレイン端子は単位回路 5 1 の出力端子 OUT に接続されている。

[0242] これにより、k 段目の単位回路 5 1 の入力端子 INs_2 には、シフトレジスタ 1 0 の (k + 1) 段目の単位回路 1 1 の出力信号 $SROUT(k + 1)$ が入力され、k 段目の単位回路 5 1 の入力端子 INs_1 には、シフトレジスタ 1 0 の k 段目の単位回路 1 1 の出力信号 $SROUTk$ が入力され、k 段目の単位回路 5 1 の出力端子 OUT から、k 行目の保持容量配線 $CSLk$ に出力信号 $CSOUTk$ が出力される。

[0243] 上記構成の単位回路 5 1 を含む保持容量配線駆動回路 5 0 0 は、1 フレームごとにハイレベル (V_{csh}) 及びローレベル (V_{csi}) が切り替わる出力信号 $CSOUT1 \sim CSOUTn$ を 1 つずつ順に出力する動作を行う。以下、クロック信号 $CK1$ 、 $CK2$ を含め、保持容量配線駆動回路 5 0 0 の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときには V_{dd} 、ローレベルのときには V_{ss} であるとする。また、初期化用信号 $INITB$ は、通常動作時にハイレベル (V_{dd}) になり、初期化時にローレベル (V_{ss}) になる信号である。また、極性信号 $CMIZ$ についても、以下では、ハイレベルのときは V_{dd} 、ローレベルのときは V_{ss} とする。ただし、極性信号 $CMIZ$ の電位レベルはこれに限定されず、「ハイレベル」はインバータ $INV2$ の反転電位よりも高ければよく、「ローレベル」はインバータ $INV2$ の反転電位よりも低ければよい。

[0244] (動作について)

次に、保持容量配線駆動回路 5 0 0 の動作について図 3 3 及び図 3 4 を用いて説明する。図 3 3 は、保持容量配線駆動回路 5 0 0 の動作時のタイミングチャートであり、図 3 4 は、保持容量配線駆動回路 5 0 0 の動作時のタイ

ミングチャートを模式的に示した図である。図33では、 $(k-1)$ 段目の単位回路51、 k 段目の単位回路51、 $(k+1)$ 段目の単位回路51における入出力信号、及び、各段に対応する画素Pの電位を示している。

[0245] CK1は、奇数段目の単位回路51のCK端子に与えられるクロック信号であり、CK2は、偶数段目の単位回路51のCK端子に与えられるクロック信号である。CMIZは、通常動作時は、CMIと同じように1水平走査期間(1H)ごとに極性が反転するが、初期化時にはローレベルになる信号(極性信号)である。SR($k-1$)、SR k 、SR($k+1$)、SR($k+2$)は、それぞれ、シフトレジスタ10の $(k-1)$ 段目の単位回路11、 k 段目の単位回路11、 $(k+1)$ 段目の単位回路11、 $(k+2)$ 段目の単位回路11の出力信号SROUT($k-1$)、SROUT k 、SROUT($k+1$)、SROUT($k+2$)の電位を示している。N1、N2はそれぞれ、図32に示すノードN1、ノードN2の電位を示している。CS($k-1$)、CS k 、CS($k+1$)はそれぞれ、保持容量配線駆動回路500の $(k-1)$ 段目の単位回路51、 k 段目の単位回路51、 $(k+1)$ 段目の単位回路51の出力信号CSOUT($k-1$)、CSOUT k 、CSOUT($k+1$)の電位を示している。Sは、データ信号を示し、同一行の全ての画素について極性が同一であり、かつ、1行(1水平走査期間)ごとに極性が逆転した波形となる(1ライン(1H)反転駆動)。なお、出力信号SROUT k が出力されてから次の出力信号SROUT k が出力されるまでの期間が1垂直走査期間(1フレーム:1V)に相当する。また、図33では、任意の連続するフレームF(t)、F($t+1$)、F($t+2$)について示している。なお、図33には示していないが、通常動作時において初期化用信号INITBはハイレベル(V_{dd})である。

[0246] ここでは、 k 段目の画素P k (走査信号線GL k に接続された画素群の1画素)及び単位回路51におけるフレームF(t)、F($t+1$)の動作について説明する。

[0247] 初めに、フレームF(t)において、シフトレジスタ10の k 段目の単位

回路 1 1 の出力信号 S R O U T k がハイレベル（アクティブ）になると、走査信号線 G L k がアクティブになり、画素 P k にデータ信号 S（マイナス極性）が書き込まれる。

[0248] ここで、フレーム F（ t ）が第 2 フレーム以降のフレームであるとする、出力信号 S R O U T k がハイレベル（アクティブ）になる直前ではノード N 1 の電位が V d d（ハイレベル）に保持されているため、出力信号 S R O U T k がハイレベル（アクティブ）になっても、ノード N 1 の電位は V d d（ハイレベル）を保持し続けることとなる。よって、バッファ 5 1 b から V c s h が出力され、 k 行目の保持容量配線 C S L k に供給される。

[0249] その後、シフトレジスタ 1 0 の出力信号 S R O U T k がハイレベル（アクティブ）からローレベル（非アクティブ）になると、トランジスタ T 1 がオフ状態になり、極性信号 C M I Z の入力遮断され、ノード N 1 は、インバータ I N V 1、I N V 2 によるラッチ動作により直前に保持した電位（V d d（ハイレベル））を保持する。

[0250] 続いて、シフトレジスタ 1 0 の（ $k + 1$ ）段目の単位回路 1 1 の出力信号 S R O U T（ $k + 1$ ）がハイレベル（アクティブ）になると、 k 段目の単位回路 5 1 の入力端子 I N s 2 に出力信号 S R O U T（ $k + 1$ ）（ハイレベル）が入力され、極性信号 C M I Z（ローレベル；V s s）がラッチスルー回路 5 1 a に取り込まれる。

[0251] ここで、出力信号 S R O U T（ $k + 1$ ）がハイレベル（アクティブ）になる直前ではノード N 1 の電位が V d d（ハイレベル）に保持されており、トランジスタ T 5 がオン状態になっているため、出力信号 S R O U T（ $k + 1$ ）がハイレベル（アクティブ）になると、極性信号 C M I Z の V s s（ローレベル）と、I N I T B 端子（ハイレベル）とが短絡することになる。この点、I N I T B 端子とノード N 1 との間に抵抗 R 2 が設けられているため、ノード N 1 の電位は、極性信号 C M I Z 側へ引き込まれ、極性信号 C M I Z の V s s（ローレベル）に近い電位（インバータ I N V 2 の反転電位よりも低い電位）まで低下する（図 3 4 参照）。

[0252] その後、トランジスタT3がオン状態になり、インバータINV2の出力（ノードN2；V_{dd}（ハイレベル））がインバータINV1の入力にフィードバックされることにより、トランジスタT5がオフ状態になり、トランジスタT6がオン状態になる。これにより、ノードN1の電位は、極性信号CMIZのV_{ss}に近い電位からさらにV_{ss}まで低下する（図34参照）。

[0253] ノードN1の電位が、V_{ss}（ローレベル）近くまたはV_{ss}（ローレベル）になることによりインバータINV2のトランジスタT3がオン状態になり、トランジスタT4がオフ状態になる。トランジスタT3がオン状態になることにより、ノードN2の電位がV_{dd}（ハイレベル）になり、ラッチスルー回路51aからV_{dd}（ハイレベル）が出力される。

[0254] そして、V_{dd}（ハイレベル）が入力されたバッファ51bでは、トランジスタT7がオフ状態になり、トランジスタT8がオン状態になることにより、バッファ51bからV_{cs1}が出力され、k行目の保持容量配線CSL_kに供給される。ここで、出力信号SROUT（k+1）がハイレベル（アクティブ）になる直前では、ノードN1の電位がV_{dd}（ハイレベル）に保持されているため、k行目の保持容量配線CSL_kの電位はV_{csH}である。よって、k行目の保持容量配線CSL_kの電位が、V_{csH}からV_{cs1}に変化することにより、フローティング状態にある画素P_kの電位が突き下げられる（電位シフト）。

[0255] 続いて、シフトレジスタ10の出力信号SROUT（k+1）がハイレベル（アクティブ）からローレベル（非アクティブ）になると、アナログスイッチ回路SW1aがオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位（V_{ss}（ローレベル））を保持する。これにより、次のフレームF（t+1）において出力信号SROUT（k+1）がハイレベル（アクティブ）になるまで、バッファ51bからV_{cs1}が出力されて、k行目の保持容量配線CSL_kに供給され続け、画素P_kの電位は、突き下げ（

シフト)後の電位が保持される。

[0256] 次にフレーム $F(t+1)$ において、シフトレジスタ 10 の k 段目の単位回路 11 の出力信号 $SROUT_k$ がハイレベル (アクティブ) になると、走査信号線 GL_k がアクティブになり、画素 P_k にデータ信号 S (プラス極性) が書き込まれる。

[0257] ここで、出力信号 $SROUT_k$ がハイレベル (アクティブ) になる直前ではノード $N1$ の電位が V_{ss} (ローレベル) に保持されているため、出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になっても、ノード $N1$ の電位は V_{ss} (ローレベル) を保持し続けることとなる。よって、バッファ 51b から V_{cs1} が出力され、 k 行目の保持容量配線 CSL_k に供給される。

[0258] その後、シフトレジスタ 10 の出力信号 $SROUT_k$ がハイレベル (アクティブ) からローレベル (非アクティブ) になると、トランジスタ $T1$ がオフ状態になり、極性信号 $CMIZ$ の入力遮断され、ノード $N1$ は、インバータ $INV1$ 、 $INV2$ によるラッチ動作により直前に保持した電位 (V_{ss} (ローレベル)) を保持する。

[0259] 続いて、シフトレジスタ 10 の $(k+1)$ 段目の単位回路 11 の出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になると、ノード $N4$ の電位が $V_{dd}-V_{th}$ にチャージされた後、トランジスタ $T92$ はオフ状態になる。ノード $N1$ では、出力信号 $SROUT(k+1)$ (ハイレベル) によりトランジスタ $T2$ がオン状態になり、極性信号 $CMIZ$ の V_{dd} (ハイレベル) が入力されることで、 V_{ss} (ローレベル) から V_{dd} (ハイレベル) に上がり始める。すると、ノード $N1$ の電位変動により、容量 $C2$ を介してノード $N4$ の電位が $V_{dd}-V_{th}+\alpha$ に突き上げられる。これにより、極性信号 $CMIZ$ (V_{dd}) が閾値 (V_{th}) 落ちせずに入力され、ノード $N1$ の電位が V_{dd} になる (ブートストラップ動作)。

[0260] ここで、出力信号 $SROUT(k+1)$ がハイレベル (アクティブ) になる直前 (フレーム $F(t)$) ではノード $N1$ の電位が V_{ss} (ローレベル)

に保持されており、トランジスタT6がオン状態になっているため、出力信号SROUT(k+1)がハイレベル(アクティブ)になると、極性信号CMIZのVdd(ハイレベル)と、電源VSS(ローレベル)とが短絡することになる。この点、電源VSSとノードN1との間に抵抗R1が設けられているため、ノードN1の電位は、極性信号CMIZ側へ引き込まれ、極性信号CMIZのVdd(ハイレベル)に近い電位(インバータINV2の反転電位よりも低い電位)まで上昇する(図34参照)。

[0261] その後、インバータINV2の出力(ノードN2; Vss(ローレベル))がインバータINV1の入力にフィードバックされることにより、トランジスタT5がオン状態になり、トランジスタT6がオフ状態になる。これにより、ノードN1の電位は、極性信号CMIZのVddに近い電位からさらにVddまで上昇する(図34参照)。

[0262] ノードN1の電位が、Vdd(ハイレベル)近くまたはVdd(ハイレベル)になることによりインバータINV2のトランジスタT4がオン状態になり、トランジスタT3がオフ状態になる。トランジスタT4がオン状態になることにより、ノードN2の電位がVss(ローレベル)になり、ラッチスルー回路51aからVss(ローレベル)が出力される。

[0263] そして、Vss(ローレベル)が入力されたバッファ51bでは、トランジスタT8がオフ状態になり、トランジスタT7がオン状態になることにより、バッファ51bからVcshが出力され、k行目の保持容量配線CSLkに供給される。ここで、出力信号SROUT(k+1)がハイレベル(アクティブ)になる直前(フレームF(t))では、ノードN1の電位がVss(ローレベル)に保持されているため、k行目の保持容量配線CSLkの電位はVcslである。よって、k行目の保持容量配線CSLkの電位が、VcslからVcshに変化することにより、フローティング状態にある画素Pkの電位が突き上げられる(電位シフト)。

[0264] 続いて、シフトレジスタ10の出力信号SROUT(k+1)がハイレベル(アクティブ)からローレベル(非アクティブ)になると、アナログスイ

ッチ回路SW1aがオフ状態になり、極性信号CMIZの入力が遮断され、ノードN1は、インバータINV1、INV2によるラッチ動作により直前に保持した電位(Vdd(ハイレベル))を保持する。これにより、次のフレームF(t+2)において出力信号SROUT(k+1)がハイレベル(アクティブ)になるまで、バッファ51bからVcshが出力されて、k行目の保持容量配線CSLkに供給され続け、画素Pkの電位は、突き上げ(シフト)後の電位が保持される。フレームF(t+2)以降は、上記フレームF(t)、F(t+1)の動作を繰り返す。

[0265] このようにして、k段目以外の画素P及び単位回路51においても、シフトレジスタ10の各単位回路11から順次出力される出力信号SROUTに基づいて、上述と同様のラッチ出力動作を行う。

[0266] 本実施例1の単位回路51によれば、保持容量配線駆動回路500の回路規模を縮小化することができるため、液晶表示装置の更なる狭額縁化を実現することができる。また、回路規模の縮小化に伴う動作不具合が生じることもない。

[0267] (第1フレームについて)

ところで、電源投入時の初期状態では、全ての保持容量配線CSLの電位(CS信号)がローレベルに設定されているため、第1フレームでは、偶数行(あるいは奇数行)において、CS信号の電位シフトが適正に行われず、表示画像に横筋が発生するという問題が知られている。つまりは、第1フレームにおいてローレベルのCS信号を生成する行の単位回路では、CS信号の電位が変動しないため、マイナス極性のデータ信号が書き込まれた画素Pの電位をシフトさせることができない。これに対して、その前後の行の画素Pでは、CS信号がローレベルからハイレベルにシフトするため、適正に画素電位が突き上がる。これにより、横筋が発生する。

[0268] この点、上記構成を有する単位回路51によれば、自段(k段)の出力信号SROUTkを取り込むことで適正なCS信号を生成することができるため、全ての画素において適正に電位をシフトさせることができ、第1フレー

ムの表示品位の低下を防ぐことができる。

[0269] 一例として、第1フレームにおいて k 段目の画素 P_k にマイナス極性のデータ信号を書き込む場合の、 k 段目の単位回路51の第1フレームの動作について説明する。図35及び図36は、保持容量配線駆動回路500の初期化を含めた動作時のタイミングチャートである。図35及び図36では、電源投入から、電源投入後の通常動作が開始される第1フレーム（フレームF1）及びF1に続く第2フレーム（フレームF2）を示している。なお、図35は、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがハイレベルの場合を示し、図36は、初期化時に、シフトレジスタ10の全段の単位回路11の出力信号SROUTがローレベルの場合を示す。電源投入直後の初期化動作は後述する。

[0270] フレームF1において、シフトレジスタ10の k 段目の単位回路11の出力信号SROUT k がハイレベル（アクティブ）になると、走査信号線GL k がアクティブになり、画素 P_k にデータ信号S（マイナス極性）が書き込まれる。同時に、 k 段目の単位回路51の入力端子INs1に出力信号SROUT k （ハイレベル）が入力され、上述のブートストラップ動作により、極性信号CMIZ（ハイレベル；Vdd）がラッチスルー回路51aに取り込まれる。以降の単位回路51の動作は図33と同様であり、これにより、単位回路51からVcshが出力され、 k 行目の保持容量配線CSL k に供給される。

[0271] 続いて、シフトレジスタ10の $(k+1)$ 段目の単位回路11の出力信号SROUT $(k+1)$ がハイレベル（アクティブ）になると、 k 段目の単位回路51の入力端子INs2に出力信号SROUT $(k+1)$ （ハイレベル）が入力され、極性信号CMIZ（ローレベル；Vss）がラッチスルー回路51aに取り込まれる。これにより、単位回路51からVcsiが出力され、 k 行目の保持容量配線CSL k に供給される。ここで、 k 行目の保持容量配線CSL k の電位が、VcshからVcsiに変化することにより、フローティング状態にある画素 P_k の電位が突き下げられる（電位シフト）。

[0272] このようにして、単位回路 51 では、第 1 フレームにおいてマイナス極性のデータ信号を書き込む画素 P の電位を適正にシフトさせることが可能となり、第 1 フレームの表示品位の低下を防ぐことができる。

[0273] (初期化動作について)

次に、電源投入直後の初期化動作について説明する。初期化時に、シフトレジスタ 10 の全段の単位回路 11 の出力信号 SROUT がハイレベルの場合は、以下のように動作する (図 35 参照)。

[0274] まず、出力信号 SROUT がハイレベルになると、全段の単位回路 51 でトランジスタ T1、T2 がオン状態になり、全段のノード N1 と極性信号 CMIZ が接続 (短絡) される。初期化直前の不定の状態では、ノード N1 に保持されている電位も不定のため、極性信号 CMIZ に接続されるインバータ INV2 の出力も、各段で Vdd (ハイレベル) であるか、Vss (ローレベル) であるか不定の状態である。

[0275] ここで、仮にノード N1 に接続される初期化用信号 INITB が Vdd とすると、全段のノード N1 に接続されている極性信号 CMIZ は、インバータ INV1 の電源 VDD に接続されている段と電源 VSS に接続されている段とが同時に接続されることになり、電源 VDD と電源 VSS が極性信号 CMIZ を介して短絡することで大電流が発生し、ノード N1 の電位が中間電位となるため、正常に初期化することができない。

[0276] この点、本単位回路 51 の構成では、初期化時には、極性信号 CMIZ 及び初期化用信号 INITB が、ともに Vss (ローレベル) になるように制御されているため、ノード N1 は、必ず Vss (ローレベル) になり、確実に初期化することができる。

[0277] 一方、初期化時に、シフトレジスタ 10 の全段の単位回路 11 の出力信号 SROUT がローレベルの場合は、以下のように動作する (図 36 参照)。

[0278] 初期化前の不定の状態で、ノード N1 が Vdd (ハイレベル) の場合は、トランジスタ T5 のゲート端子は Vss (ローレベル) になっており、トランジスタ T5 はオン状態になっている。ここで、初期化時に初期化用信号 I

N I T BはV s s（ローレベル）のため、ノードN 1の電位は、トランジスタT 5を介して、閾値（V t h）落ちしたローレベル（V s s + V t h）になる。インバータI N V 1の出力が、インバータI N V 2に入力されることにより、インバータI N V 2はV d dを出力する。インバータI N V 2の出力（ノードN 2）は、インバータI N V 1の入力に接続されているため、インバータI N V 2の出力（V d d）がインバータI N V 1にフィードバックされ、トランジスタT 6がオン状態になる。これにより、V s s + V t hのノードN 1が、V s s（ローレベル）になるため、確実に初期化することができる。

[0279] 初期化前の不定の状態で、ノードN 1がV s s（ローレベル）の場合は、トランジスタT 5がオフ状態となっているため、初期化用信号I N I T Bの信号はノードN 1には入力されないが、既に所望の電位（V s s）になっているため初期化された状態と同じである。

[0280] このように、単位回路5 1によれば、保持容量配線駆動回路5 0 0を安定して初期化することができる。つまりは、単位回路5 1では、シフトレジスタ1 0の全段の単位回路1 1の出力信号S R O U Tがハイレベル・ローレベルのいずれの場合であっても、ローレベル（V s s）の初期化用信号I N I T BをトランジスタT 5のソース端子に与えることによって、内部電位を安定した電位で固定することが可能となる。

[0281] また、初期化用信号I N I T Bは、新たに初期化用の制御回路や端子配線を追加して供給できるようにしたのではなく、初期化機能を付加する前の単位回路に設けられていたインバータI N V 1の電源V D Dの配線を利用している。

[0282] よって、単位回路5 1では、素子数を増やすことなく初期化することが可能となっている。

[0283] （変形例）

本実施の形態5に係る保持容量配線駆動回路5 0 0を構成する単位回路5 1の回路構成は、バッファ5 1 bの電源V C S H、V C S Lを除いて、前記

実施の形態４に示した共通電極駆動回路２００を構成する単位回路２１と同一である。すなわち、保持容量配線駆動回路５００を構成する単位回路は、前記実施の形態４に示した共通電極駆動回路２００を構成する各单位回路（単位回路２１～２４）と同じ回路構成とすることができる。保持容量配線駆動回路５００の各单位回路の動作は、共通電極駆動回路２００の各单位回路と同一である。

[0284] ここで、共通電極駆動回路２００の各单位回路２１～２４では、自段（例えば k 段）に、シフトレジスタ１０の前段（ $(k-1)$ 段）の単位回路の出力 $SROUT(k-1)$ が入力される構成（例えば図１８参照）であるが、本発明はこれに限定されず、 $(k-1)$ 段よりも前段（例えば、 $(k-2)$ 段、あるいは、 $(k-3)$ 段）の単位回路の出力（ $SROUT(k-2)$ 、あるいは、 $SROUT(k-3)$ ）が入力される構成とすることもできる。一方、保持容量配線駆動回路５００の各单位回路では、自段（例えば k 段）に、シフトレジスタ１０の次段（ $(k+1)$ 段）の単位回路の出力 $SROUT(k+1)$ が入力される構成（図３２参照）であるが、本発明はこれに限定されず、 $(k+1)$ 段よりも後段（例えば、 $(k+2)$ 段、あるいは、 $(k+3)$ 段）の単位回路の出力（ $SROUT(k+2)$ 、あるいは、 $SROUT(k+3)$ ）が入力される構成とすることもできる。

[0285] 本発明の実施の形態に係る保持回路では、上記初期化用信号が上記第１トランジスタのソース端子に入力される場合、上記初期化用信号は、初期化時にローレベルに固定され、初期化時以外はハイレベルに固定されていることが望ましい。

[0286] 本発明の実施の形態に係る保持回路では、上記初期化用信号が上記第２トランジスタのソース端子に入力される場合、上記初期化用信号は、初期化時にハイレベルに固定され、初期化時以外はローレベルに固定されていることが望ましい。

[0287] 本発明の実施の形態に係る保持回路では、上記インバータとして第１インバータを備え、上記保持対象信号は、上記制御信号がアクティブになると上

記第 1 インバータに入力され、上記出力信号は、上記第 1 インバータの出力に基づいて出力され、上記制御信号が非アクティブのときに、上記第 1 インバータの入力端子と出力端子とが、反転電位となるように互いに電氣的に接続されている構成とすることもできる。

[0288] 本発明の実施の形態に係る保持回路では、上記インバータとして第 1 インバータおよび第 2 インバータを備え、上記保持対象信号は、上記制御信号がアクティブになると上記第 2 インバータに入力され、上記出力信号は、上記第 2 インバータの出力に基づいて出力され、上記制御信号が非アクティブのときに、上記第 1 インバータの入力端子と上記第 2 インバータの出力端子とが互いに電氣的に接続されているとともに、上記第 1 インバータの出力端子と上記第 2 インバータの入力端子とが互いに電氣的に接続され、上記制御信号がアクティブのときに、上記第 1 インバータの出力端子と上記第 2 インバータの入力端子とが電氣的に遮断されている構成とすることもできる。

[0289] 本発明の実施の形態に係る保持回路では、上記インバータとして第 1 インバータおよび第 2 インバータを備え、上記保持対象信号は、上記制御信号がアクティブになると上記第 2 インバータに入力され、上記出力信号は、上記第 2 インバータの出力に基づいて出力され、上記制御信号がアクティブのときに、上記第 1 インバータの入力端子と上記第 2 インバータの出力端子とが互いに電氣的に接続されているとともに、上記第 1 インバータの出力端子と上記第 2 インバータの入力端子とが互いに電氣的に接続されている構成とすることもできる。

[0290] 本発明の実施の形態に係る保持回路では、上記第 1 インバータの上記第 1 トランジスタのソース端子には、第 1 抵抗が直列に接続され、上記第 1 インバータの上記第 2 トランジスタのソース端子には、第 2 抵抗が直列に接続されている構成とすることもできる。

[0291] 本発明の実施の形態に係る表示駆動回路では、画素電極と容量を形成する共通電極配線に、第 1 電位または第 2 電位の信号を供給する表示装置に用いられ、自段の保持回路には、上記シフトレジスタの前段の出力信号が入力さ

れ、上記シフトレジスタの前段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた上記第1電位または第2電位となる出力信号を、自段の画素の画素電極と容量を形成する上記共通電極配線に供給する構成とすることもできる。

[0292] 本発明の実施の形態に係る表示駆動回路では、画素電極と容量を形成する保持容量配線に、該画素電極に書き込まれた信号電位の極性に応じた変調信号を供給する表示装置に用いられ、自段の保持回路には、上記シフトレジスタの後段の出力信号が入力され、上記シフトレジスタの後段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた出力信号を、自段の画素の画素電極と容量を形成する上記保持容量配線に、上記変調信号として供給する構成とすることもできる。

[0293] 本発明の実施の形態に係る表示パネルは、上述の表示駆動回路と、画素回路とが、モノリシックに形成されていることを特徴としている。

[0294] 本発明の実施の形態に係る表示装置は、上述の表示駆動回路を備えていることを特徴としている。

[0295] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0296] 本発明は、ラッチ回路や、表示装置の各駆動回路に好適である。

符号の説明

- [0297] 1～3 液晶表示装置（表示装置）
10 シフトレジスタ
11 シフトレジスタの単位回路
15, 19 ラッチ回路（保持回路）

1 8	インバータ（第 1 インバータ）
2 1 ～ 2 4	共通電極駆動回路の単位回路
2 1 a	ラッチスルー回路（保持回路）
2 1 b	バッファ
3 1 ～ 3 4	ラッチ回路（保持回路）
4 1	走査信号線（ゲートライン）
4 2	共通電極配線（コモンライン）
4 3	データ信号線（ソースライン）
4 4	T F T
4 5	画素電極
4 6	保持容量配線（C S ライン）
5 1	保持容量配線駆動回路の単位回路
5 1 a	ラッチスルー回路（保持回路）
5 1 b	バッファ
1 0 0	走査信号線駆動回路（ゲートドライバ）
2 0 0	共通電極駆動回路（C O Mドライバ）
3 0 0	データ信号線駆動回路（ソースドライバ）
4 0 0	表示パネル
5 0 0	保持容量配線駆動回路（C S ドライバ）
T P 1	トランジスタ（第 1 トランジスタ）
T N 1	トランジスタ（第 2 トランジスタ）
T 3	トランジスタ（第 1 トランジスタ）
T 4	トランジスタ（第 2 トランジスタ）
T 5	トランジスタ（第 1 トランジスタ）
T 6	トランジスタ（第 2 トランジスタ）
I N V 1	インバータ（第 1 インバータ）
I N V 2	インバータ（第 2 インバータ）
R 1	抵抗（第 2 抵抗）

R 2 抵抗（第 1 抵抗）

請求の範囲

- [請求項1] 制御信号がアクティブになると保持対象信号を取り込み、該制御信号が次にアクティブになるまで該保持対象信号を保持しつつ、該保持対象信号に応じた出力信号を出力する保持回路であって、
- 上記保持対象信号を保持するためのインバータを少なくとも1つ備え、
- 上記インバータは、Pチャネル型の第1トランジスタとNチャネル型の第2トランジスタのゲート端子同士及びドレイン端子同士が互いに接続されたCMOS回路により構成され、
- 上記第1トランジスタのソース端子または上記第2トランジスタのソース端子に、初期化時にハイレベルまたはローレベルである初期化用信号が入力されることを特徴とする保持回路。
- [請求項2] 上記初期化用信号が上記第1トランジスタのソース端子に入力される場合、上記初期化用信号は、初期化時にローレベルに固定され、初期化時以外はハイレベルに固定されていることを特徴とする請求項1に記載の保持回路。
- [請求項3] 上記初期化用信号が上記第2トランジスタのソース端子に入力される場合、上記初期化用信号は、初期化時にハイレベルに固定され、初期化時以外はローレベルに固定されていることを特徴とする請求項1に記載の保持回路。
- [請求項4] 上記インバータとして第1インバータを備え、
- 上記保持対象信号は、上記制御信号がアクティブになると上記第1インバータに入力され、
- 上記出力信号は、上記第1インバータの出力に基づいて出力され、
- 上記制御信号が非アクティブのときに、上記第1インバータの入力端子と出力端子とが、反転電位となるように互いに電氣的に接続されていることを特徴とする請求項1～3のいずれか1項に記載の保持回路。

[請求項5] 上記インバータとして第1インバータおよび第2インバータを備え、

 上記保持対象信号は、上記制御信号がアクティブになると上記第2インバータに入力され、

 上記出力信号は、上記第2インバータの出力に基づいて出力され、

 上記制御信号が非アクティブのときに、上記第1インバータの入力端子と上記第2インバータの出力端子とが互いに電氣的に接続されているとともに、上記第1インバータの出力端子と上記第2インバータの入力端子とが互いに電氣的に接続され、

 上記制御信号がアクティブのときに、上記第1インバータの出力端子と上記第2インバータの入力端子とが電氣的に遮断されていることを特徴とする請求項1～3のいずれか1項に記載の保持回路。

[請求項6] 上記インバータとして第1インバータおよび第2インバータを備え、

 上記保持対象信号は、上記制御信号がアクティブになると上記第2インバータに入力され、

 上記出力信号は、上記第2インバータの出力に基づいて出力され、

 上記制御信号がアクティブのときに、上記第1インバータの入力端子と上記第2インバータの出力端子とが互いに電氣的に接続されているとともに、上記第1インバータの出力端子と上記第2インバータの入力端子とが互いに電氣的に接続されていることを特徴とする請求項1～3のいずれか1項に記載の保持回路。

[請求項7] 上記第1インバータの上記第1トランジスタのソース端子には、第1抵抗が直列に接続され、

 上記第1インバータの上記第2トランジスタのソース端子には、第2抵抗が直列に接続されていることを特徴とする請求項6に記載の保持回路。

[請求項8] 画素に含まれる画素電極と容量を形成する信号線が設けられた表示

パネルを駆動する表示駆動回路であって、

複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタと、

上記シフトレジスタの各段に対応して設けられた少なくとも1つの保持回路とを備え、

上記保持回路は、請求項1～7のいずれか1項に記載の保持回路であり、上記シフトレジスタの各段の出力信号を上記制御信号とし、

上記シフトレジスタの1つの段の出力信号がアクティブになると、この段に対応する保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた出力信号をこの段に対応する上記信号線に供給することを特徴とする表示駆動回路。

[請求項9] 画素電極と容量を形成する共通電極配線に、第1電位または第2電位の信号を供給する表示装置に用いられ、

自段の保持回路には、上記シフトレジスタの前段の出力信号が入力され、

上記シフトレジスタの前段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた上記第1電位または第2電位となる出力信号を、自段の画素の画素電極と容量を形成する上記共通電極配線に供給することを特徴とする請求項8に記載の表示駆動回路。

[請求項10] 画素電極と容量を形成する保持容量配線に、該画素電極に書き込まれた信号電位の極性に応じた変調信号を供給する表示装置に用いられ、

自段の保持回路には、上記シフトレジスタの後段の出力信号が入力され、

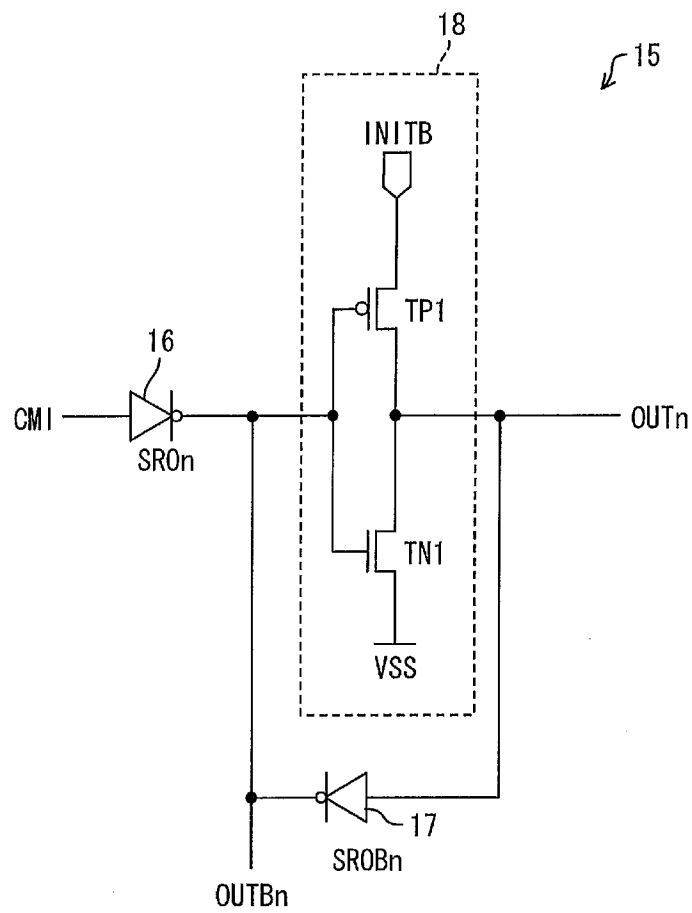
上記シフトレジスタの後段の出力信号がアクティブになると、自段の保持回路が、上記保持対象信号を取り込んでこれを保持しつつ、該保持対象信号に応じた出力信号を、自段の画素の画素電極と容量を形

成する上記保持容量配線に、上記変調信号として供給することを特徴とする請求項 8 に記載の表示駆動回路。

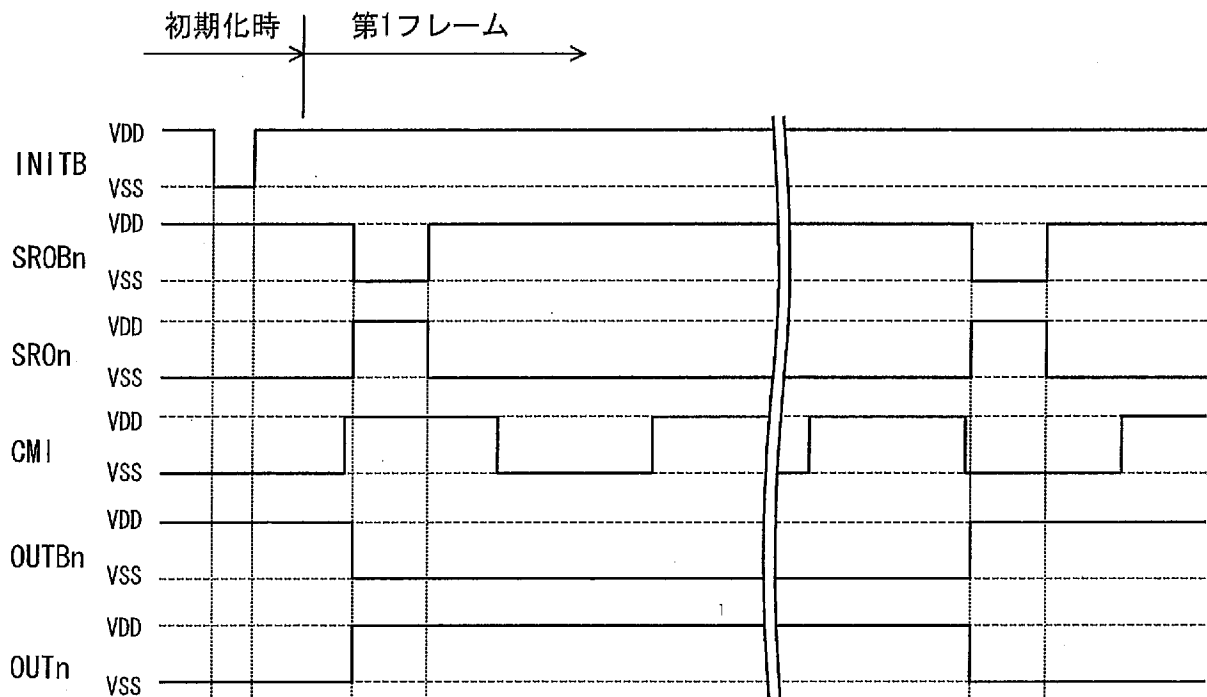
[請求項11] 請求項 8 ～ 1 0 のいずれか 1 項に記載の表示駆動回路と、画素回路とが、モノリシックに形成されていることを特徴とする表示パネル。

[請求項12] 請求項 8 ～ 1 0 のいずれか 1 項に記載の表示駆動回路を備えていることを特徴とする表示装置。

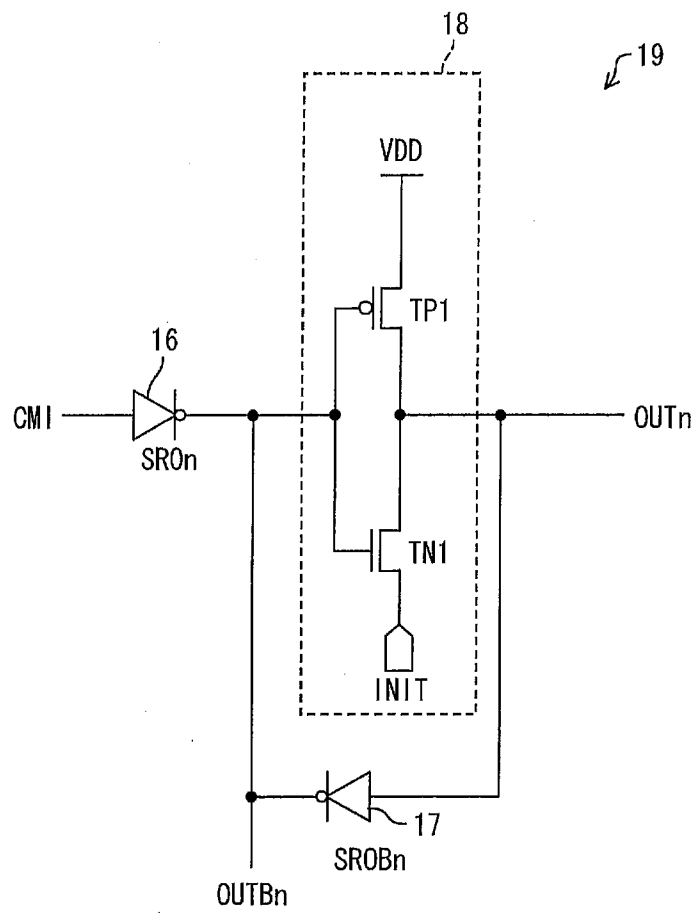
[図1]



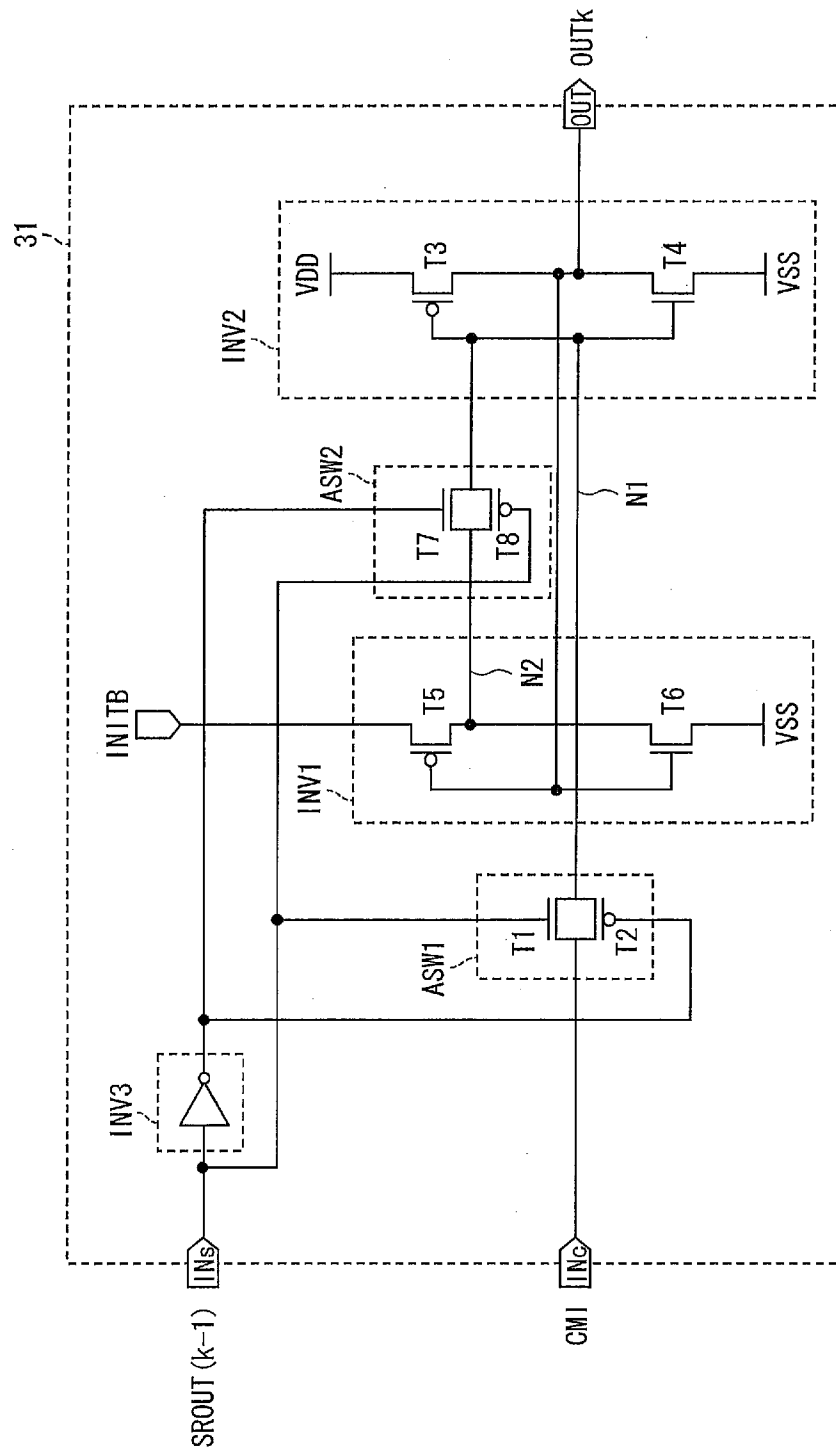
[図2]



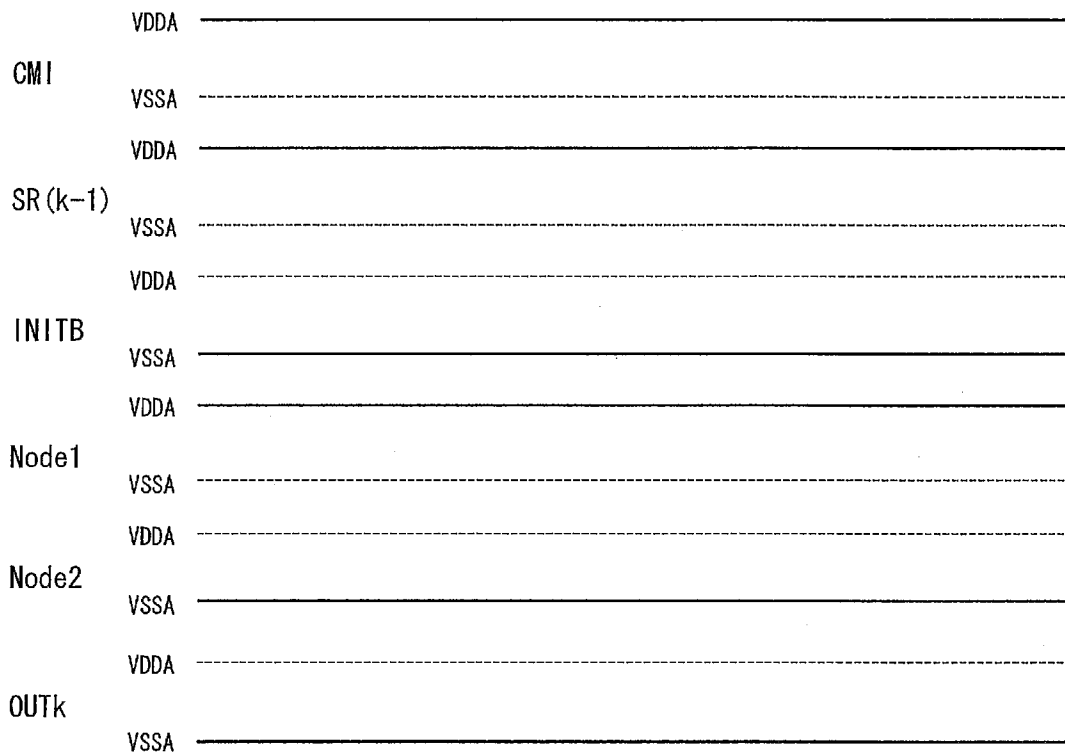
[図3]



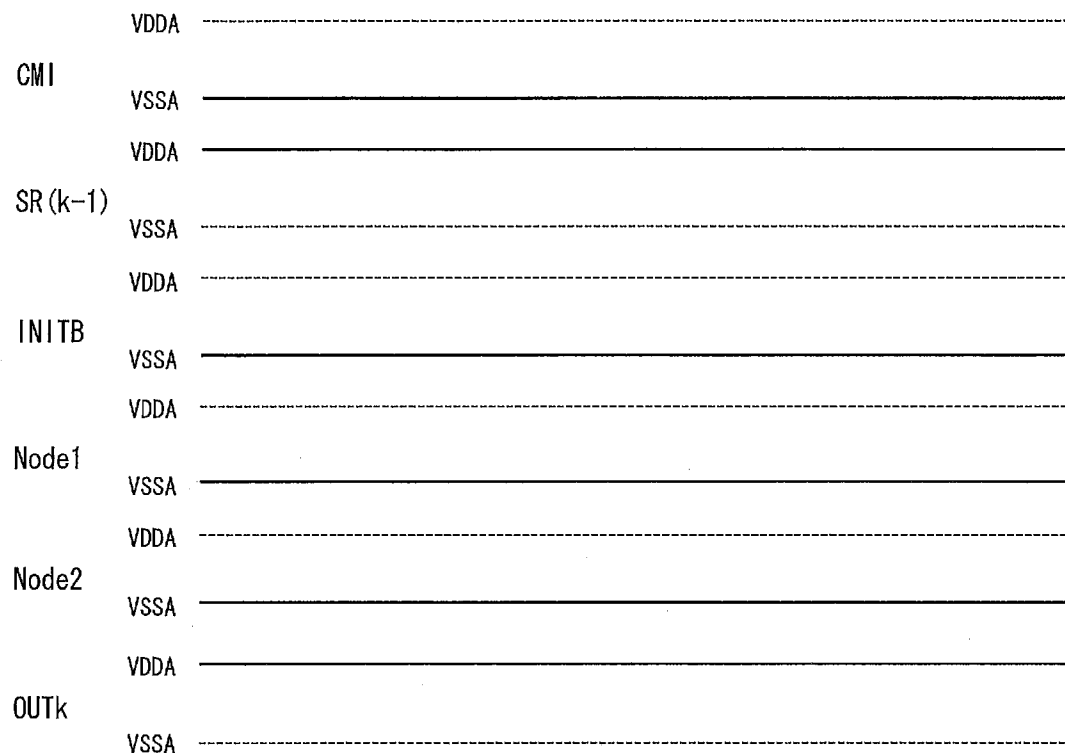
[図4]



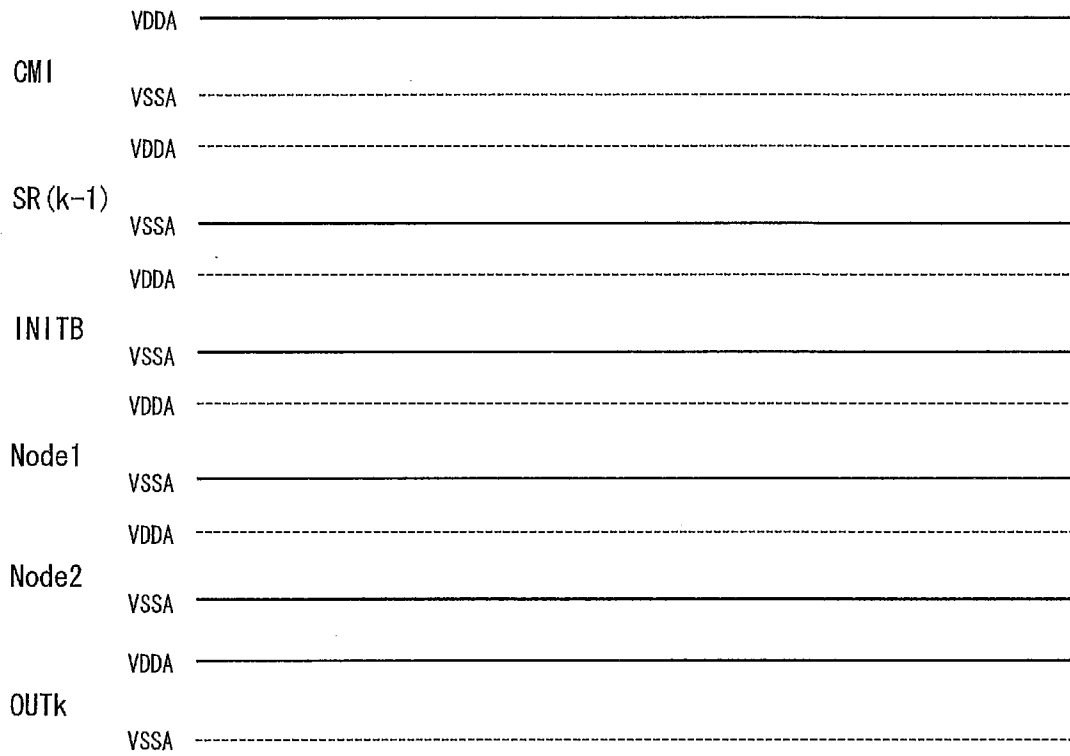
[図5]



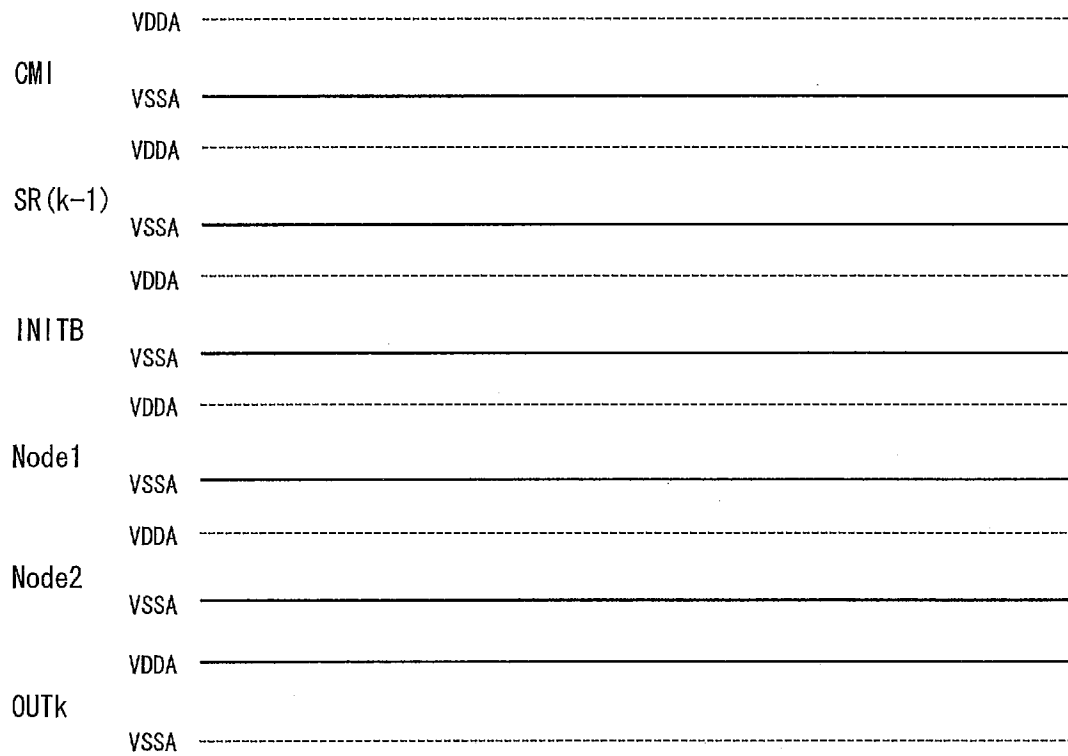
[図6]



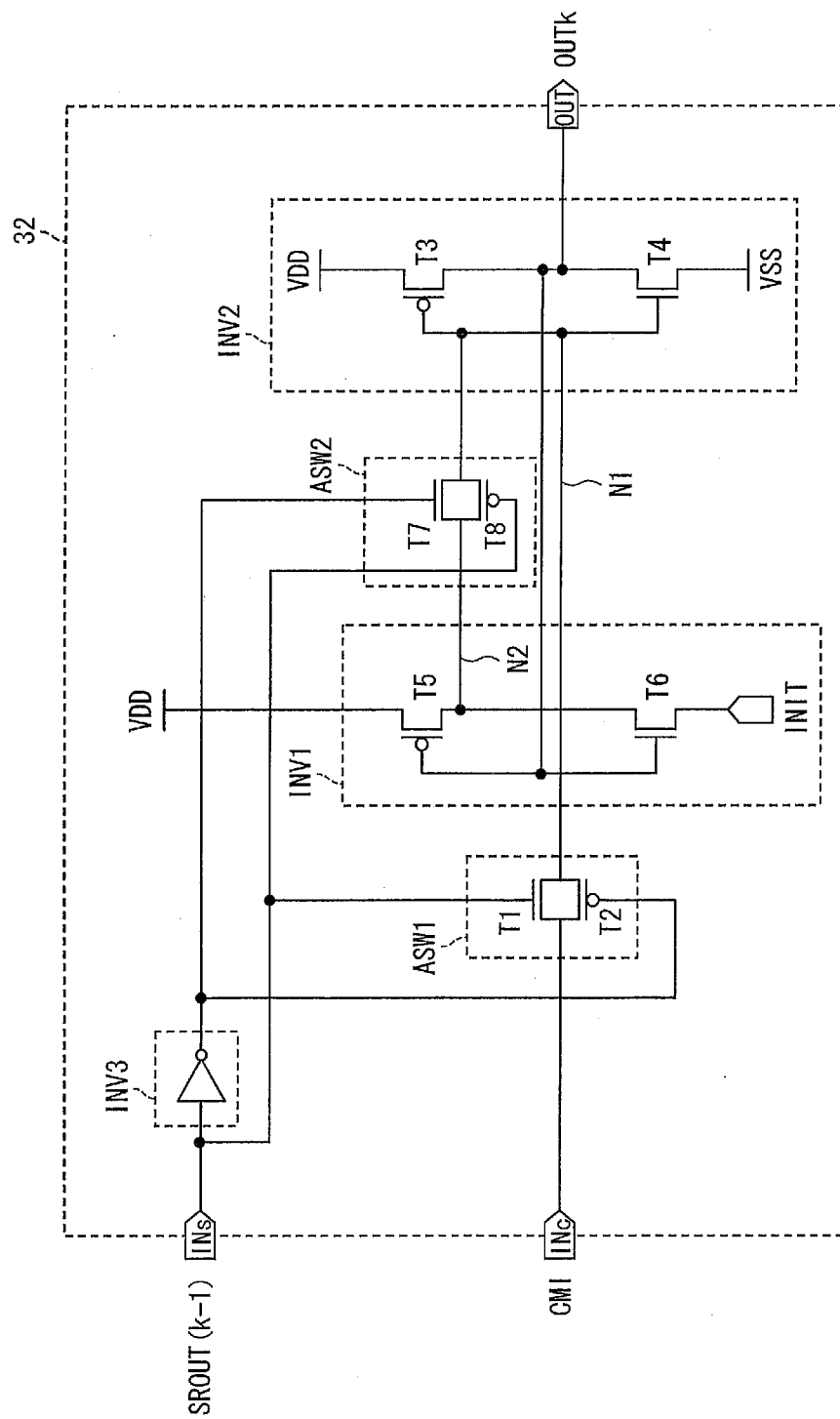
[図7]



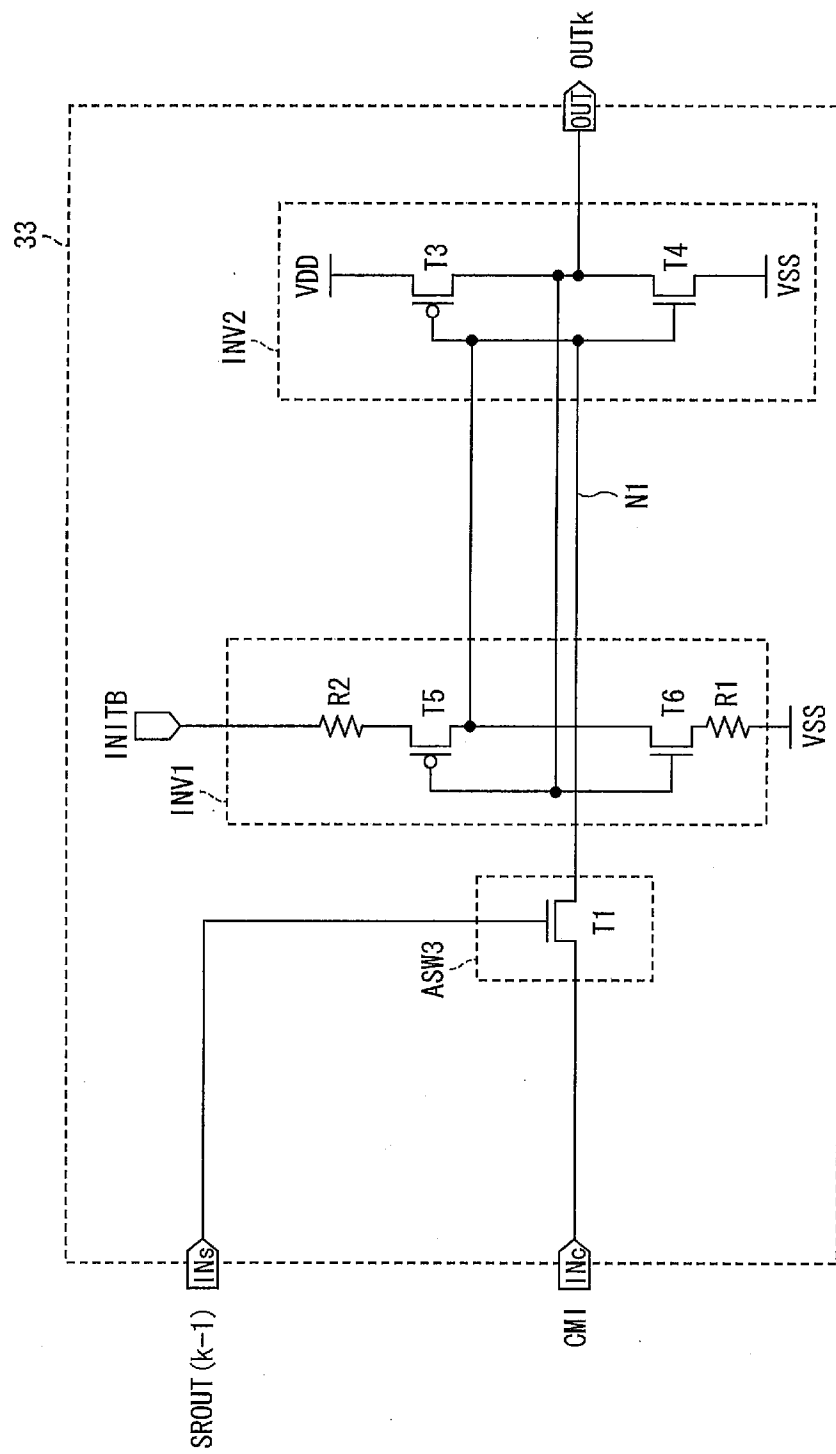
[図8]



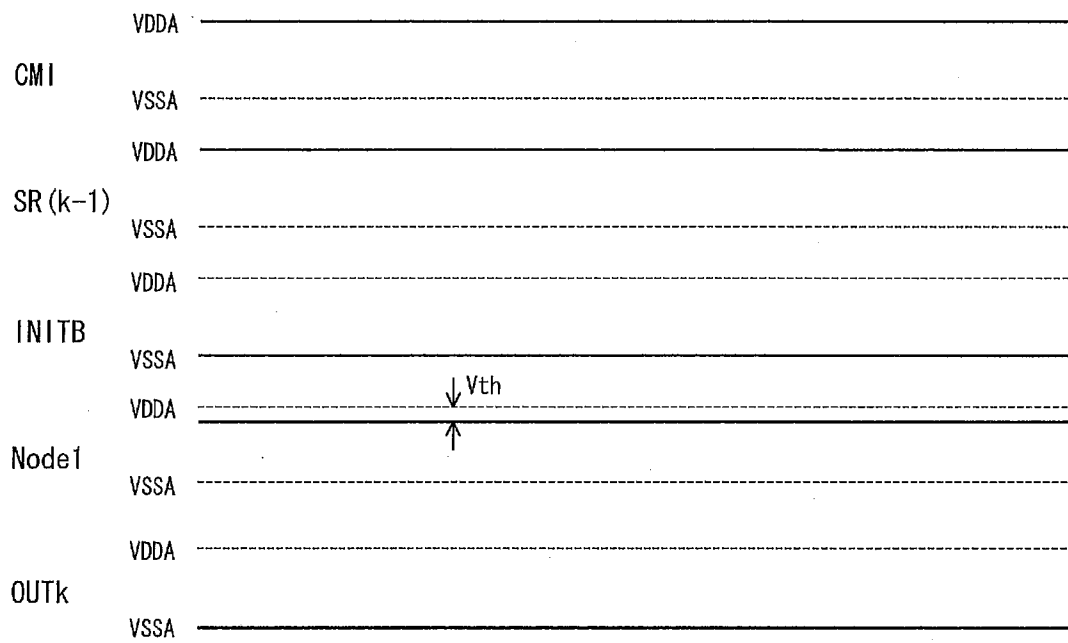
[図9]



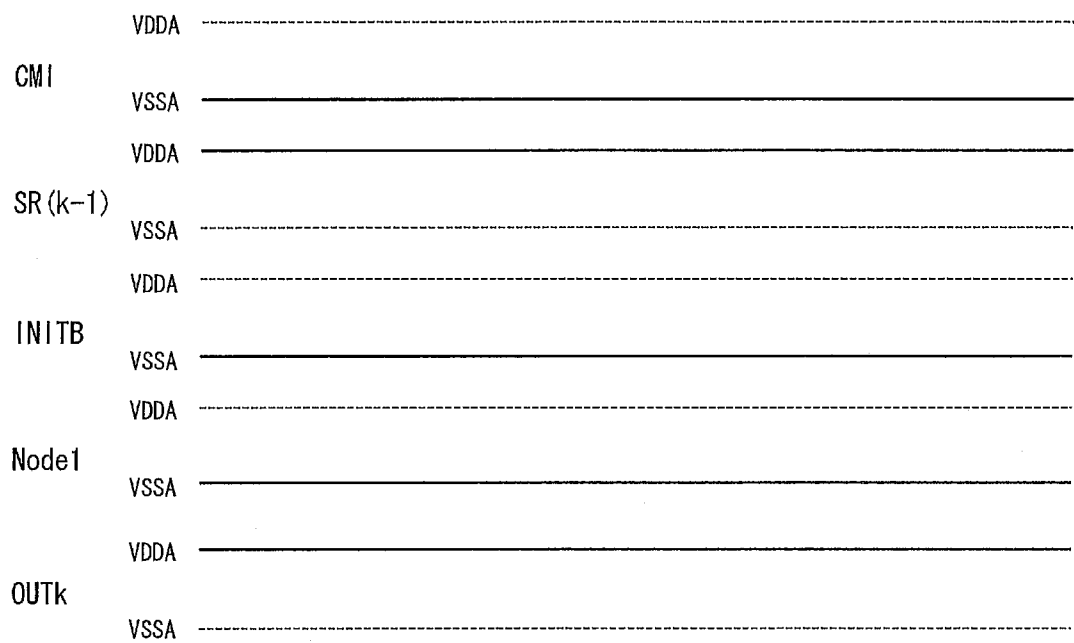
[図10]



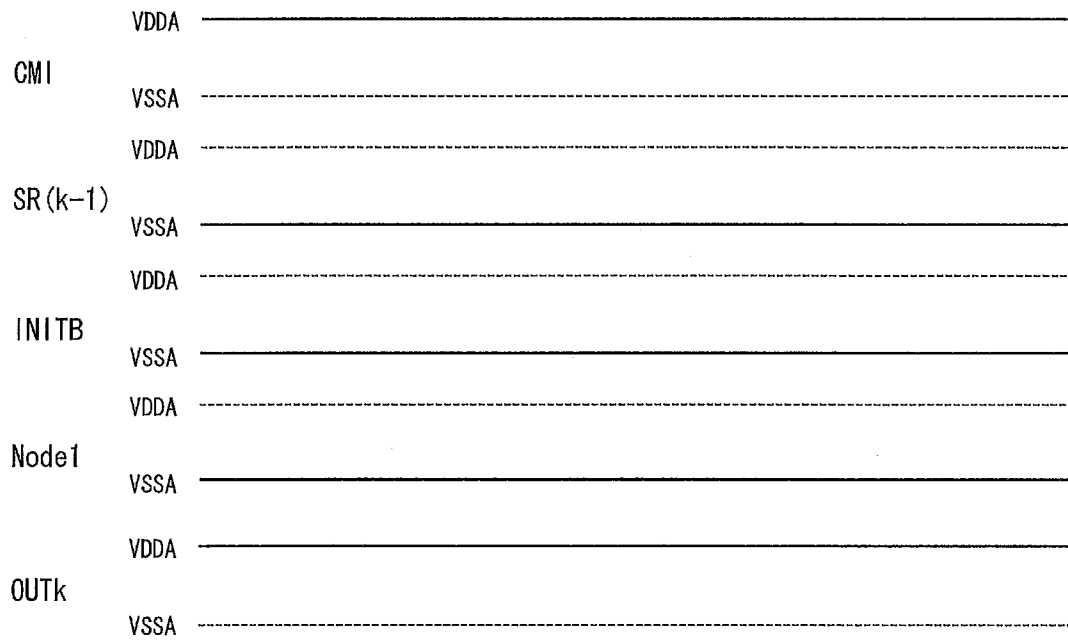
[図11]



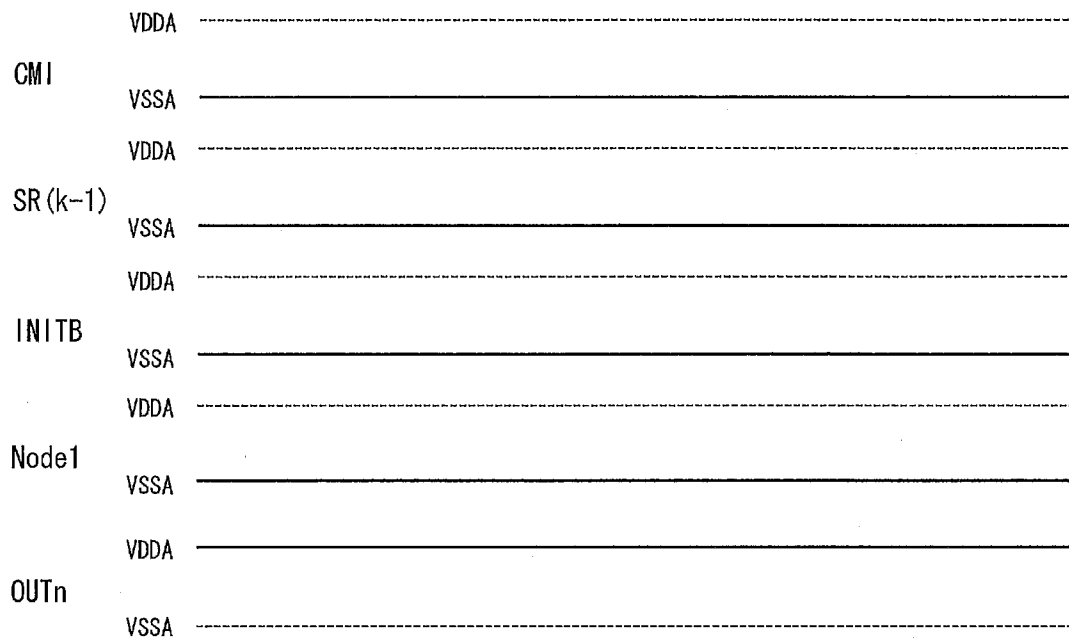
[図12]



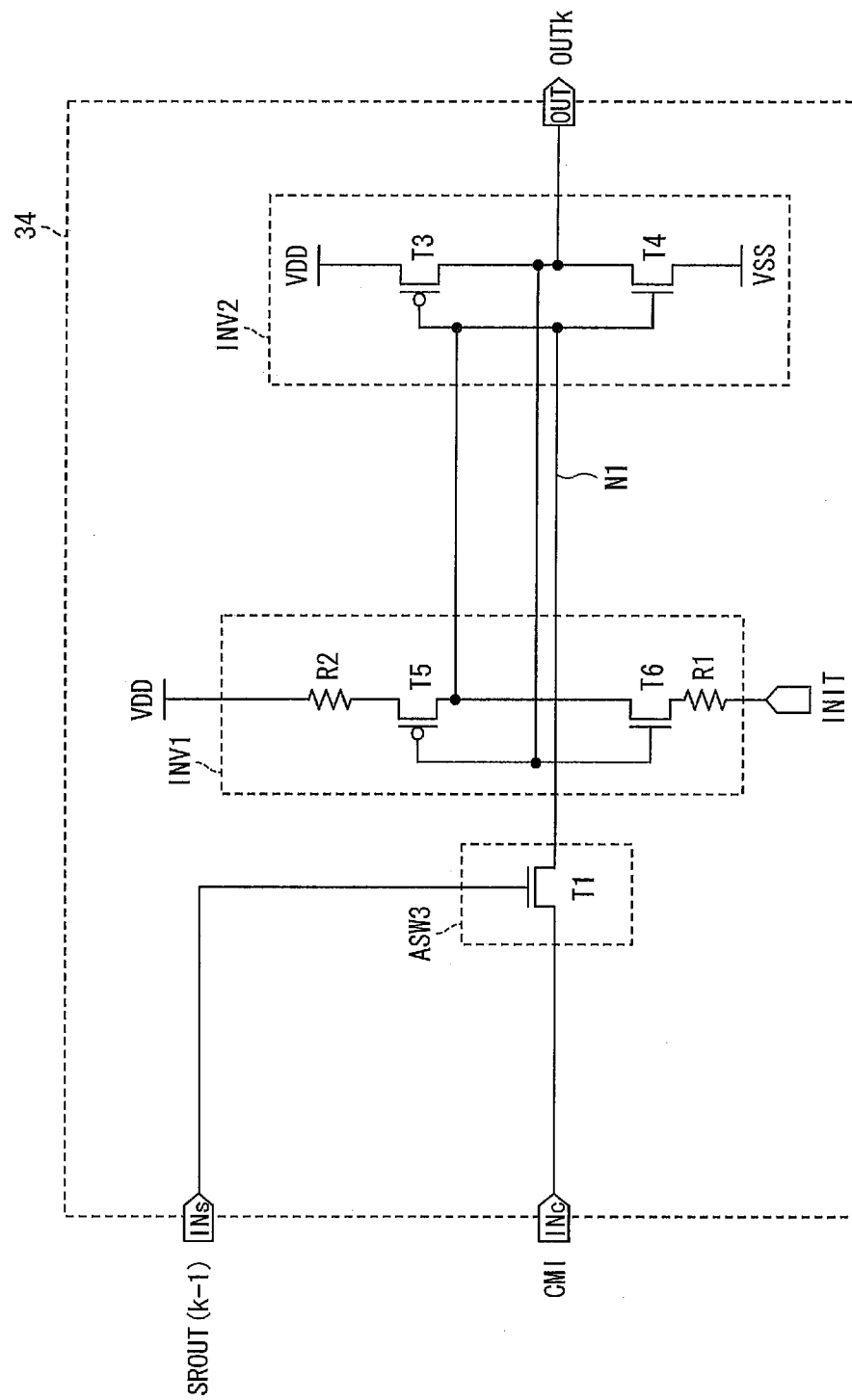
[図13]



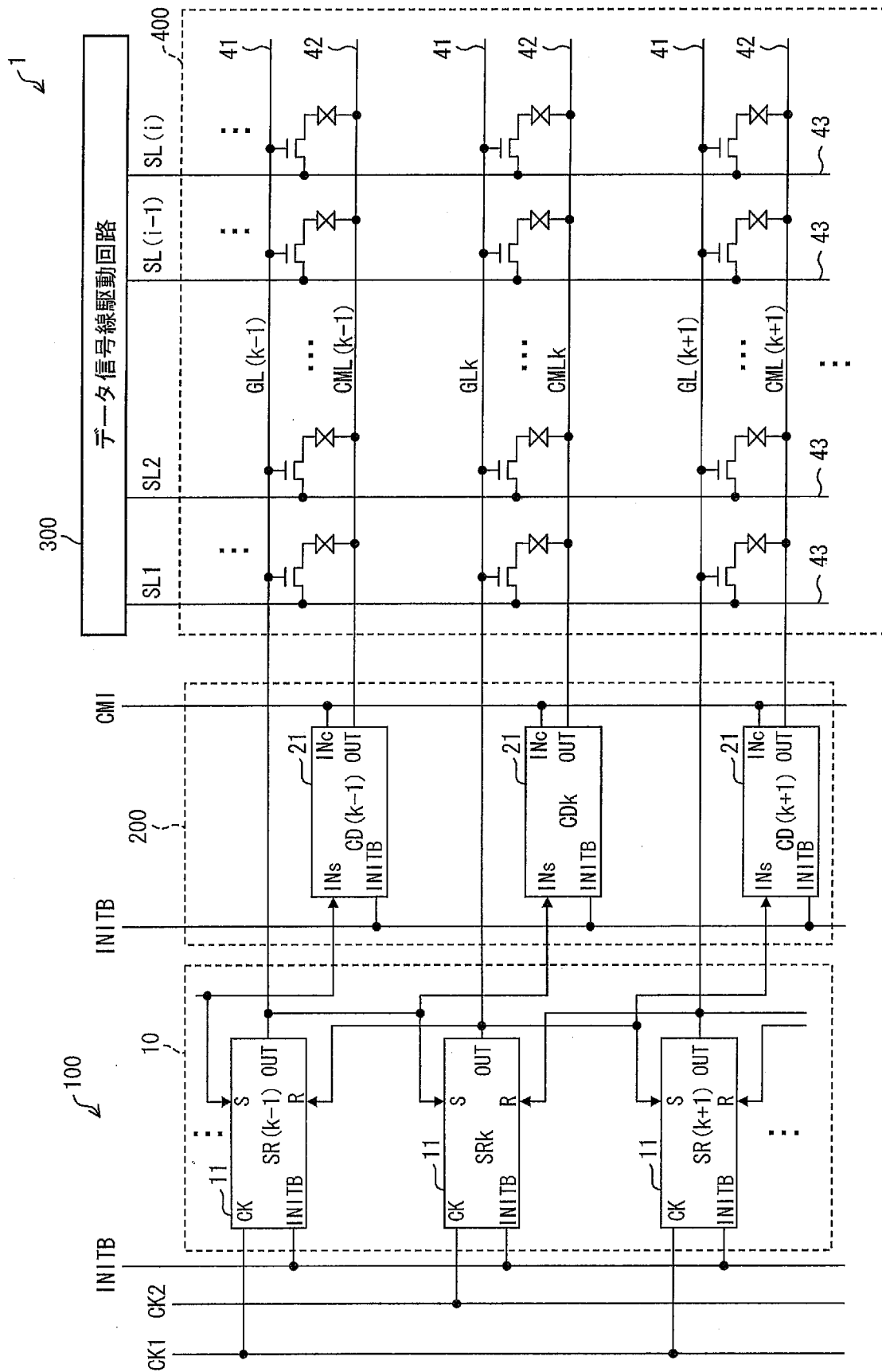
[図14]



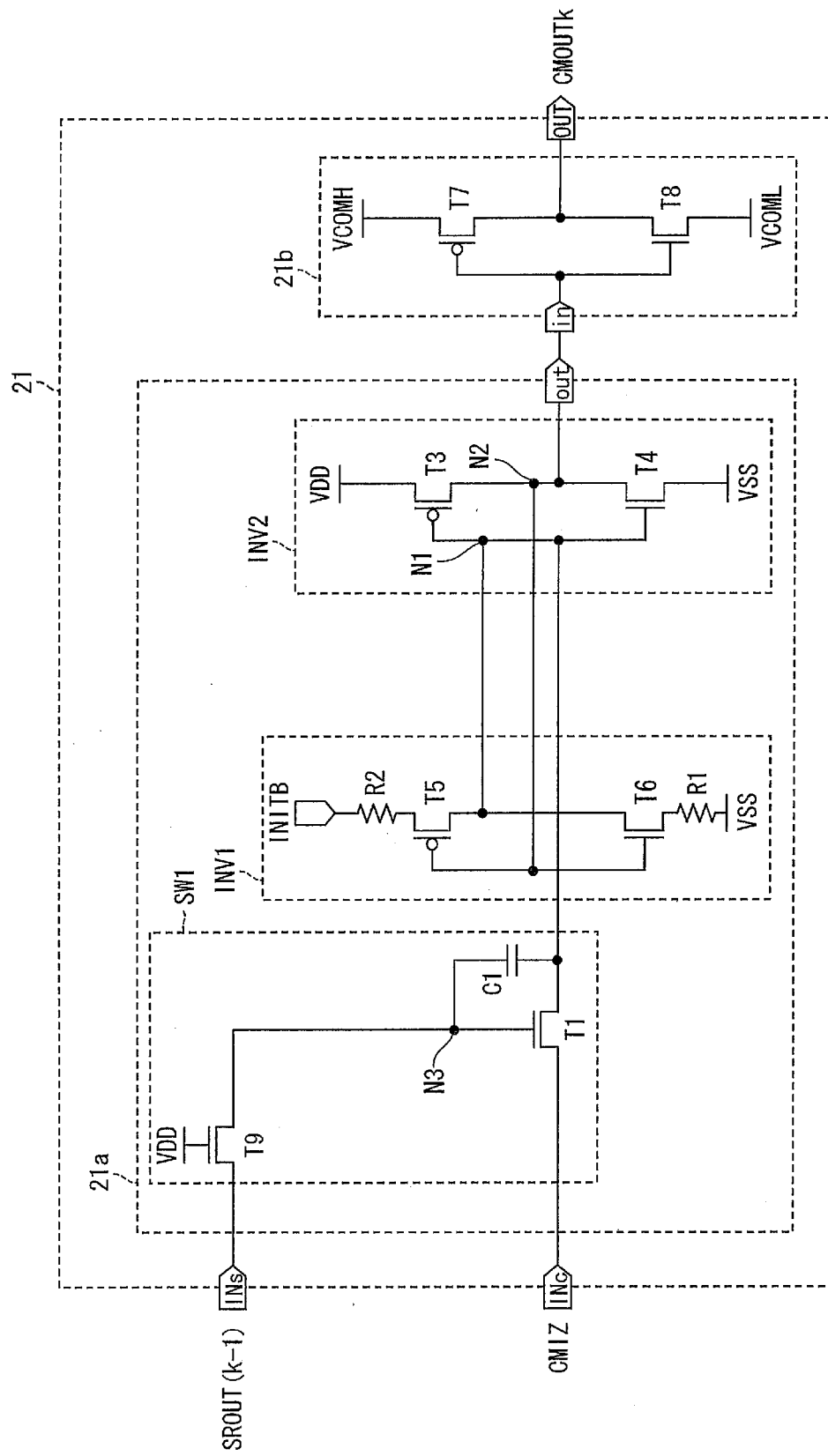
[図15]



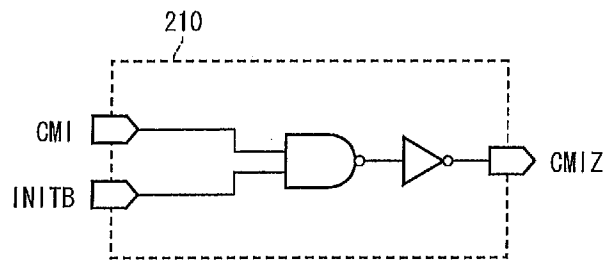
[図16]



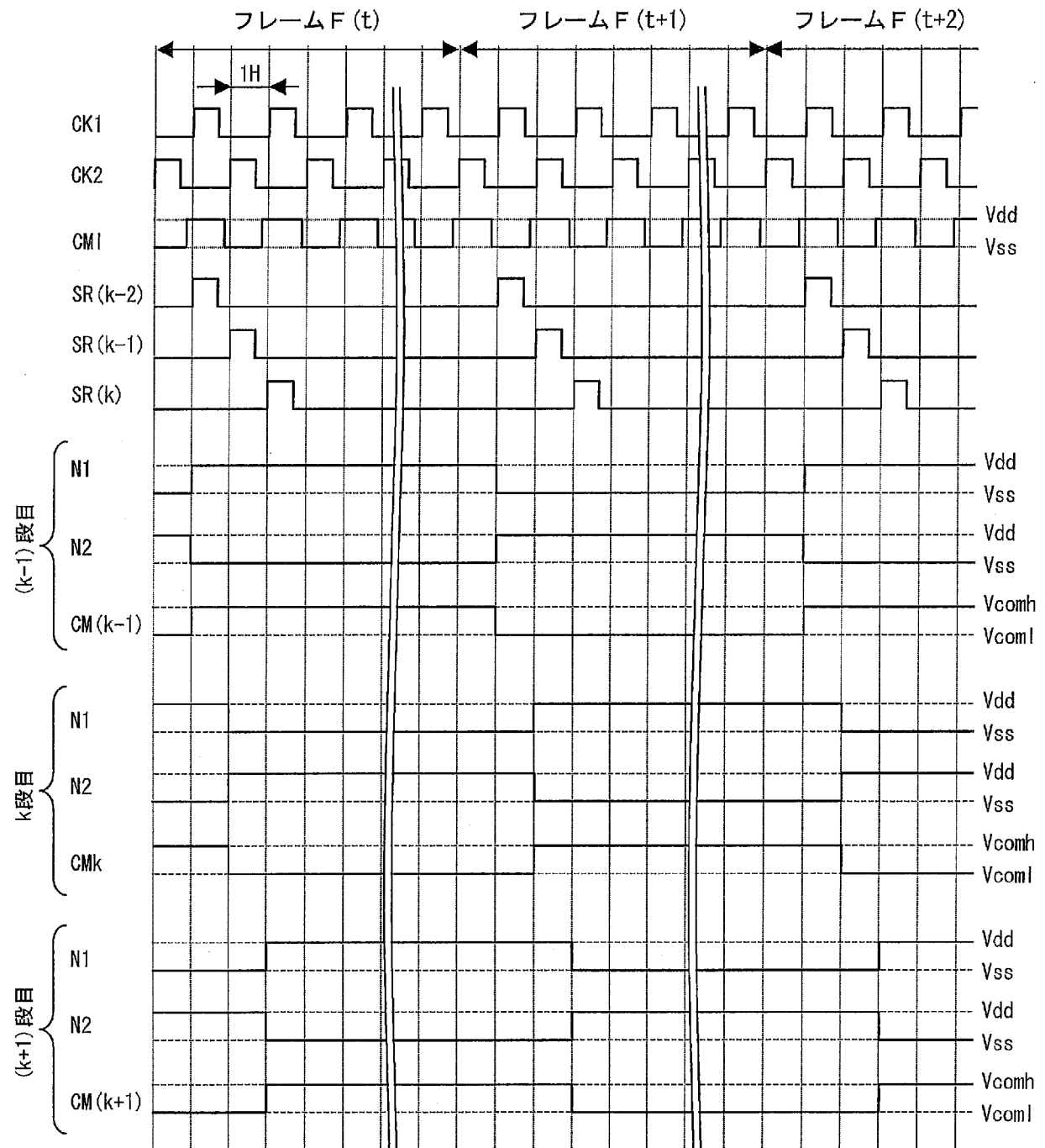
[図18]



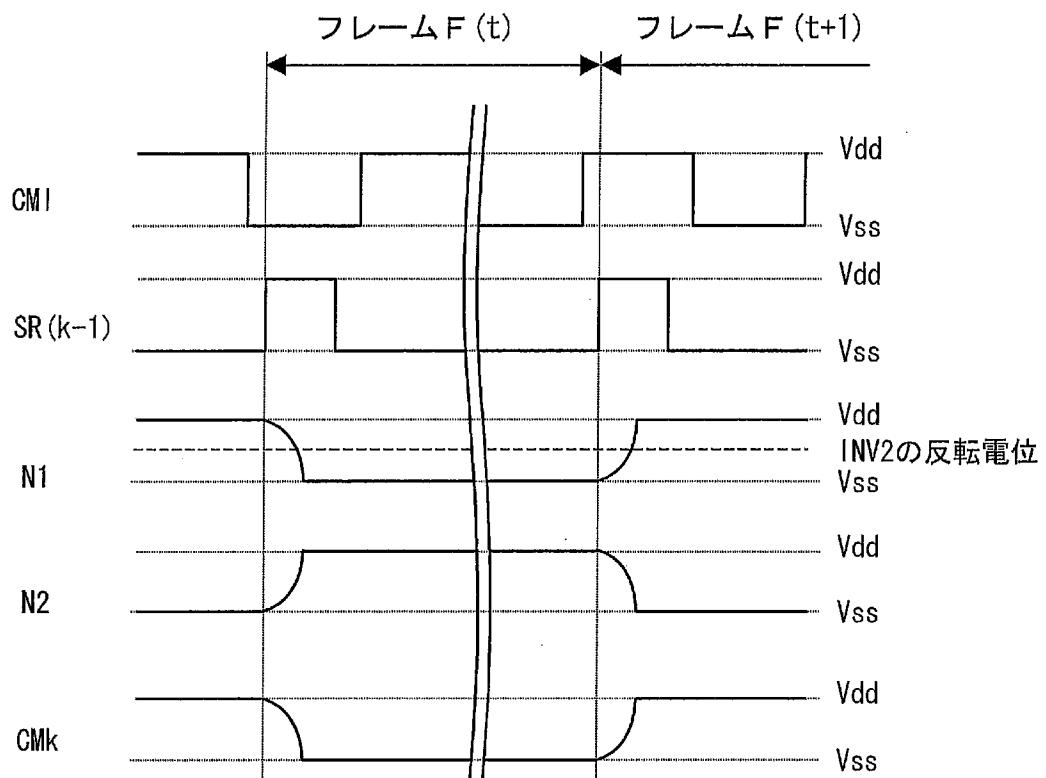
[図19]



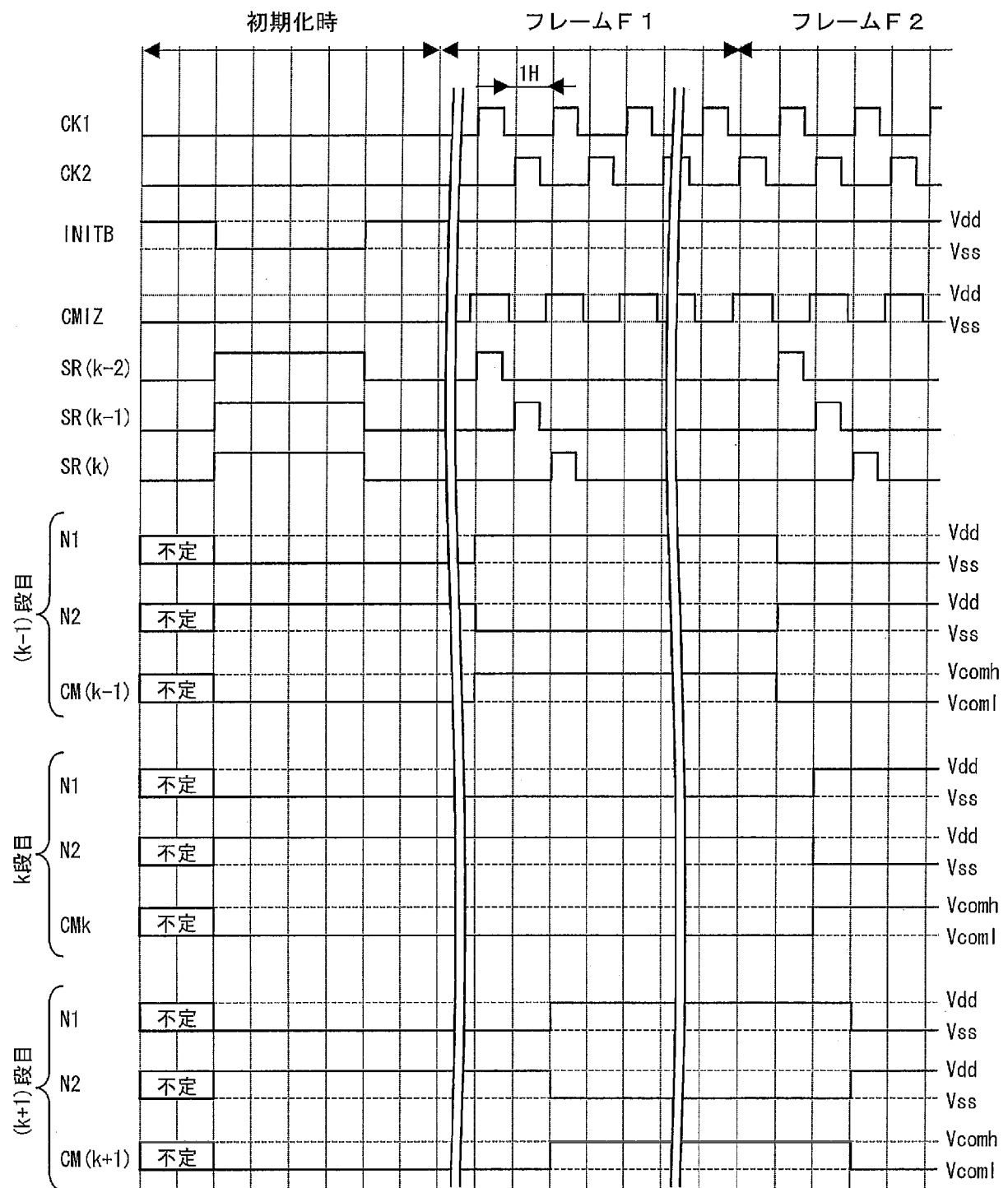
[図20]



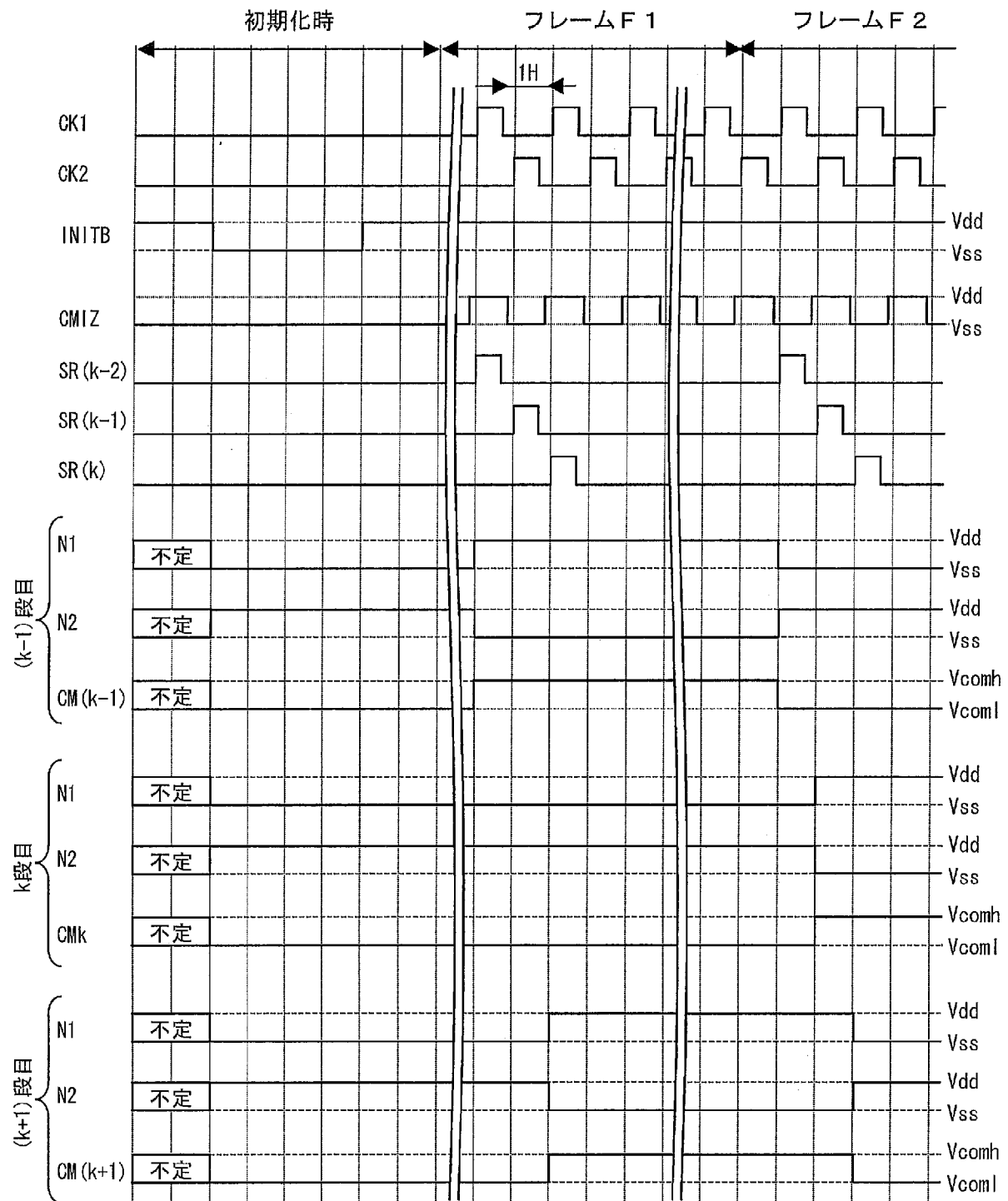
[図21]



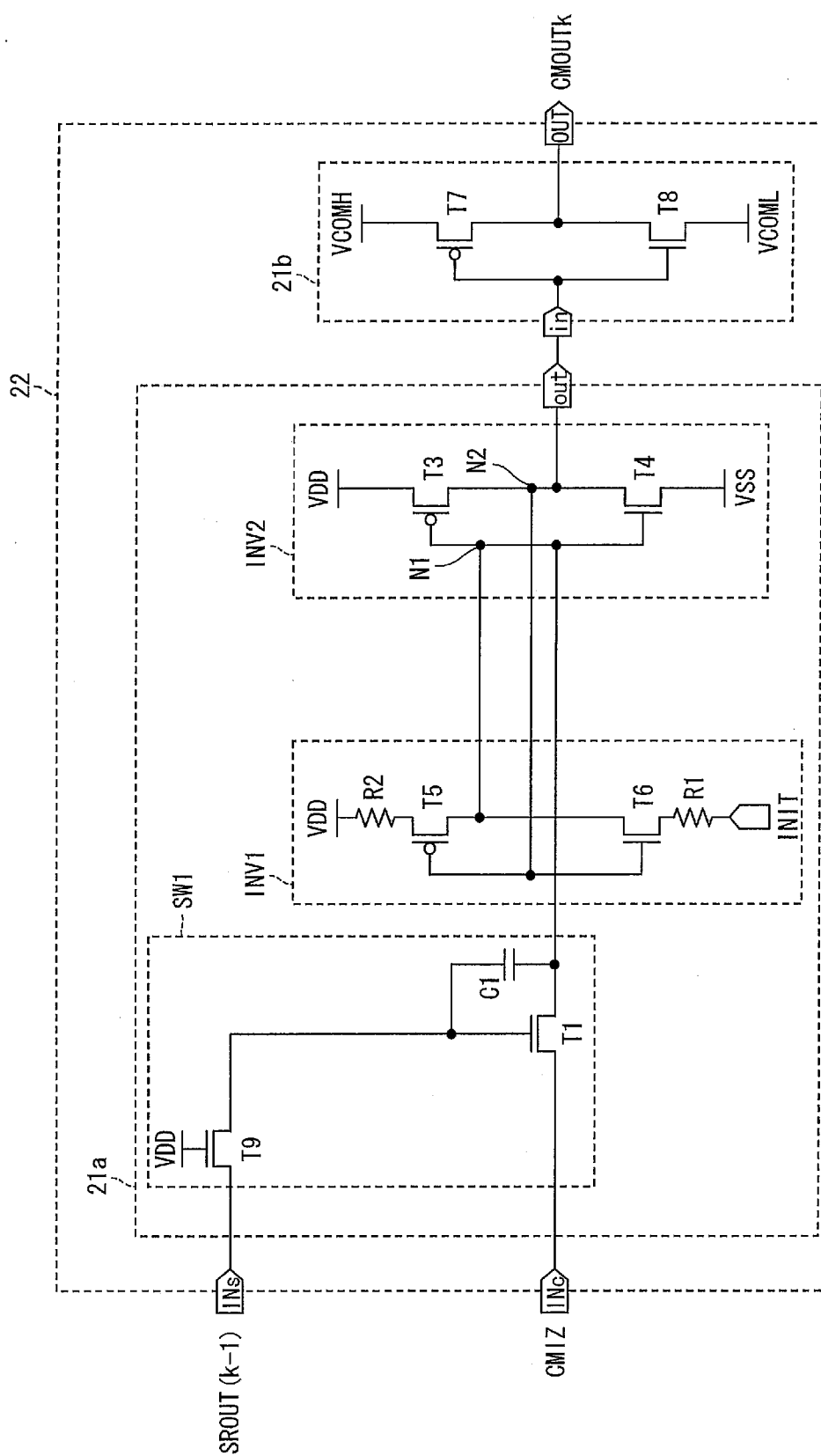
[図22]



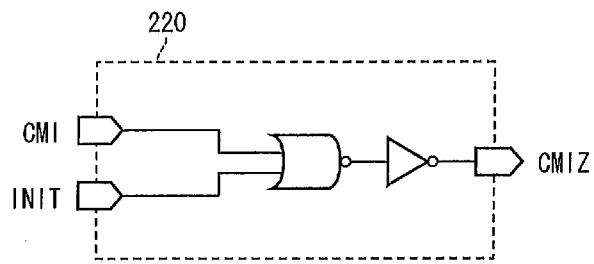
[図23]



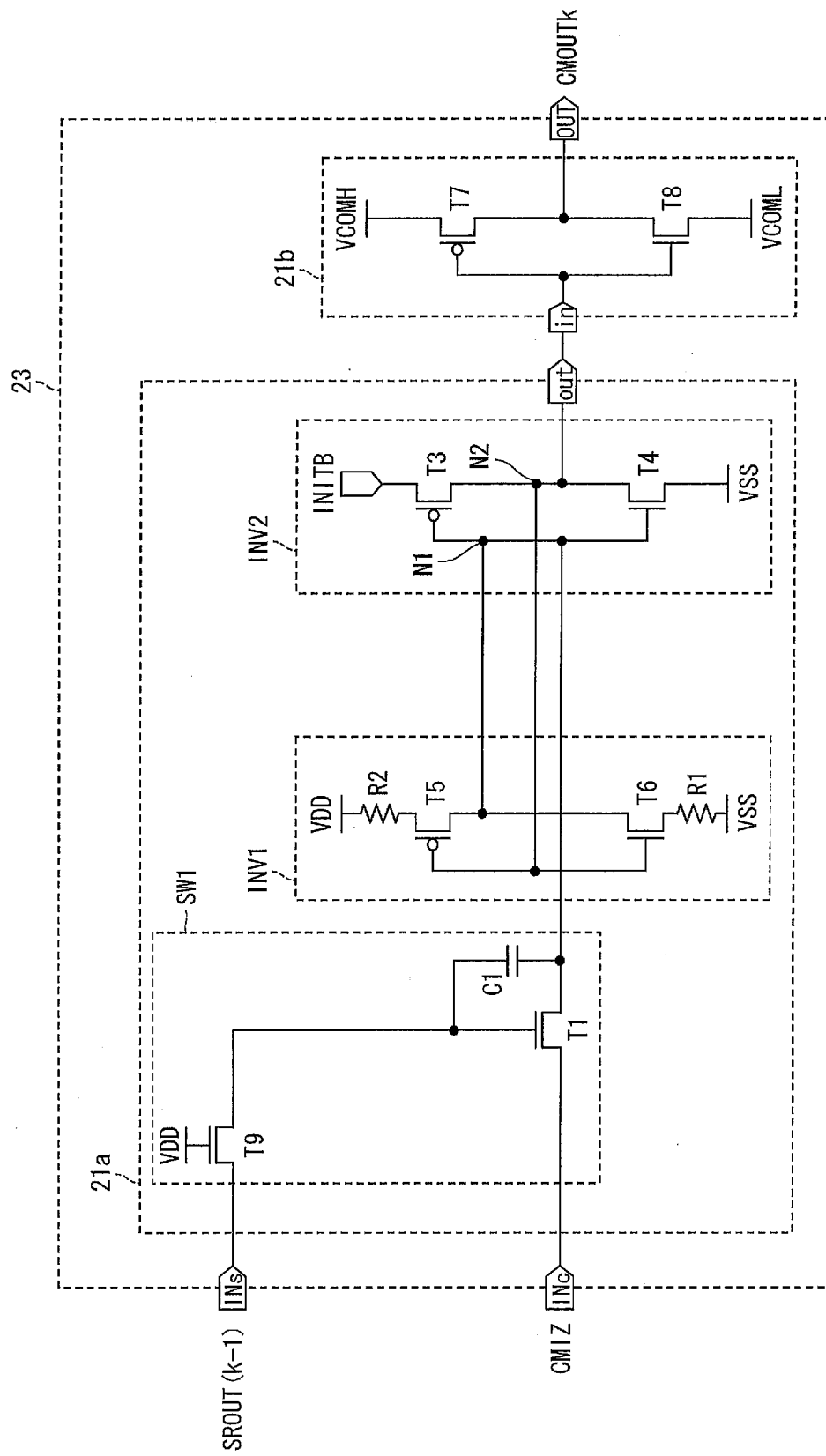
[図24]



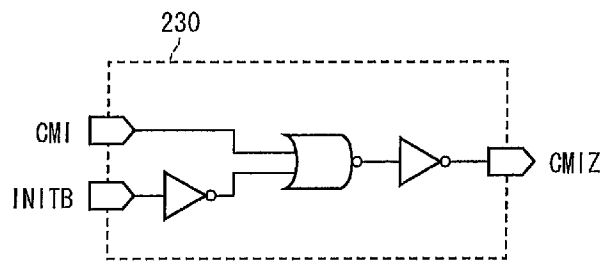
[図25]



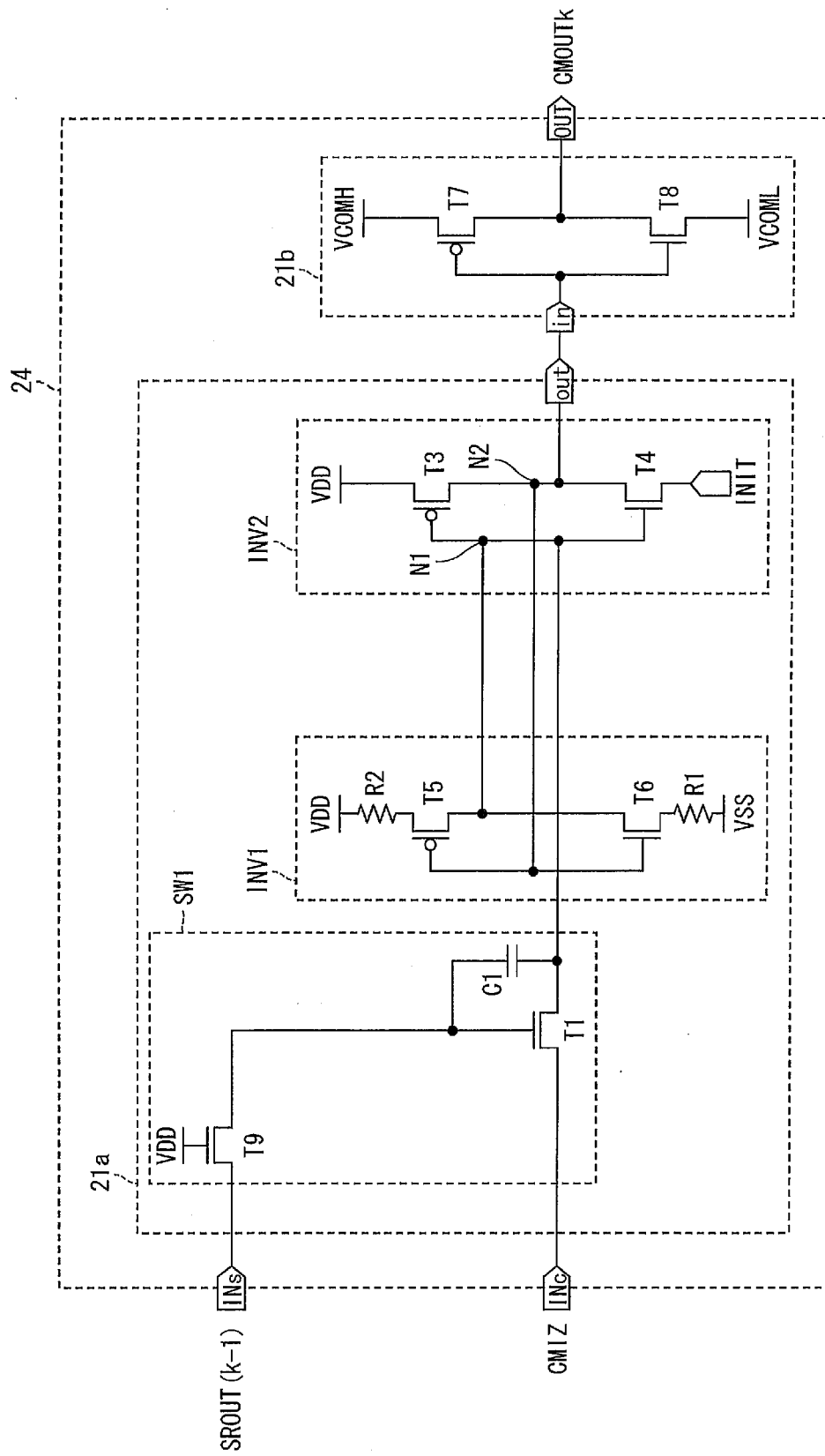
[図26]



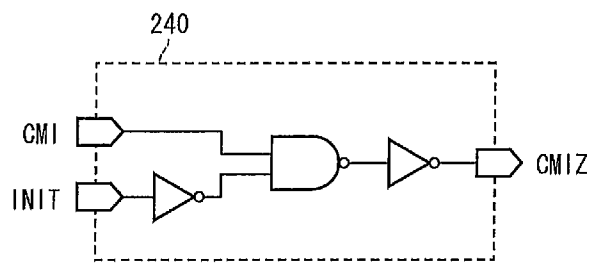
[図27]



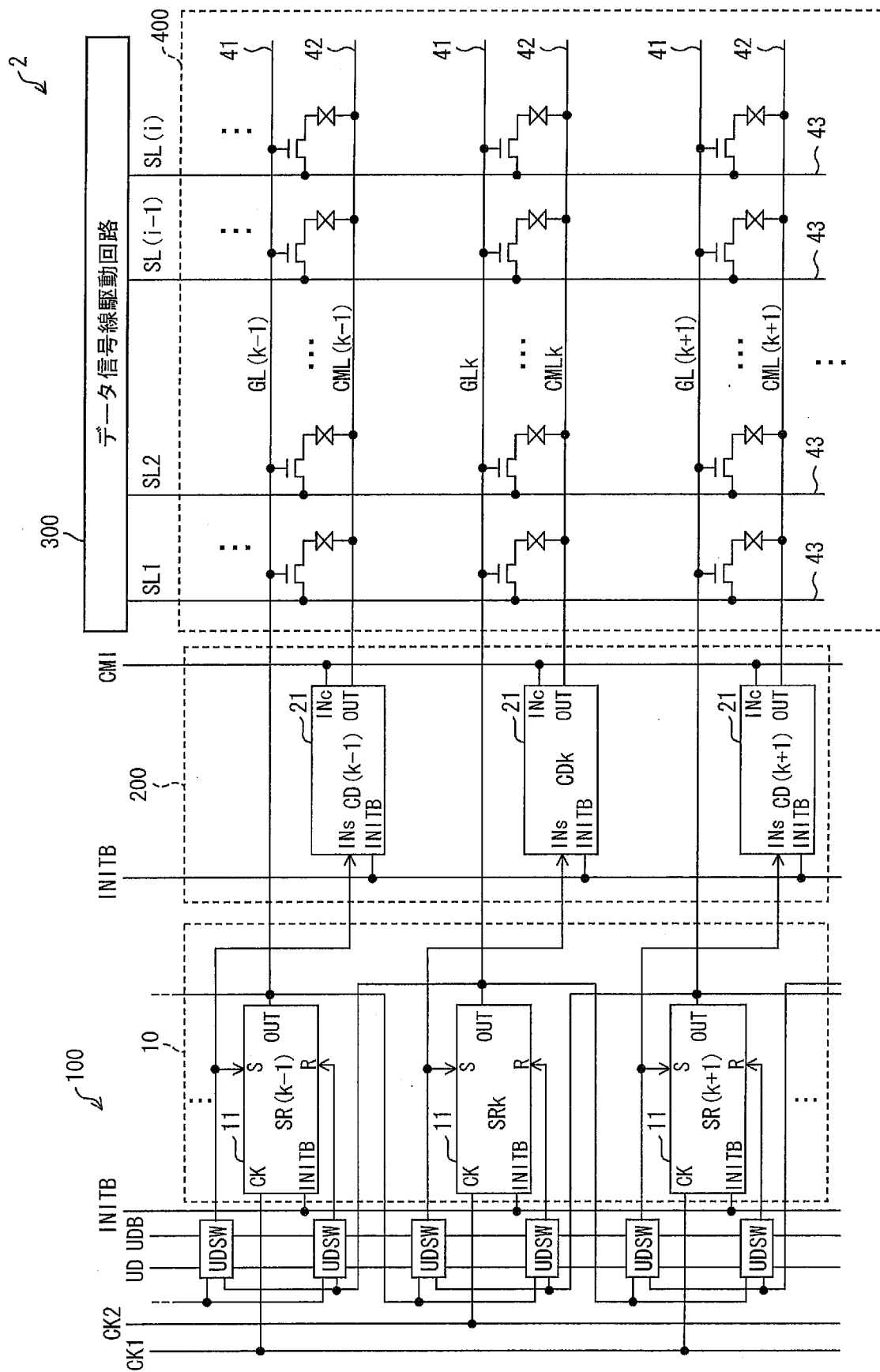
[図28]



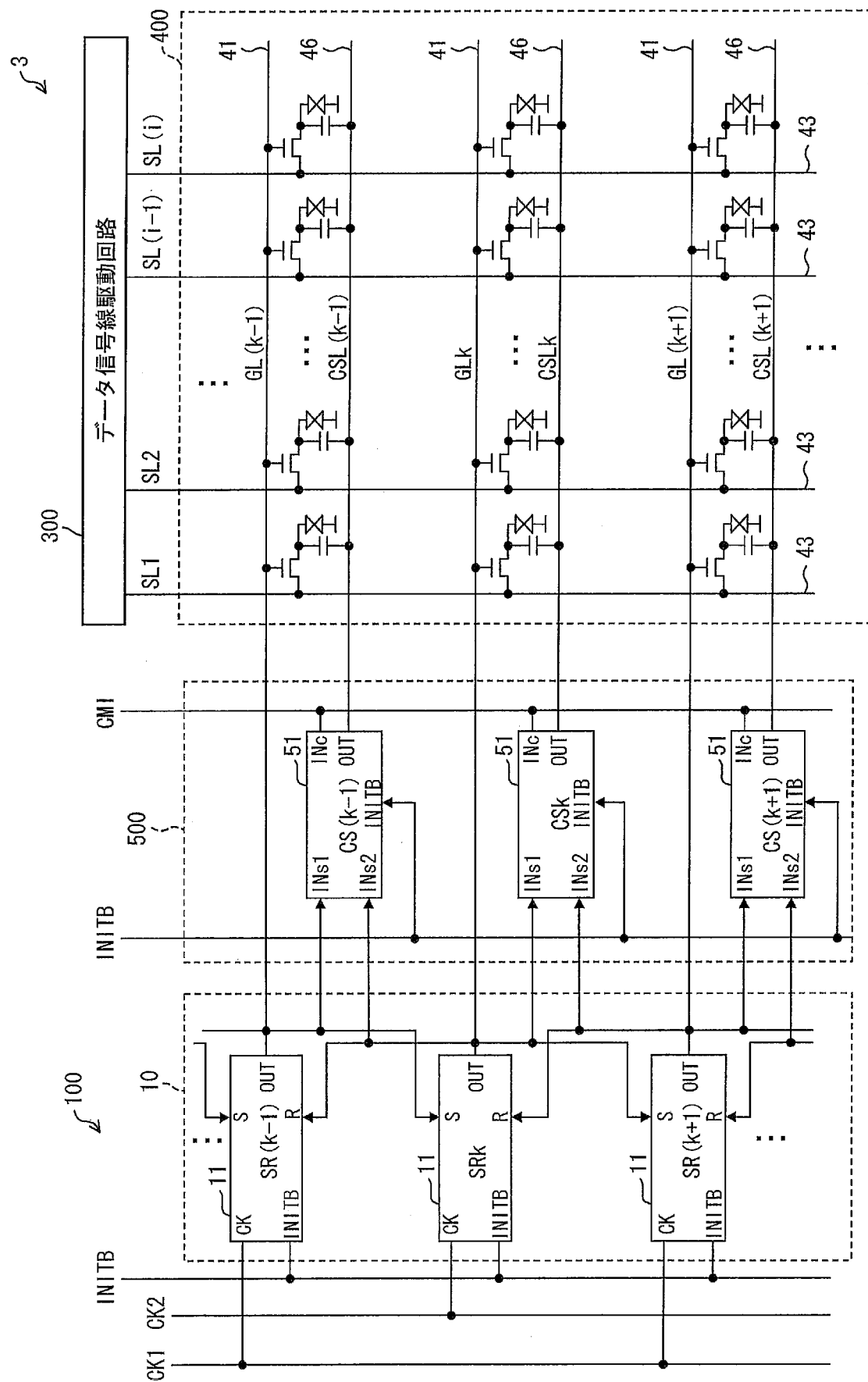
[図29]



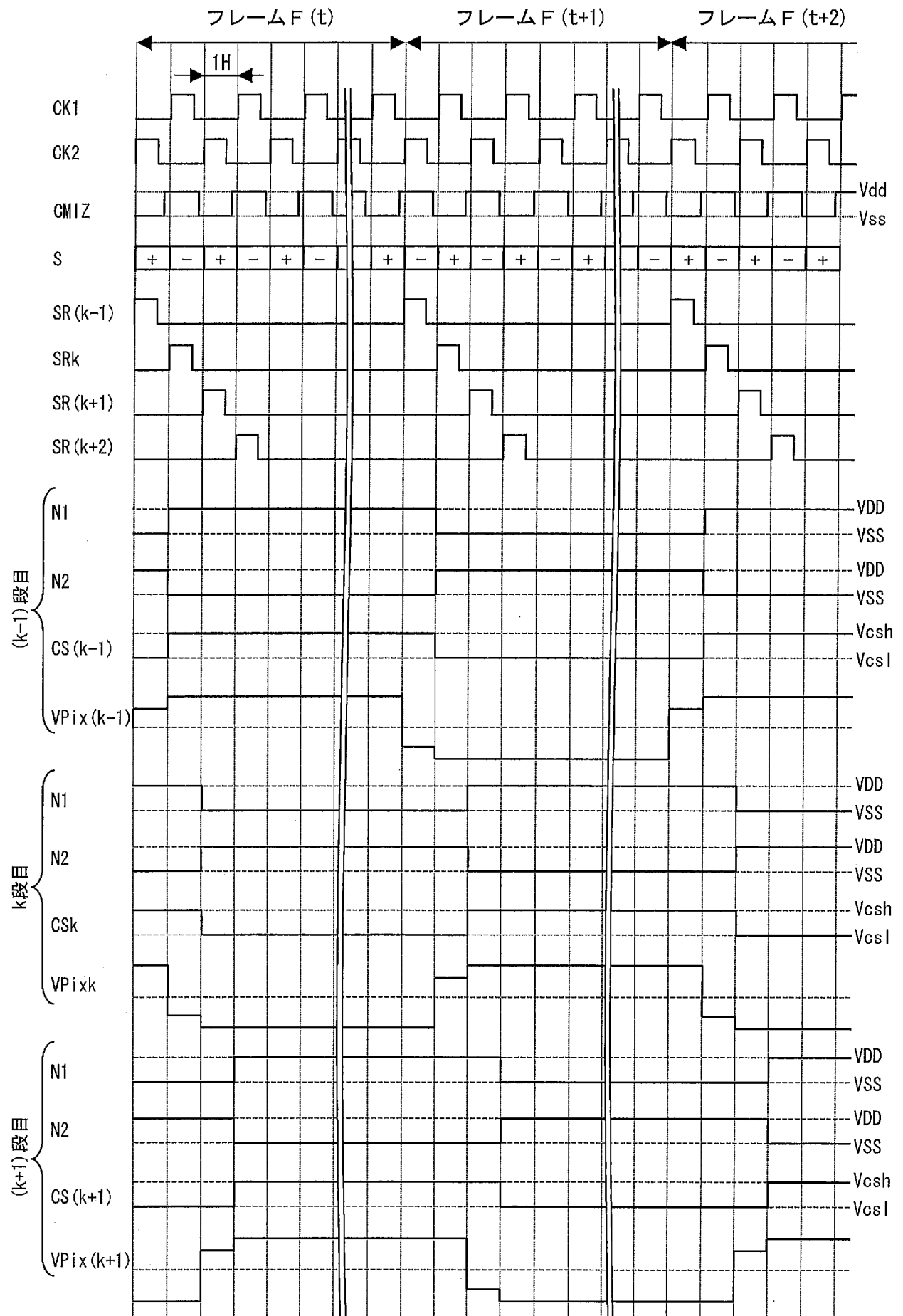
[図30]



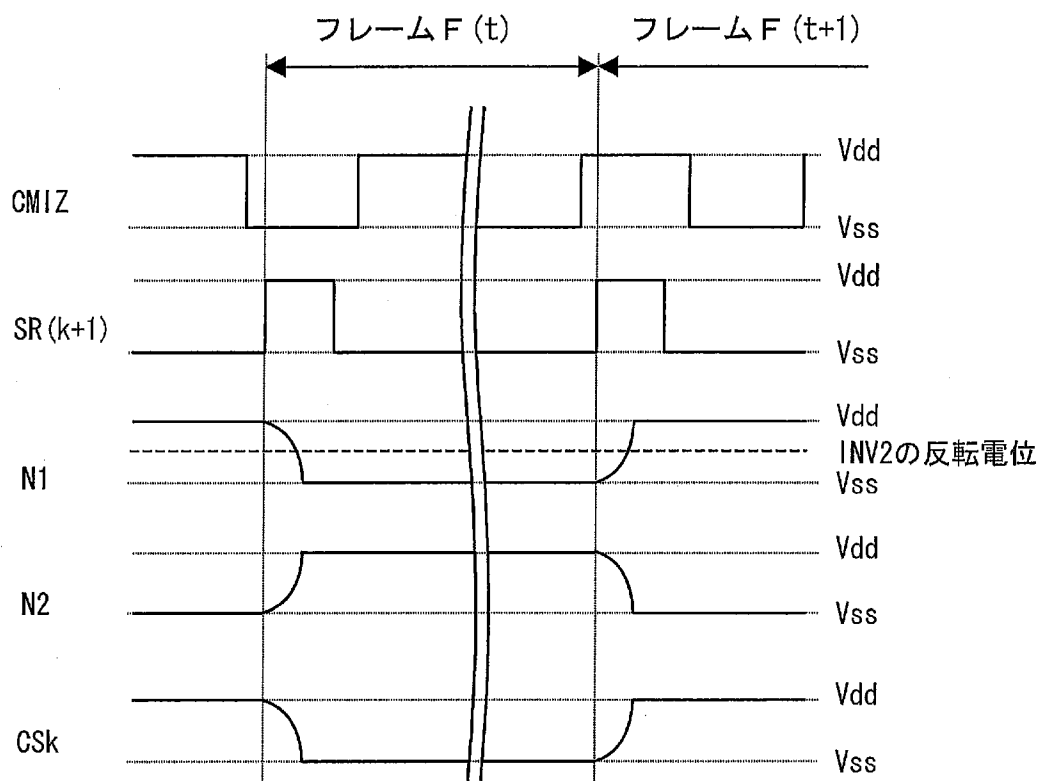
[図31]



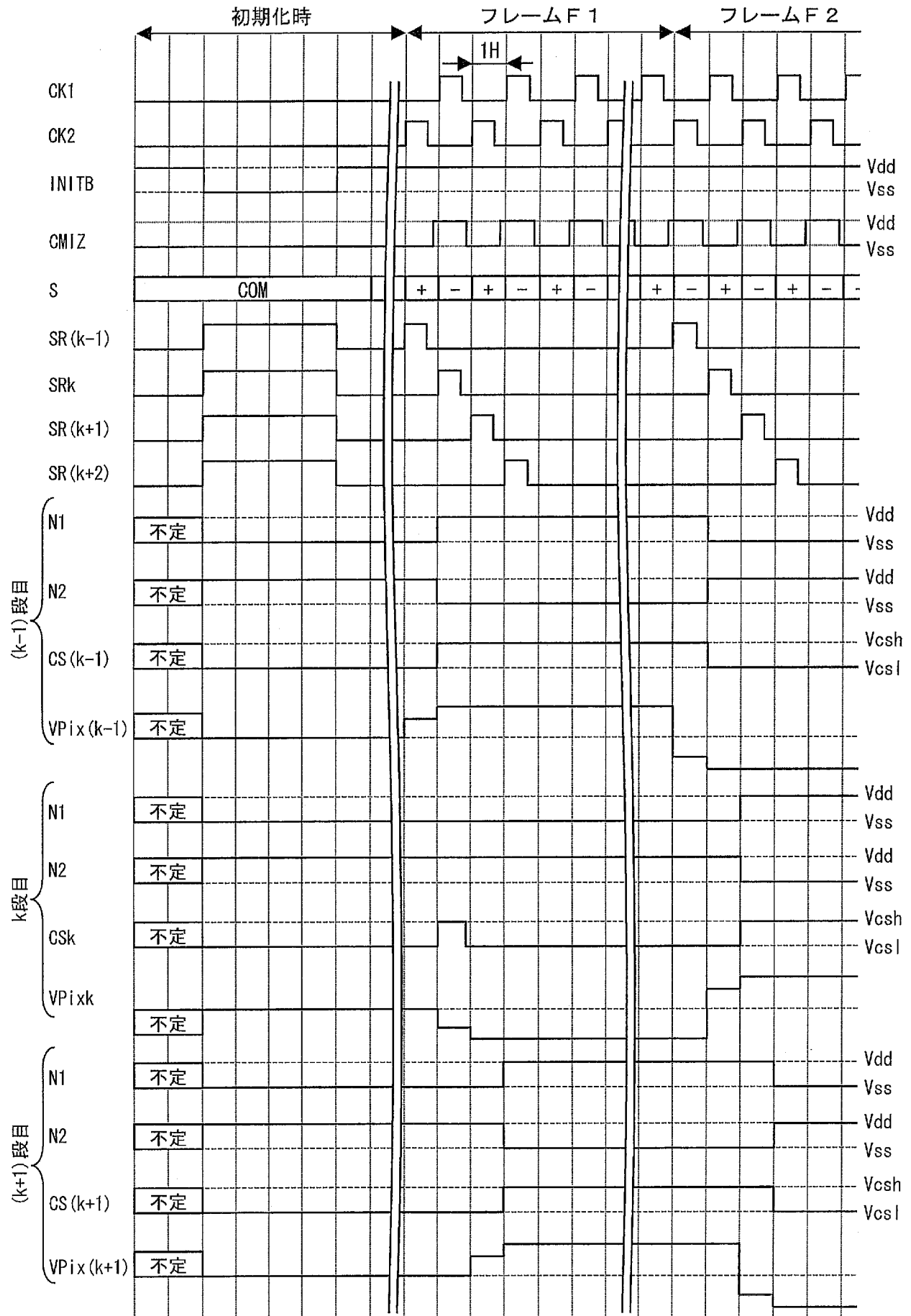
[図33]



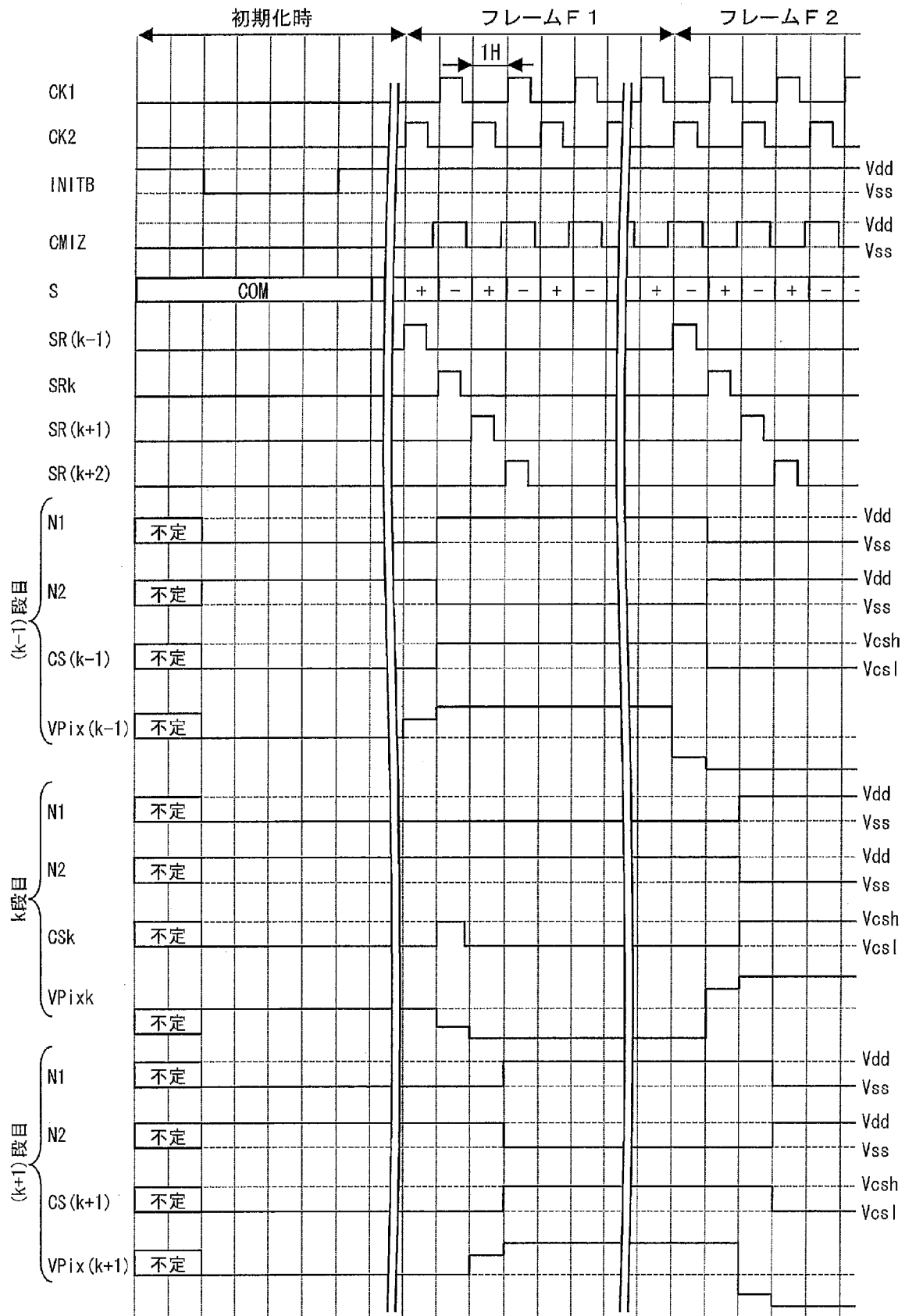
[図34]



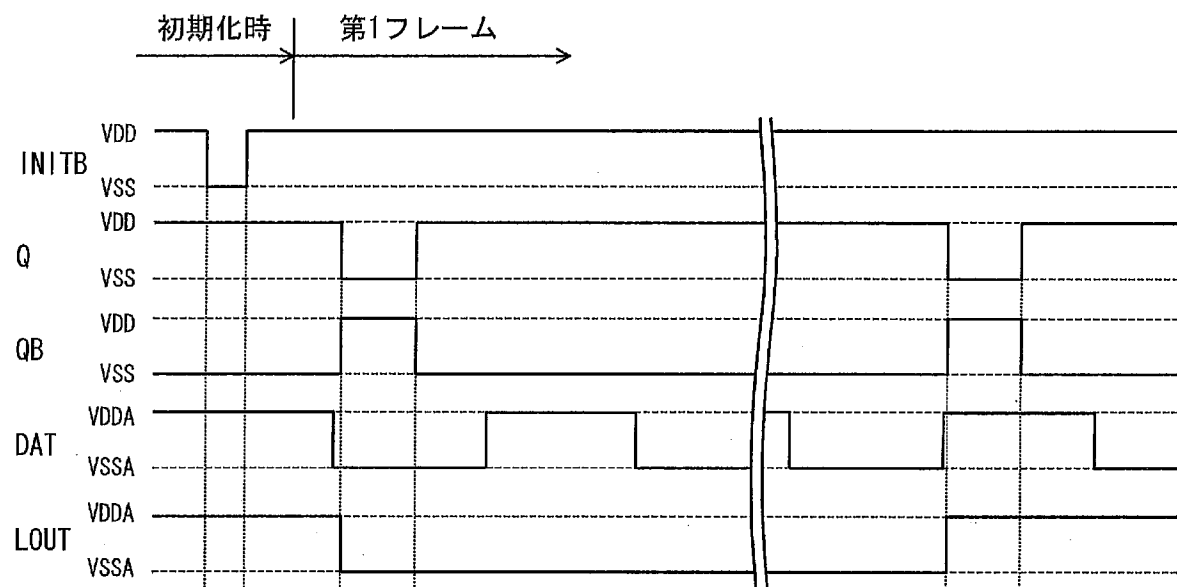
[図35]



[図36]



[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066194

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/356(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/356, G02F1/133, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-128767 A (Fujitsu Ltd.), 22 April 2004 (22.04.2004), entire text; fig. 1 (Family: none)	1-12
Y	WO 2010/146756 A1 (Sharp Corp.), 23 December 2010 (23.12.2010), entire text; fig. 1 (Family: none)	1-12
Y	JP 2000-259132 A (Sharp Corp.), 22 September 2000 (22.09.2000), entire text; fig. 25 & US 006879313 B1 & US 2005/0140621 A1 & US 2005/0168252 A1	1-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July, 2012 (10.07.12)Date of mailing of the international search report
17 July, 2012 (17.07.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K3/356(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K3/356, G02F1/133, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2 0 0 4 - 1 2 8 7 6 7 A (富士通株式会社) 2 0 0 4 . 0 4 . 2 2、全文、図1 (ファミリーなし)	1 - 1 2
Y	W O 2 0 1 0 / 1 4 6 7 5 6 A 1 (シャープ株式会社) 2 0 1 0 . 1 2 . 2 3、全文、図1 (ファミリーなし)	1 - 1 2
Y	J P 2 0 0 0 - 2 5 9 1 3 2 A (シャープ株式会社) 2 0 0 0 . 0 9 . 2 2、全文、図25 & U S 0 0 6 8 7 9 3 1 3 B 1 & U S 2 0 0 5 / 0 1 4 0 6 2 1 A 1 & U S 2 0 0 5 / 0 1 6 8 2 5 2 A 1	1 - 1 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

5 X

3 5 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6