

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3664968号
(P3664968)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int.CI.⁷

F 1

H01L 27/146

H01L 27/14

A

H04N 5/335

H04N 5/335

E

H04N 5/335

U

請求項の数 12 (全 19 頁)

(21) 出願番号

特願2000-327663 (P2000-327663)

(22) 出願日

平成12年10月26日 (2000.10.26)

(65) 公開番号

特開2001-223351 (P2001-223351A)

(43) 公開日

平成13年8月17日 (2001.8.17)

審査請求日

平成15年11月18日 (2003.11.18)

(31) 優先権主張番号

特願平11-342588

(32) 優先日

平成11年12月1日 (1999.12.1)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜3-17-6

(74) 代理人 100091672

弁理士 岡本 啓三

(72) 発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜3丁目17番

6号 イノテック株式会社内

審査官 柴山 将隆

(56) 参考文献 特開平11-195778 (JP, A)

特開平07-086549 (JP, A)

特開2001-160620 (JP, A)

最終頁に続く

(54) 【発明の名称】 固体撮像素子、その製造方法及び固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

一導電型の第1の半導体層内の反対導電型の第2の半導体層に形成された受光ダイオードと、一導電型の第3の半導体層内の反対導電型の第4の半導体層に形成された、前記受光ダイオードに隣接する光信号検出用の絶縁ゲート型電界効果トランジスタとを備えた固体撮像素子において、

前記受光ダイオードの部分は、前記第2の半導体層の表層に一導電型の不純物領域を有し、前記絶縁ゲート型電界効果トランジスタの部分は、前記第4の半導体層の表層に形成された一導電型のソース領域及びドレイン領域と、該ソース領域とドレイン領域の間のチャネル領域と、該チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記チャネル領域下の前記第4の半導体層内部に形成された反対導電型の高濃度埋込層とを有し、

前記第2の半導体層の下の前記第1の半導体層の部分は、前記第4の半導体層の下の前記第3の半導体層の部分よりも深さ方向において厚くなっており、前記第1の半導体層と前記第3の半導体層とが接続し、前記第2の半導体層と前記第4の半導体層とが前記受光ダイオードで発生した光発生電荷を前記高濃度埋込層に蓄積可能に電気的に接続し、かつ前記ドレイン領域と前記不純物領域が同じ不純物濃度を有するとともに相互に接続して形成され、さらにこれらドレイン領域及び不純物領域に接続して形成され、前記ドレイン電極を接続するための該ドレイン領域よりも高濃度の一導電型のコンタクト層を有し、さらに該コンタクト層は前記受光ダイオードの受光部並びに該受光ダイオードと前記絶縁ゲー

ト型電界効果トランジスタの接続部分を避けた位置に形成されていることを特徴とする固体撮像素子。

【請求項 2】

前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記第4の半導体層の表層に形成され、前記ドレイン領域は前記ゲート電極を囲むように前記第4の半導体層の表層に形成されていることを特徴とする請求項1記載の固体撮像素子。

【請求項 3】

前記固体撮像素子は、前記受光ダイオードに形成された開口を除く部分が遮光されていることを特徴とする請求項1又は2の何れか一に記載の固体撮像素子。 10

【請求項 4】

前記絶縁ゲート型電界効果トランジスタのソース領域に負荷回路が接続されてソースフォロワ回路を構成していることを特徴とする請求項1乃至3の何れか一に記載の固体撮像素子。

【請求項 5】

前記ソースフォロワ回路のソース出力は映像信号出力端子に接続されていることを特徴とする請求項4記載の固体撮像素子。

【請求項 6】

反対導電型の半導体基体層内に形成された一導電型の第1の埋込層と、前記半導体基体層の上方に形成され、かつ前記第1の埋込層と接続する一導電型の第1の半導体層と、該第1の半導体層の表層に形成された反対導電型の第2の半導体層とを有する受光ダイオード領域と。 20

前記反対導電型の半導体基体層内に形成された該半導体基体層よりも高い不純物濃度を有する反対導電型の第2の埋込層と、前記半導体基体層の上方に形成され、かつ前記第1の半導体層と接続する一導電型の第3の半導体層と、該第3の半導体層の表層に形成された反対導電型の第4の半導体層と、該第4の半導体層の表層に形成された一導電型のチャネルドープ層と、該チャネルドープ層の下の第4の半導体層内部に形成され、該第4の半導体層よりも高い不純物濃度を有する反対導電型の高濃度埋込層とを有し、前記第4の半導体層は前記受光ダイオードで発生した光発生電荷を内部に形成された前記高濃度埋込層に蓄積可能に前記第2の半導体層と電気的に接続して、前記受光ダイオード領域に隣接して形成された絶縁ゲート型電界効果トランジスタ領域とを備え、前記受光ダイオード領域と前記絶縁ゲート型電界効果トランジスタ領域の表面にゲート絶縁膜が形成されてなる固体撮像素子基板を準備する工程と。 30

前記チャネルドープ層下の前記第4の半導体層内部に形成された前記反対導電型の高濃度埋込層の上部に、前記ゲート絶縁膜を介して前記反対導電型の高濃度埋込層を覆うゲート電極を形成する工程と。

前記ゲート電極をマスクとして前記固体撮像素子基板の表層に一導電型不純物を導入して、前記ゲート電極の両側の第4の半導体層の表層に一導電型のソース領域及びドレイン領域を形成するとともに、前記第2の半導体層の表層に一導電型の不純物領域を形成する工程と。 40

受光部となる前記不純物領域の一部及び前記受光ダイオード領域と絶縁ゲート型電界効果トランジスタ領域の接続部分を少なくとも覆うレジスト膜を形成した後、前記ゲート電極及び前記レジスト膜をマスクとして一導電型不純物を導入し、前記ドレイン領域及び前記不純物領域に接続して、前記ドレイン領域よりも高濃度のコンタクト層を形成する工程とを有することを特徴とする固体撮像素子の製造方法。

【請求項 7】

前記固体撮像素子と同一の基板に、該固体撮像素子を駆動するCMOS回路を構成する低濃度ドレイン(LDD)構造のMOSトランジスタを有し、前記ドレイン領域は、前記CMOS回路のMOSトランジスタの低濃度ドレイン領域を形成する際に同時に形成することを特徴とする請求項6記載の固体撮像素子の製造方法。 50

【請求項 8】

前記固体撮像素子と同一の基板に、該固体撮像素子を駆動するC M O S回路を構成する低濃度ドレイン(L D D)構造のM O Sトランジスタを有し、前記コンタクト層は、前記C M O S回路のM O Sトランジスタの高濃度ドレイン領域を形成する際に同時に形成することを特徴とする請求項6又は7記載の固体撮像素子の製造方法。

【請求項 9】

前記ゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記第4の半導体層の表層に形成し、前記ドレイン領域は前記ゲート電極を囲むように前記第4の半導体層の表層に形成することを特徴とする請求項6乃至8の何れか一に記載の固体撮像素子の製造方法。

【請求項 10】

半導体基体層の表層に形成された一導電型の第1の半導体層、及び該第1の半導体層の表層に形成された反対導電型の第2の半導体層とを有する受光ダイオード領域と、

前記第1の半導体層と接続する一導電型の第3の半導体層、該第3の半導体層の表層に形成された反対導電型の第4の半導体層、該第4の半導体層の表層に形成された一導電型のチャネルドープ層、及び該チャネルドープ層の下の第4の半導体層内部に形成され、該第4の半導体層よりも高い不純物濃度を有する反対導電型の高濃度埋込層を有し、前記第4の半導体層は前記受光ダイオードで発生した光発生電荷を内部に形成された前記高濃度埋込層に蓄積可能に前記第2の半導体層と電気的に接続して、前記受光ダイオード領域に隣接して形成された絶縁ゲート型電界効果トランジスタ領域とを備え、前記受光ダイオード領域と前記絶縁ゲート型電界効果トランジスタ領域の表面にゲート絶縁膜が形成されてなる固体撮像素子基板を準備する工程と、

前記チャネルドープ層下の前記第4の半導体層内部に形成された前記反対導電型の高濃度埋込層の上部に、前記ゲート絶縁膜を介して前記高濃度埋込層を覆うゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記固体撮像素子基板の表層に一導電型不純物を導入して、前記ゲート電極の両側の第4の半導体層の表層に一導電型のソース領域及びドレイン領域を形成するとともに、前記第2の半導体層の表層に一導電型の不純物領域を形成する工程と、

受光部となる前記不純物領域の一部及び前記受光ダイオード領域と絶縁ゲート型電界効果トランジスタ領域の接続部分を少なくとも覆うレジスト膜を形成した後、前記ゲート電極及び前記レジスト膜をマスクとして一導電型不純物を導入し、前記ドレイン領域及び前記不純物領域に接続して、前記ドレイン領域よりも高濃度のコンタクト層を形成する工程とを有することを特徴とする固体撮像素子の製造方法。

【請求項 11】

前記ゲート電極はリング状を有し、前記ソース領域は前記ゲート電極によって囲まれた前記第4の半導体層の表層に形成し、前記ドレイン領域は前記ゲート電極を囲むように前記第4の半導体層の表層に形成することを特徴とする請求項10記載の固体撮像素子の製造方法。

【請求項 12】

請求項1乃至5の何れか一に記載の固体撮像素子を備えた固体撮像装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、固体撮像素子及びその製造方法及び固体撮像装置に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式のM O S型イメージセンサを用いた固体撮像素子及びその製造方法及び固体撮像装置に関する。

【0002】**【従来の技術】**

10

20

30

40

50

C C D 型イメージセンサやM O S 型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。

特に、近年、C C D 型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子と同じC M O S 技術によって作成できるという利点を生かして、M O S 型イメージセンサが見直されている。

【0 0 0 3】

このような世の中の動向に鑑み、本願出願人はM O S 型イメージセンサの改良を行い、チャネル領域下にキャリアポケット（高濃度埋込層）を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。10

この特許（登録番号2935492号）に係る発明では、半導体層の表面欠陥への光発生電荷の注入を抑制し、雑音の低減を図るために、受光ダイオード111は光発生電荷（この場合、正孔）に対する埋め込み構造を有している。即ち、p型のウエル領域の表層にn型の不純物領域が形成されており、p型のウエル領域が光信号検出用M O S トランジスタのp型のベース領域と一体的に形成され、かつ、n型の不純物領域がn型のドレイン領域と一体的に形成されている。従って、受光ダイオード111部分のp型のウエル領域に発生した光発生電荷が光信号の検出に寄与するような構造となっている。

【0 0 0 4】

【発明が解決しようとする課題】20
ところで、将来、M O S 型イメージセンサのさらなる用途拡大を図るためにには、分光感度特性、特に青色感度の向上を図ることが望まれている。この場合、新たな製造工程を増やすことなく、かつ雑音や暗電流の低減を維持しつつ、上記感度向上を図ることが好ましい。

【0 0 0 5】

本発明は、新たな製造工程を増やすことなく、雑音や暗電流の低減を維持しつつ、青色感度の向上を図ることが可能なM O S 型イメージセンサを用いた固体撮像素子及びその製造方法及び固体撮像装置を提供するものである。

【0 0 0 6】

【課題を解決するための手段】30
上記課題を解決するため、この発明は固体撮像素子に係り、その基本構成として、図2(a)に示すように、受光ダイオード111と光信号検出用の絶縁ゲート型電界効果トランジスタ(M O S トランジスタ)112が隣接して形成されている。さらに、光信号検出用M O S トランジスタ112のゲート電極下でチャネル領域下の第2のウエル領域15b内に光発生電荷を蓄積する高濃度埋込層(キャリアポケット)25を有し、受光ダイオード111の第1のウエル領域(第2の半導体層)15aと光信号検出用の絶縁ゲート型電界効果トランジスタ(M O S トランジスタ)112の第2のウエル領域(第4の半導体層)15bとが受光ダイオード111で発生した光発生電荷を高濃度埋込層25に蓄積可能に電気的に接続している。

そして、光信号検出用M O S トランジスタ112は第2のウエル領域(第4の半導体層)15bの表層に低濃度のドレイン領域を有し、かつ受光ダイオード111部の第1のウエル領域(第2の半導体層)15aの表層に不純物領域17を有している。受光ダイオード111部の不純物領域17と光信号検出用M O S トランジスタ112部の低濃度のドレイン領域17aとは一体的に形成され、同じ不純物濃度を有することを特徴としている。

【0 0 0 7】

本発明に係る固体撮像素子の製造方法では、同一の不純物導入工程を経て不純物領域17と低濃度のドレイン領域17aとを同時に形成し、不純物領域17の不純物濃度を低濃度のドレイン領域17aの不純物濃度とほぼ同じにしている。この場合、図2(a)に示すように、ドレイン電極22のコンタクト層として受光部を避けて低濃度のドレイン領域17aと接続するように高濃度のドレイン領域(コンタクト層)17bを形成する。50

【0009】

本発明によれば、低濃度のドレイン領域17aを形成すると同時に不純物領域17を形成している。即ち、不純物領域17の不純物濃度を低濃度としているので、イオン注入等を用いた不純物導入において不純物領域17の深さをより浅く形成することができる。これにより、波長が短く、表面近くで急激に減衰してしまう青色光を十分な強度で受光することができる。

【0010】

しかも、受光領域となる反対導電型の第1のウエル領域15aの表層に一導電型の不純物領域17が形成されているため、受光ダイオード111は光発生電荷に対する埋め込み構造を有している。従って、表面の捕獲準位や正孔発生中心に対して中性化された状態を維持することができるため、光発生電荷以外の電荷による雑音や暗電流を低く維持することができる。

10

【0011】

これにより、雑音や暗電流を低く維持しつつ、青色感度の向上を図ることが可能となる。また、固体撮像素子を駆動するCMOS回路を固体撮像素子と同一の基板に有しており、CMOS回路を構成するLDD構造のMOSトランジスタの低濃度ドレイン領域を形成する際に同時に低濃度の不純物領域17を形成し、さらに同じくLDD構造のMOSトランジスタの高濃度ドレイン領域を形成する際に同時に高濃度のコンタクト層を形成している。

【0012】

20

これにより、新たな製造工程を増やすことなく、雑音や暗電流を低く維持しつつ、青色感度の向上を図ることができる。

【0013】**【発明の実施の形態】**

以下に、本発明の実施の形態について図面を参照しながら説明する。

図1は、本発明の実施の形態に係るMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。

図1に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。光信号検出用MOSトランジスタ112は低濃度のドレイン領域を有する。

30

【0014】

これら受光ダイオード111、光信号検出用MOSトランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域（第2の半導体層）15aと第2のウエル領域（第4の半導体層）15bを有し、それらは互いに繋がっている。受光ダイオード111の部分の第1のウエル領域15aは光照射による電荷の発生領域の一部を構成し、光信号検出用MOSトランジスタ112の部分の第2のウエル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0015】

光信号検出用MOSトランジスタ112の部分は低濃度のドレイン領域を有し、その低濃度のドレイン領域17aが延在して低濃度のドレイン領域17aとほぼ同じ不純物濃度を有する受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに繋がった第1及び第2のウエル領域15a, 15bの表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域17と低濃度のドレイン領域17aの外側周辺部には受光部を避けて低濃度ドレイン領域17aに接続するように高濃度のドレイン領域、即ち低抵抗のコンタクト層17bが形成されている。

40

【0016】

ドレイン領域17a、17bはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16a、16bはリング状のゲート電極19の内周に囲まれるように形

50

成されている。

さらに、このMOS型イメージセンサの特徴であるキャリアポケット（高濃度埋込層）25は、ゲート電極19下の第2のウエル領域15b内であって、ソース領域16aの周辺部に、ソース領域16a、16bを取り囲むように形成されている。

【0017】

ドレイン領域17a、17bは低抵抗のコンタクト層17bを通してドレイン電圧（VDD）供給線22と接続され、ゲート電極19は垂直走査信号（VSCAN）供給線21に接続され、ソース領域16a、16bは低抵抗のコンタクト層16bを通して垂直出力線20に接続されている。

また、受光ダイオード111の受光窓24以外の領域は金属層（遮光膜）23により遮光されている。 10

【0018】

上記のMOS型イメージセンサにおける光信号検出のための素子動作は、掃出期間（初期化）-蓄積期間-読み出しが繰り返し行われる。掃出期間（初期化）では、光発生電荷（光発生キャリア）を蓄積する前に、読み出しが終わった光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出しが前の残留電荷を半導体内から排出して、キャリアポケット25を空にする。ソース領域16a、16bやドレイン領域17a、17bやゲート電極19に約+5V以上、通常7~8V程度の電圧を印加する。

【0019】

蓄積期間では、光照射によりキャリアを発生させ、第1及び第2のウエル領域15a、15b内を移動させてキャリアポケット25に蓄積させる。ドレイン領域17a、17bに凡そ+2~3Vの電圧を印加するとともにゲート電極19にMOSトランジスタ112がカットオフ状態を維持するような低い電圧を印加する。 20

【0020】

読み出しが前回の蓄積された光発生電荷による光信号検出用MOSトランジスタの閾値電圧の変化をソース電位の変化として読み取る。MOSトランジスタ112が飽和状態で動作するように、ドレイン領域17a、17bに凡そ+2~3Vの電圧を印加するとともにゲート電極19に凡そ+2~3Vの電圧を印加する。

【0021】

次に、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造を断面図を用いて説明する。 30

図2(a)は、図1のA-A線に沿う断面図に相当する、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造について示す断面図である。図2(b)は、半導体基板表面に沿うポテンシャルの様子を示す図である。

【0022】

図3は図1のB-B線に沿う断面図であり、図4は図1のC-C線に沿う断面図である。図2(a)に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp型シリコンからなる基板11上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコンをエピタキシャル成長し、エピタキシャル層（第7の半導体層）31を形成する。 40

【0023】

このエピタキシャル層31に受光ダイオード111と光信号検出用MOSトランジスタ112とからなる単位画素101が形成されている。そして、各単位画素101を分離するように、隣接する単位画素101間に、エピタキシャル層31表面のフィールド絶縁膜14と、その下のエピタキシャル層31全体にわたるp型の高濃度領域である素子分離層13とが形成されている。

【0024】

次に、受光ダイオード111の詳細について図2(a)及び図3により説明する。

受光ダイオード111は、エピタキシャル層31内であって基板11に接して埋め込まれたn型埋込層（一導電型の埋込層、第1の埋込層）32と、n型埋込層32上に形成され

た低濃度の n 型ウエル層（一導電型領域）12と、n 型ウエル層12の表層に形成された p 型の第1のウェル領域15aと、第1のウェル領域15aに大部分の領域がかかるよう にn 型ウエル層12の表層に形成されたn 型の不純物領域17とで構成されている。

【0025】

光信号検出用MOSトランジスタ112の低濃度のドレイン領域17aは延在して不純物領域17が形成されている。そして、不純物領域17が低濃度ドレイン領域とほぼ同じ不純物濃度を有し、不純物領域17の深さを浅く形成していることを特徴としている。

この場合の不純物濃度分布を図5に示す。図5は、受光ダイオード111の中央部における、D-D線に沿う深さ方向の不純物濃度分布及び対応するポテンシャル分布を示すグラフである。横軸は線形目盛りで表した半導体基板表面からの深さ(μm)を示し、左側の縦軸は対数目盛りで表した不純物濃度(c m⁻³)を示し、右側の縦軸は線形目盛りで表したポテンシャル(任意単位)を示す。

【0026】

図5の不純物濃度分布に示すように、不純物領域17の厚さは表面から200nm前後であり、不純物領域17の不純物濃度のピーク位置は50nm以下となっており、ピーク位置での不純物濃度は凡そ $3 \times 10^{18} \text{ c m}^{-3}$ となっている。

n型埋込層32は厚さが凡そ1μmとなっており、第1のウェル領域15aの下のn型層12の厚さ凡そ0.5μmと合わせて、受光ダイオード111の第1のウェル領域15aの下のn型層12及び32の厚さは凡そ1.5μmとなっている。上記の不純物領域17の不純物濃度のピーク位置及びピーク位置での不純物濃度は適宜変更することができる。

【0027】

上記構造の受光ダイオード111では、不純物領域17の不純物濃度を低濃度とすることにより不純物領域17の深さをより浅く形成しているので、波長が短く、表面近くで急激に減衰してしまう青色光を十分な強度で受光することができる。

上記説明した蓄積期間において、不純物領域17はドレイン電圧供給線22に接続されて正の電位にバイアスされる。このとき、不純物領域17と第1のウェル領域15aとの境界面から空乏層が第1のウェル領域15a全体に広がり、n型ウエル層12に達する。一方、基板11とn型埋込層32との境界面から空乏層がn型埋込層32及びその上のn型ウエル層12全体に広がり、第1のウェル領域15aに達する。

【0028】

このときのポテンシャル分布を図5に示す。受光ダイオード111の部分は上記のような不純物濃度分布を有しているので、第1のウェル領域15a及びn型層12/32では、図5に示すように、ポテンシャルが基板11側から表面側に向かって漸減するようなポテンシャル分布となる。このため、第1のウェル領域15a内とn型層12/32内で光により発生した正孔(ホール)は基板11側に流出しないでこれらの領域15aやn型層12/32内にとどまるようになる。これらの領域15aやn型層12/32は光信号検出用MOSトランジスタ112のゲート領域15bと繋がっているため、光により発生したこれらのホールを光信号検出用MOSトランジスタ112の閾値電圧変調用の電荷として有效地に用いることができる。言い換えれば、第1のウェル領域15a及びn型層12/32全体が光によるキャリア発生領域となる。

【0029】

このように、n型埋込層32を有するので、受光ダイオード111のキャリア発生領域の全厚は厚くなる。これにより、受光ダイオード111に光を照射したとき、そのキャリア発生領域は赤色光のような受光部の奥深くまで到達する波長の長い光に対して感度のよい受光部となる。

また、上記の受光ダイオード111においては不純物領域17の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード111は光により発生した正孔(ホール)に対する埋め込み構造を有している。従って、界面捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。

【0030】

10

20

30

40

50

次に、光信号検出用MOSトランジスタ(nMOS)112の詳細について図2(a)及び図4により説明する。

即ち、リング状のゲート電極19の外周をn型の低濃度のドレイン領域17aが囲むような構造を有する。n型の低濃度のドレイン領域17aはn型の不純物領域17と一体的に形成されている。低濃度のドレイン領域17aはn型の不純物領域17の外側周辺部には、これらと接続してコンタクト層としての高濃度のドレイン領域17bが形成されている。

【0031】

また、リング状のゲート電極19によって囲まれるように、周辺部のn型の低濃度のソース領域16aと、これに接続してコンタクト層としての中央部の高濃度のソース領域16bが形成されている。即ち、ゲート電極19は、ドレイン領域17aとソース領域16aの間の第2のウエル領域15b上にゲート絶縁膜18を介して形成されている。ゲート電極19下の第2のウエル領域15bの表層がチャネル領域となる。

【0032】

さらに、通常動作電圧において、チャネル領域を反転状態或いはデプレーション状態に保持するため、チャネル領域に適当な濃度のn型不純物を導入してチャネルドープ層15cを形成している。

そのチャネル領域の下の第2のウエル領域15b内であってチャネル長方向の一部領域に、即ちソース領域16a、16bの周辺部であって、ソース領域16a、16bを囲むように、p+型のキャリアポケット(高濃度埋込層)25が形成されている。このp+型のキャリアポケット25は、例えばイオン注入法により形成することができる。キャリアポケット25は表面に生じるチャネル領域よりも下側の第2のウエル領域15b内に形成される。キャリアポケット25はチャネル領域にからないように形成することが望ましい。

【0033】

上記したp+型のキャリアポケット25では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン領域17a、17bにゲート電圧よりも高い電圧を印加したときに光発生ホールをこのキャリアポケット25に集めることができる。図2(b)に光発生ホールがキャリアポケット25に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、光信号検出用MOSトランジスタ112の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

【0034】

図6は、光信号検出用MOSトランジスタ112におけるキャリアポケット25部分を含む、E-E線に沿う深さ方向の不純物濃度分布及び対応するポテンシャル分布を示すグラフである。

横軸は線形目盛りで表した半導体基板表面からの深さ(μm)を示し、左側の縦軸は対数目盛りで表した不純物濃度(c m⁻³)を示し、右側の縦軸は線形目盛りで表したポテンシャル(任意単位)を示す。

【0035】

図6の不純物濃度分布図に示すように、基板11とn型ウエル層12の間に高い不純物濃度のp型埋込層(第2の埋込層)33を有することを特徴としている。即ち、第2のウエル領域15bの下のn型層(第3の半導体層)は、n型ウエル層12と一致し、表面から深さ方向凡そ0.8μmのところにp型埋込層33との境界がある。第2のウエル領域15bの下のn型層の厚さは約0.4μmと、受光ダイオード111の第1のウエル領域15aの下のn型層(第1の半導体層)12及び32の厚さ約1.5μmに比べて薄くなっている。

【0036】

また、p型埋込層33の不純物濃度のピーク位置は凡そ1.1μm前後のところにあり、そのピーク位置での不純物濃度は凡そ5×10¹⁶c m⁻³となっている。

10

20

30

40

50

なお、キャリアポケット25は、深さ凡そ $0.2\mu\text{m}$ 前後のところに形成され、不純物濃度のピーク値は凡そ $1 \times 10^{17}\text{cm}^{-3}$ となっている。キャリアポケット25の位置や不純物濃度のピーク値及びピーク位置の深さは、主に蓄積期間や読出期間においてキャリアポケット25にキャリアが十分に蓄積し得るポテンシャルとなるように、かつ読出期間においてキャリアポケット25のキャリアの蓄積状態がチャネル領域に十分に影響を及ぼすことができるよう設定される。従って、背景の第1のウエル領域15aの不純物濃度分布の状態や、チャネルドープ層の不純物濃度や深さ、蓄積期間での印加電圧や、読出期間での印加電圧等により適宜変更する。

【0037】

ところで、上記したキャリアの掃出期間においては、ゲート電極19に高い電圧を印加し、それによって生じる電界によって第2のウエル領域15bに残るキャリアを基板11側に掃き出している。この場合、印加した電圧によって、チャネル領域のチャネルドープ層15cと第2のウエル領域15bとの境界面から空乏層が第2のウエル領域15bに広がり、また、p型埋込層33とn型ウエル層12との境界面から空乏層が第2のウエル領域15bの下のn型ウエル層12に広がる。

【0038】

従って、ゲート電極19に印加した電圧による電界の及ぶ範囲は、主として第2のウエル領域15b及び第2のウエル領域15bの下のn型ウエル層12にわたる。

この発明の場合、第2のウエル領域15bの下のn型ウエル層12の厚さが薄く、かつn型ウエル層12の基板11側に隣接して高濃度のp型埋込層33が形成されている。このため、掃出期間においてp型埋込層33とn型ウエル層12との境界面からn型ウエル層12に広がる空乏層の厚さは薄くなる。

【0039】

即ち、図6のポテンシャル分布図のように、ゲート電極19からの電圧は主に第2のウエル領域15bにかかることになる。言い換えれば、第2のウエル領域15bに急激なポテンシャル変化が生じて正孔を基板11側に掃き出すような強い電界が主として第2のウエル領域15bにかかるため、キャリアポケット25及び第2のウエル領域15b内に蓄積されたキャリアを、低いリセット電圧でそこからより確実に掃き出すことができ、これによりリセット効率の向上を図ることができる。

【0040】

次に、図8を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図8は、本発明の実施の形態におけるMOS型イメージセンサの回路構成図を示す。

図8に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素が列方向及び行方向にマトリクス状に配列されている。

【0041】

また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査回路103が画素領域を挟んでその左右に配置されている。垂直走査信号供給線21a, 21bは垂直走査信号(VSCAN)の駆動走査回路102から行毎に一つずつでている。各垂直走査信号供給線21a, 21bは行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲートに接続されている。

【0042】

また、ドレイン電圧供給線(VDD供給線)22a, 22bはドレイン電圧(VDD)の駆動走査回路103から行毎に一つずつでている。各ドレイン電圧供給線(VDD供給線)22a, 22bは、行方向に並ぶ全ての単位画素101内の光信号検出用MOSトランジスタ112のドレインに接続されている。

また、列毎に異なる垂直出力線20a, 20bが設けられて、各垂直出力線20a, 20bは列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソースにそれぞれ接続されている。

【0043】

10

20

30

40

50

さらに、列毎に異なるスイッチとしてのMOSトランジスタ105a, 105bが設けられており、各垂直出力線20a, 20bは各MOSトランジスタ105a, 105bのドレイン（光検出信号入力端子）28a, 29aに1つずつ接続されている。各スイッチ105a, 105bのゲート（水平走査信号入力端子）28b, 29bは水平走査信号（HSCAN）の駆動走査回路104に接続されている。

【0044】

また、各スイッチ105a, 105bのソース（光検出信号出力端子）28c, 29cは共通の定電流源（負荷回路）106を通して映像信号出力端子107に接続されている。即ち、各単位画素101内のMOSトランジスタ112のソースは定電流源106に接続され、画素単位のソースフォロワ回路を形成している。従って、各MOSトランジスタ112のゲート-ソース間の電位差、及びバルク-ソース間の電位差は接続された定電流源106により決定される。10

【0045】

垂直走査信号（VSCAN）及び水平走査信号（HSCAN）により、遂次、各単位画素のMOSトランジスタ112を駆動して光の入射量に比例した映像信号（Vout）が読み出される。

図9は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。p型の第1及び第2のウエル領域15a, 15bを用い、かつ光信号検出用トランジスタ112がnMOSの場合に適用する。

【0046】

素子動作は、前記したように、掃出期間（初期化）-蓄積期間-読出期間-掃出期間（初期化）-…というように繰り返し行う。ここでは詳細な説明を省略する。20

次に、図8、図9にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。

【0047】

まず、初期化動作により、キャリアポケット25内、第1及び第2のウエル領域15a, 15b内に残る電荷を排出する。即ち、VDD供給線22a, 22bを通して光信号検出用MOSトランジスタ112のドレインに、またVSCAN供給線21a, 21bを通して同ゲートにそれぞれ約6Vの高い正の電圧を印加する。このとき、第2のウエル領域15bの下のn型ウエル層12の厚さは薄く、かつn型ウエル層12の基板11側に高濃度のp型埋込層33が接しているので、ゲート電極19に印加した電圧は第2のウエル領域15b及びその極めて近くの領域にしかかからない。即ち、第2のウエル領域15bに急激なポテンシャル変化が生じて正孔を基板11側に掃き出すような強い電界が主として第2のウエル領域15bにかかるため、低いリセット電圧でより確実にキャリアを掃き出すことができ、これによりリセット効率の向上を図ることができる。30

【0048】

次いで、光信号検出用MOSトランジスタのゲート電極19に低いゲート電圧を印加し、ドレイン領域17a, 17bにトランジスタの動作に必要な約2~3Vの電圧（VDD）を印加する。このとき、第1のウエル領域15aとn型ウエル層12及びn型埋込層32が空乏化するとともに、第2のウエル領域15bは空乏化する。そして、ドレイン領域17a, 17bからソース領域16a, 16bに向かう電界が生じる。40

【0049】

次いで、受光ダイオード111に光を照射する。このとき、受光ダイオード111の部分のキャリア発生領域は、表面に近く形成されているので、青色光のような波長が短く、表面近くで減衰しやすい光に対しても感度が向上し、またその全厚は厚くなっているので、赤色光のような受光部の奥深くまで到達する波長の長い光に対しても感度が向上している。従って、効率よく、電子-正孔対（光発生電荷）を生じさせることができる。

【0050】

上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用MOSトランジスタ112のゲート領域に注入され、かつキャリアポケット25に蓄積される。これにより、チ50

チャネル領域からその下のゲート領域 15 b に広がる空乏層幅が制限されるとともに、そのソース領域 16 a、16 b 付近のポテンシャルが変調されて、光信号検出用 MOS トランジスタ 112 の閾値電圧が変動する。

【0051】

ここで、ゲート電極 19 に MOS トランジスタ 112 が飽和状態で動作しうる約 2 ~ 3 V のゲート電圧を印加し、ドレイン領域 17 a、17 b に MOS トランジスタ 112 が動作しうる約 2 ~ 3 V の電圧 VDD を印加する。これにより、キャリアアポケット 25 上方のチャネル領域の一部に低電界の反転領域が形成され、残りの部分に高電界領域が形成される。このとき、光信号検出用 MOS トランジスタ 112 のドレイン電圧 - 電流特性は、図 7 に示すように、飽和特性を示す。

10

【0052】

さらに、MOS トランジスタ 112 のソース領域 16 a、16 b に定電流源 106 を接続して一定の電流を流す。これにより、MOS トランジスタ 112 はソースフォロワ回路を形成し、従って、光発生ホールによる光信号検出用 MOS トランジスタ 112 の閾値電圧の変動に追随してソース電位が変化し、出力電圧の変化をもたらす。

【0053】

このようにして、光照射量に比例した映像信号 (Vout) を取り出すことができる。以上のように、この発明の実施の形態によれば、掃出動作（初期化） - 蓄積動作 - 讀出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。

20

【0054】

また、キャリアアポケット 25 への電荷蓄積により、図 7 に示すように、MOS トランジスタ 112 を飽和状態で動作させることができ、しかも、ソースフォロワ回路を形成しているので、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0055】

次に、上記構造の固体撮像素子の製造方法について図 10 ~ 図 11 を参照して説明する。図 10 (a) は、ゲート電極 19 が形成された後の状態を示す断面図である。図中、符号 11 は不純物濃度約 $4 \times 10^{18} \text{ cm}^{-3}$ の p 型シリコンからなる基板である。この基板 11 上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度の p 型シリコンをエピタキシャル成長して、膜厚約 3 μm のエピタキシャル層が形成されている。基板 11 は第 1 の基体層の全体及び第 2 の基体層の一部を構成し、エピタキシャル層 31 は第 2 の基体層の一部を構成する。素子形成領域の右側に受光ダイオード 111 が形成され、同じく左側に受光ダイオード 111 に隣接して光信号検出用 MOS トランジスタ 112 が形成されている。

30

【0056】

エピタキシャル層 31 の表層には、ピーク位置約 0.55 μm、ピーク不純物濃度約 $3 \times 10^{16} \text{ cm}^{-3}$ の n 型ウエル層（一導電型領域）12 が形成されている。n 型ウエル層 12 は第 1 の半導体層の一部及び第 3 の半導体層の全体を構成する。

受光ダイオード 111 の部分に、ピーク位置約 1.5 μm、ピーク不純物濃度約 $1 \times 10^{17} \text{ cm}^{-3}$ の、基板 11 及び n 型ウエル層 12 に接するような n 型埋込層（第 1 の埋込層）32 が形成されている。その上方の n 型ウエル層 12 内にピーク位置約 0.3 μm、ピーク不純物濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ 及びピーク位置約 0.55 μm、ピーク不純物濃度約 $2 \times 10^{16} \text{ cm}^{-3}$ の、n 型埋込層 32 とほぼ同じ幅を有する p 型の第 1 のウエル層（第 2 の半導体層）15 a が形成されている。n 型埋込層（第 1 の埋込層）32 と第 1 のウエル領域 15 a はともに第 1 のマスクを通してイオン注入により形成される。なお、n 型埋込層 32 は第 1 の半導体層の一部を構成する。

40

【0057】

また、光信号検出用 MOS トランジスタ 112 の部分に、図 6 に示すように、n 型ウエル層 12 に接するように、ピーク位置約 1.2 μm、ピーク不純物濃度約 $5 \times 10^{16} \text{ cm}^{-3}$ の p 型埋込層（第 2 の埋込層）33 が形成されている。その上方の n 型ウエル層 12 内に

50

ピーク位置約 $0.1\mu\text{m}$ 、ピーク不純物濃度約 $1.2\times10^{17}\text{cm}^{-3}$ の第2のウエル領域15bが形成されている。p型埋込層(第2の埋込層)33と第2のウエル領域15bはともに第2のマスクを通してイオン注入により形成される。なお、p型埋込層33は第2の基体層の一部を構成する。

【0058】

第2のウエル領域15bの表層であって高濃度埋込層25に接して表面濃度約 $2\times10^{17}\text{cm}^{-3}$ のn型のチャネルドープ層15cが形成されている。

また、図6に示すように、チャネルドープ層15c下の第2のウエル領域15bに、ピーク位置約 $0.2\mu\text{m}$ 、ピーク不純物濃度約 $1\times10^{17}\text{cm}^{-3}$ のp+型の高濃度埋込層25が形成されている。高濃度埋込層25は第3のマスクを通してイオン注入により形成される。

10

【0059】

このような状態で、まず、図10(b)に示すように、低濃度ドレイン構造を形成するため、ゲート電極19をマスクとし、ゲート絶縁膜18を通してn型不純物をイオン注入する。これにより、ゲート電極19の両側に低濃度のソース/ドレイン領域16a及び17aを形成する。このとき、同時に、図12に示す周辺回路のn-CMOSのゲート電極の両側にn型低濃度のソース/ドレイン領域を形成する。

【0060】

次いで、図10(c)に示すように、CVD(Chemical Vapor Deposition)法等により絶縁膜を形成する。続いて、異方性エッチングを行い、ゲート電極19の側面にその絶縁膜からなるサイドウォール34を形成する。

20

次に、図11(a)に示すように、受光ダイオード111の受光部を覆うレジストマスク35を形成する。その後、ゲート電極19、サイドウォール34及びレジストマスク35をマスクとしてn型不純物をイオン注入する。これにより、ソース領域16aの中央部及びドレイン領域17aの周辺部にコンタクト層としての高濃度のソース領域16b及びドレイン領域17bを形成する。このとき、同時に、図12に示す周辺回路のn-CMOSのゲート電極の両側であって、n型低濃度のソース/ドレイン領域のさらに外側にn型高濃度のソース/ドレイン領域を形成する。

【0061】

次いで、図11(b)に示すように、レジストマスク35を除去した後、図示しない第1層目の層間絶縁膜を形成する。続いて、第1層目の層間絶縁膜上にMOS形成領域のソース/ドレイン領域16b及び17bと接続する下層のソース/ドレイン電極又は配線層22、及びゲート電極19と接続するゲート配線層21を形成する。

30

【0062】

続いて、図示しない第2層目の層間絶縁膜を形成した後、MOS形成領域の下層のソース/ドレイン電極又は配線層22と接続する上層のソース/ドレイン電極又は配線層20を第2層目の層間絶縁膜上に形成する。

次に、図示しない第3層目の層間絶縁膜を形成した後、その上に受光ダイオード111部分に開口部(受光窓)24を有する遮光膜23を形成する。その後、素子表面全体を覆うように、図示しないカバー絶縁膜を形成すると、固体撮像素子が完成する。

40

【0063】

以上のように、本発明の実施の形態によれば、単位画素101は受光ダイオード111及びMOSトランジスタ112で構成されるので、画素の部分をCMOS技術を用いて作成することができる。従って、上記画素部分と、駆動走査回路102～104及び定電流源106等周辺回路とを全て同じ半導体基板に作成することができる。

【0064】

これにより、製造工程の簡略化を図ることができるとともに、回路部品の集積化による固体撮像装置の小型化を図ることができる。固体撮像装置としてビデオカメラ、デジタルスチルカメラ、画像入力カメラスキャナ、又はファクシミリ等が挙げられる。

次に、本発明の他の実施例に係る固体撮像素子について説明する。図13は本発明の他の

50

実施例に係る固体撮像素子の平面図である。図中、図2(a)と同じ符号で示すものは同じものを示し、その説明を省略する。

【0065】

この他の実施例に係る固体撮像素子の構成において、図2(a)と異なるところは、図13に示すように、p型基板11上にp型のエピタキシャル層31が形成されておらず、図2(a)の一導電型領域12に相当するn型のエピタキシャル層12が形成されていることである。さらに、そのn型のエピタキシャル層12内に第1のウエル領域15aと第2のウエル領域15bが形成されていることである。また、図13では、図2(a)のp型のエピタキシャル層31に形成されていたn型埋込層32とp型埋込層33を有しないことである。

10

【0066】

この固体撮像素子においても、受光ダイオード111の不純物領域17と光信号検出用MOSトランジスタ112の低濃度ドレイン領域17aが一体化され、不純物領域17は低濃度ドレイン領域17aの不純物濃度とほぼ同じ不純物濃度を有している。従って、不純物領域17を表面から浅いところに形成することができるため、図2(a)の場合の効果と同様に、青色感度を向上させることができる。

【0067】

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

20

例えば、上記では、図5及び図6に示すように、エピタキシャル層31の厚さ凡そ3μm程度としているが、これに限られるものではなく、必要な特性が得られるように適宜変更することができる。

【0068】

また、不純物領域17の不純物濃度のピーク位置及びピーク位置での不純物濃度も、エピタキシャル層31やその他の領域乃至層の厚さや不純物濃度の設計変更に伴って青色感度が最適になるように適宜変更することができる。

また、深さの異なる第1のウエル領域15aと第2のウエル領域15bを別々に形成しているが、これらを一体として同じ深さに一度に形成してもよい。

【0069】

さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、キャリアアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子であり、上記実施の形態と同様な効果を得るためにには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。

30

また、上記の固体撮像素子の製造方法の実施の形態で示した工程順は、代表的な一例に過ぎず、上記の製造方法により得られた所望の素子構造と同等なものを得られる範囲であれば、実施の形態の製造方法の工程順を適宜変更することができる。

【0070】

【発明の効果】

以上のように、本発明によれば、光信号検出用の絶縁ゲート型電界効果トランジスタ(MOSトランジスタ)は低濃度のドレイン領域を有し、その低濃度のドレイン領域が延在して受光ダイオード部の不純物領域となっている。即ち、受光ダイオード部の不純物領域を低濃度のドレイン領域と一体的に形成し、不純物領域の不純物濃度を低濃度としている。

40

【0071】

このため、不純物領域の深さをより浅く形成することができるので、波長が短く、表面近くで急激に減衰してしまう青色光を十分な強度で受光することができる。

しかも、受光ダイオード111は光発生電荷に対する埋め込み構造を有しているため、光発生電荷以外の電荷による雑音や暗電流を低く維持することができる。

【0072】

これにより、雑音や暗電流を低く維持しつつ、青色感度の向上を図ることが可能となる。

50

また、固体撮像素子を駆動するC M O S回路を固体撮像素子と同一の基板に有しており、C M O S回路を構成するL D D構造のM O Sトランジスタの低濃度ドレイン領域を形成する際に同時に低濃度の不純物領域1 7を形成し、さらに同じくL D D構造のM O Sトランジスタの高濃度ドレイン領域を形成する際に同時に高濃度のコンタクト層を形成している。

【0073】

これにより、新たな製造工程を増やすことなく、雑音や暗電流を低く維持しつつ、青色感度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像素子の単位画素内の素子レイアウトを示す平面図である。 10

【図2】(a)は、本発明の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す、図1のA - A線に沿う断面図である。(b)は、光発生ホールがキャリアポケットに蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図3】本発明の実施の形態に係る固体撮像素子の単位画素内の受光ダイオードの構造を示す、図1のB - B線に沿う断面図である。

【図4】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用M O Sトランジスタの構造を示す、図1のC - C線に沿う断面図である。 20

【図5】本発明の実施の形態に係る固体撮像素子の受光ダイオード部分における、図2のD - D線に沿う深さ方向の不純物濃度分布及びポテンシャル分布を示すグラフである。

【図6】本発明の実施の形態に係る固体撮像素子の光信号検出用M O Sトランジスタ部分のキャリアポケットを含む、図2のE - E線に沿う深さ方向の不純物濃度分布及びポテンシャル分布を示すグラフである。 30

【図7】本発明の実施の形態に係る固体撮像素子の光信号検出用M O Sトランジスタのドレイン電流 - 電圧特性を示すグラフである。

【図8】本発明の実施の形態に係る固体撮像素子の全体の回路構成を示す図である。

【図9】図8の固体撮像素子を動作させる際のタイミングチャートである。

【図10】(a)、(b)は、本発明の実施の形態に係る固体撮像素子の製造方法について示す断面図(その1)である。 30

【図11】(a)、(b)は、本発明の実施の形態に係る固体撮像素子の製造方法について示す断面図(その2)である。

【図12】本発明の実施の形態に係る固体撮像素子の製造方法について示す断面図(その3)である。

【図13】本発明の他の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す断面図である。

【符号の説明】

1 1 基板(第1及び第2の基体層、第7の半導体層)

1 2 n型ウエル層(第1及び第3の半導体層、反対導電型領域)

1 5 a 第1のウエル領域(第2の半導体層) 40

1 5 b 第2のウエル領域(第4の半導体層)

1 5 c チャネルドープ層

1 6 a 低濃度のソース領域

1 6 b 高濃度のソース領域(コンタクト層)

1 7 不純物領域

1 7 a 低濃度のドレイン領域

1 7 b 高濃度のドレイン領域(コンタクト層)

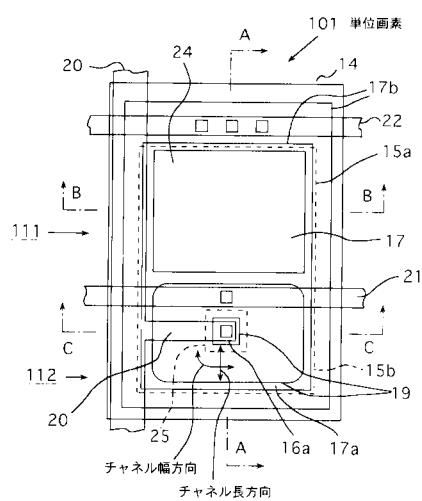
1 8 ゲート絶縁膜

1 9 ゲート電極

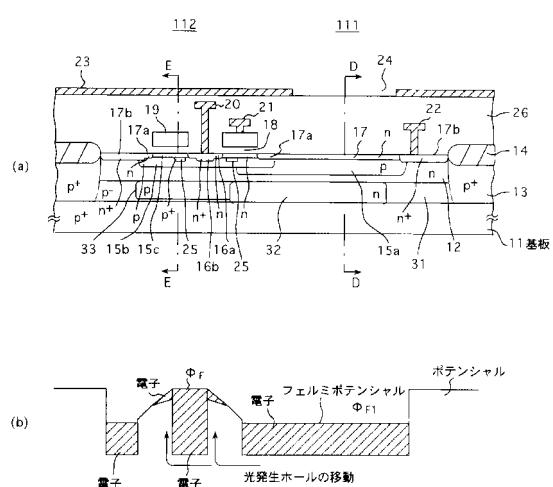
2 5 キャリアポケット(高濃度埋込層) 50

- 3 1 エピタキシャル層（第7の半導体層）
 3 2 n型埋込層（一導電型の埋込層、第1の半導体層、第1の埋込層）
 3 3 p型埋込層（反対導電型の埋込層、第2の基体層、第2の埋込層）
 3 4 サイドウォール
 3 5 レジスト膜
 1 0 1 単位画素
 1 0 6 定電流源（負荷回路）
 1 0 7 映像信号出力端子
 1 1 1 受光ダイオード
 1 1 2 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用MOSトランジ
10
スタ）

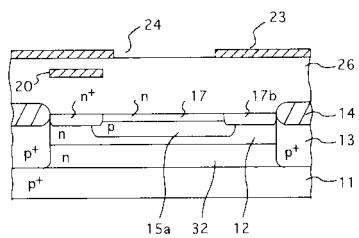
【図1】



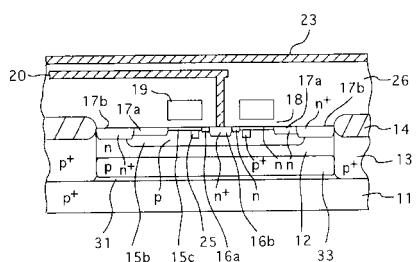
【図2】



【図3】

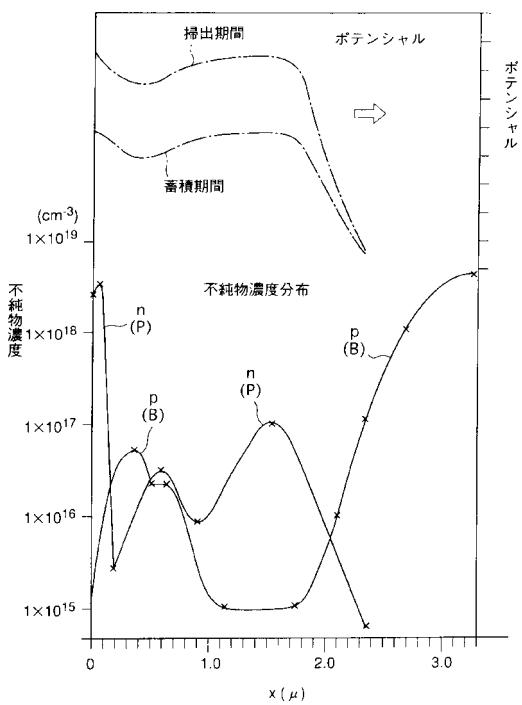


【図4】



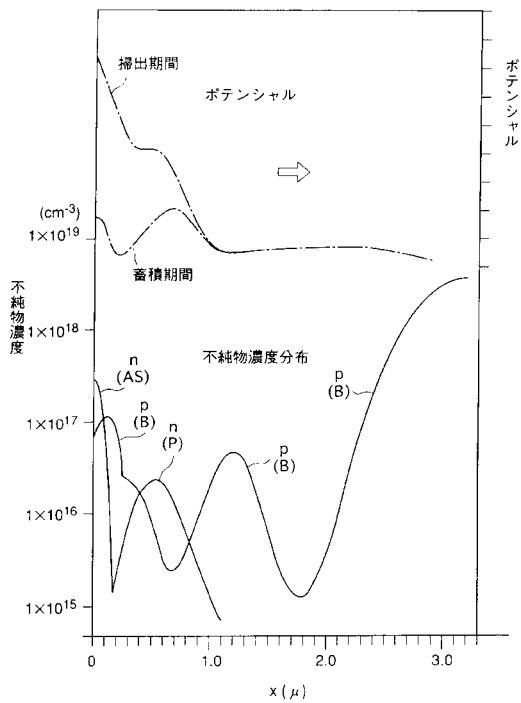
【図5】

D-D線に沿う分布

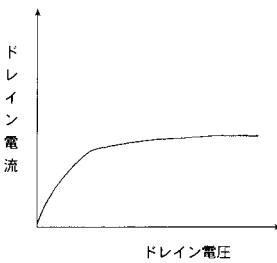


【図6】

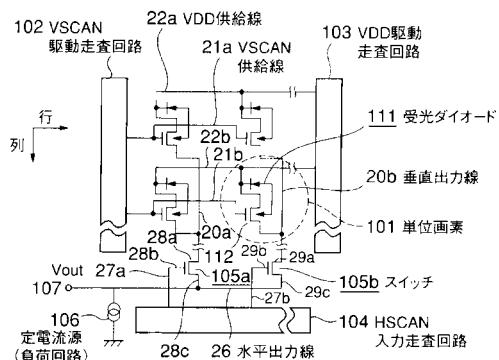
E-E線に沿う分布



【図7】



【図8】

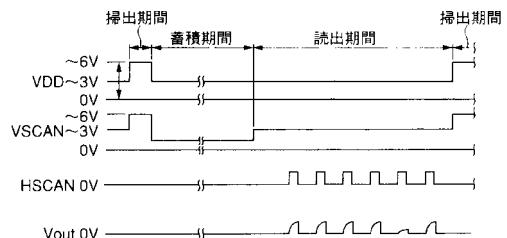


27a : HSCAN供給線
28b,29b : HSCAN入力端子
107 : 映像信号出力端子

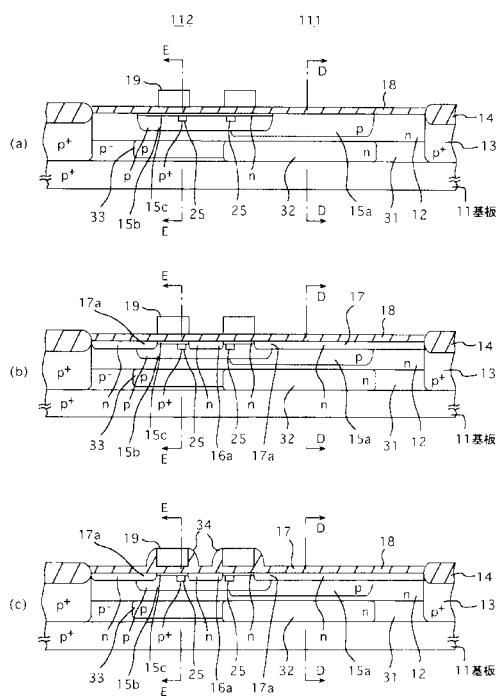
28a,29a : 光検出信号入力端子
28c,29c : 光信号出力端子

112 : 光信号検出用MOSトランジスタ

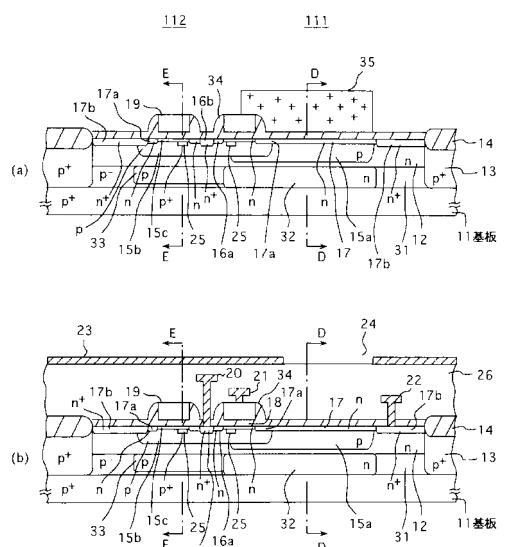
【図9】



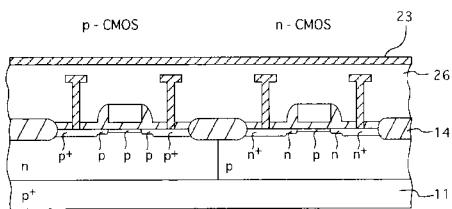
【図10】



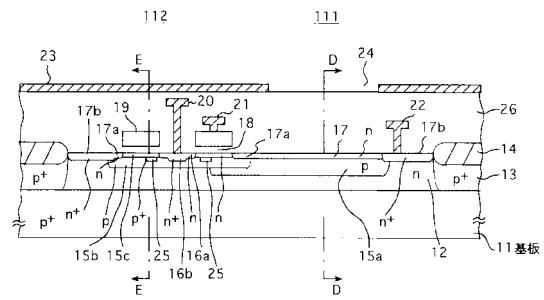
【図11】



【図12】



【図13】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/146

H04N 5/335