



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년12월13일  
 (11) 등록번호 10-1091551  
 (24) 등록일자 2011년12월02일

(51) Int. Cl.  
*H01L 23/48* (2006.01) *H01L 23/12* (2006.01)  
*H01L 21/60* (2006.01)  
 (21) 출원번호 10-2011-0032044  
 (22) 출원일자 2011년04월07일  
 심사청구일자 2011년04월07일  
 (30) 우선권주장  
 61/424,906 2010년12월20일 미국(US)  
 (56) 선행기술조사문헌  
 KR1020090106828 A  
 US6962835 B2  
 KR1020020064824 A  
 JP2008153326 A

(73) 특허권자  
**테세라, 인코포레이티드**  
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025

(72) 발명자  
**오가네시안 베이그**  
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라 리써치 엘엘씨내

**하마 벨가셈**  
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라 리써치 엘엘씨내  
 (뒷면에 계속)

(74) 대리인  
**유미특허법인**

전체 청구항 수 : 총 49 항

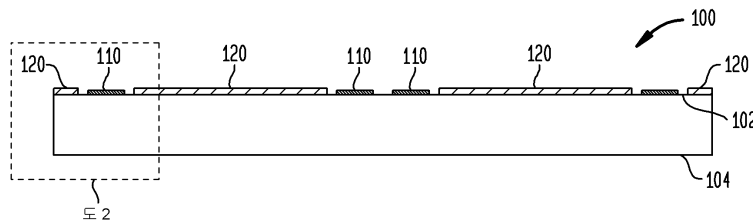
심사관 : 설관식

**(54) 웨이퍼의 동시 접합 및 상호접속을 위한 결합**

**(57) 요약**

2개의 요소를 포함하는 마이크로전자 조립체 및 이러한 조립체를 형성하는 방법을 제공한다. 마이크로전자 요소는 주 표면과, 주 표면에 노출된 유전층 및 하나 이상의 본드 패드를 포함한다. 마이크로전자 요소는 다수의 능동 회로 요소를 포함할 수 있다. 하나 이상의 본드 패드와 유전층 상에 제1 금속층이 증착된다. 제2 금속층이 증착된 제2 요소가 제공되며, 제1 금속층이 제2 금속층과 접합된다. 마이크로전자 조립체는, 다이싱 레인을 따라, 칩을 각각 포함하는 개별 유닛으로 분할된다.

**대표도 - 도1**



(72) 발명자

**모하메드 일야스**

미국 캘리포니아주 95134 샌 호제 오치드 파크웨이  
3025 테세라 리썬치 엘엘씨내

**사발리아 피유시**

미국 캘리포니아주 95134 샌 호제 오치드 파크웨이  
3025 테세라 리썬치 엘엘씨내

**미셸 크레이그**

미국 캘리포니아주 95134 샌 호제 오치드 파크웨이  
3025 테세라 리썬치 엘엘씨내

## 특허청구의 범위

### 청구항 1

마이크로전자 조립체(microelectronic assembly)를 형성하는 방법으로서,

주 표면(major surface)과, 상기 주 표면에 노출된 유전층(dielectric layer) 및 하나 이상의 본드 패드(bond pad)를 구비하며, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소(microelectronic element)를 제공하는 단계;

주 표면 및 상기 주 표면에 노출된 유전층을 구비하며, 10 ppm/°C보다 작은 열 팽창 계수(CTE)를 갖는 제2 요소를 제공하는 단계;

상기 마이크로전자 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 제1 금속층(metal layer)을 증착(deposit)하는 단계;

상기 제2 요소의 상기 유전층 상에 제2 금속층을 증착하는 단계; 및

상기 제1 금속층을 상기 제2 금속층과 결합(join)하는 단계

를 포함하는 것을 특징으로 하는 마이크로전자 조립체의 형성 방법.

### 청구항 2

제1항에 있어서,

상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는, 상기 마이크로전자 요소 또는 상기 제2 요소 중의 하나 이상의 요소에 구리 또는 알루미늄 중의 하나 이상을 포함하는 제1 스테이지(stage)를 증착하는 단계를 각각 포함하는, 마이크로전자 조립체의 형성 방법.

### 청구항 3

제1항에 있어서,

상기 마이크로전자 요소는 칩(chip)인, 마이크로전자 조립체의 형성 방법.

### 청구항 4

제1항에 있어서,

상기 제1 금속층을 증착하는 단계는 상기 마이크로전자 요소의 주 표면 위에 금속(metal)을 증착하는 단계를 포함하며,

상기 방법은 상기 금속이 상기 마이크로전자 요소의 주 표면 위의 소정의 높이까지 연장되도록 상기 금속의 일부를 제거하는 단계를 더 포함하는 마이크로전자 조립체의 형성 방법.

### 청구항 5

제4항에 있어서,

상기 하나 이상의 본드 패드와 상기 유전층 사이의 갭(gap)에서 상기 마이크로전자 요소의 주 표면의 바로 위에 있는 금속을 제거하는 단계를 더 포함하는 마이크로전자 조립체의 형성 방법.

### 청구항 6

제5항에 있어서,

상기 갭은, 상기 마이크로전자 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 상기 제1 금속층의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소 상의 상기 주 표면에 노출된 상기 하나 이상의 본드 패드 및 상기 유전층 위의 제2 금속층의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 되어 있는, 마이크로전자 조립체의 형성 방법.

**청구항 7**

제1항에 있어서,

상기 결합하는 단계는 상기 제1 금속층과 상기 제2 금속층 중의 하나 이상의 금속층을 50℃ 내지 300℃의 온도까지 가열하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 8**

제1항에 있어서,

상기 제1 금속층과 상기 제2 금속층 중의 하나 이상의 금속층은 열을 가함으로써 발열성(exothermic) 및 열 활성화(thermally-activated)되는 적어도 일부분을 포함하며,

상기 결합하는 단계는 상기 발열성 금속층을 열적으로 활성화하기 위해 상기 발열성 금속층의 상기 적어도 일부분을 가열하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 9**

제1항에 있어서,

상기 제2 요소는, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소이며, 상기 주 표면에 노출된 하나 이상의 본드 패드를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 10**

제9항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소는 상기 하나 이상의 본드 패드와 전기적으로 접속되는 실리콘 쓰루 비아(through via)를 포함하며, 상기 쓰루 비아는 상기 쓰루 비아가 형성된 요소의 주 표면으로부터 상기 주 표면과 이격되어 있는 요소의 제2 면을 향해 연장되는, 마이크로전자 조립체의 형성 방법.

**청구항 11**

제10항에 있어서,

상기 쓰루 비아는 상기 마이크로전자 요소 및 상기 제2 요소를 통해 연장되며, 상기 마이크로전자 요소의 본드 패드 및 상기 제2 요소의 본드 패드와 전기적으로 접속된, 마이크로전자 조립체의 형성 방법.

**청구항 12**

제9항에 있어서,

상기 결합하는 단계는, 상기 마이크로전자 요소의 상기 하나 이상의 본드 패드를 상기 제2 요소의 상기 하나 이상의 본드 패드와 병치(juxtapose)시키는 단계와, 상기 제1 금속층 및 상기 제2 금속층을 결합되는 온도까지 가열시키는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 13**

제9항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 다수의 열(row)로 정렬된 다수의 본드 패드를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 14**

제9항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 상기 각각의 주 표면의 외주(periphery)에 이웃하게 정렬된 다수의 본드 패드를 포함하며, 상기 유전층은 상기 주 표면의 중앙 영역 상에 위치하는, 마이크로전자 조립체의 형성 방법.

**청구항 15**

제1항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 상기 유전층은 치수 공차(dimensional tolerances)를 흡수하도록 압축가능하게 되어 있는, 마이크로전자 조립체의 형성 방법.

**청구항 16**

제1항에 있어서,

상기 마이크로전자 요소의 주 표면상의 상기 하나 이상의 본드 패드의 높이(height)는 상기 마이크로전자 요소의 주 표면상의 상기 유전층의 높이와 상이하게 되어 있는, 마이크로전자 조립체의 형성 방법.

**청구항 17**

제1항에 있어서,

상기 제1 금속층 상에 제1 리플로우 금속층을 증착하는 단계 및 상기 제2 금속층 상에 제2 리플로우 금속층을 증착하는 단계 중 하나 이상의 단계를 더 포함하고,

상기 결합하는 단계는, 상기 제1 리플로우 금속층이 상기 제1 금속층에 결합되거나 상기 제2 리플로우 금속층이 상기 제2 금속층에 결합되는 온도까지, 상기 제1 리플로우 금속층 및 상기 제2 리플로우 금속층 중 하나 이상을 가열하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 18**

제17항에 있어서,

상기 제1 리플로우 금속층 및 제2 리플로우 금속층 중 하나 이상은 주석, 땀납, 인듐, 금, 및 이들의 조합으로 이루어진 그룹에서 선택되는, 마이크로전자 조립체의 형성 방법.

**청구항 19**

제1항에 있어서,

상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는 구리(copper)를 증착하는 단계를 포함하며,

상기 결합하는 단계는 상기 마이크로전자 요소 상의 구리와 상기 제2 요소 상의 구리가 서로 융합(fuse)하도록 상기 마이크로전자 요소와 상기 제2 요소 간에 열과 압력을 가하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 20**

제19항에 있어서,

상기 방법은 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소 상의 구리에 금(gold)을 포함하여 이루어진 층을 증착하는 단계를 더 포함하며,

상기 결합하는 단계는 상기 금이 상기 구리 안으로 확산되는 온도까지 상기 금을 가열하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 21**

제1항에 있어서,

상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는 베이스 금속(base metal)과 상기 베이스 금속상에 금을 포함하여 이루어진 층을 증착하는 단계를 포함하며,

상기 결합하는 단계는 상기 제1 금속층 및 상기 제2 금속층이 서로 융합될 때까지 상기 마이크로전자 요소 및 상기 제2 요소에 열과 압력을 가하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

**청구항 22**

마이크로전자 조립체(microelectronic assembly)에 있어서,

주 표면(major surface)과, 상기 주 표면에 노출된 유전층(dielectric layer) 및 하나 이상의 본드 패드(bond pad)를 구비하며, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소(microelectronic element);

주 표면과 상기 주 표면에 노출된 하나 이상의 본드 패드 및 유전층을 구비하며, 열 팽창 계수(CTE)가 10 ppm/℃보다 작은 제2 요소;

상기 마이크로전자 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 배치되는 제1 금속층(metal layer); 및

상기 제2 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 배치되는 제2 금속층을 포함하며,

상기 제1 금속층의 상기 하나 이상의 본드 패드와 상기 유전층 사이에 갭(gap)이 형성되고,

상기 유전층 상의 상기 제1 금속층의 제1 부분과 상기 제2 금속층의 제1 부분이 서로 접합되며, 상기 제1 부분으로부터 이격되어 있으며 상기 하나 이상의 본드 패드 상의 상기 제1 금속층의 제2 부분과 상기 제2 금속층의 제2 부분이 서로 접합되어, 상기 마이크로전자 요소가 상기 제2 요소와 기계적 및 전기적으로 접속되도록 하는 것을 특징으로 하는 마이크로전자 조립체.

**청구항 23**

제22항에 있어서,

상기 마이크로전자 요소는 칩(chip)인, 마이크로전자 조립체.

**청구항 24**

제22항에 있어서,

상기 갭은, 상기 마이크로전자 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 상기 제1 금속층의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 제2 금속층의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 되어 있는, 마이크로전자 조립체.

**청구항 25**

제22항에 있어서,

상기 제1 금속층 및 상기 제2 금속층 중의 하나 이상의 금속층은 열을 가함으로써 발열성(exothermic) 및 열 활성화(thermally-activated)되는 적어도 일부분을 포함한, 마이크로전자 조립체.

**청구항 26**

제22항에 있어서,

상기 제2 요소는 다수의 능동 회로 요소를 포함하는 마이크로전자 요소인 것인, 마이크로전자 조립체.

**청구항 27**

제26항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소는 상기 하나 이상의 본드 패드와 전기적으로 접속되는 실리콘 쓰루 비아(through via)를 포함하며, 상기 쓰루 비아는 상기 쓰루 비아가 형성된 요소의 주 표면으로부터 상기 주 표면과 이격되어 있는 요소의 제2 면을 향해 연장되어 있는, 마이크로전자 조립체.

**청구항 28**

제27항에 있어서,

상기 쓰루 비아는 상기 마이크로전자 요소 및 상기 제2 요소를 통해 연장되며, 상기 마이크로전자 요소의 본드 패드 및 상기 제2 요소의 본드 패드와 전기적으로 접속된, 마이크로전자 조립체.

**청구항 29**

제26항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 다수의 열(row)로 정렬된 본드 패드 어레이를 포함하는, 마이크로전자 조립체.

**청구항 30**

제26항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 상기 각 요소의 외주(periphery)에 이웃하게 정렬된 다수의 본드 패드를 포함하며, 상기 유전층은 상기 주 표면의 중앙 영역 상에 위치하는, 마이크로전자 조립체.

**청구항 31**

제26항에 있어서,

상기 제2 금속층의 상기 하나 이상의 본드 패드와 상기 유전층 사이에 갭이 형성된, 마이크로전자 조립체.

**청구항 32**

제22항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 상기 유전층은 치수 공차(dimensional tolerances)를 흡수하도록 압축가능하게 되어 있는, 마이크로전자 조립체.

**청구항 33**

제22항에 있어서,

상기 마이크로전자 요소의 주 표면상의 상기 하나 이상의 본드 패드의 높이는 상기 마이크로전자 요소의 주 표면상의 상기 유전층의 높이와 상이하게 되어 있는, 마이크로전자 조립체.

**청구항 34**

제22항에 있어서,

제1 리플로우 금속층 또는 제2 리플로우 금속층이 상기 제1 금속층 및 제2 금속층 중 적어도 하나에 증착되고, 리플로우 금속은 주석, 뿔납, 인듐, 금, 및 이들의 조합으로 이루어진 그룹에서 선택되는, 마이크로전자 조립체.

**청구항 35**

제34항에 있어서,

상기 제1 금속층과 상기 제2 금속층은 상기 리플로우 금속에 의해 수화될 수 있는(wettable) 금속층을 포함하며, 상기 제1 리플로우 금속층과 제2 리플로우 금속층은 각각 상기 수화될 수 있는 금속층 상에 위치하는, 마이크로전자 조립체.

**청구항 36**

제22항에 있어서,

상기 제1 금속층 및 상기 제2 금속층은 구리를 포함하여 이루어진, 마이크로전자 조립체.

**청구항 37**

제36항에 있어서,

상기 제1 금속층 및 상기 제2 금속층 중의 하나 이상의 금속층 상에 금(gold)을 포함하여 이루어진 층을 더 포함하는 마이크로전자 조립체.

**청구항 38**

제22항에 있어서,

상기 제1 금속층 및 상기 제2 금속층은 상기 마이크로전자 요소 및 상기 제2 요소의 각각의 주 표면상에 직접 위치하지 않도록 된, 마이크로전자 조립체.

**청구항 39**

제22항에 의한 마이크로전자 조립체와 상기 마이크로전자 조립체에 전기적으로 접속된 하나 이상의 전자 부품을 포함하는 것을 특징으로 하는 시스템.

**청구항 40**

제39항에 있어서,

상기 시스템은 하우징(housing)을 더 포함하며,

상기 마이크로전자 조립체와 상기 전자 부품이 상기 하우징에 설치된, 시스템.

**청구항 41**

마이크로전자 조립체에 있어서,

주 표면과 상기 주 표면에 노출된 유전층을 구비하는 마이크로전자 요소; 및

주 표면과 상기 주 표면에 노출된 유전층을 구비하는 제2 요소

를 포함하며,

상기 마이크로전자 요소의 주 표면과 상기 제2 요소의 주 표면은 서로 마주 향해 있으며, 상기 마이크로전자 요소의 유전층과 상기 제2 요소의 유전층 사이에 다수의 금속 요소를 포함하고,

상기 금속 요소는 상기 마이크로전자 요소로부터 전기적으로 절연되어 있으며,

상기 금속 요소는 상기 마이크로전자 요소와 상기 제2 요소를 서로 접합시키는 것을 특징으로 하는 마이크로전자 조립체.

**청구항 42**

제41항에 있어서,

상기 제2 요소는 10 ppm/°C보다 작은 열 팽창 계수(CTE)를 갖는, 마이크로전자 조립체.

**청구항 43**

제41항에 있어서,

상기 마이크로전자 요소는 다수의 능동 회로 요소(active circuit element)를 포함하는, 마이크로전자 조립체.

**청구항 44**

제43항에 있어서,

상기 제2 요소는, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소이며, 상기 주 표면에 노출된 하나 이상의 본드 패드를 포함하는, 마이크로전자 조립체.

**청구항 45**

제41항에 있어서,

상기 마이크로전자 요소는 칩(chip)인, 마이크로전자 조립체.

**청구항 46**

제41항에 있어서,

상기 마이크로전자 요소와 상기 제2 요소 상에, 상기 금속 요소와 상기 유전층의 이웃하는 부분 사이에서 상기 주 표면을 따라 갭이 형성되어 있으며, 상기 갭은 상기 마이크로전자 요소의 주 표면상의 상기 유전층 및 상기 금속 요소의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소의 주 표면상의 상기 유전층 및 상기 금속 요소의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 되어 있는, 마이크로전자 조립체.

**청구항 47**

제41항에 있어서,

상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 유전층은 치수 공차(dimensional tolerances)를 흡수하도록 압축가능하게 되어 있는, 마이크로전자 조립체.

**청구항 48**

제41항에 의한 마이크로전자 조립체와 상기 마이크로전자 조립체에 전기적으로 접속된 하나 이상의 전자 부품을 포함하는 것을 특징으로 하는 시스템.

**청구항 49**

제48항에 있어서,

상기 시스템은 하우징(housing)을 더 포함하며,

상기 마이크로전자 조립체와 상기 전자 부품이 상기 하우징에 설치된, 시스템.

**명세서**

**기술분야**

[0001] 본 발명은 웨이퍼 접합(wafer bonding)에 관한 것으로서, 구체적으로는 이러한 웨이퍼를 동시에 전기적으로 상호접속하여 달성될 수 있는 웨이퍼 접합에 관한 것이다.

[0002] 관련 출원

[0003] 본 출원은 2010년 12월 20일에 출원된 미국 가 특허출원 제61/424,906호에 대하여 우선권을 주장하며, 상기 문헌의 내용을 본 명세서에 인용에 의해 포함한다.

**배경기술**

[0004] 웨이퍼 레벨 패키징(wafer level packaging) 기술은 반도체 칩의 전기적 상호접속에 의해 하나의 반도체 칩 위에 다른 반도체 칩을 적층한 것과 같은 다수의 마이크로전자 요소(microelectronic element)를 포함하는 마이크로전자 조립체(microelectronic assembly)를 동시에 제조하는 다양한 용도에 사용될 수 있다. 어떤 경우에는, 반도체 칩과 같이 유전체 또는 반도체 요소가 패키징 층으로 설치된 능동 회로 요소를 갖는 마이크로전자 요소를 포함하는 마이크로전자 조립체를 제조하는 데에 웨이퍼 레벨 패키징 기술이 사용될 수 있다. 이러한 기술은 일반적으로, 마이크로전자 소자 웨이퍼, 즉 능동 회로 요소를 갖는 소자 웨이퍼를, 다른 요소, 즉 소자 웨이퍼와 동일한 크기와 형태를 갖는 패키징 층(예를 들어, 커버 웨이퍼 또는 다른 웨이퍼) 또는 다른 소자 웨이퍼 등의 다른 요소와 결합시켜야 할 필요가 있다.

[0005] 이러한 웨이퍼 레벨 공정의 과제들 중 하나는 웨이퍼 사이의 인터페이스를 실질적으로 평면형으로 하여야 하고, 각 웨이퍼의 콘택들 간의 전기적 상호접속이 신뢰성이 있어야 한다는 것이다. 이러한 점에서 추가의 개선이 요구된다.

[0006] 반도체 칩의 물리적인 배치에서는 크기(size)가 중요한 고려 사항이다. 휴대형 전자 장치가 급격히 진보함에 따라, 반도체 칩의 보다 콤팩트한 물리적 배치를 위한 요구가 더욱 많아지고 있다. 예를 들어, 일반적으로 "스마

트 폰"이라고 부르는 장치는 강력한 데이터 처리기, 메모리, 및 고해상도 디스플레이 및 관련 이미지 처리용 칩을 가진, 지피에스(GPS: global positioning system) 수신기, 전자 카메라 및 근거리 통신망 접속과 같은 보조 장치를 집적한 것이다. 이러한 장치는 포켓 크기의 장치에, 풀 해상도 비디오(full-resolution video), 내비게이션, 전자 금융 등의 엔터테인먼트와 풀 인터넷 접속(full internet connectivity)과 같은 성능을 제공할 수 있다. 복합의 휴대형 장치는 수많은 칩을 작은 공간에 포함시켜야 한다. 또한, 일부의 칩은 많은 입력 및 출력 접속, 통상적으로 "I/O"라 부르는 접속을 갖는다. 이들 I/O는 다른 칩의 I/O와 상호접속되어야 한다. 이러한 상호접속(interconnection)은 짧은 거리와 낮은 임피던스를 유지하여야 신호 전파 지연을 최소로 할 수 있다. 상호접속을 형성하는 구성요소는 마이크로전자 조립체의 크기를 크게 증가시키지 않아야 한다. 인터넷 검색 엔진에서 사용되는 것과 같은 데이터 서버와 같은 다른 애플리케이션에서도 유사한 요구가 있다. 예를 들어, 복합 칩들 사이에 상호접속이 짧은 거리와 낮은 임피던스를 갖는 상호접속 구조를 갖는 구조체는 검색 엔진의 대역폭을 증가시키고 전력 소비를 감소시킬 수 있다.

**발명의 내용**

[0007] 본 발명의 제1 관점(aspect)은 마이크로전자 조립체(microelectronic assembly)를 형성하는 방법으로서, 주 표면(major surface)과, 상기 주 표면에 노출된 유전층(dielectric layer) 및 하나 이상의 본드 패드(bond pad)를 구비하며, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소(microelectronic element)를 제공하는 단계; 10 ppm/℃보다 작은 열 팽창 계수(CTE)를 가지며, 주 표면 및 상기 주 표면에 노출된 유전층을 구비하는 제2 요소를 제공하는 단계; 상기 마이크로전자 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 제1 금속층(metal layer)을 증착(deposit)하는 단계; 상기 제2 요소의 상기 유전층 상에 제2 금속층을 증착하는 단계; 및 상기 제1 금속층을 상기 제2 금속층과 결합(join)하는 단계를 포함한다.

[0008] 본 발명의 제1 관점에 따른 실시예에 의하면, 상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는, 상기 마이크로전자 요소 또는 상기 제2 요소 중의 하나 이상에 구리 또는 알루미늄 중의 하나 이상을 포함하는 제1 스테이지(stage)를 증착하는 단계를 각각 포함할 수 있다. 마이크로전자 요소는 칩(chip)이 될 수 있으며, 상기 제2 요소는 상기 칩의 면적과 실질적으로 동일한 면적을 가질 수 있다. 상기 제1 금속층을 증착하는 단계는 상기 마이크로전자 요소의 실질적으로 전체 주 표면 위에 금속을 증착하는 단계를 포함할 수 있으며, 본 방법은 상기 마이크로전자 요소의 주 표면 위의 소정의 높이까지 금속이 연장되도록 상기 금속의 일부를 제거하는 단계를 더 포함할 수 있다. 본 방법은 상기 하나 이상의 본드 패드와 상기 유전층 사이의 갭(gap)에서 상기 마이크로전자 요소의 주 표면의 바로 위에 있는 금속을 제거하는 단계를 더 포함할 수 있다. 상기 갭은, 상기 마이크로전자 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 상기 제1 금속층의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소 상의 상기 주 표면에 노출된 상기 하나 이상의 본드 패드 및 상기 유전층 위의 제2 금속층의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 되어 있을 수 있다.

[0009] 상기 결합하는 단계는 상기 제1 금속층과 상기 제2 금속층 중의 하나 이상의 금속층을 대략 50℃ 내지 300℃의 온도까지 가열하는 단계를 포함할 수 있다. 상기 제1 금속층과 상기 제2 금속층 중의 하나 이상의 금속층은 열을 가함으로써 발열성(exothermic) 및 열 활성화(thermally-activated)되는 적어도 일부분을 포함할 수 있으며, 상기 결합하는 단계는 상기 발열성 금속층을 열적으로 활성화하기 위해 상기 발열성 금속층의 적어도 일부분을 가열하는 단계를 포함할 수 있다. 상기 제2 요소는, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소가 될 수 있으며, 상기 주 표면에 노출된 하나 이상의 본드 패드를 포함할 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소는 상기 하나 이상의 본드 패드와 전기적으로 접속되는 실리콘 쓰루 비아(through via)를 포함하며, 상기 쓰루 비아는 상기 쓰루 비아가 형성된 요소의 주 표면으로부터 상기 주 표면과 이격되어 있는 요소의 제2 면을 향해 연장될 수 있다. 상기 쓰루 비아는 상기 마이크로전자 요소 및 상기 제2 요소를 통해 연장될 수 있으며, 상기 마이크로전자 요소의 본드 패드 및 상기 제2 요소의 본드 패드와 전기적으로 접속될 수 있다. 상기 결합하는 단계는, 상기 마이크로전자 요소의 상기 하나 이상의 본드 패드를 상기 제2 요소의 상기 하나 이상의 본드 패드와 병치(juxtapose)시키는 단계와, 상기 제1 금속층 및 상기 제2 금속층을 결합되는 온도까지 가열시키는 단계를 포함할 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 다수의 열(row)로 정렬된 다수의 본드 패드를 포함할 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 상기 각각의 주 표면의 외주(periphery)에 이웃하게 정렬된 다수의 본드 패드를 포함하며, 상기 유전층은 상기 주 표면의 중앙 영역 상에 위치할 수 있다.

[0010] 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 상기 유전층은 치수 공차(dimensional

tolerances)를 흡수하도록 압축가능하게 될 수 있다. 상기 마이크로전자 요소의 주 표면상의 상기 하나 이상의 본드 패드의 높이(height)는 상기 마이크로전자 요소의 주 표면상의 상기 유전층의 높이와 상이하게 될 수 있다. 상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계 중의 하나 이상의 단계는, 리플로우 금속(reflow metal)을 증착하는 단계를 포함할 수 있으며, 상기 결합하는 단계는 상기 리플로우 금속이 용융(melt)될 수 있는 온도까지 상기 리플로우 금속을 가열하는 단계를 포함할 수 있다. 상기 리플로우 금속은 주석, 땀납, 인듐, 금, 및 이들의 조합으로 이루어진 그룹에서 선택될 수 있다. 상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는 구리(copper)를 증착하는 단계를 포함할 수 있으며, 상기 결합하는 단계는 상기 마이크로전자 요소 상의 구리와 상기 제2 요소 상의 구리가 서로 융합(fuse)하도록 상기 마이크로전자 요소와 상기 제2 요소 간에 열과 압력을 가하는 단계를 포함할 수 있다. 본 방법은 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소 상의 구리에 금(gold)을 포함하여 이루어진 층을 증착하는 단계를 더 포함할 수 있으며, 상기 결합하는 단계는 상기 금이 상기 구리 안으로 확산되는 온도까지 상기 금을 가열하는 단계를 포함할 수 있다. 상기 제1 금속층을 증착하는 단계 및 상기 제2 금속층을 증착하는 단계는 베이스 금속(base metal)과 상기 베이스 금속상에 금을 포함하여 이루어진 층을 증착하는 단계를 포함할 수 있으며, 상기 결합하는 단계는 상기 제1 금속층 및 상기 제2 금속층이 서로 융합될 때까지 상기 마이크로전자 요소 및 상기 제2 요소에 열과 압력을 가하는 단계를 포함할 수 있다.

[0011] 본 발명의 제2 관점은 마이크로전자 조립체(microelectronic assembly)를 제공하는 것이다. 본 발명의 마이크로전자 조립체는, 주 표면(major surface)과, 상기 주 표면에 노출된 유전층(dielectric layer) 및 하나 이상의 본드 패드(bond pad)를 구비하며, 다수의 능동 회로 요소를 포함하는 마이크로전자 요소(microelectronic element); 열 팽창 계수(CTE)가 10 ppm/°C 이하이며, 주 표면과 상기 주 표면에 노출된 하나 이상의 본드 패드 및 유전층을 구비하는 제2 요소; 상기 마이크로전자 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 위치하는 제1 금속층(metal layer); 및 상기 제2 요소의 상기 하나 이상의 본드 패드 및 상기 유전층 상에 위치하는 제2 금속층을 포함하며, 상기 제1 금속층의 상기 하나 이상의 본드 패드와 상기 유전층 사이에 갭(gap)이 형성되고, 상기 유전층 상의 상기 제1 금속층 및 상기 제2 금속층의 제1 부분이 서로 결합되며, 상기 제1 부분으로부터 떨어져 있으며 상기 하나 이상의 본드 패드 상의 상기 제1 금속층 및 상기 제2 금속층의 제2 부분이 서로 결합되어, 상기 마이크로전자 요소가 상기 제2 요소와 기계적 및 전기적으로 접속되도록 할 수 있다.

[0012] 본 발명의 제2 관점에 따른 실시예에 의하면, 상기 마이크로전자 요소는 칩(chip)이 될 수 있으며, 상기 제2 요소는 상기 칩의 면적과 실질적으로 동일한 면적을 가질 수 있다. 상기 갭은, 상기 마이크로전자 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 상기 제1 금속층의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소 상의 상기 유전층 및 상기 하나 이상의 본드 패드 위의 제2 금속층의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 되어 있을 수 있다. 상기 제1 금속층 및 상기 제2 금속층 중의 하나 이상의 금속층은 열을 가함으로써 발열성(exothermic) 및 열 활성화(thermally-activated)되는 적어도 일부분을 포함할 수 있다.

[0013] 상기 제2 요소는 다수의 능동 회로 요소를 포함하는 마이크로전자 요소가 될 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소는 상기 하나 이상의 본드 패드와 전기적으로 접속되는 실리콘 쓰루 비아(through via)를 포함하며, 상기 쓰루 비아는 상기 쓰루 비아가 형성된 요소의 주 표면으로부터 상기 주 표면과 이격되어 있는 요소의 제2 면을 향해 연장될 수 있다. 상기 쓰루 비아는 상기 마이크로전자 요소 및 상기 제2 요소를 통해 연장될 수 있고, 상기 마이크로전자 요소의 본드 패드 및 상기 제2 요소의 본드 패드와 전기적으로 접속될 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 다수의 열(row)로 정렬된 본드 패드 어레이를 포함할 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 상의 상기 하나 이상의 본드 패드는 상기 각 요소의 외주(periphery)에 이웃하게 정렬된 다수의 본드 패드를 포함할 수 있으며, 상기 유전층은 상기 주 표면의 중앙 영역 상에 위치할 수 있다. 상기 제2 금속층의 상기 하나 이상의 본드 패드와 상기 유전층 사이에 갭이 형성될 수 있다.

[0014] 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 상기 유전층은 치수 공차(dimensional tolerances)를 흡수하도록 압축가능하게 될 수 있다. 상기 마이크로전자 요소의 주 표면상의 상기 하나 이상의 본드 패드의 높이는 상기 마이크로전자 요소의 주 표면상의 상기 유전층의 높이와 상이하게 될 수 있다. 상기 제1 금속층과 상기 제2 금속층 중의 하나 이상의 금속층은 주석, 땀납, 인듐, 금, 및 이들의 조합으로 이루어진 그룹에서 선택된 리플로우 금속(reflow metal)을 포함할 수 있다. 상기 제1 금속층과 상기 제2 금속층은 상기 리플로우 금속에 의해 수화될 수 있는(wettable) 금속층을 포함하며, 상기 리플로우 금속은 상기 수화가능한 금속층 상에 위치할 수 있다. 상기 제1 금속층 및 상기 제2 금속층은 구리를 포함할 수 있다. 마이크로전자 조립

체는 상기 제1 금속층 및 상기 제2 금속층 중의 하나 이상의 금속층 상에 금(gold)을 포함하여 이루어진 층을 더 포함할 수 있다. 상기 제1 금속층 및 상기 제2 금속층은 상기 마이크로전자 요소 및 상기 제2 요소의 각각의 주 표면상에 직접 위치하지 않도록 될 수 있다.

[0015] 본 발명의 제3 관점은 마이크로전자 조립체로서, 주 표면과 상기 주 표면에 노출된 유전층을 구비하는 마이크로전자 요소; 및 주 표면과 상기 주 표면에 노출된 유전층을 구비하는 제2 요소를 포함하며, 상기 마이크로전자 요소의 주 표면과 상기 제2 요소의 주 표면은 서로 마주 향해 있으며, 상기 마이크로전자 요소의 유전층과 상기 제2 요소의 유전층 사이에 다수의 금속 요소를 포함하고, 상기 금속 요소는 상기 마이크로전자 요소로부터 전기적으로 절연되어 있으며, 상기 금속 요소는 상기 마이크로전자 요소와 상기 제2 요소를 서로 접합시킨 마이크로전자 조립체를 제공한다.

[0016] 본 발명의 제3 관점에 따른 실시예에 의하면, 상기 제2 요소는 10 ppm/°C보다 작은 열 팽창 계수(CTE)를 가질 수 있다. 상기 마이크로전자 요소는 다수의 능동 회로 요소를 포함할 수 있다. 상기 제2 요소는 다수의 능동 회로 요소를 포함하는 마이크로전자 요소가 될 수 있으며, 상기 주 표면에 노출된 하나 이상의 본드 패드를 포함할 수 있다. 상기 마이크로전자 요소는 칩(chip)이 될 수 있으며, 상기 제2 요소는 상기 칩의 면적과 실질적으로 동일한 면적을 가질 수 있다. 상기 마이크로전자 요소와 상기 제2 요소 상에, 상기 금속 요소와 상기 유전층의 이웃하는 부분 사이에서 상기 주 표면을 따라 갭이 형성될 수 있으며, 상기 갭은 상기 마이크로전자 요소의 주 표면상의 상기 유전층 및 상기 금속 요소의 상단 면의 동일 평면(co-planarity)에서의 총 편차(total variation)와 상기 제2 요소의 주 표면상의 상기 유전층 및 상기 금속 요소의 상단 면의 동일 평면에서의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 충분히 크게 될 수 있다. 상기 마이크로전자 요소 및 상기 제2 요소 중의 하나 이상의 요소의 상기 유전층은 치수 공차(dimensional tolerances)를 흡수하도록 압축 가능하게 될 수 있다.

[0017] 본 발명의 제4 관점은 상기 설명한 바와 같은 구조체와 이러한 구조체에 전기적으로 접속된 하나 이상의 다른 전자 부품을 포함하는 시스템을 제공한다. 본 발명의 제4 관점에 따른 실시예에 의하면, 본 시스템은 하우징(housing)을 더 포함하며, 상기 마이크로전자 조립체와 상기 전자 부품이 상기 하우징에 설치될 수 있다.

[0018] 본 발명의 추가의 관점은 본 발명의 상기 설명한 관점에 따른 마이크로전자 구조체, 본 발명의 앞서 설명한 관점에 따른 복합 칩, 또는 다른 전자 장치와 관련해서 이들을 포함하는 시스템을 제공하는 것이다. 예를 들어, 본 발명의 시스템은 휴대형이 가능한 단일의 하우징 내에 배치될 수 있다. 본 발명의 이러한 관점에 따른 바람직한 실시예에 의한 시스템은 종래의 시스템에 비해 더 소형화할 수 있다.

### 도면의 간단한 설명

[0019] 도 1은 본 발명의 제1 실시예에 따른 마이크로전자 요소를 나타내는 단면도이다.

도 2는 도 1에 나타낸 마이크로전자 요소의 일부를 확대한 도면이다.

도 3은 도 1에 나타낸 마이크로전자 요소의 상면도이다.

도 4는 도 1에 나타낸 요소로서, 상부에 얇은 금속 층이 배치된 요소의 단면을 나타낸다.

도 5는 도 4에 나타낸 요소의 일부를 확대한 도면이다.

도 4a는 본 발명의 다른 실시예에 의한 요소를 나타내는 단면도이다.

도 5a는 도 4a에 나타낸 요소로서, 상부에 얇은 금속층이 배치된 요소의 일부를 나타내는 단면도이다.

도 6은 도 4에 나타낸 요소의 상면도이다.

도 7은 상부에 리플로우 가능한 금속층이 배치된, 도 4에 나타낸 요소의 단면도이다.

도 8은 도 7에 나타낸 요소의 일부를 확대한 도면이다.

도 9는 도 7에 나타낸 요소의 상면도이다.

도 10 및 도 11은 본 발명의 실시예에 따른 2개의 요소를 포함하여 이루어진 조립체의 단면도이다.

도 12 및 도 13은 실리콘 스루 비아를 갖는 본 발명의 실시예에 따른 조립체의 단면도이다.

도 14는 본 발명의 다른 실시예에 따른 2개의 요소를 포함하여 이루어진 조립체의 단면도이다.

도 15는 본 발명의 다른 실시예에 따른 2개의 요소를 포함하여 이루어진 조립체의 단면도이다.

도 16은 본 발명의 실시예에 따른 시스템을 개략적으로 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 본 발명의 실시예에 의하면, 도 1~도 3은 마이크로전자 요소(100)를 나타낸다. 예를 들어, 능동 회로 요소를 포함하는 소자 웨이퍼(device wafer)는 주 표면(major surface)(102)과 주 표면으로부터 떨어져 있는 제2 면(104)을 포함한다. 주 표면(102)에는 유전층(dielectric layer)(120)과 하나 이상의 본드 패드(bond pad)(110)가 노출되어 있다. 유전층(120)은 주 표면(102) 상의 본드 패드(110)와 관련해서 임의의 치수 공차(dimensional tolerance)를 흡수할 수 있도록 압축가능한 재료를 포함하여 이루어지는 것이 바람직하다. 일례로, 도 2에 명확하게 나타낸 바와 같이, 주 표면(102) 상의 본드 패드(110) 중의 하나 이상의 높이는 주 표면(102) 상의 유전층(120)의 높이와 다르게 되어 있다.
- [0021] 마이크로전자 요소(100)는 웨이퍼, 다수의 능동 회로 요소를 갖는 반도체 칩, 또는 다수의 반도체 칩을 포함하는 웨이퍼의 일부가 될 수 있다. 다른 예에서, 마이크로전자 요소(100)는 어레이 형태로 배치되고 동시 공정을 위해 함께 유지된 다수의 능동 칩을 포함하는 웨이퍼 또는 패널이 될 수 있다. 도 3에는 다이싱 레인(dicing lane)(112)에 부착된 4개의 반도체 칩(111)을 포함하는 웨이퍼의 일부를 더 명확히 나타내고 있다. 본드 패드(110)는 어레이 형태, 예를 들어 하나 이상의 열로 배치된 어레이 형태로 배치될 수 있다. 예를 들어, 본드 패드(110)는 반도체 칩의 외주(125)를 따라 다이싱 레인에 인접한 열로 배치될 수 있다. 일례로, 유전층(120)은 주변 본드 패드의 안쪽에서 주 표면(102)의 중심 영역 위에 배치될 수 있다.
- [0022] 도 4~도 6은 본드 패드(110) 및 유전층(120) 상에 제1 금속층(130)이 위치한 마이크로전자 요소(100)를 나타낸다. 제1 금속층(130)은 상대적으로 얇게 할 수 있다. 도 7~도 9에 나타낸 바와 같이, 제1 리플로우 금속층(150) 등의 결합 금속(joining metal)을 제1 금속층(130) 상에 증착할 수 있다. 제1 리플로우 금속층(150)은, 리플로우 가능하며, 주석, 땀납, 인듐, 금, 또는 이들의 임의의 조합이 될 수 있다. 제1 리플로우 금속층(150)이 리플로우 가능한 금속이면, 그 하부의 제1 금속층(130)은 리플로우 가능한 금속에 의해 수화성(wettable)으로 되기 쉽다. 일례로, 수화성의 제1 금속층(130)은 구리나 구리 합금, 알루미늄이나 알루미늄 합금, 또는 이들의 조합으로 된 층을 포함할 수 있다. 이러한 층은 제1 금속층(130)의 기본 구조체를 형성할 수 있다. 이러한 제1 금속층(130)은 기본 구조체의 하부에 니켈로 된 층을 더 포함할 수 있다. 다른 예로서, 제1 금속층(130)은 니켈로 된 층과, 니켈로 된 층의 상부에 금을 포함하여 이루어진 층을 포함할 수 있다.
- [0023] 제1 리플로우 금속층(150)은 주 표면(102) 상에 직접 위치하지 않도록 할 수 있으며, 제1 리플로우 금속층(150) 내의 본드 패드(110)와 유전층(120) 사이에 갭(140)을 형성할 수 있다. 갭(140)은 이웃하는 본드 패드(110)와 유전층(120) 사이에 형성될 수 있다. 본드 패드(110)와 유전층(120)은 주 표면(102) 상에서 이격되도록 할 수 있다.
- [0024] 도 10 및 도 11은 마이크로전자 요소(100)를 나타내는데, 이 마이크로전자 요소(100)가 제2 요소(200)와 조립되어, 하나 또는 둘 이상의 능동 칩을 포함하는 웨이퍼 레벨의 조립체 또는 다른 조립체(300)를 형성할 수 있다. 이 능동 칩은 다른 능동 칩이나 다른 요소와 접촉되고 전기적으로 접속된다. 제2 요소(200)는 능동 회로 요소를 갖는 마이크로전자 요소(100)와 실질적으로 유사하도록 하거나, 수동 요소 또는 수동 회로 요소를 갖는 웨이퍼가 될 수 있다. 제2 요소(200)는 통상적으로 반도체 재료로 이루어지며, 통상적으로 트랜지스터나 다이오드 등의 능동 회로 요소를 포함하는 반도체 소자 웨이퍼이다. 그러나, 일례로, 제2 요소(200)는 수동 또는 실질적인 블랭크 반도체 웨이퍼(blank semiconductor wafer), 또는 유리나 세라믹 재료 또는 열 팽창 계수(CTE)가 10 ppm/°C보다 작은 재료로 된 베이스(base)를 포함할 수 있는 다른 요소가 될 수 있다. 제2 요소(200)는 도 4a 및 도 5a에 나타낸 바와 같이, 열 팽창 계수(CTE)가 10 ppm/°C보다 작은 요소로 할 수 있다. 제2 요소(200)는 주 표면(202), 주 표면(202)으로부터 떨어져 있는 제2 면(204), 및 주 표면(202)에 노출된 유전층(220)을 포함한다. 일례로, 도 10 및 도 11에 나타낸 바와 같이, 제2 요소(200)는 다수의 능동 회로 요소를 구비하는 마이크로전자 요소가 될 수 있으며, 하나 이상의 본드 패드(210)를 포함할 수 있다. 도 5a에 나타낸 바와 같이, 얇은 제2 금속층(230)이 유전층(220) 상에 배치되며, 도 10에 나타낸 바와 같이, 본드 패드(210) 상에도 얇은 제2 금속층(230)이 위치한다. 이 제2 금속층(230) 상에 제2 리플로우 금속층(250)이 증착된다. 제2 금속층(230)과 제2 리플로우 금속층(250)은, 상기 설명한 바와 같이, 마이크로전자 요소 또는 웨이퍼(100)의 제1 금속층(130) 및 제1 리플로우 금속층(150)과 유사하게 될 수 있다. 제2 리플로우 금속층(250)의 본드 패드(210)와 유전층(220) 사이에 갭(240)이 형성될 수 있으며, 또는 수동 요소의 경우에는, 유전층(220)의 인접한 부분들 사이에 갭이 형성될 수 있다.

- [0025] 조립체(300)를 형성하는 과정에서, 요소(100)와 제2 요소(200)에는 능동 마이크로전자 요소인 요소(100)가 제공된다. 이들 요소 위에 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)이 증착된다. 이 과정은 여러 방법으로 수행될 수 있다. 예를 들어, 요소(100)와 제2 요소(200)의 주 표면(102, 104)의 실질적으로 전체 위에 금속을 증착할 수 있는데, 주 표면상의 본드 패드(110, 210) 및/또는 유전층(120, 220)을 덮도록 증착할 수 있다. 이후에, 금속의 일부를 제거하고, 남은 금속이 주 표면(102, 104)의 위로 소정의 높이까지 연장되도록 할 수 있다. 다른 것을 거치지 않고 주 표면(102, 104)의 바로 위에 있는 금속을, 본드 패드(110, 210)와 유전층(120, 220) 사이의 갭(140, 240)에서 제거할 수 있다. 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)을 증착하는 과정은 구리 또는 알루미늄 등을 함유할 수 있는 금속을 포함하여 이루어진 제1 스테이지(stage)를 증착하는 단계를 포함할 수 있다.
- [0026] 결합을 행하기 전에, 요소(100)의 본드 패드(110)를, 도 10에 나타낸 바와 같이, 제2 요소(200)의 본드 패드(210)와 나란하게 한다. 본드 패드(110, 210)는 주 표면(102, 202) 상의 유전층(120, 220) 사이에 균일하게 배치되는 전기 절연성의 다수의 금속 요소를 포함할 수 있다. 유전 재료(또는 절연된 금속 요소) 상의 제1 금속층(130) 및 제2 금속층(230)은 요소(100) 및 제2 요소(200)의 내부 요소로부터 전기적으로 절연될 수 있으며, 또는 이와 달리 전원이거나 접지에서의 접속을 위해 사용될 수 있다. 도 11에 나타낸 바와 같이, 요소(100)와 제2 요소(200)는, 예를 들어 리플로우 금속이 용융되어 서로 융합되도록 하는 온도까지 이 리플로우 금속을 가열시킴으로써, 제2 리플로우 금속층(250)에 접합된 제1 리플로우 금속층(150)과 결합시켜 조립체(300)를 형성한다. 일례로, 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250) 중의 하나 이상을 대략 50℃ 내지 300℃의 온도로 가열한다. 예를 들어, 땀납, 주석, 인듐, 금 또는 이들의 조합으로 된 금속층의 결합은 일반적으로 300℃ 이하의 온도에서 행해질 수 있다. 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250) 중의 하나 이상은 열을 가함으로써 발열성(exothermic) 및 열활성(thermally-activated)되는 적어도 일부분을 포함할 수 있으며, 결합 공정은 이러한 층을 열적으로 활성화하기 위해 발열성 금속층의 적어도 일부분을 가열하는 단계를 포함할 수 있다. 압축가능한 유전층(120, 220) 중의 적어도 하나에 의해 흡수되는 치수 공차를 고려하는 것이 바람직하다.
- [0027] 갭(140, 240)은 본드 패드(110, 210) 및 유전층(120, 220) 상의 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)의 상면의 동일 평면상의 총 편차의 합을 보상하기에 충분한 여유 볼륨을 제공할 정도로 크게 할 수 있다. 도 11에 나타낸 바와 같이, 결합된 제1 리플로우 금속층(150)과 제2 리플로우 금속층(250) 중의 소정의 부분이, 영역(152)에 나타낸 것처럼, 갭(140, 240)의 안쪽으로 돌출되도록 할 수 있다. 이와 달리, 결합된 금속층의 일부가, 영역(154)에 나타낸 것처럼, 이웃하는 갭(140, 240)에 대하여 오목한 면을 갖는 것으로 해도 된다. 결합된 제1 리플로우 금속층(150)과 제2 리플로우 금속층(250)의 일부는 영역(156)에 나타낸 것처럼, 실질적으로 직선형이며 수직인 에지를 가질 수 있다. 따라서, 요소(100)와 제2 요소(200)의 결합은, 요소(100) 및 제2 요소(200)에 관련된 치수 차에 의해 리플로우 가능한 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)이 갭(140, 240) 안으로 부분적으로 오버플로우되면서 전기적으로 접속되는 것에 의해 도움을 받는다.
- [0028] 조립체(300)의 변형예로서, 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)은 리플로우 가능한 금속 대신에 구리(copper)를 포함할 수 있으며, 어떤 경우에는 제1 금속층(130) 및 제2 금속층(230) 중의 하나 또는 이들 모두를 생략할 수 있다. 이러한 층을 접합하는 과정에는 구리층이 서로 융합하도록 요소(100)와 제2 요소(200) 간에 열과 압력을 가하는 과정을 포함한다. 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250) 중의 하나 이상의 금속층 위에 금을 포함하여 이루어진 층이 위치하며, 금을 가열해서 금이 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250) 사이의 접합 계면에 있는 구리까지 확산되도록 한다.
- [0029] 다른 예로서, 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)을 증착하는 단계는 베이스 금속(base metal)과 베이스 금속 위에 금을 포함하여 이루어진 층을 증착하는 단계를 포함한다. 이후, 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)이 서로 융합될 때까지, 요소에 열과 압력을 가한다.
- [0030] 일 실시예에서, 요소(100)와 제2 요소(200)를 결합한 후에, 조립체(300)를 다이싱 라인[예를 들어, 라인(301)]을 따라 개별의 마이크로전자 조립체 또는 유닛으로 절단할 수 있다. 통상적으로, 각각의 유닛은 능동 회로 요소를 포함하는 능동 칩(active chip)과, 다른 능동 칩을 포함할 수 있는 제2 요소(200)의 대응하는 부분을 포함한다. 조립체(300)는, 도 12에 구성된 바와 같이, 요소(100)와 제2 요소(200) 중의 하나 이상이 본드 패드와 전기적으로 접속되고 해당 요소의 두께를 통해 연장하는 쓰루 비아(through via)(302)를 포함하는 구성이 가능하다. 예를 들어, 쓰루 비아(302)는 요소(100)를 통해 연장하며, 본드 패드(110)에 전기적으로 접속되는 전기 전도성 요소를 내부에 제공한다. 마찬가지로, 전기 전도성의 쓰루 비아(302)는 제2 요소(200)를 통해 연장하고 본드 패드(210)와 전기적으로 접속될 수 있다. 도 13에 나타낸 바와 같이, 요소(100)와 제2 요소(200)를 통해 연장하며, 요소(100)의 본드 패드(110) 및 제2 요소(200)의 본드 패드(210)와 전기적으로 접속될 수 있는 전기 전

도성의 쓰루 비아(303)를 제공할 수 있다.

- [0031] 전기 전도성의 쓰루 비아를 제조하는 방법은 다양하게 있으며, 미국 가 출원 제61/419,033호 및 제61/419,037호와, 미국 특허 공개번호 제2008/0246136호, 또는 미국 출원 제12/842,717호 및 제12/842,651호에 개시된 것을 참조할 수 있다. 상기 특허문헌의 내용을 본 명세서에서 인용에 의해 포함한다.
- [0032] 일례로, 요소(100) 및 제2 요소(200)를 결합하기 전에는, 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250) 중의 하나의 금속층만이 존재한다. 도 14에 나타난 바와 같이, 요소(1100)는 제1 금속층(1130) 위에 배치된 제1 리플로우 금속층(1150)을 포함하며, 제2 요소(1200)는 그 상위층으로서 다른 금속층 없이 제2 금속층(1230)만을 포함한다.
- [0033] 다른 예에서, 도 15에 나타난 바와 같이, 제2 요소(2200)는 노출된 본드 패드가 없는, 인터포저(interposer), 커버 웨이퍼 또는 블랭크 웨이퍼(blank wafer)가 될 수 있다. 요소(2100) 및 제2 요소(2200)는 유전층(2120, 2220)과 유전층(2120, 2220) 상의 제1 금속층(2130) 및 제2 금속층(2230)을 각각 포함한다. 요소(2100)의 주 표면(2102) 상의 본드 패드(2110)는 제2 요소(2200)의 주 표면(2202)의 노출된 부분에 이웃한다. 제1 금속층(2130) 및 제2 금속층(2230)은 유전층(2120, 2220)상에만 있고 본드 패드(2110)에는 형성되지 않으며, 접합된 리플로우 가능한 제1 리플로우 금속층(2150) 및 제2 리플로우 금속층(2250)을 통해 전기적으로 접속될 수 있다.
- [0034] 이상의 공정에 의해, 제1 금속층(130: 도 11 참조) 또는 제1 금속층(2130: 도 15 참조)은 각각의 웨이퍼 또는 요소 상에서 서로 전기적으로 절연될 수 있으며, 웨이퍼 또는 요소를 서로 접합하기 전과 후에 상기 금속층이 제공되는 웨이퍼 또는 요소로부터 전기적으로 절연될 수 있다. 이와 달리, 웨이퍼 또는 요소 상의 제1 금속층(130) 및 제2 금속층(230) 중의 하나 또는 모두는 전원 또는 접지에 접속하는 데에 사용될 수 있다. 예를 들어, 웨이퍼 상의 제1 금속층(130) 또는 제2 금속층(230)은 웨이퍼의 칩에 접지 접속을 제공하는 동일 웨이퍼의 접지용 본드 패드로 연장되거나 이러한 본드 패드와 전기적으로 접속될 수 있다. 또 다른 예로서, 웨이퍼 상의 제1 금속층(130) 또는 제2 금속층(230)은 웨이퍼의 칩에 전원 접속을 제공하는 동일 웨이퍼의 전원용 본드 패드로 연장되거나 이러한 본드 패드와 전기적으로 접속될 수 있다. 또 다른 예로서, 마이크로전자 조립체의 제1 금속층(130) 및 제2 금속층(230)의 일부분은 접지용 본드 패드로 연장되거나 이에 전기적으로 접속될 수 있으며, 마이크로전자 조립체의 금속층의 다른 부분은 전원용 본드 패드로 연장되거나 이에 전기적으로 접속될 수 있다. 이러한 경우에, 웨이퍼의 각 칩의 금속층, 예를 들어 제1 금속층(130) 및 제2 금속층(230)과 이들 금속층 사이의 리플로우 가능한 제1 리플로우 금속층(150: 도 11 참조)은 칩이 포함되는 마이크로전자 조립체의 접지 단자 또는 전원 단자에의 접속을 위해 사용될 수 있다.
- [0035] 상기 설명한 실시예 중의 하나 이상에 따라 앞서 설명한 공정에 의하면, 본 명세서에 개시한 기술은 접합 계면(bonding interface)에서의 비평면성(nonplanarity)을 보상할 수 있다. 일례로, 접합되는 또는 리플로우 가능한 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)은 각 웨이퍼의 제1 금속층(130) 및 제2 금속층(230)과 본드 패드(110, 210) 상에서 1 마이크로(micron)의 두께를 가질 수 있다. 이러한 예에서, 제1 리플로우 금속층(150: 도 11 참조)의 정상적인 접합 두께는 2 마이크로이다. 본 발명의 기술에 의하면, 웨이퍼의 전체 치수에 대한 접합 계면에서의 평면성(planarity)의 총 편차(total variation)를, 0.5 마이크로 이하로 보상할 수 있다. 다른 예로서, 접합되는 또는 리플로우 가능한 제1 리플로우 금속층(150) 및 제2 리플로우 금속층(250)이 적절한 두께를 갖는 경우에, 본 발명의 기술은, 예를 들어 3 마이크로와 같이 더 큰 비평면성에 대해서는 보상을 할 수 있다.
- [0036] 앞서 설명한 구조체는 특별한 3차원 상호접속 능력을 갖는다. 이러한 능력은 어떠한 반도체 타입에도 사용될 수 있다. 일례로, 다음에 설명하는 칩의 조합이 앞서 설명한 것과 같은 구조체에 포함될 수 있다. (i) 프로세서 및 프로세서와 함께 사용되는 메모리; (ii) 동일 타입의 다수의 메모리 칩; (iii) DRAM 및 SRAM 등의 다양한 타입의 다수의 메모리 칩; (iv) 이미지 센서 및 이미지 센서로부터 이미지를 처리하기 위해 사용되는 이미지 프로세서; (v) 주문형 반도체("ASIC") 및 메모리.
- [0037] 상기 설명한 구조체는 다양한 전자 시스템의 구성에 사용할 수 있다. 예를 들어, 본 발명의 다른 실시예에 따른 시스템(900)은 다른 전자 부품(908, 910)과 연결된, 앞서 설명한 구조체(906)를 포함한다. 도시된 예에서, 부품(908)은 반도체 칩이며, 부품(910)은 디스플레이 스크린이지만, 임의의 다른 부품을 사용해도 된다. 물론, 도 16에는 간단히 나타내기 위해 2개의 부품만을 도시했지만, 본 시스템은 임의의 개수의 부품을 포함하는 구성이 가능하다. 앞서 설명한 구조(906)는 앞서 설명한 것과 같은 복합의 칩 또는 다수의 칩을 포함하는 구조체가 될 수 있다. 또 다른 예로서, 이들 모두를 설치하는 것도 가능하고, 이러한 구조체를 임의의 개수로 사용해도 된다. 구조체(906)와 부품(908, 910)은 점선으로 개략적으로 나타난 공통의 하우징(901)에 설치하고, 필요에 따

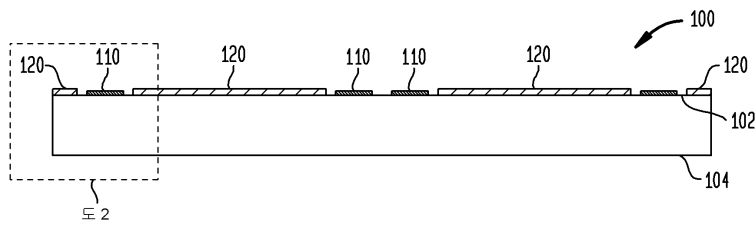
라 서로 전기적으로 상호접속해서 소망하는 회로를 구성할 수 있다. 도시한 시스템은 유연성을 갖는 인쇄회로기판 등의 회로판(902)을 포함하는데, 이러한 회로판은 부품들을 서로 연결하는 다수의 도체(conductor)(904)를 포함하지만, 도 16은 이들 중 하나만 도시하고 있다. 이러한 구성은 예에 불과하고, 전기적 접속을 구성하기 위한 어떠한 적절한 구조체도 사용할 수 있다. 하우징(901)은 셀폰(cellular telephone) 또는 휴대정보단말기(PDA)로 사용할 수 있는 휴대형의 하우징인 것으로 도시되어 있으며, 스크린(910)은 하우징의 표면에 노출되어 있다. 구조체(908)는 이미징 칩과 같은 감광성(light-sensitive) 요소를 포함하며, 광을 구조체로 향하게 하기 위한 렌즈 등의 다른 광학 소자를 설치해도 된다. 도 16에 간단히 나타낸 시스템은 일례에 불과하며, 데스크톱 컴퓨터, 라우터 등과 같은 고정형 구조체로서 일반적으로 고려되는 시스템도 앞서 설명한 구조체를 사용해서 만들 수 있다.

[0038] 앞서 설명한 변형예 및 다른 변형예와 특징의 조합은 본 발명을 벗어남이 없이 가능하다. 실시예에 관한 설명은 예시에 불과하며 본 발명을 제한하기 위한 것이 아니라는 것을 이해하여야 한다.

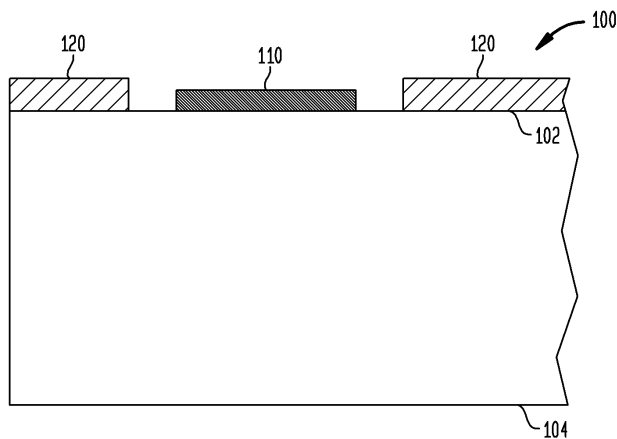
[0039] 본 명세서에 개시한 다양한 독립 청구항 및 그 특징은 청구범위에 제시된 것보다 다양한 방식으로 조합할 수 있다는 것을 알 수 있을 것이다. 각각의 실시예와 조합해서 개시한 특징에 대해서는 개시한 실시예 외의 다른 실시예와 공통으로 가질 수 있다.

**도면**

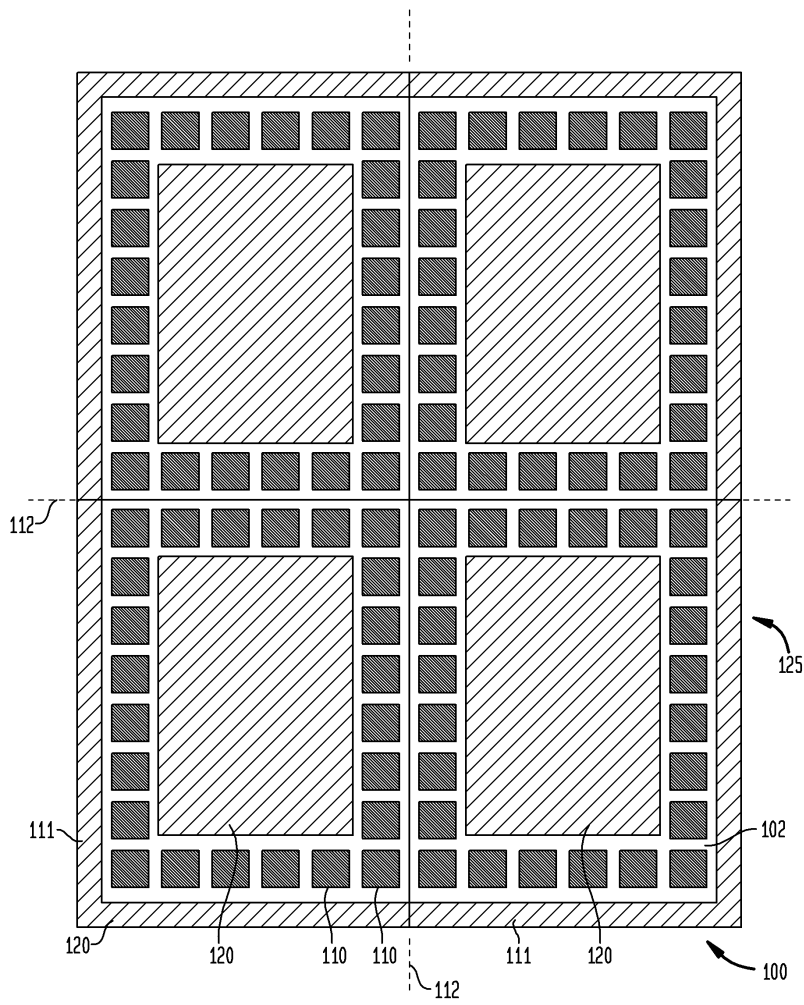
**도면1**



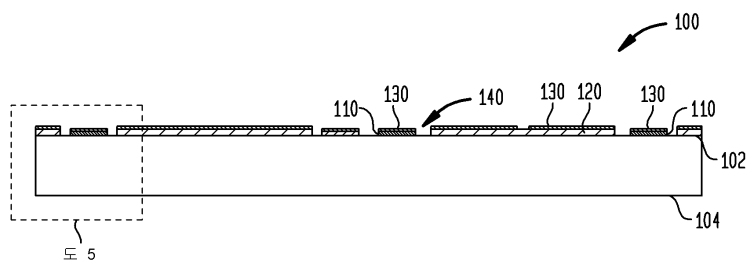
**도면2**



도면3

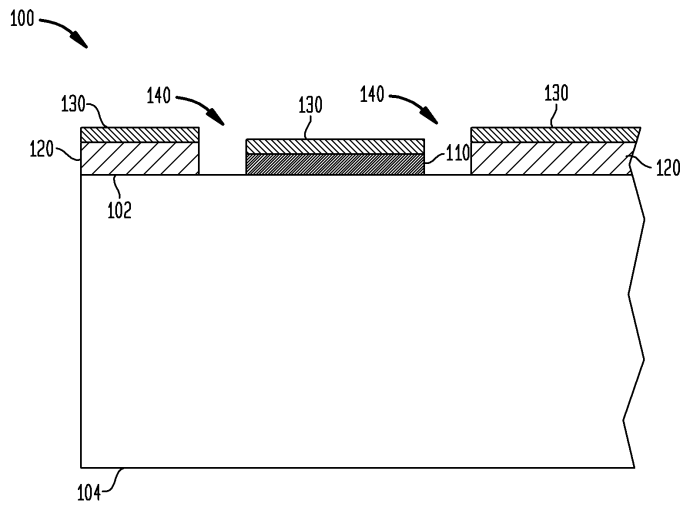


도면4

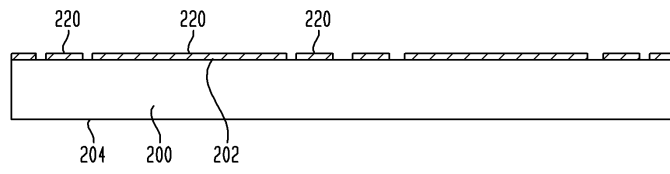


도 5

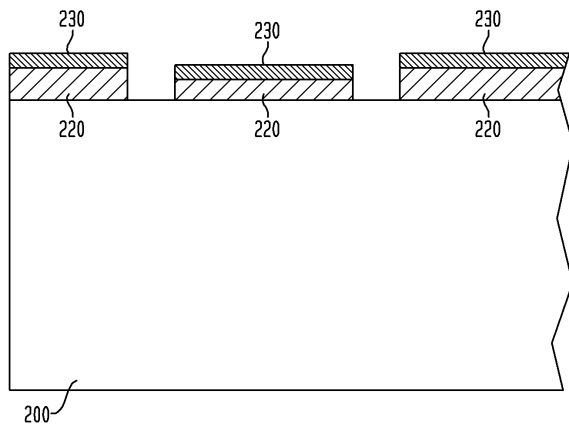
도면5



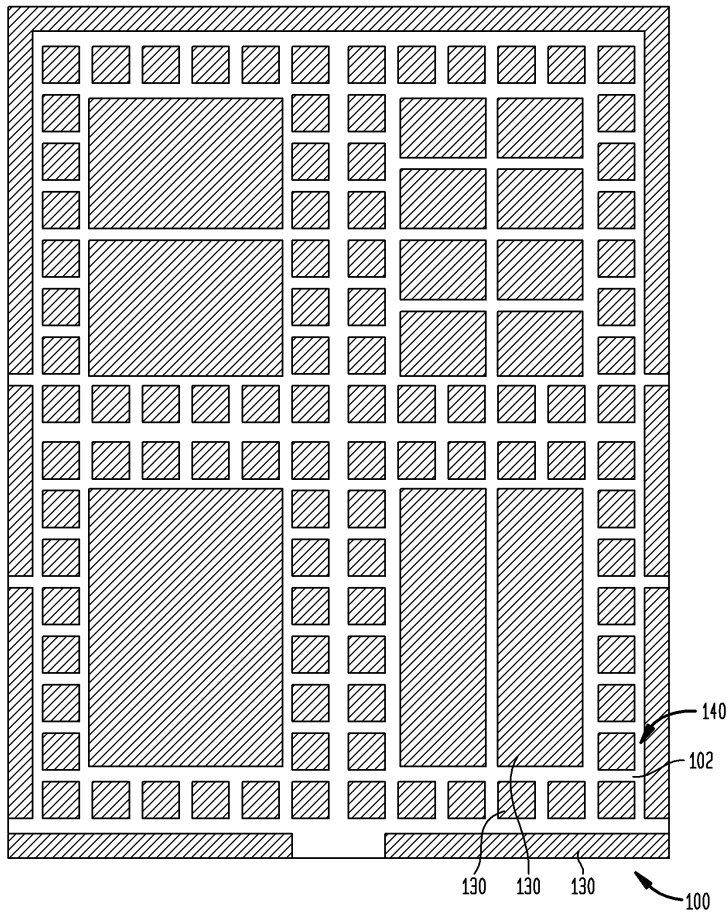
도면4a



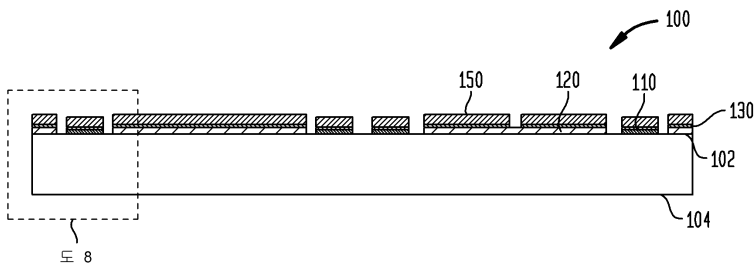
도면5a



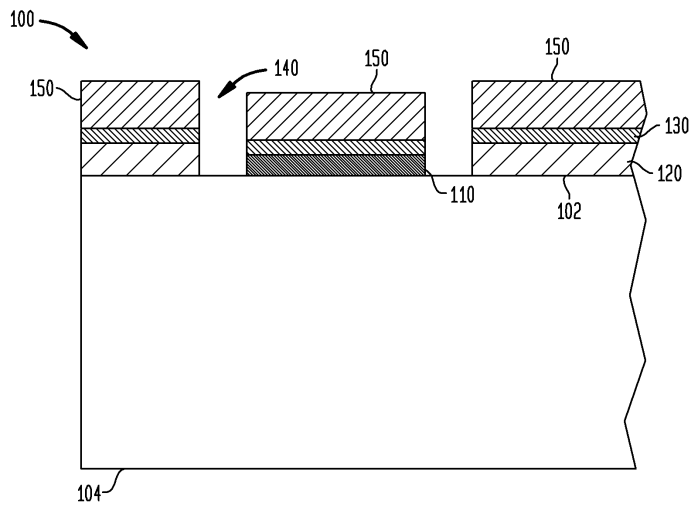
도면6



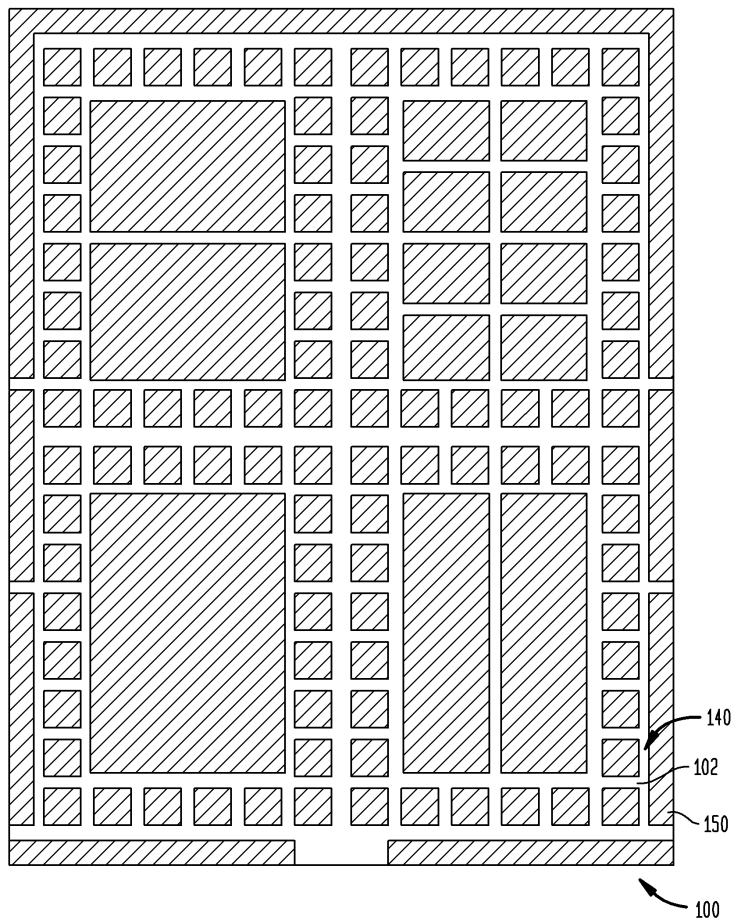
도면7



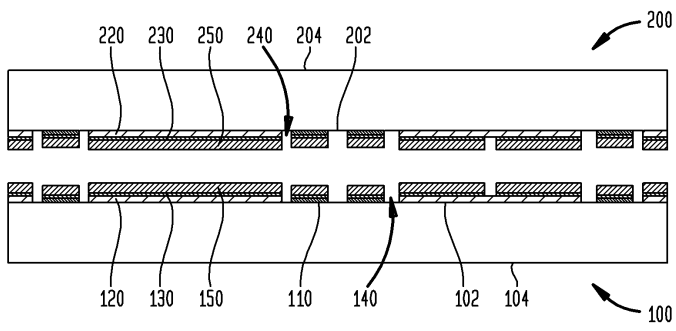
도면8



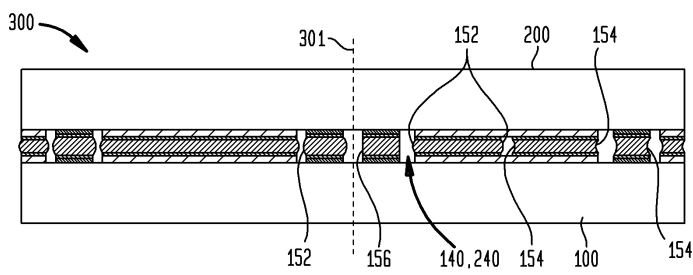
도면9



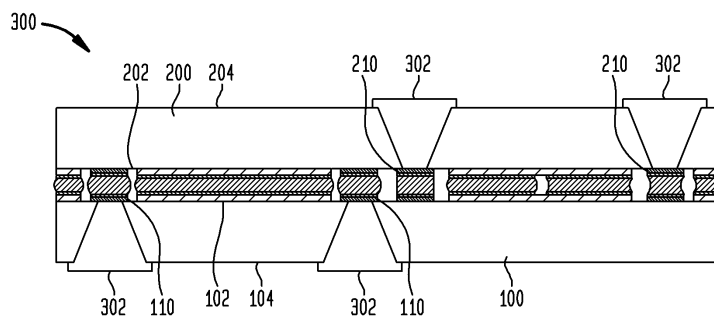
도면10



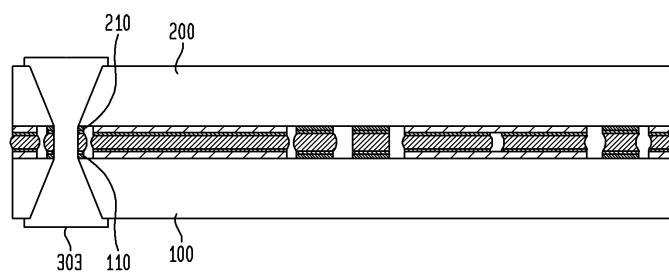
도면11



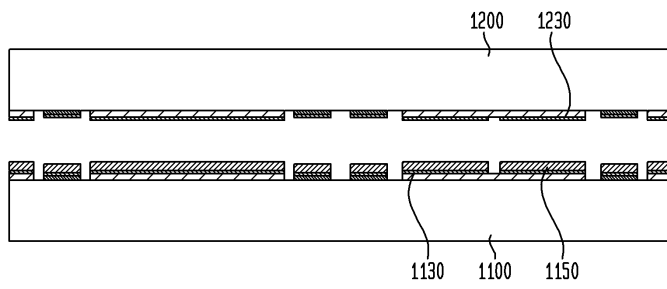
도면12



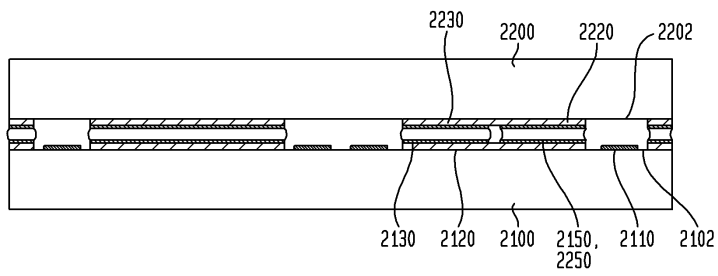
도면13



도면14



도면15



도면16

