

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4463416号  
(P4463416)

(45) 発行日 平成22年5月19日(2010.5.19)

(24) 登録日 平成22年2月26日(2010.2.26)

(51) Int. Cl.	F I
<b>C 2 5 D 21/12 (2006.01)</b>	C 2 5 D 21/12 A
<b>C 2 5 D 7/12 (2006.01)</b>	C 2 5 D 21/12 C
<b>H O 1 L 21/288 (2006.01)</b>	C 2 5 D 7/12
<b>H O 1 L 21/3205 (2006.01)</b>	H O 1 L 21/288 E
	H O 1 L 21/88 K

請求項の数 4 (全 11 頁)

(21) 出願番号 特願2000-387814 (P2000-387814)  
 (22) 出願日 平成12年12月20日(2000.12.20)  
 (65) 公開番号 特開2001-192898 (P2001-192898A)  
 (43) 公開日 平成13年7月17日(2001.7.17)  
 審査請求日 平成19年12月17日(2007.12.17)  
 (31) 優先権主張番号 476811  
 (32) 優先日 平成12年1月3日(2000.1.3)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノン  
 ドライブ ウエスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 グレゴリー・エス・エサーリントン  
 アメリカ合衆国テキサス州チェダー・クリ  
 ーク、アルム・クリーク・ドライブ502

審査官 市枝 信之

最終頁に続く

(54) 【発明の名称】 半導体素子の形成方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子基板(155)上に膜(110)を堆積する方法であって、  
 前記半導体素子基板(155)の表面をめっき槽(19, 59)内のめっき溶液に浸漬する段階と、

前記めっき槽(19, 59)内に配置した検出アレイ(57)によって、めっき溶液内の種々の位置における電流密度をマップする段階と、

前記めっき槽(19, 59)内に配置した電流制御アレイ(53)により、前記検出アレイ(57)によって生成されたマップに基づいて、前記めっき溶液内の種々の位置における電流密度を制御する段階と、

前記半導体基板(155)上に前記膜(110)をめっきする段階と  
 から成ることを特徴とする方法。

【請求項2】

前記検出アレイ(57)は、前記膜(110)を前記半導体素子基板(155)上にめっきする間、連続的に電流を測定する請求項1に記載の方法。

【請求項3】

前記検出アレイ(57)は、前記膜(110)を前記半導体素子基板(155)上にめっきする間、間欠的に電流を測定する請求項1に記載の方法。

【請求項4】

前記半導体素子基板は回転するターンテーブルに装着され、前記検出アレイ及び制御ア

レイは回転するターンテーブル及び基板に応答して電流密度を検出し制御する請求項 1 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的に、基板上に膜を堆積する方法に関し、更に特定すれば、半導体素子基板上に膜を電気めっきする方法に関する。

【0002】

【従来の技術】

基板上に膜を形成する方法としてのめっき処理は、半導体の製造において増々一般化しつつある。更に具体的には、電気めっきは、半導体基板上に銅のような導電性膜を形成する価格効率的な方法として、認識されつつある。図 1 は、めっきシステム 10 の一部を示す断面図を含む。めっきシステム 10 は、チャンバ 11，めっき溶液 19，めっき溶液入口 111 およびめっき溶液出口 113，カップ 12，リング・シーフ (ring thief) 17，ディフューザ 13，アノード 14，カソード 15，ならびにカソード 15 に結合されている基板 155 を含む。加えて、カソード 15 は、回転可能なアセンブリ 151 およびクランプ 153 を含む。めっきシステム 10 の動作の間、電流がめっき溶液を介してアノード 14 (正電極) およびカソード 15 (負電極) 間を通過し、溶液中の金属イオンが金属原子に還元され、これが基板 155 上に堆積する。アノードでは、酸化反応が発生し、カソードにおいて還元された金属イオンをめっき溶液に補給する。

【0003】

【発明が解決しようとする課題】

現在、めっき溶液の電流密度を測定するための商業的に実現可能な方法は存在しない。pH プロブは、めっき槽内のイオン種のノドを測定することができるが、めっき溶液の電流密度を測定することはできない。めっき溶液内で手作業で操作することができる電流測定プロブがあるが、この方法には欠点がある。第 1 に、このプロブは、めっき溶液内の特定の特異位置のみを測定する。これらの地点は、基板の小領域のみに対応するに過ぎない。第 2 に、このプロブは、生産基板を処理する場合には用いることができない。何故なら、めっき堆積プロセスを阻害し、望ましくない影響を及ぼすからである。したがって、この従来技術の方法は、非生産 (ダミー) ウエハの場合に用いることができるに過ぎない。最後に、このプロブは連続的に槽から取り出し再度導入するので、粒子の発生が懸念となる可能性がある。プロブによって生ずる粒子および汚染物は、多数の問題を引き起こし、これらがめっきした膜の品質を低下させる虞れがある。

【課題を解決するための手段】

上記の課題を解決するため、本発明によれば、半導体素子基板上に膜を堆積する方法が提供される。その方法は、前記半導体素子基板の表面をめっき槽内のめっき溶液に浸漬する段階と、前記めっき槽内に配置した検出アレイによって、めっき溶液内の種々の位置における電流密度をマップする段階と、前記めっき槽内に配置した電流制御アレイにより、前記検出アレイによって生成されたマップに基づいて、前記めっき溶液内の種々の位置における電流密度を制御する段階と、前記半導体基板上に前記膜をめっきする段階とから成る。

【0004】

【発明の実施の形態】

図面に、限定ではなく一例として本発明を示す。同様の参照符号は同様のエレメントを示すこととする。

【0005】

図面のエレメントは、簡略化および明確化を目的として図示されており、必ずしも同一の拡縮率で描かれている訳ではないことを、当業者は認めよう。例えば、図面におけるエレメントの中には、その寸法が他のエレメントよりも誇張されており、本発明の実施例を理解しやすくしている場合もある。

10

20

30

40

50

## 【0006】

本発明の一実施例によれば、基板の表面をめっき槽に露出させ、めっき槽内の少なくとも1つの第1位置において第1電流を測定し、基板上に膜をめっきする。一実施例では、電流を測定する際に、めっき溶液を検出ユニットに通過させ、対応して生成される信号を測定する。一実施例では、検出ユニットは、めっきシステムのディフューザ・プレートの一部として形成されている。一実施例では、検出ユニットによって測定した信号に応答して、槽流量またはめっきシステムのカソードおよびアノード間のバイアス電位というような処理パラメータを調節し、膜厚や膜均一性というようなめっき膜特性を操作する(affect)。代替実施例では、槽内において制御アレイを用いて、めっき槽を制御する。次いで、検出ユニットによって測定した電流に応答して、制御アレイを用いて電流を制御する。

10

## 【0007】

これより、添付図面を参照しながら、本発明の一実施例について更に詳しく説明する。一実施例によれば、めっきシステムは、めっき溶液を通過する電流を検出および/または制御するように構成されている。図2は、磁気コア22、および当該磁気コア22周囲に巻回されているリード24を有するドーナツ型コイル20を含む。電流26がドーナツ型コイル20を通過すると、リード24間で電位を検出することができる。この電位は、めっき槽内においてドーナツ型コイルを通過する電流量に比例する。図3は、平行ストリップライン30を用いて、めっき溶液を通過する電流を検出および/または制御する代替実施例を含む。平行ストリップライン30は、第1電極32および第2電極38を含む。電極32, 38間を電流36が通過すると、電極32, 38間で電位34が検出される。この電位は、電極間を流れる電流36の量に比例する。本発明の実施例によれば、これらは、めっきシステム内に組み込まれ、アノードおよびカソード間を流れる電流の検出および/または制御を可能にする、2種類の検出および/または制御システムの非限定的な例である。代替実施例では、適切な電流検出/制御電極または装置であれば、いずれの種類でも使用可能である。

20

## 【0008】

特定の一実施例では、図1のディフューザ・プレート13を、図4に示すディフューザ・プレート40と交換することができる。一実施例によれば、ディフューザ・プレート40は、多数の開口42および複数のドーナツ型コイル44を含む。アノードおよびカソード間の電流を検出するためにドーナツ型コイル44を用いる場合、ディフューザ・プレート40の表面全体にアレイ46を形成するように、ドーナツ型コイル44を配置することができる。次いで、アレイ46は、基板155の主面に向かって方向付けることができる。このように、アレイ46は、基板155の領域に対応する種々の位置において、電流密度をサンプルすることができる。

30

## 【0009】

あるいは、ドーナツ型コイル44を用いて開口42を形成するように、これらをディフューザ・プレート内部に配置することも可能である。一実施例によれば、ドーナツ型コイル44およびそれらに対応するリードは、めっき溶液とは反応しない不活性材料内に収容される。次いで、ディフューザ・プレート40の一部分に沿ってまたはその内部において、コイル電位を測定するための電氣的接続を行なう点または複数の点までリードを敷設する。

40

## 【0010】

電流密度の検出に加えて、ディフューザ・プレートは、代わりに、ディフューザ・プレート40を通過する電流密度量を制御するために使用可能な、ドーナツ型コイル、平行ストリップライン等を含むことができる。この実施例では、ドーナツ型コイル、平行ストリップライン等に逆電位または電流を印加して、それぞれのドーナツ型コイル、平行ストリップライン等のいずれを通過する電流の量をも制御(増加, 減少または維持)することができる。例えば、これを可能にするには、ドーナツ型コイルの巻線(リード)に電圧電位を印加することによって、コイル内部に電界を発生して電流の流れを妨げ、最終的にドーナツ型コイルを通過するめっき槽の溶液およびめっき材料を流れる電流を妨げる。検出アレイ

50

に応答して、制御アレイ内の特定のドーナツ型コイルを通過する印加電圧または電流を選択的に制御することによって、所与のいずれかのコイルまたは一連のコイルを通過させるめっき槽電流の量を制御し、カソードにおける電流密度の均一性および基板上でめっきされる物質の堆積を変化させることができる。

#### 【0011】

図5は、本発明の代替実施例を含み、ここでは、ディフューザ・プレート51が、当該ディフューザ・プレート51上（または内部）に配置された制御アレイ53を含み、制御アレイ53およびカソード55間に検出アレイ57を配置している。代替実施例では、検出アレイおよびカソード間に配置した制御アレイの代わりに、制御アレイおよびカソード（図示せず）間に検出アレイを配置することも可能である。めっきシステム50の構成が図1に示しためっきシステムとは異なるのは、本発明の実施例は種々のめっきシステム内に組み込み可能であることを示すためである。加えて、図5のめっきシステムはめっき溶液出口52を含み、カソード55は、図1に示したカソード15とは異なる構成となっている。この特定実施例では、ターンテーブル551は、基板155をターンテーブルに固着させる環状クランプ553を含む。あるいは、ターンテーブルを有さない構成を含む他のめっきシステム構成も、本発明の実施例を用いて膜を堆積するために使用可能である。

10

#### 【0012】

一実施例によれば、図5の検出アレイ57（または制御アレイ53）は、図6に示すものと同様に、ドーナツ型コイルのマトリクスを含むように構成することができる。この実施例によれば、ドーナツ型コイル62は六角形であり、検出アレイ（またはディフューザ・プレート51）内に配置されている。この特定実施例では、ドーナツ型コイルは、絶縁材料のマトリクスによって、互いに分離されている。コイルおよび絶縁材料の組み合わせは、ハニカム・マトリクスを形成する。図6では六角形として示すが、円形、四角形、八角形等を含む他の形状を用いることも可能である。

20

#### 【0013】

制御アレイ53および検出アレイ57双方は、それらのコイルを比較的固定した位置に保持する、かなり硬質な部材を含むことができる。一実施例によれば、制御アレイ53は、多孔質のセラミック・ディフューザ・プレート51上またはその内部に装着される。ディフューザ・プレート40とは異なり、ディフューザ・プレート51には、当該ディフューザ・プレートの厚さ全体を貫通する孔はない。同様に、検出アレイ57は、ポリウレタン等のような、比較的硬質な不活性材料内に配置するか、あるいはその上に装着することができる。更に別の代替実施例では、検出アレイを取り付けるが、カソード55に電氣的に接続しないことも可能である。したがって、検出アレイおよび基板間の位置関係は固定されるが、検出アレイはターンテーブルと共に回転可能である。

30

#### 【0014】

図7ないし図9は、平行ストリップ・ライン検出ユニットを含む代替実施例を示す。図7では、4本のストリップ・ラインを、ディフューザ・プレートまたはその他の支持部材（図示せず）内の開口の4箇所の縁に沿って配置し、検出アレイ70を形成する。この実施例では、検出アレイ70は2つの平行検出電極72および2つの平行制御電極74を含む。2つの検出電極72は互いに平行であり、2つの制御電極74に対して垂直である。図8は、同様の構成を示すが、検出電極72は制御電極74から分離されている。図9では、平行電極（検出および制御）の各々は、互いに平行となるように方向が決められている。典型的に、制御および検出電極は、ポリウレタン、ポリプロピレン、塩化ポリビニル、Teflon<sup>TM</sup>のようなフルオロカーボン、シリコン等のような不活性物質内に密封される。不活性密封化により、めっき溶液および溶液からのめっき材料がコイルまたは電極上を汚染する可能性を低減する。

40

#### 【0015】

本発明の実施例によれば、前述の機器構成は、電子部品の製造において、基板上に層を形成するためにも使用可能である。図10は、半導体素子基板155の断面図を含む。この明細書において用いる場合、半導体素子基板155は、単結晶半導体ウエハ、絶縁物上半

50

導体ウエハ、または半導体素子を形成するために用いられるその他のいずれかの基板とする。フィールド分離領域102およびドープ領域104を基板155内に形成する。ゲート誘電体層106およびゲート電極108が、基板155およびドープ領域104の一部を覆う。側壁スペーサ109が、ゲート電極108の対向する側壁に沿って位置する。第1レベル間誘電体(ILD)層112をゲート電極108、フィールド分離領域102、およびドープ領域104上に形成する。ILD層112内に開口を形成し、図10に示すように、ドープ領域104の内1つの一部を露出させる。次に、バリア膜114および導電性充填材116を開口に充填し、導電性プラグを形成する。

**【0016】**

次に、第1ILD層112および導電性プラグ上に、第2ILD層118を形成する。第2ILD層118をパターニングし、続いて相互接続部を形成する場所に開口を形成する。開口を形成した後、バリア膜117および導電性シード膜119を形成する。典型的に、バリア膜117は、タンタル、窒化タンタル、モリブデン、窒化モリブデン、チタン、窒化チタン等のような、耐熱金属または耐熱金属の窒化物で形成される。導電性シード膜119は、典型的に、露出された基板表面上に続いてめっきされる物質と同様の物質を用いて形成される。この特定実施例では、露出した基板表面全体に銅をめっきするので、シード膜119は銅を含む。代替実施例では、バリア膜117およびシード膜119は、めっきする材料の種類および形成する構造の特定要件に応じて、その組成が変化する可能性がある。

**【0017】**

次に、図11に示すように、導電性シード膜119上全体に銅膜110を堆積する。典型的に、銅膜110は、第2ILD118内に形成した開口を完全に満たすように堆積される。銅膜110をウエハ上にめっきする際、前述の検出および/または制御ユニットあるいはその変形と共に構成されるめっきシステムのいずれか1つを用いる。

**【0018】**

めっき処理の間、アノードはシード膜119上へのめっき物質の供給源として作用する。銅に加えて、または銅以外の他の材料を用いてめっき物質を形成する場合、アノードは追加的にこれらの材料を含むことも可能である。あるいは、他の実施例では、循環ループを経由して適切なめっき材料を供給し、めっき溶液を補充することも可能である。

**【0019】**

次に図5に示す装置に移り、制御ループを形成することによって、検出アレイ57は、溶液内の種々の位置における電流密度をマップし、制御アレイ53にフィードバックを与え、対応する位置における電流密度を制御することが可能となる。検出アレイによって生成されたマップが、他の領域に比較して電流密度が異常に高いかまたは異常に低いことを検出した場合、制御アレイ内の各ドーナツ型コイル、平行ストリップライン等を調節し、当該領域における電流密度を増加または減少させることができる。このようにして、基板表面に対する電流密度の均一性および対応するめっき面の堆積厚さまたは均一性を制御し、従来技術のめっきシステムのそれよりも改善する。一実施例によれば、検出アレイは、基板上へのめっき処理の間電流を連続的に測定する。あるいは、検出アレイは、膜を基板上にめっきする間、間欠的に電流のサンプルを測定することも可能である。同様に、制御アレイは、検出アレイによって与えられる連続測定値に応答するように(即ち、基板上に膜をめっきする間、電流を経時的に制御する)、または検出アレイによって測定される周期的サンプルに応答するように構成することも可能である。

**【0020】**

代替実施例では、検出および制御アレイは、回転するターンテーブルおよび基板に反応して電流密度を検出し制御することができる。例えば、特定の一実施例では、シード膜119の厚さが基板全体にわたって変動する場合、シード膜119が薄い基板の領域では、基板表面における抵抗増大のために、めっき速度が低くなっている場合が考えられる。基板を回転させると、制御アレイのドーナツ型コイル、平行ストリップライン、電極等を活性化させて高抵抗領域と対応させ、シード層119が薄い領域においてめっき速度を上昇さ

10

20

30

40

50

せ、シード層が厚い領域においてめっき速度を低下させることができる。このように、制御アレイおよび検出アレイは、基板の回転に対して静止状態となる。これらは、基板の回転に応答して、電流密度の増減を、基板の膜厚における対応する変化と同期させる。更に別の実施例では、厚さが非均一になっても、ある場所においてめっきする材料を増大させることが望ましい場合もある。例えば、中央部対縁部の非均一性効果を極力抑えるためには、電力を選択的に印加し、基板の縁部（または中央部）においてドーナツ型コイル、平行ストリップライン、電極等を制御することにより、基板の縁部（または中央部）における電流量および対応する堆積速度を低下させることが有効な場合もある。

#### 【0021】

あるいは、制御アレイを電氣的に動作させるのではなく、機械的に動作させることも可能である。例えば、検出アレイが基板の一部において過剰なめっきを検出している場合、機械式機器を用いてカップの当該部分を通過するめっき溶液の量を減少させることができる。この特定の態様では、基板表面の当該部分に達するイオンのフラックスが減少し、これによってめっき速度が低下する。本発明の実施例によれば、機械的構成および電氣的構成双方共、めっき膜の厚さおよび均一性を制御するために使用可能である。

#### 【0022】

図12に、ほぼ完成した半導体素子の断面図を示す。一実施例によれば、従来の化学機械式平面化(CMP)プロセスを用いて、銅膜110、導電性シード膜119、およびILD118内の開口に含まれないバリア膜117の部分を除去し、相互接続部122を形成する。相互接続部は、単一インレイド相互接続部として図示するが、代わりにデュアル・インレイド相互接続処理方法を用いても形成可能である。相互接続部122上にキャッピング層120がある。典型的に、キャッピング層120は、窒化シリコン含有材料を用いて形成することができる。あるいは、キャッピング材料は、銅の相互接続部に適当に接着し、隣接する層の銅拡散バリア保護を与える材料であればいずれを用いても形成可能である。キャッピング層120上には、パシベーション層およびポリイミド層(図示せず)がある。典型的に、パシベーション層およびポリイミド層は、半導体素子の最上層である。他の実施例によれば、追加の相互接続構造および誘電体層を形成し、一層複雑な半導体素子を製造することも可能である。

#### 【0023】

ここに説明する実施例は、更に、問題検出のためにも使用可能であり、プロセスの誤り(misprocess)および機器の損傷を防止するためには、特に有用とすることができる。例えば、検出アレイを基板表面(めっき面)に対して平行にかつ近接して配置し、基板表面がめっき溶液と同一面となっているか否かについて検出することができる。通常、基板表面は、めっき溶液内に浸漬し、その最上面とほぼ同一面となるように配置される。こうすれば、めっき面をめっき溶液に接触させるが、基板の背面側をめっき溶液に殆ど露出させず、不要にめっきすることがないので、これは重要である。加えて、めっき処理の間、めっきしようとする基板表面の部分がめっき溶液に連続的に接触しない場合、基板のこれらの領域から物質が剥離する(deplate)する可能性がある。基板の意図しない剥離は、めっき処理の複雑化を招く。何故なら、槽内に粒子が発生し、めっきした膜の非均一性が生ずるからである。したがって、検出アレイを基板に近接して配置することにより、基板表面の一部がめっき溶液に接していないときを検出することができる。加えて、検出アレイは、基板表面に集まる可能性がある気泡の存在を検出するためにも用いることができる。気泡が問題となるのは、気泡が生ずる領域ではめっきが妨げられるからである。

#### 【0024】

更に別の実施例では、検出アレイは、内部システム部品を清浄化するための終点検出装置として用いることができる。例えば、ここで図1を参照すると、めっきシステム10を用いて数枚の基板にめっきした後、めっき物質がクランプ構造153上に堆積することは避けられない。周期的にこのめっき物質を除去する必要がある。したがって、一実施例によれば、クランプ構造153およびリング・シーフ17またはその他のベイザブルな(baisable)チャンバ部品から物質を剥離することによって、クランプ構造153を清浄化するこ

10

20

30

40

50

とができる。剥離は、クランプ構造 153 からめっき物質を全て除去するまで続ける。全てが除去されると、検出アレイで検出する、対応するめっき槽電流はほぼ 0 (ノイズ・レベル) を示す。ノイズ・レベルに達した場合、クランプ構造 153 上のめっき物質全てまたはほぼ全てが除去されたことになる。めっき物質を除去した後、清浄化したクランプ構造 153 を用いて、基板のめっき処理を再開することができる。

#### 【0025】

前述の実施例は、その多くが半導体素子を対象としたが、ここに開示する実施例は、プリント回路ボード等を含む種々のその他の種類の基板にも用いることができる。加えて、本発明の実施例を用いて、合金や磁性体もめっきすることができる。更に、ここに説明した実施例は銅のめっきについて論じたが、ニッケル、プラチナ、クロム等を含む他の材料も、めっきの目的に用いることができる。加えて、ドーナツ型コイル構成を用いた前述の実施例では、コイル・コアの直径は、典型的に、約 3 mm である。しかしながら、技術の発展に伴い、更に小型化したドーナツ型コイルも使用可能となることを当業者は認めよう。更に、ここに記載した実施例は、電流密度を測定するために、ドーナツ型コイルおよび平行ストリップラインについて言及したが、これらは、めっき溶液を通過する電流を検出および/または制御するために使用可能な形式の機器の例示であることを当業者は認めよう。したがって、これらは、本発明の実施例に対して限定する例であることを意図する訳ではない。

#### 【0026】

具体的な実施例に関して、効果、その他の利点、および問題に対する解決策を説明した。しかしながら、効果、利点、問題に対する解決策、およびいずれの効果、利点、または解決策をもたらす得るあるいは一層顕在化させるあらゆるエレメント(群)は、いずれのまたは全ての請求項の重大、必要、または必須の構造またはエレメントとして解釈すべきではない。ここで用いる場合「備える」、「備えている」という用語またはその他のあらゆる変形は、非排他的な含蓄を包含することを意図しており、エレメントのリストを構成するプロセス、方法、物品、または装置は、これらのエレメントを含むだけでなく、明示的に掲示されない他のエレメントまたはかかるプロセス、方法、物品、または装置に固有な他のエレメントを含むこととする。

#### 【図面の簡単な説明】

【図 1】従来技術のめっきシステムの断面図。

【図 2】ドーナツ型コイルおよび平行ストリップラインを流れる電流を検出する基本概念を示す図。

【図 3】ドーナツ型コイルおよび平行ストリップラインを流れる電流を検出する基本概念を示す図。

【図 4】ドーナツ型コイルを含むディフューザの平面図。

【図 5】検出アレイおよび制御アレイを含む代替実施例の断面図。

【図 6】ドーナツ型コイルの八ニカム構造を示す検出アレイの平面図。

【図 7】異なる構成の平行ストリップラインを示す図。

【図 8】異なる構成の平行ストリップラインを示す図。

【図 9】異なる構成の平行ストリップラインを示す図。

【図 10】素子をほぼ完成するまでに形成する際に用いられる処理工程の間における半導体素子基板の断面図。

【図 11】素子をほぼ完成するまでに形成する際に用いられる処理工程の間における半導体素子基板の断面図。

【図 12】素子をほぼ完成するまでに形成する際に用いられる処理工程の間における半導体素子基板の断面図。

#### 【符号の説明】

- 10 めっきシステム
- 11 チャンバ
- 12 カップ

10

20

30

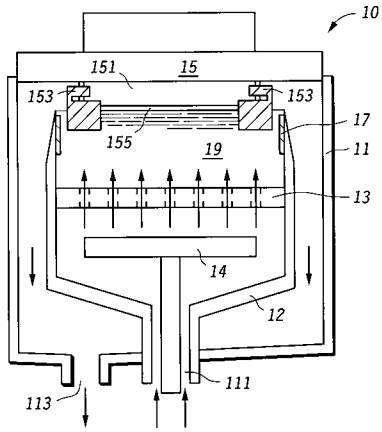
40

50

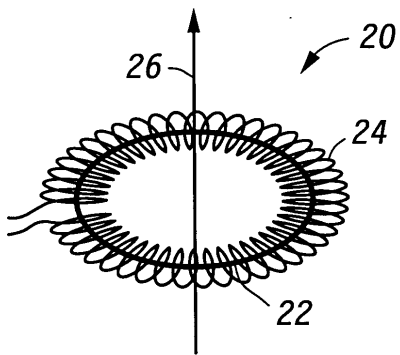
1 3	ディフューザ・プレート	
1 4	アノード	
1 5	カソード	
1 7	リング・シーフ	
1 9	めっき溶液	
2 0	ドーナツ型コイル	
2 2	磁気コア	
2 4	リード	
3 0	平行ストリップライン	
3 2 , 3 8	電極	10
4 0	ディフューザ・プレート	
4 2	開口	
4 4	ドーナツ型コイル	
4 6	アレイ	
5 1	ディフューザ・プレート	
5 2	めっき溶液出口	
5 3	制御アレイ	
5 5	カソード	
5 7	検出アレイ	
6 2	ドーナツ型コイル	20
7 0	検出アセンブリ	
7 2	平行検出電極	
7 4	平行制御電極	
1 0 2	フィールド分離領域	
1 0 4	ドープ領域	
1 0 6	ゲート誘電体層	
1 0 8	ゲート電極	
1 0 9	側壁スペーサ	
1 1 0	銅膜	
1 1 1	めっき溶液入口	30
1 1 2	第1レベル間誘電体 ( I L D ) 層	
1 1 3	めっき溶液出口	
1 1 4	バリア膜	
1 1 6	導電性充填材	
1 1 7	バリア膜	
1 1 8	第2 I L D 層	
1 1 9	導電性シード膜	
1 2 0	キャッピング層	
1 2 2	相互接続部	
1 5 1	アセンブリ	40
1 5 3	クランプ	
1 5 5	半導体素子基板	
5 5 1	ターンテーブル	
5 5 3	環状クランプ	



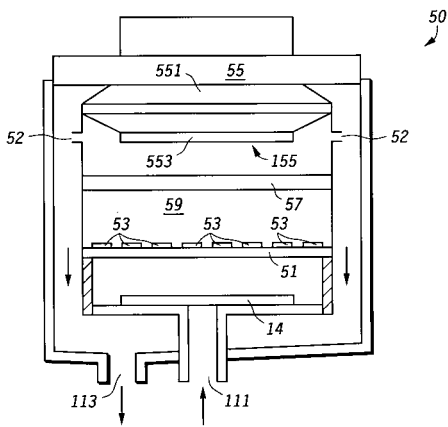
【図1】



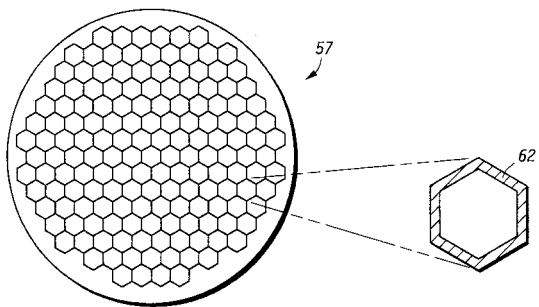
【図2】



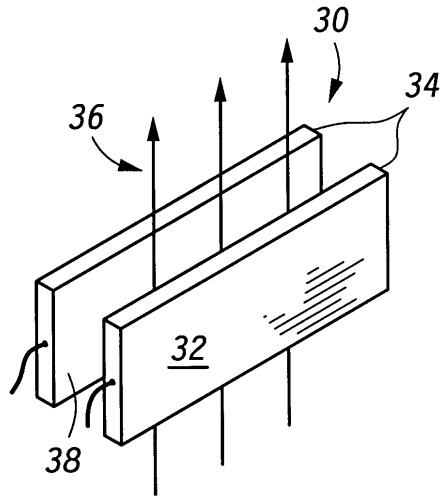
【図5】



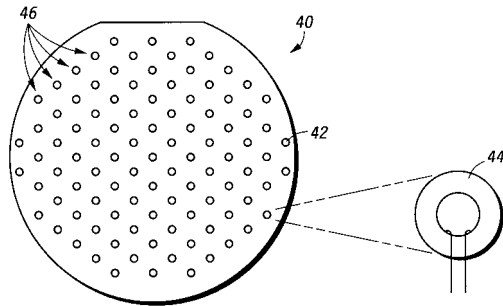
【図6】



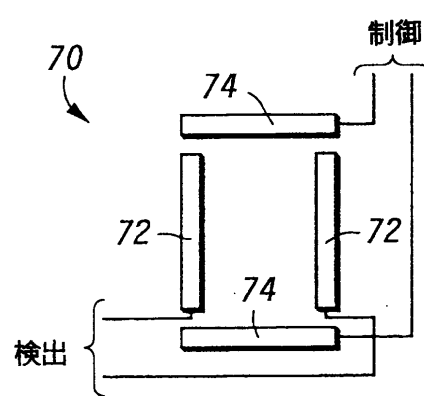
【図3】



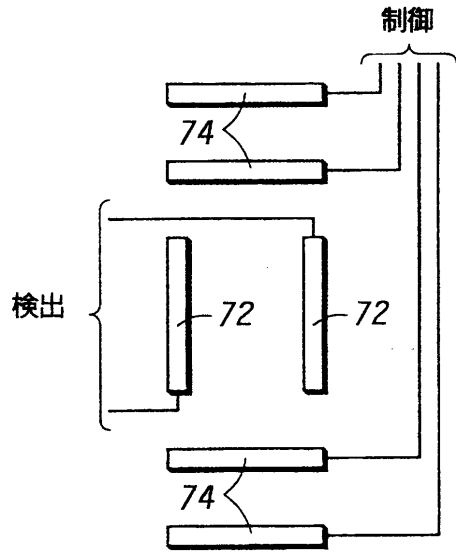
【図4】



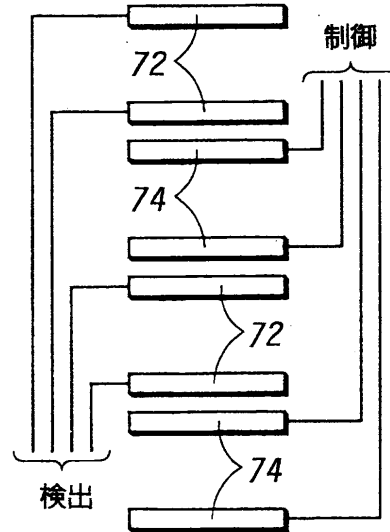
【図7】



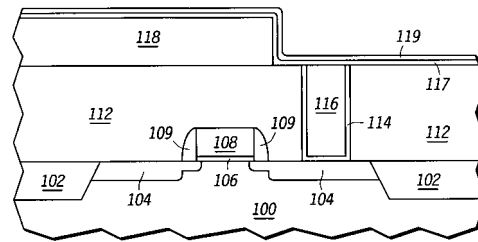
【図 8】



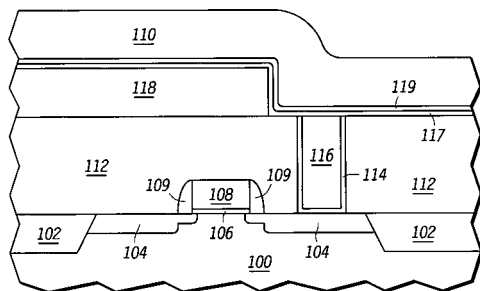
【図 9】



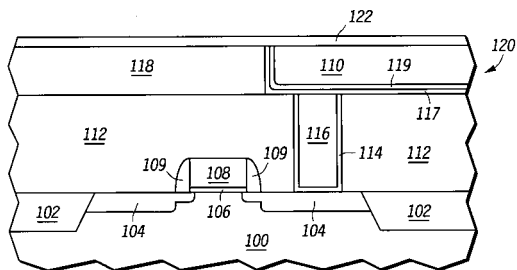
【図 10】



【図 11】



【図 12】



---

フロントページの続き

- (56)参考文献 特開平01-307667(JP,A)  
特開平10-330991(JP,A)  
特開昭63-109375(JP,A)  
特開昭61-182568(JP,A)  
実開平01-120669(JP,U)

(58)調査した分野(Int.Cl., DB名)

C25D 1/00 ~ 3/66  
C25D 5/00 ~ 7/12  
C25D 13/00 ~ 21/22  
C23C 18/00 ~ 20/08  
H01L 21/288、21/60