

(12) 发明专利申请

(10) 申请公布号 CN 102394615 A

(43) 申请公布日 2012. 03. 28

(21) 申请号 201110174360. X

(22) 申请日 2011. 06. 24

(30) 优先权数据

12/823, 829 2010. 06. 25 US

(71) 申请人 迈瑞公司

地址 美国加利福尼亚州

(72) 发明人 大卫·徐

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 黄灿

(51) Int. Cl.

H03K 17/567(2006. 01)

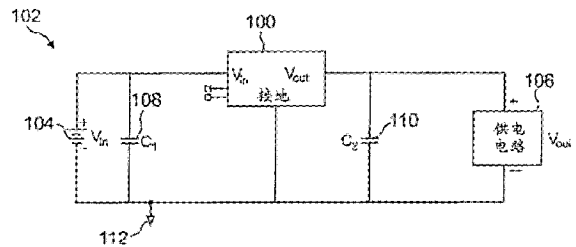
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

负载开关

(57) 摘要

一种用于维持一小输入输出差分电压且提供一定义响应的半导体装置、电路及 AC 及 DC 负载开关。该负载开关可包括一耦接至一输入端子及一输出端子的导通组件。该导通组件可包括一控制端子, 其中该控制端子控制该导通组件的一响应。该负载开关可包括一耦接至该控制端子的第一回路, 该第一回路经组态以控制该输入端子与该输出端子之间的一电压降同时藉由该导通组件维持高阻抗。该负载开关可包括一耦接至该控制端子的第二回路, 该第二回路经组态以提供来自该输入端子的一定义的滤波器响应。该定义回应可为一低通回应、高通回应, 或一带通回应。该响应的通频带及 / 或阻频带可经程序化。



1. 一种半导体装置,其特征在于,包含:
 - 一导通组件,其耦接至一输入端子及一输出端子,其中该导通组件包括一控制端子,该控制端子控制该导通组件的一增益响应;
 - 一第一回路,其耦接至该控制端子,该第一回路经组态以控制该输入端子与该输出端子之间的一电压降,同时藉由该导通组件维持高阻抗;及
 - 一第二回路,其耦接至该控制端子,该第二回路经组态以提供来自该输入端子的一定义响应。
2. 如权利要求 1 所述的半导体装置,其特征在于,该定义响应为一可程序化响应。
3. 如权利要求 1 所述的半导体装置,其特征在于,该定义响应为一低通回应、高通回应、或带通回应。
4. 如权利要求 3 所述的半导体装置,其特征在于,该响应包含一包括一边缘频率的通频带或阻频带,该边缘频率系藉由一电阻器或电容器而程序化。
5. 如权利要求 3 所述的半导体装置,其特征在于,该响应包含一包括一边缘频率的通频带或阻频带,该边缘频率系藉由一二进制缓存器而程序化。
6. 如权利要求 5 所述的半导体装置,其特征在于,该二进制缓存器系藉由一数字接口而程序化。
7. 如权利要求 1 所述的半导体装置,其特征在于,该导通组件为一金氧半导体场效晶体管 MOSFET,其中该 MOSFET 包括一闸极、源极及汲极,该闸极连接至该控制端子,该汲极连接至该输入端子,且该源极连接至该输出端子。
8. 如权利要求 1 所述的半导体装置,其特征在于,该导通组件为一 MOSFET,其中该 MOSFET 包括一闸极、源极及汲极,该闸极连接至该控制端子,该汲极连接至该输出端子,且该源极连接至该输入端子。
9. 如权利要求 7 所述的半导体装置,其特征在于,该 MOSFET 经调变以在一饱和区域中操作且维持高输出阻抗。
10. 如权利要求 7 所述的半导体装置,其特征在于,一或多个复制 MOSFET 及饱和估计器电路设定一用于该第一回路的输出参考,以便针对一所需负载电流来控制刚好处于饱和内的一点处的一汲极至源极电压降。
11. 如权利要求 1 所述的半导体装置,其特征在于,一饱和估计器电路确定一用于该第一回路的输出端子参考电压,以维持在接近一三极体至饱和 V_{ds}/I_{ds} 特性的一抛物线至线性转变点的一抛物线特性内的一点处的一汲极至源极电压降,其中由该点处的操作产生的总增益的损失由该饱和估计器电路判定以提高控制回路增益来补偿总增益的损失。
12. 如权利要求 2 所述的半导体装置,其特征在于,该可程序化响应系由一数字滤波器来提供。
13. 如权利要求 12 所述的半导体装置,其特征在于,该数字滤波器为一无限脉冲响应 IIR 滤波器或一有限脉冲回应 FIR 滤波器。
14. 如权利要求 2 所述的半导体装置,其特征在于,该可程序化响应系由一模拟滤波器来提供。
15. 如权利要求 1 所述的半导体装置,其特征在于,该导通组件包含并联的两个组件,其中该两个组件的输入端及输出端耦接一起且该两个组件的控制端子连接至个别回路。

16. 如权利要求 15 所述的半导体装置,其特征在于,一第一组件处置较低频响应且一第二组件处置高频响应。

17. 如权利要求 16 所述的半导体装置,其特征在于,该第一组件及该第二组件为以一随耦器组态而组态的 MOSFET。

18. 如权利要求 16 所述的半导体装置,其特征在于,该导通组件包含与一第二组件并联的一第一组件,其中该第一组件与该第二组件两者为 MOSFET,该第一组件以一随耦器组态而组态且该第二组件以一反相组态而组态。

19. 如权利要求 7 所述的半导体装置,其特征在于,该输入端子连接至一第一插脚,该输出端子连接至一第二插脚,且一接地端子连接至一第三插脚。

20. 如权利要求 1 所述的半导体装置,其特征在于,进一步包含一用于启用内部电路的第四插脚。

21. 一种具有一输入端子及一输出端子的电路,其特征在于,包含:

一晶体管,其具有一闸极、源极及汲极,该晶体管的该汲极耦接至该输入端子且该源极耦接至该输出端子;

具有一定义 AC 及 DC 响应的一增益组件,其具有一反相输入端、一非反相输入端及一输出端,其中该增益组件的输出端耦接至该晶体管的闸极;及

一最佳化压降的参考产生电路,其具有针对该晶体管按比例调整大小的两个复制晶体管,其中所有三个组件连接至该闸极及该源极,该参考产生电路维持该导通组件刚好处于饱和内。

22. 如权利要求 21 所述的电路,其特征在于,该等复制晶体管的汲极连接至两个个别电流镜,该两个个别电流镜系结至一高于该等导通组件汲极的一输入电压的电压,其中该等电流镜系以与一负载相反的方式且依照以下操作的一电流/电压降特性来建立:一第一复制装置在该负载下处于饱和中的操作及一第二复制装置处于三极体中或位于一抛物线拐点上的操作,其中一回路调整该等晶体管源极处的输出电压,直至该导通组件上的一压降得以最佳化或在该第一复制装置的一汲极上的一电压达到该输入电压为止,其中该最佳化压降经辨识为刚好在该两个复制装置不能再维持该最佳化压降的一操作点以前的一点。

23. 如权利要求 22 所述的电路,其特征在于,高于该等导通组件汲极的输入电压的电压系使用一电荷泵电路而形成。

24. 一种具有一可程序化阻频带或通频带以收一输入电压且提供一输出电压的低通 AC 及 DC 负载开关,其特征在于,包含:

一回路响应,其将该输出电压调节至一低于该输入电压的电压以便维持饱和;及

一回路滤波器,其用于提供一阻频带或通频带滤波器回应,其中该回路滤波器具有基于该可程序化阻频带或通频带的系数。

负载开关

技术领域

[0001] 本发明大体而言系关于电力系统,且特定言系关于维持极小输入输出差分电压同时提供滤波的负载开关。

背景技术

[0002] 电力消耗已变成任何电子系统内(尤其是,依靠电池运作的携带型装置中)的主要关注问题。此等装置可包括常常经由开关组件而连接或断开以节省电力的众多子系统。现今,且在大多数系统中,电子装置使用模拟开关或低压差调节器(LDO)。可经由此等开关组件将该等子系统连接至DC/DC转换器。常常,此等DC/DC转换器包括负载线及试图使电池寿命最大化的可变输出电压。

[0003] 然而,藉由将该等开关组件连接至DC/DC转换器可将噪声引入负载,从而可能干扰下游组件(包括RF组件)。对于模拟开关,许多系统已利用LC滤波器来使此噪声衰减。若使用LDO而非模拟开关且LDO滤波响应不足够,则除LDO外的许多系统亦利用被动式滤波器组件用于滤波。

[0004] 使用模拟开关并非理想,此系由于必须添加被动式滤波器组件,从而占据板空间且提高系统的总成本。另外,使用LDO作为滤波组件(具有或不具有外部组件)并非理想,此系由于LDO大体上具有并不追踪输入的恒定输出电压。典型地,此情形产生较大电压降且本质上,产生比理想情形低的效率直至紧接在压降之前。此外,归因于组件增加(proliferation)及大体上由LDO提供的单阶响应,禁止利用上述解决方案中任一者提供多阶宽带滤波器响应。

发明内容

[0005] 提供此【发明内容】以便以简化形式引入下文在【实施方式】中进一步描述的概念的选择。此【发明内容】既不意欲识别所主张的标的物的关键特征,亦不意欲用作判定所主张的标的物的范畴的辅助。

[0006] 根据本发明的一实施例提供一种半导体装置。该半导体装置可包括一耦接至一输入端子及一输出端子的导通组件,其中该导通组件包括一控制端子,该控制端子控制该导通组件的一增益响应。另外,该半导体装置可包括一耦接至该控制端子的第一回路,该第一回路经组态以控制该输入端子与该输出端子之间的一电压降,同时藉由该导通组件维持高阻抗。该半导体装置亦可包括一耦接至该控制端子的第二回路,该第二回路经组态以提供来自该输入端子的一定义响应。

[0007] 根据本发明的另一实施例提供一种电路,该电路具有一输入端子及一输出端子。该电路可包括一晶体管,该晶体管具有一栅极、源极及汲极,该晶体管的汲极耦接至该输入端子且该源极耦接至该输出端子。另外,该电路可包括一具有一定义AC及DC响应的增益组件,该增益组件具有一反相输入端、一非反相输入端及一输出端,其中该增益组件的输出端耦接至该晶体管的栅极。该电路亦可包括一最佳化压降参考产生电路,该最佳化压降参

考产生电路具有针对该晶体管按比例调整大小的两个复制晶体管,其中所有三个组件连接至该栅极及该源极,且该参考电压经由该增益组件将该晶体管维持刚好处于饱和内。

[0008] 根据本发明的又一实施例提供一种具有一可程序化阻频带或通频带的低通 AC 及 DC 负载开关,该低通 AC 及 DC 负载开关接收一输入电压且提供一输出电压。该开关可包括一回路回应,该回路响应将该输出电压调节至一低于该输入电压的电压,以便维持饱和或高阻抗操作。另外,该开关可包括一用于提供一阻频带或通频带 AC 滤波器回应的回路滤波器,其中该回路滤波器具有基于该可程序化阻频带或通频带的系数。

附图说明

[0009] 成信为本发明的特性的新颖特征将阐述于附加申请专利范围中。在以下描述中,贯穿本说明书及图式分别藉由相同数字标记相似部分。诸图式图未必按比例绘制且为了清晰及简明的目的,某些图可能以夸示或广义形式来展示。然而,本发明自身以及本发明的较佳使用模式、其它目标及优点将参考以下说明性实施例的详细描述结合随附图式阅读而得到最佳理解,其中:

[0010] 图 1 描绘根据本发明的一实施例的可使用例示性负载开关的典型应用;

[0011] 图 2 提供说明根据本发明的一实施例的负载开关内的组件的例示性电路;

[0012] 图 3 展示根据本发明的一实施例的滤波器的经滤波响应「屏蔽」及转移特性的说明性波德图;

[0013] 图 4 说明根据本发明的一实施例的添加至负载开关的现有离散组件所共同的 LC 滤波器响应;

[0014] 图 5 为提供根据本发明的一实施例的例示性负载开关的量值及相位响应的曲线图;

[0015] 图 6 为展示根据本发明的一实施例的例示性负载开关的典型插脚组态的图;

[0016] 图 7 描绘根据本发明的一实施例的用于维持汲极至源极电压降的说明性饱和估计器电路;及

[0017] 图 8 展示根据本发明的一实施例的说明性饱和估计器电路的 V_{ds}/I_{ds} 特性。

具体实施方式

[0018] 下文结合附加图式所阐述的描述意欲作为对本发明的当前较佳具体实例的描述,且并不意欲表示可建构及/或利用本发明的仅有形式。该描述结合所说明的具体实例阐述用于建构及操作本发明的功能及步骤序列。然而,应理解,可藉由不同具体实例来实现相同或等效功能及序列,该等不同具体实例亦意欲涵盖于本发明的精神及范畴内。

[0019] 大体上描述而言,本发明系关于一种电力系统,且更特定言系关于一种具有离散滤波器替换能力的负载开关,该负载开关可具有维持阶数比被替换的被动式滤波器组件还高的特性的添加益处。在一说明性具体实例中,该负载开关可包括一耦接至一输入端子及一输出端子的导通组件。该导通组件可包括一控制端子,其中该控制端子控制该导通组件的一增益响应。该负载开关可进一步包括一耦接至该控制端子的第一回路,该第一回路经组态以控制该输入端子与该输出端子之间的一电压降同时藉由该导通组件维持高阻抗。当使用一共同源极 MOSFET 组态时,该回路可维持饱和。另外,该负载开关可包括一耦接至该

控制端子的第二回路,该第二回路经组态以提供来自该输入端子的一定义响应。该定义回应可提供一低通回应、高通回应,或一带通回应。该响应的通频带及/或阻频带可经程序化。

[0020] 对于超出该控制端子的频宽的频率,在一具体实例中,可将一外部电容器耦接至该输出端子。可按一谐振频率来选择该外部电容器,以使得藉由跨越该主要导通组件及该外部电容器的寄生效应而形成的电容分压器提供被动式衰减。

[0021] 在另一说明性具体实例中,可将该导通组件分裂成两个并联组件,其中一较低频宽控制回路使处置负载的主体的较大装置进行转换,且一较高频率控制回路抑制 DC/DC 噪声涟波以用于使由驱动器汲取的电流最小化。在此具体实例中,可以并联随耦器或者具有较小反相导通组件之大随耦器的形式提供该等导通组件。典型地,此较小组件可允许使用较低电压半导体装置,此系由于常常不需要如随耦器组态般将较低电压半导体装置的控制节点驱动至高于输入电压。

[0022] 在又一说明性具体实例中,一饱和侦测电路可用作一控制回路的部分,以判定用以维持该输入端子与该输出端子之间的一电压降所需的输出参考电压,该输出参考电压藉由该导通组件维持高阻抗。该电路可维持除三极体至饱和 V_{ds}/I_{ds} 特性的抛物线拐点以外的点处的汲极至源极电压降以确保高阻抗,或可经设定为刚好在饱和外侧(其限制条件为:该电路提升回路的增益以补偿抛物线拐点上的增益损失)。

[0023] 贯穿先前说明,上文将一组件描述为能够判定半导体导通组件上用以保持饱和且因此提供高阻抗所需的最小压降。该组件亦可将一输出电压参考提供至一控制回路,该输出电压参考将反映用以维持该饱和,且藉此提供输入电压追踪功能性所需的最小输入至输出电压降。该组件可提供启用功能性(亦即,开关能力),及单阶至多阶滤波器回应。该组件可进一步包括用于程序化阻频带或通频带的某些数字或模拟组件。

[0024] 如将展示,负载开关可在将电力提供至子系统的同时移除高频涟波、噪声及尖峰。另外,移除或最小化常常与开关技术相关联的失真。经由下文所提供的设计考虑,将电力损失最小化以使效率最大化且延长电池寿命(对于终端使用者而言),同时移除占大体积的部件。熟习相关技术者将了解,下文更全面地描述由负载开关提供的优点。

[0025] 虽然本文中描述为一负载开关,但本发明亦可关于线性调节器或电压调节器(诸如,低压差调节器(LDO))。负载开关的应用可包括(但不限于)蜂巢式电话收发器电力系统、射频(RF)电力系统,及全球定位系统。

[0026] 现参看图 1,展示负载开关 100 的典型应用 102。在具体实例中,负载开关 100 可耦接至一 DC/DC 转换器电力输入端 104。负载开关 100 大体上含有用于通常置放于先前电路中的离散梯式滤波器的替换组件以减小占据面积。在应用 102 中,负载开关 100 可接收输入电压 V_{in} 104 且将输出电压 V_{out} 提供至负载 106。诸如 C1 108 及 C2 110 的电容器提供高频电流通径且亦可用以补偿该负载开关 100。

[0027] 在上文所提供的说明性具体实例中,可将输出电压 V_{out} 106 提供至供电电路。接地参考 112 可耦接至输入电压 V_{in} 104、输出电压 V_{out} 106、负载开关 100、供电电路以及电容器 C₁ 108 及 C₂ 110。虽然在此应用 102 的情况下描述若干组件,但众多其它类型的应用 102 可使用负载开关 100。

[0028] 虽然上文揭示一个应用 102,但熟习相关技术者将了解,许多应用可使用本文中所

描述的负载开关 100。此外，上文所提供的彼等设计特性系意欲提供负载开关 100 的一个实例，且不将本发明限于本文中所描述的电路。

[0029] 图 2 提供说明根据本发明的一实施例的典型负载开关 100 内的组件的例示性电路。开关 100 可维持输入电压 V_{in} 104 至输出电压 V_{out} 106 的极小差分，同时提供一滤波器响应。例示性负载开关 100 的主要组件为（但不限于）具有 AC 及 DC 响应的增益组件 206、连接至该 AC 及 DC 增益组件 206 的非反相端子的参考电压，及导通组件 208。下文将进一步详细描述此等组件中的每一者。接下来，此后将描述彼等组件的操作。

[0030] 因为单独的负载开关 100 并不提供滤波能力，所以将先前负载开关 100 与被动式梯式滤波器网络组合。然而，此等被动式梯式滤波器占据额外空间且并非成本有效的。AC 及 DC 增益组件 206 可使来自输入 104 的涟波及噪声衰减。如将展示，AC 及 DC 增益组件 206 可提供一固定响应或可经程序化。大体而言，AC 及 DC 增益组件 206 可包括数字滤波器或模拟滤波器。一种类型的数字滤波器为无限脉冲响应 (IIR) 滤波器且另一类型的数字滤波器为有限脉冲响应 (FIR) 滤波器。熟习相关技术者已知，存在用于处理信号的众多类型的滤波器且该等滤波器被并入本文中。

[0031] 先前描述而言提供了 AC 及 DC 增益组件 206 的实例。如将变得显而易见，AC 及 DC 增益组件 206 可以许多形式出现，且不意欲限于上文所描述的彼等形式。AC 及 DC 增益组件 206 自身可提供一低通回应、高通回应或一带通回应。低通响应可使低频信号通过，但使频率高于截止频率的信号衰减。高通响应可使高频通过，但使低于截止频率的频率衰减。带通响应可使在某一范围内的频率通过，且抑制在此范围之外的频率。

[0032] 根据本发明，可程序化通频带及阻频带。在一实施例中，可依照连接至滤波器的程序化端子的电阻器或电容器的量值来程序化回路转移函数的阻频带或通频带的边缘频率。在另一实施例中，可依照二进制缓存器 (binary register) 的量值来程序化回路转移函数的阻频带或通频带的边缘频率。可藉由数字接口来程序化二进制缓存器。系数可选自一最小阶滤波器转移函数及阻频带及通频带中之一最大平坦或等幅涟波要求。

[0033] 典型地，AC 及 DC 增益组件 206 可耦接至一控制器。该控制器可基于阻频带及通频带选择而计算回路滤波器系数。除通频带及阻频带中的最大平坦或等幅涟波要求（直接地或经由使用查询表）之外，该控制器亦可基于前述选择而选择最小阶滤波器转移函数。

[0034] 如图 2 中所展示，导通组件或晶体管 208 耦接至 AC 及 DC 增益组件 206（且详言之，AC 增益组件 206 的输出端）。在一具体实例中，晶体管 208 可为具有共同源极组态的 n 通道 MOSFET。晶体管 208 可包括一闸极、源极及汲极。MOSFET 的闸极可为控制端子。MOSFET 的汲极可耦接至输入电压 V_{in} 104 且 MOSFET 的源极可耦接至输出电压 V_{out} 106。虽然 MOSFET 可提供众多特征及功能性，但可调变 MOSFET 的闸极以便维持 $V_{ds} > V_{gs} - V_t$ ，藉此 V_{ds} 表示 MOSFET 的汲极与源极之间的电压， V_{gs} 表示 MOSFET 的闸极与源极之间的电压，且 V_t 表示限值。在一具体实例中，可利用饱和侦测器电路来确保 MOSFET 维持在饱和区域中的操作。

[0035] 虽然提供负载开关 100 内的典型组件，但熟习相关技术者将了解，在开关 100 内可存在更少或更多组件。此外，输入电压 V_{in} 104 可包括 AC 分量。

[0036] 如先前所描述，负载开关 100 可维持输入电压 V_{in} 104 与输出电压 V_{out} 106 之间的恒定电压。此情形可依赖于 AC 增益组件 206 的非反相输入端处所提供的参考电压，及负回馈组态中所馈入 AC 及 DC 增益组件 206 的反相输入端的输出电压或按比例调整的 V_{out} 106。

增益组件 206 可控制晶体管 208 的电压降, 以将输出电压 V_{out} 106 维持在所要参考电压。提供至 AC 及 DC 增益组件 206 的回馈可监视输出电压 V_{out} 106, 输出电压 V_{out} 106 又耦接至可为高阻抗、电阻性或其它类型的负载的负载。

[0037] 经由 AC 及 DC 增益组件 206, 提供负载开关 100 用以维持输入电压 V_{in} 104 与输出电压 V_{out} 106 的极小差分, 同时提供可程序化阻频带及通频带的多个操作。AC 增益组件 206 可充当误差放大器。如所展示, 可将输出馈入晶体管 208 的栅极中以调变晶体管 208。

[0038] 图 3 展示根据本发明的一实施例的负载开关 100 的经滤波响应「屏蔽」及转移特性的说明性波德 (bode) 图。如图 4 中所描绘, 展示添加至负载开关 100 的现有离散组件所共同的 LC 滤波器响应。此外, 且如图 5 中所展示, 呈现提供例示性负载开关 100 的量值及相位响应的曲线图。

[0039] 现参看图 6, 展示用于例示性负载开关 100 的典型插脚组态。相对而言, 在此具体实例内, 负载开关 100 上的插脚数目较小, 从而使得负载开关 100 理想地适合于现今许多应用。插脚 1 表示「阻止」, 插脚 2 表示「接地」, 插脚 3 表示「输入」, 插脚 4 表示「输出」, 插脚 5 表示「SCL」, 且插脚 6 表示「SDA」, 该等插脚为用于程序化通频带及阻频带的双线数字总线的端子。一最小例示性负载开关 100 可仅包括插脚 2、插脚 3 及插脚 4。

[0040] 如图 7 中所展示, 可使用一饱和量测电路来判定 AC 增益组件 206 用以在其汲极至源极端子上起作用的输出电压参考。此电路可用以藉由判定维持饱和和所需的最小压降而确保导通组件 208 保持饱和。该压降可接着用作参考输出电压以追踪最小压降。复制 (replica) 导通组件及饱和估计器电路可用以确定一输出端子参考电压。该参考电压可经由控制回路来确定, 该控制回路可针对所需负载电流维持刚好处于饱和内之点处的汲极至源极电压降。

[0041] 以实例说明但非限制, 饱和量测电路可包括藉由主要导通组件 208 按比例调整的两个复制晶体管 M_3 及 M_2 , 其中所有三个组件的源极连接至相同电位 V_0 。复制晶体管 M_3 及 M_2 的汲极可连接至高于导通组件 206 的汲极输入电压 V_{cc} 的电压 $V_{CHARGE PUMP}$ 。藉由在电流 $I = V_0/nR$ 下的第一复制装置 M_2 及在稍微较低的电流 $I - \Delta I$ 下的第二复制装置 M_3 来驱动电流镜, 其中 $I = V_0/nR$ 中的 n 为主要导通组件与复制装置之间的按比例调整因子。对于复制晶体管 M_3 , 与 $I - \Delta I$ 电流源及 M_3 串联插入小电压 ΔV_0 (对应于自 I 至 $I - \Delta I$ 的 V_{ds} 的改变, 如图 8 中所展示)。放大器 A (其中端子连接至 ΔV_0 电压降组件的正侧及 M_2 的汲极) 接着迫使进行类似于图 8 中针对给定 V_0 所展示的操作的操作, 其中 M_2 刚好在饱和内且 M_2 及 M_3 跨骑在三极体与饱和之间的抛物线拐点上, 或者 M_3 在抛物线拐点上操作。第三回路 (例如, 反复回路) 可接着使 V_0 递增, 且又将电流源连接至 $V_{charge pump}$, 直至放大器 A 失去合适操作点的锁定或 V_1 达到 V_{cc} 为止。若满足此等条件中的任一者, 则回路可将 V_0 递减至最后已知点, 从而提供锁定或在达到 V_{cc} 之前的 V_1 操作。

[0042] 图 8 展示根据本发明的一实施例的说明性饱和估计器电路的 V_{ds}/I_{ds} 特性。除如所展示的操作之外, 饱和量测电路亦可维持该导通组件 206 在三极体至饱和 V_{ds}/I_{ds} 特性的抛物线拐点上点处的汲极至源极电压降, 其中输出阻抗低于饱和但高于三极体。由拐点上操作产生的总增益的损失可由饱和估计器电路来判定, 饱和估计器电路又 (例如) 藉由增加放大器尾电流而提高控制回路增益, 以补偿总回路增益的损失。如所提供, 曲线展示当 V_{ds} 增加时自三极体至饱和的恒定 V_{gs} 特性转变。三极体特性可包括低电阻特性, 后继为 M_3

与 M_2 之间的抛物线特性。曲线的右侧上的平坦部分表示饱和。

[0043] 在操作中,当将相同栅极至源极电压施加至相同的两个 MOSFET,且一个 MOSFET 在 M_2 的汲极至源极电压下操作且第二 MOSFET 在 M_3 的汲极至源极电压下操作时,该等 MOSFET 之间的电流差可为 ΔI ,如图 8 的左侧上所指示。若 M_3 操作(其中 M_2 当前存在且 M_2 在曲线上部更远处),则典型将不存在与 ΔI 中一样多的压降。图 7 中所提供的电路迫使两个装置 M_3 及 M_2 中的电流对应于一预定差,该预定差针对每一曲线以对应 V_{ds} 电压差 ΔV_0 ,使得该两个复制装置具有曲线上的 M_2 及曲线上的 M_3 (如图 8 中所展示)。

[0044] 当加上 ΔV_0 时, M_3 的 V_{ds} 典型地与 M_2 的 V_{ds} 相同。电路 A(其可采用运算放大器的形式)将 M_3 的 V_{ds} 加上 ΔV_0 及 M_2 的 V_{ds} 保持在相同电压。饱和估计器电路可为递增 V_0 的反复回路且又为电流镜。随着每一次递增,所描述的回路可锁定新的「拐点」。最后,可判定一输出电压参考电压以考虑到刚好处于饱和内(表示最小压降)的操作,同时保持 MOSFET 206 达成高回路增益所需的高阻抗操作。

[0045] 可按比例调整该两个复制装置 M_3 及 M_2 ,以使得该两个复制装置 M_3 及 M_2 比主要导通组件 208 小得多且利用比主要导通组件 208 还少得多的电流。在图 7 的所展示具体实例中,复制装置 M_3 及 M_2 为主要导通组件的 $1/n$ 。另外,可根据 λ 进一步按比例调整 M_3 及 M_2 ,以使得在饱和中,具有一小窗口的一对侦测器可容易地判定 M_3 及 M_2 上升至饱和区域中亦或处于三极体区域中。在此状况下,复制装置 M_3 及 M_2 考虑饱和中的有限输出阻抗(诸如,针对 V_{ds} 的电流差)。

[0046] 图 7 中的电路可在主要导通组件 206 上产生一最佳化压降,以确保主要导通组件处于饱和中或接近饱和。虽然展示一个饱和侦测器,但本发明不限于此情形。熟习相关技术者将了解,可能存在众多类型的其它饱和侦测器,且本发明不限于上文所描述的单一具体实例。

[0047] 上文所描述的实施方案所遭遇的主要限制中一者为:难以建立一驱动器电路,该驱动器电路能够在高频下使一电容性半导体控制组件转换,此系由于对于能够处置合理负载电流的装置而言,装置电容大体上较大。另外,随耦器组态可能需要高于输入电压的操作,从而被迫使用高于最小输入电压的电压程序,且要求偏压输入或电荷泵。

[0048] 为使由驱动器汲取的电流最小化,可将导通组件 208 分裂成两个并联组件,其中一较低频宽控制回路使处置负载的主体的较大装置转换,且一较高频率控制回路抑制 DC/DC 噪声涟波。导通组件可为并联随耦器或具有较小反相导通组件的大随耦器。典型地,上述可允许使用较低电压装置,此系由于不需如随耦器组态般将较低电压装置的控制节点驱动至高于输入电压。第一导通组件可提供一用于驱动 DC 分量的缓慢回路及较缓慢驱动器。第二导通组件可较小且耦接至较高频宽控制回路。较小导通组件可允许处置较高频回应且较大导通组件可允许处置较低频回应。

[0049] 提供前述描述以使任何熟习相关技术者能够实践本文中所描述的各种具体实例。熟习相关技术者将容易显而易见对此等具体实例的各种修改,且可将本文中所定义的一般原理应用于其它具体实例。因此,申请专利范围并不意欲限于本文中所展示及描述的具体实例,而应符合与申请专利范围语言一致的全范畴,其中以单数形式参考一组件并不意欲意谓「一个且仅一个」,除非特定地如此陈述,否则意谓「一或多个」。一般熟习相关技术者已知或稍后将已知的贯穿本发明而描述的各种具体实例的组件的所有结构及功能等效者

皆以引用的方式明确地并入本文中且意欲藉由申请专利范围来涵盖。此外,本文中所揭示的任何内容皆不意欲专用于公众,而不管该揭示内容是否明确地叙述于申请专利范围中。

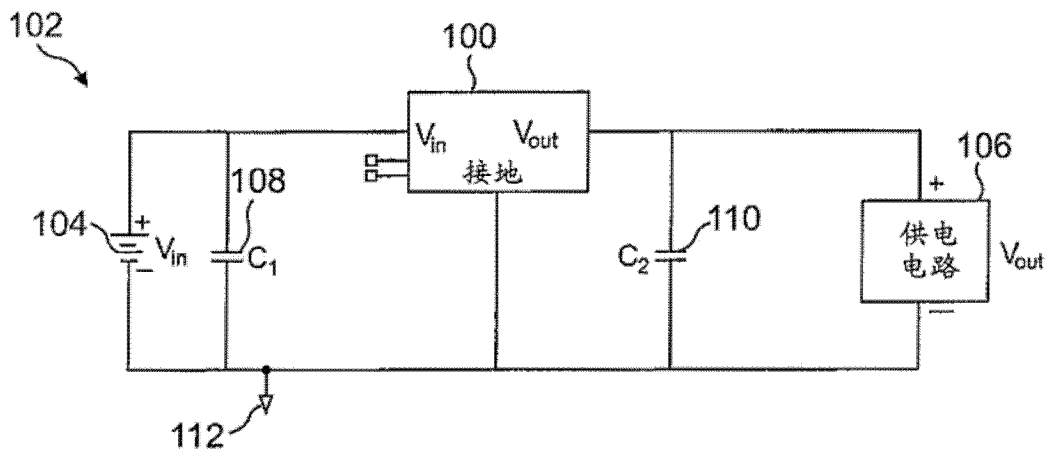


图 1

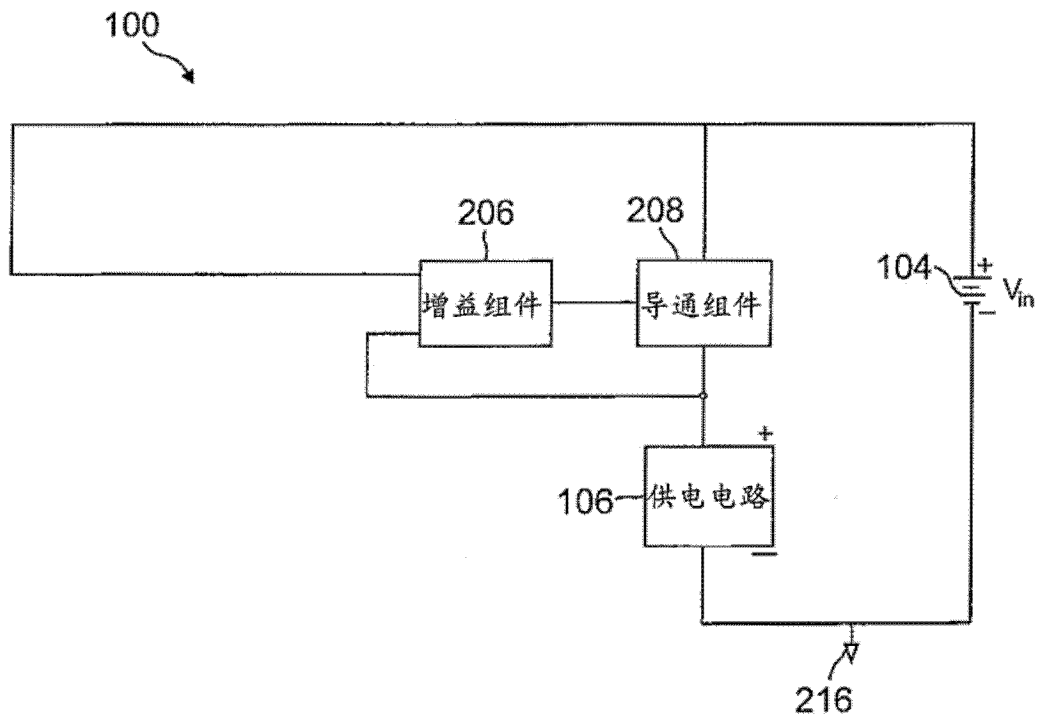


图 2

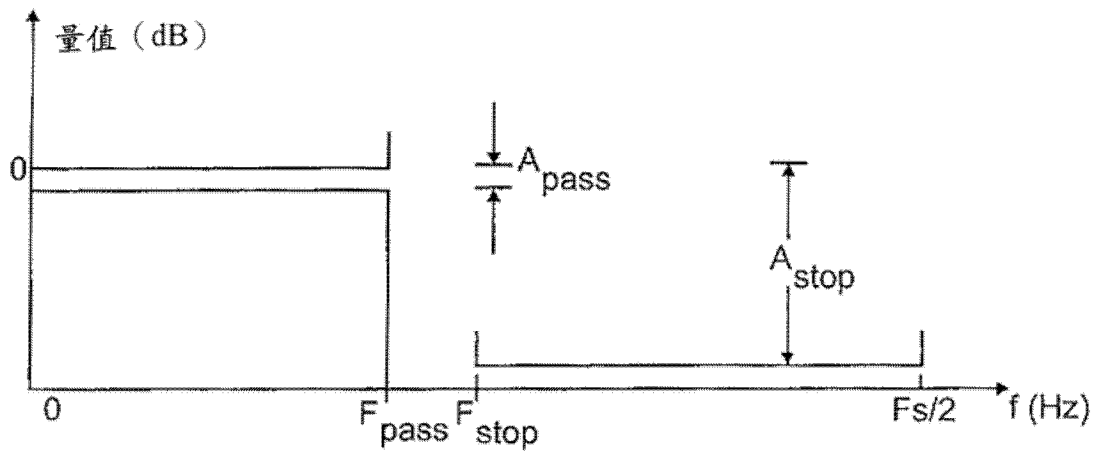


图 3

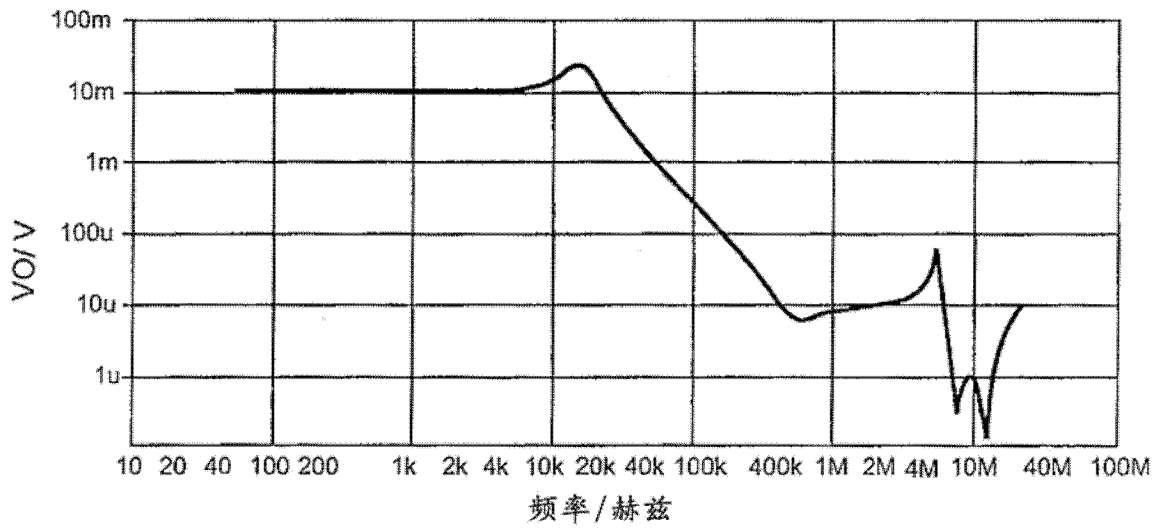


图 4

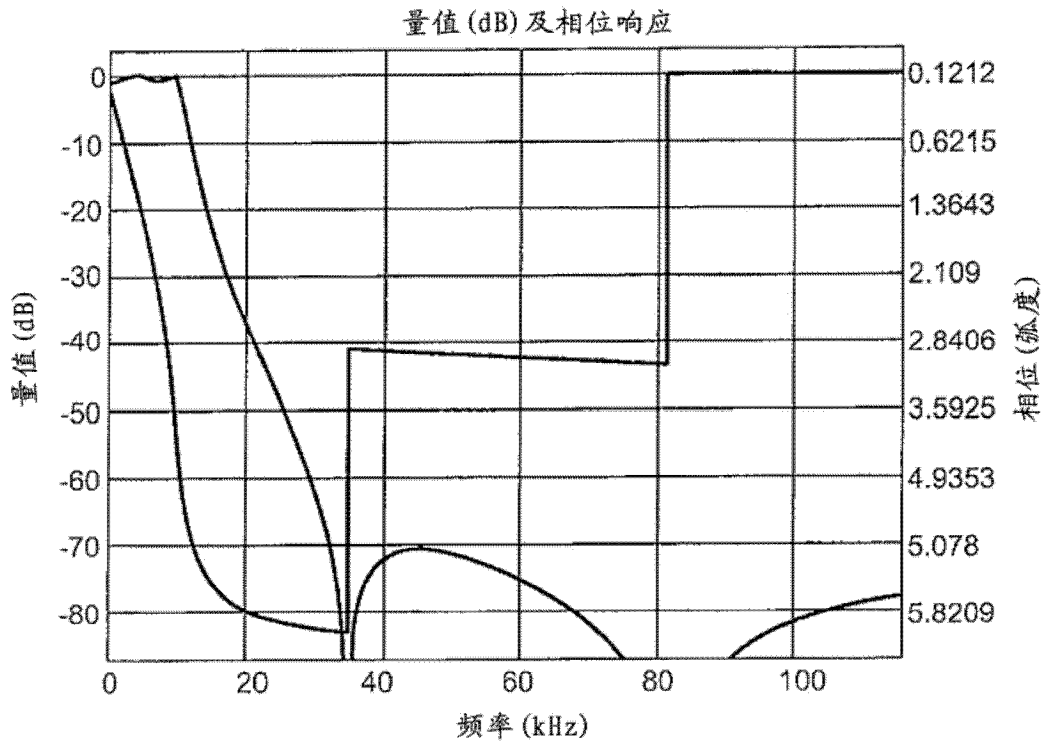


图 5

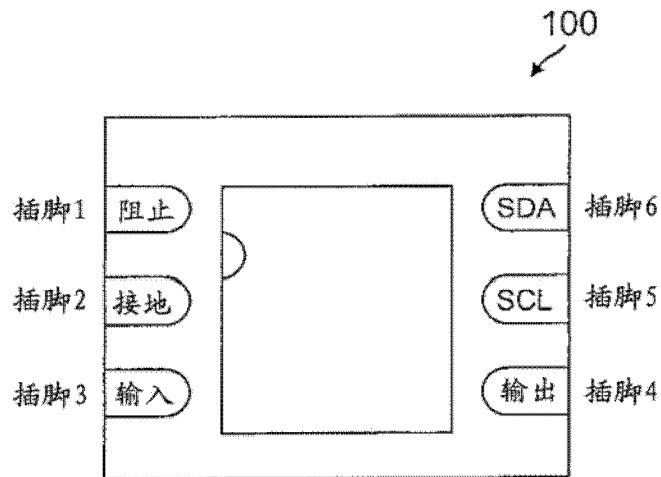


图 6

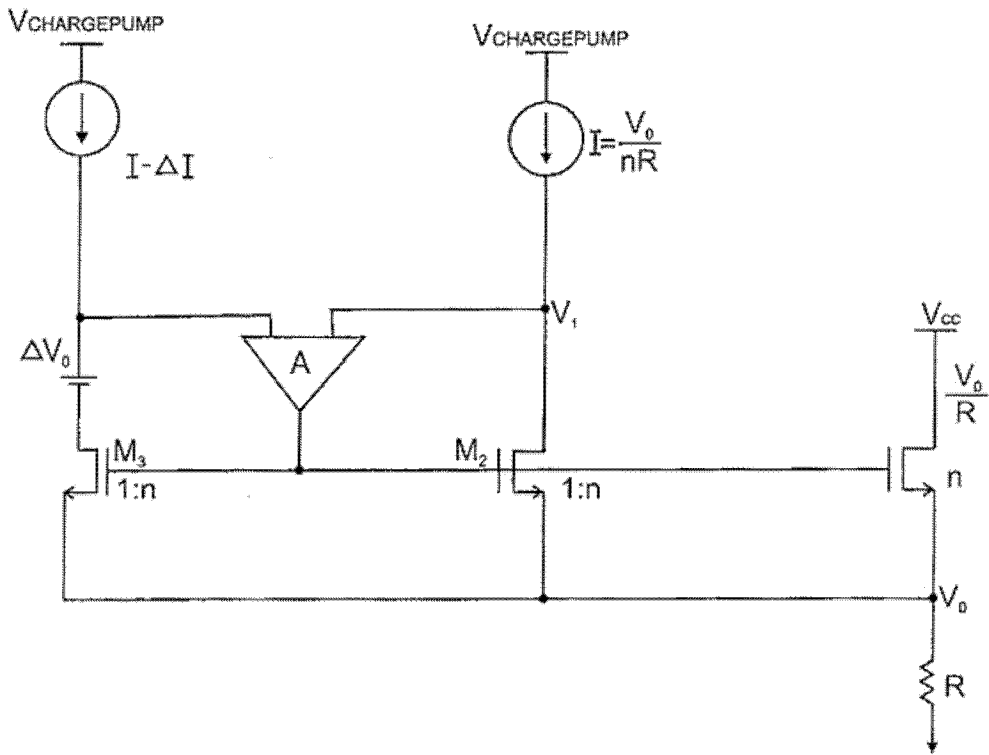


图 7

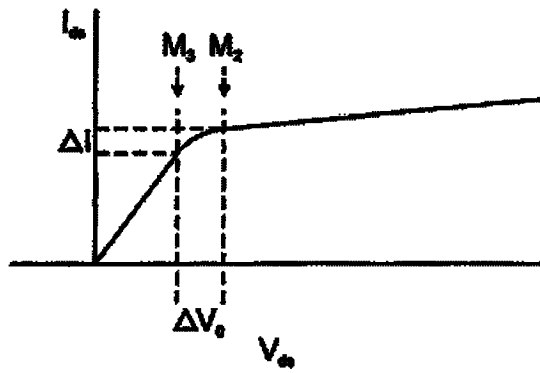


图 8