

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7569803号
(P7569803)

(45)発行日 令和6年10月18日(2024.10.18)

(24)登録日 令和6年10月9日(2024.10.9)

(51)国際特許分類		F I	
G 1 1 C	19/28 (2006.01)	G 1 1 C	19/28 2 3 0
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 2 E
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/3266
H 0 1 L	21/336 (2006.01)	G 0 9 G	3/20 6 2 1 M
請求項の数 11 (全71頁) 最終頁に続く			
(21)出願番号	特願2021-563439(P2021-563439)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷3 9 8 番地
(86)(22)出願日	令和2年12月2日(2020.12.2)	(72)発明者	川島 進 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2020/061348	(72)発明者	佐藤 学 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2021/116828	(72)発明者	楠 紘慈 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和3年6月17日(2021.6.17)	(72)発明者	森 英典 神奈川県厚木市長谷3 9 8 番地 株式会 社半導体エネルギー研究所内
審査請求日	令和5年11月29日(2023.11.29)	最終頁に続く	
(31)優先権主張番号	特願2019-225218(P2019-225218)		
(32)優先日	令和1年12月13日(2019.12.13)		
(33)優先権主張国・地域又は機関	日本国(JP)		

(54)【発明の名称】 半導体装置、表示装置、及び電子機器

(57)【特許請求の範囲】

【請求項1】

信号生成回路と、第1乃至第3のトランジスタと、第1の容量と、第1乃至第5の配線と、を有し、

前記第1のトランジスタは、ソース及びドレインの一方が前記第1の配線と電気的に接続され、ソース及びドレインの他方が前記第2のトランジスタのゲート、及び前記第1の容量の一方の電極と電気的に接続され、ゲートが前記第3の配線と電気的に接続され、

前記第2のトランジスタは、ソース及びドレインの一方が前記第4の配線と電気的に接続され、ソース及びドレインの他方が前記第1の容量の他方の電極、及び前記第3のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第3のトランジスタは、ソース及びドレインの他方が前記第5の配線と電気的に接続され、ゲートが前記第2の配線と電気的に接続され、

前記第1の配線には、第1の信号が与えられ、
前記第2の配線には、前記第1の信号を反転した第2の信号が与えられ、
前記第4の配線には、第1のパルス信号が与えられ、
前記第5の配線には、第1の電位が与えられ、
前記第3の配線には、第2のパルス信号が与えられ、
前記第1のパルス信号は、クロック信号であり、
前記第2のパルス信号は、デューティ比が1%以下の信号であり、
前記信号生成回路は、前記第2のパルス信号を出力する、

半導体装置。

【請求項 2】

信号生成回路と、制御回路と、第 1 乃至第 3 のトランジスタと、第 1 の容量と、第 1 乃至第 5 の配線と、を有し、

前記第 1 のトランジスタは、ソース及びドレインの一方が前記第 1 の配線と電氣的に接続され、ソース及びドレインの他方が前記第 2 のトランジスタのゲート、及び前記第 1 の容量の一方の電極と電氣的に接続され、ゲートが前記第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタは、ソース及びドレインの一方が前記第 4 の配線と電氣的に接続され、ソース及びドレインの他方が前記第 1 の容量の他方の電極、及び前記第 3 のトランジスタのソース及びドレインの一方と電氣的に接続され、

前記第 3 のトランジスタは、ソース及びドレインの他方が前記第 5 の配線と電氣的に接続され、ゲートが前記第 2 の配線と電氣的に接続され、

前記制御回路は、前記第 1 の配線に第 1 の信号を出力し、且つ、前記第 2 の配線に前記第 1 の信号を反転した第 2 の信号を出力し、

前記第 4 の配線には、第 1 のパルス信号が与えられ、

前記第 5 の配線には、第 1 の電位が与えられ、

前記第 3 の配線には、第 2 のパルス信号が与えられ、

前記第 1 のパルス信号は、クロック信号であり、

前記第 2 のパルス信号は、デューティ比が 1 % 以下の信号であり、

前記信号生成回路は、前記第 2 のパルス信号を出力する、

半導体装置。

【請求項 3】

請求項 2 において、

前記信号生成回路と、前記制御回路には、第 3 のパルス信号が与えられ、

前記第 3 のパルス信号は、デューティ比が 1 % 以下の信号である、

半導体装置。

【請求項 4】

請求項 3 において、

前記信号生成回路は、第 4 のトランジスタと、第 5 のトランジスタと、第 2 の容量と、を有し、

前記第 4 のトランジスタは、ソース及びドレインの一方に前記第 1 の電位よりも高い第 2 の電位が与えられ、ソース及びドレインの他方が前記第 3 の配線、前記第 5 のトランジスタのソース及びドレインの一方、及び前記第 2 の容量の一方の電極と電氣的に接続され、

前記第 5 のトランジスタは、ソース及びドレインの他方に前記第 1 の電位が与えられ、

前記第 2 の容量は、他方の電極に前記第 1 の電位が与えられ、

前記第 4 のトランジスタのゲートには、前記第 3 のパルス信号が与えられ、

前記第 5 のトランジスタのゲートには、第 4 のパルス信号が与えられ、

前記第 4 のパルス信号は、デューティ比が 1 % 以下の信号である、

半導体装置。

【請求項 5】

請求項 2 において、

前記第 2 のパルス信号は、前記制御回路に与えられる、

半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記第 1 のトランジスタは、第 1 の半導体層と、前記第 1 の半導体層を介して互いに重なる第 1 のゲート及び第 2 のゲートを有し、

前記第 1 のゲートと前記第 2 のゲートとは、電氣的に接続される、

半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記第 3 のトランジスタは、第 2 の半導体層と、前記第 2 の半導体層を介して互いに重なる第 3 のゲート及び第 4 のゲートを有し、

前記第 3 のゲート及び前記第 4 のゲートの一方が、前記第 2 の配線と電氣的に接続され、前記第 3 のゲート及び前記第 4 のゲートの他方が、前記第 5 の配線と電氣的に接続される、

半導体装置。

【請求項 8】

請求項 7 において、

前記第 4 のゲートは、前記第 2 の半導体層よりも下側に位置し、

前記第 3 のゲートが、前記第 2 の配線と電氣的に接続され、

前記第 4 のゲートが、前記第 5 の配線と電氣的に接続される、

半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載の半導体装置と、画素と、を有し、

前記画素は、表示素子、及び第 6 のトランジスタを有し、

前記第 6 のトランジスタは、前記第 1 のトランジスタ、前記第 2 のトランジスタ、及び前記第 3 のトランジスタと、同一面上に設けられる、

表示装置。

【請求項 10】

請求項 9 において、

前記表示素子は、液晶素子、または発光素子である、

表示装置。

【請求項 11】

請求項 9 または請求項 10 に記載の表示装置と、

バッテリー、筐体、カメラ、スピーカ、マイク、タッチセンサ、及び操作ボタンのうち、少なくとも一と、を有する、

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、表示装置の駆動回路に関する。本発明の一態様は、電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

【背景技術】

【0003】

表示装置はスマートフォンなどの携帯情報端末、テレビジョン装置などをはじめ、様々な機器に適用されている。近年では、表示装置が適用された機器の画面占有率の向上が求められており、そのために表示装置は、表示部以外の領域を狭くする（狭額縁化する）ことが求められている。また、駆動回路の一部または全てを画素部と同じ基板上に作製するシステムオンパネルは、上記要求を満たすために有効である。システムオンパネルの場合、駆動回路に設けられるトランジスタと、画素部に設けられるトランジスタとを同じ工程により作製することが、パネルの作製に要するコストを低減できるため望ましい。特許文献 1 及び特許文献 2 では、表示装置の駆動回路に用いられる、インバータ及びシフトレジスタなどの各種回路を、単極性のトランジスタで構成する技術について開示されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【文献】特開2001-325798号公報

【文献】特開2010-277652号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

表示装置の駆動回路に用いられる、パルス信号を出力する順序回路は、順序回路を構成するトランジスタの電気特性の変動、特にしきい値電圧の変動が生じると、所望の信号が出力できなくなるといった不具合が生じてしまう。その結果、画像を表示できなくなる恐れがある。

10

【0006】

本発明の一態様は、信頼性の高い半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、表示装置の狭額縁化を実現できる半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、信頼性が高く、低コストで作製可能な半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、新規な構成を有する半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、先行技術の問題点の少なくとも一つを少なくとも軽減することを課題の一とする。

20

【0007】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様は第1乃至第3のトランジスタと、第1の容量と、第1乃至第5の配線と、を有する半導体装置である。第1のトランジスタは、ソース及びドレインの一方が第1の配線と電気的に接続され、ソース及びドレインの他方が第2のトランジスタのゲート、及び第1の容量の一方の電極と電気的に接続され、ゲートが第3の配線と電気的に接続される。第2のトランジスタは、ソース及びドレインの一方が第4の配線と電気的に接続され、ソース及びドレインの他方が第1の容量の他方の電極、及び第3のトランジスタのソース及びドレインの一方と電気的に接続される。第3のトランジスタは、ソース及びドレインの他方が第5の配線と電気的に接続され、ゲートが第2の配線と電気的に接続される。第1の配線には、第1の信号が与えられ、第2の配線には、第1の信号を反転した第2の信号が与えられる。第4の配線には、第1のパルス信号が与えられる。第5の配線には、第1の電位が与えられる。第3の配線には、第2のパルス信号が与えられる。第1のパルス信号は、クロック信号であり、第2のパルス信号は、デューティ比が55%以下の信号である。

30

【0009】

また、本発明の他の一態様は、制御回路と、第1乃至第3のトランジスタと、第1の容量と、第1乃至第5の配線と、を有する半導体装置である。第1のトランジスタは、ソース及びドレインの一方が第1の配線と電気的に接続され、ソース及びドレインの他方が第2のトランジスタのゲート、及び第1の容量の一方の電極と電気的に接続され、ゲートが第3の配線と電気的に接続される。第2のトランジスタは、ソース及びドレインの一方が第4の配線と電気的に接続され、ソース及びドレインの他方が第1の容量の他方の電極、及び第3のトランジスタのソース及びドレインの一方と電気的に接続される。第3のトランジスタは、ソース及びドレインの他方が第5の配線と電気的に接続され、ゲートが第2の配線と電気的に接続される。制御回路は、第1の配線に第1の信号を出力し、且つ、第2の配線に第1の信号を反転した第2の信号を出力する。第4の配線には、第1のパルス

40

50

信号が与えられる。第5の配線には、第1の電位が与えられる。第3の配線には、第2のパルス信号が与えられる。第1のパルス信号は、クロック信号であり、第2のパルス信号は、デューティ比が55%以下の信号である。

【0010】

また、上記において、第2のパルス信号を出力する信号生成回路を有することが好ましい。このとき、信号生成回路と、制御回路には、第3のパルス信号が与えられることが好ましい。さらに、第3のパルス信号は、デューティ比が1%以下の信号であることが好ましい。

【0011】

また、上記において、第2のパルス信号は、デューティ比が1%以下の信号であることが好ましい。

10

【0012】

また、上記において、信号生成回路は、第4のトランジスタと、第5のトランジスタと、第2の容量と、を有することが好ましい。このとき、第4のトランジスタは、ソース及びドレインの一方に第1の電位よりも高い第2の電位が与えられ、ソース及びドレインの他方が第3の配線、第5のトランジスタのソース及びドレインの一方、及び第2の容量の一方の電極と電氣的に接続される。また、第5のトランジスタは、ソース及びドレインの他方に第1の電位が与えられる。また、第2の容量は、他方の電極に第1の電位が与えられる。さらに、第4のトランジスタのゲートには、第3のパルス信号が与えられ、第5のトランジスタのゲートには、第4のパルス信号が与えられる。このとき、第4のパルス信号は、デューティ比が1%以下の信号であることが好ましい。

20

【0013】

また、上記において、第2のパルス信号は、第3の配線と、制御回路に与えられることが好ましい。

【0014】

また、上記において、第1のトランジスタは、第1の半導体層と、第1の半導体層を介して互いに重なる第1のゲート及び第2のゲートを有することが好ましい。このとき、第1のゲートと第2のゲートとは、電氣的に接続されることが好ましい。

【0015】

また、上記において、第3のトランジスタは、第2の半導体層と、第2の半導体層を介して互いに重なる第3のゲート及び第4のゲートを有することが好ましい。このとき、第3のゲート及び第4のゲートの一方が、第2の配線と電氣的に接続され、第3のゲート及び第4のゲートの他方が、第5の配線と電氣的に接続されることが好ましい。

30

【0016】

また、上記において、第4のゲートは、第2の半導体層よりも下側に位置することが好ましい。このとき、第3のゲートが、第2の配線と電氣的に接続され、第4のゲートが、第5の配線と電氣的に接続されることが好ましい。

【0017】

また、本発明の一態様は、上記いずれかの半導体装置と、画素と、を有する表示装置である。画素は、表示素子、及び第6のトランジスタを有する。第6のトランジスタは、第1のトランジスタ、第2のトランジスタ、及び第3のトランジスタと、同一面上に設けられることが好ましい。

40

【0018】

また、上記において、表示素子は、液晶素子、または発光素子であることが好ましい。

【0019】

また、本発明の一態様は、上記いずれかの表示装置と、アンテナ、バッテリー、筐体、カメラ、スピーカ、マイク、タッチセンサ、及び操作ボタンのうち、少なくとも一と、を有する、電子機器である。

【発明の効果】

【0020】

50

本発明の一態様によれば、信頼性の高い半導体装置、表示装置、または電子機器を提供できる。または、表示装置の狭額縁化を実現できる半導体装置、表示装置、または電子機器を提供できる。または、信頼性が高く、低コストで作製可能な半導体装置、表示装置、または電子機器を提供できる。または、新規な構成を有する半導体装置、表示装置、または電子機器を提供できる。または、先行技術の問題点の少なくとも一つを少なくとも軽減できる。

【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

【図面の簡単な説明】

【0022】

図1は、順序回路の構成例を示す図である。

図2Aは、順序回路の構成例を示す図である。図2Bは、タイミングチャートである。

図3A乃至図3Cは、順序回路の構成例を示す図である。

図4A及び図4Bは、順序回路の構成例を示す図である。

図5A及び図5Bは、順序回路の構成例を示す図である。

図6は、順序回路の構成例を示す図である。

図7は、タイミングチャートである。

図8Aは、順序回路の構成例を示す図である。図8Bは、シフトレジスタの回路図である。図8Cは、タイミングチャートである。

図9は、信号生成回路の構成例を示す図である。

図10は、順序回路の構成例を示す図である。

図11は、タイミングチャートである。

図12Aは、順序回路の構成例を示す図である。図12Bは、シフトレジスタの回路図である。図12Cは、タイミングチャートである。

図13A乃至図13Cは、トランジスタの構成例を示す図である。

図14A乃至図14Cは、トランジスタの構成例を示す図である。

図15A乃至図15Cは、トランジスタ及び容量の構成例を示す図である。

図16は、トランジスタ及び容量の構成例を示す図である。

図17A乃至図17Fは、トランジスタの作製方法を説明する図である。

図18A乃至図18Dは、トランジスタの作製方法を説明する図である。

図19A乃至図19Cは、トランジスタの構成例を示す図である。

図20Aは、表示装置のブロック図である。図20B及び図20Cは、画素回路の回路図である。

図21A、図21C、及び図21Dは、画素回路の回路図である。図21Bは、タイミングチャートである。

図22A及び図22Bは、表示モジュールの構成例を示す図である。

図23A及び図23Bは、電子機器の構成例を示す図である。

図24A乃至図24Eは、電子機器の構成例を示す図である。

図25A乃至図25Gは、電子機器の構成例を示す図である。

図26A乃至図26Dは、電子機器の構成例を示す図である。

【発明を実施するための形態】

【0023】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0024】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には

10

20

30

40

50

同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0025】

なお、本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0026】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0027】

トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor)、及び、薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0028】

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0029】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極及び配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。

【0030】

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

【0031】

また、本明細書等では、表示パネルの基板に、例えばFPC (Flexible Printed Circuit) もしくはTCP (Tape Carrier Package) などのコネクタが取り付けられたもの、または基板にCOG (Chip On Glass) 方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、または単に表示パネルなどと呼ぶ場合がある。

【0032】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。

【0033】

[構成例1]

[構成例1-1]

図1に、本発明の一態様の順序回路10の構成例を示す。順序回路10は、回路11と、回路12とを有する。回路11と回路12とは、配線15a及び配線15bを介して電氣的に接続されている。回路12は、制御回路と呼ぶこともできる。

【0034】

なお以下では、特に断りのない場合、順序回路10に与えられる信号や電位のうち、高電位を電位VDD、低電位を電位VSSとして説明する場合がある。

【0035】

回路12は、信号LINの電位、及び信号RINの電位に従って、配線15aに第1の

10

20

30

40

50

信号を、配線 15 b に第 2 の信号を、それぞれ出力する機能を有する。ここで、第 2 の信号は、第 1 の信号を反転した信号である。すなわち、第 1 の信号と第 2 の信号とが、それぞれ高電位と低電位の 2 種類の電位を有する信号である場合、回路 12 から配線 15 a に高電位が出力されるときには配線 15 b に低電位が出力され、配線 15 a に低電位が出力されるときには配線 15 b に高電位が出力される。

【0036】

回路 11 は、トランジスタ 21、トランジスタ 22、トランジスタ 23、及び容量 C1 を有する。トランジスタ 21、トランジスタ 22、及びトランジスタ 23 は、それぞれ n チャンネル型のトランジスタである。トランジスタ 21、トランジスタ 22、及びトランジスタ 23 としては、チャンネルが形成される半導体として、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を好適に用いることができる。なお、酸化物半導体に限られず、シリコン（単結晶シリコン、多結晶シリコン、または非晶質シリコン）、ゲルマニウムなどの半導体を用いてもよいし、化合物半導体を用いてもよい。

10

【0037】

トランジスタ 23 は、ゲートが信号 BDG が与えられる配線と電氣的に接続され、ソース及びドレインの一方が配線 15 a と電氣的に接続され、ソース及びドレインの他方がトランジスタ 22 のゲート、及び容量 C1 の一方の電極と電氣的に接続される。トランジスタ 22 は、ソース及びドレインの一方が信号 CLK が与えられる配線と電氣的に接続され、ソース及びドレインの他方が容量 C1 の他方の電極、トランジスタ 21 のソース及びドレインの一方と電氣的に接続される。トランジスタ 21 は、ゲートが配線 15 b と電氣的に接続され、ソース及びドレインの他方が電位 VSS（第 1 の電位ともいう）が与えられる配線と電氣的に接続される。また、トランジスタ 21 のソース及びドレインの一方、トランジスタ 22 のソース及びドレインの他方、及び容量 C1 の他方の電極は、出力端子 OUT と電氣的に接続される。なお、出力端子 OUT は、回路 11 からの出力電位が与えられる部分であり、配線の一部、または電極の一部であってもよい。

20

【0038】

トランジスタ 22 のソース及びドレインの一方には、信号 CLK として、クロック信号が入力される。当該クロック信号は、デューティ比（信号の一周期の期間における、ハイレベル電位（高電位）である期間の割合）が、45% 以上 55% 以下である信号を好適に用いることができる。より好ましくは、クロック信号として、デューティ比が 50% である信号を用いることができる。なお、クロック信号のデューティ比は上記に限られず、駆動方法に応じて適宜変更することができる。

30

【0039】

なお、本明細書等において、クロック信号とは、高電位と低電位とが繰り返され、且つ、電位の立ち上がりと次の電位の立ち上がりの間隔、または、電位の立ち下りと次の電位の立ち下りの間隔が、一定である信号をいう。また、本明細書等において、パルス信号とは、時間的に電位が変化する信号のことをいう。また、パルス信号には、周期的に電位が変化する信号が含まれる。例えば、パルス信号には、矩形波、三角波、のこぎり波、正弦波などの周期的に電位が変化する信号が含まれる。そのため、クロック信号は、パルス信号の一態様であるともいえる。

40

【0040】

信号 CLK は、高電位と低電位とが交互に与えられる信号である。このとき、信号 CLK の低電位は、電位 VSS と同じ電位とすることが好ましい。なお、信号 CLK に替えて、高電位（例えば電位 VDD）を、トランジスタ 22 のソース及びドレインの一方に与える構成としてもよい。

【0041】

また、トランジスタ 23 のゲートに与えられる信号 BDG は、周期性を有するパルス信号である。このとき、信号 BDG のデューティ比が低いほど好ましい。例えば、信号 BDG は、デューティ比が 60% 以下、好ましくは 55% 以下、より好ましくは 50% 以下、さらに好ましくは 10% 以下、さらに好ましくは 5% 以下、さらに好ましくは 1% 以下で

50

あるパルス信号を用いることができる。信号BDGのデューティ比の下限値は、小さければ小さいほどよく、0%より大きければよい。

【0042】

トランジスタ23のゲートに、デューティ比の小さいパルス信号が与えられることにより、トランジスタ23のしきい値電圧の変動を抑制することが可能となる。ここで、例えばトランジスタ23のゲートに、常に高電位である定電位（すなわち、デューティ比100%の信号ともいうことができる）が与えられる構成とすると、トランジスタ23のしきい値電圧がプラスシフトしやすくなるため、順序回路10からは期待される信号が出力できなくなる恐れがある。一方、本発明の一態様においては、トランジスタ23のゲートにデューティ比の小さい信号BDGが与えられるため、トランジスタ23の電気特性の変動が抑えられ、その結果、信頼性の高い順序回路10を実現することができる。

10

【0043】

ここで、信号BDGは、回路12を駆動するための信号を用いて生成される信号であることが好ましい。または、信号BDGが、回路12を駆動するための信号を兼ねることが好ましい。これにより、順序回路10の外部に新たに信号BDGを生成する回路を設ける必要がないため、順序回路10が適用される機器の構成を簡略化できる。

【0044】

順序回路10の動作について説明する。配線15aに高電位が与えられ、配線15bに低電位が与えられ、信号BDGが高電位となると、トランジスタ23及びトランジスタ22が導通状態（オン状態）となり、トランジスタ21が非導通状態（オフ状態）となる。このとき、出力端子OUTと信号CLKが与えられる配線とが導通状態となる。

20

【0045】

回路11において、出力端子OUTとトランジスタ22のゲートとは、容量C1を介して電氣的に接続されるため、ブートストラップ効果によって、出力端子OUTの電位が上昇することに伴い、トランジスタ22のゲートの電位が上昇する。ここで、容量C1を有さない場合には、信号CLKの高電位よりもトランジスタ22のしきい値電圧分低い電位が、出力端子OUTに出力されてしまう。しかしながら、容量C1を有することで、トランジスタ22のゲートの電位は、電位VDDの2倍に近い電位（例えば、電位VDDと電位VSSの差の2倍に近い電位）にまで上昇するため、トランジスタ22のしきい値電圧の影響を受けることなく、出力端子OUTには、信号CLKの高電位（例えば電位VDD）を出力することができる。これにより、電源電位の種類を増やすことなく、出力性能の高い順序回路10を実現することができる。

30

【0046】

また、信号BDGとして高電位が与えられ、トランジスタ23がオン状態であるため、配線15aに高電位が与えられると、トランジスタ23を介してトランジスタ22のゲートに高電位が与えられる。このとき、配線15aに与えられる高電位と、信号BDGの高電位とが等しい（例えばどちらも電位VDDである）場合には、トランジスタ22のゲートには電位VDDからトランジスタ23のしきい値電圧分低い電位が与えられる。その後、信号CLKが低電位から高電位となり、ブートストラップ効果によりトランジスタ22のゲートの電位（トランジスタ23のソース及びドレインの他方の電位）が上昇する。ここで、トランジスタ23のソース及びドレインの他方の電位が電位VDDを超えると、トランジスタ23がオフ状態となるため、トランジスタ22のゲートと、配線15aとが電氣的に切り離された状態となり、トランジスタ22のゲートがフローティング状態となる。また、配線15aの電位は、回路12の出力電位（VDD）から上昇することがないため、回路12内のトランジスタ等に、配線15aを介して出力電位よりも高い電位が印加されることを防ぐことができる。これにより、順序回路10の信頼性を高めることができる。

40

【0047】

一方、配線15aに低電位が与えられ、配線15bに高電位が与えられると、トランジスタ23を介してトランジスタ22のゲートに低電位が与えられ、トランジスタ22がオ

50

フ状態となる。また、トランジスタ21がオン状態となる。このとき、出力端子OUTと電位VSSが与えられる配線とが導通状態となり、出力端子OUTには電位VSSが出力される。その後、信号BDGを高電位から低電位に変化させ、トランジスタ23をオフ状態とすることが好ましい。

【0048】

図2Aに、図1で例示した順序回路10のより詳細な構成例を示す。順序回路10が有する回路12は、トランジスタ31、トランジスタ32、トランジスタ33、及びトランジスタ34を有する。トランジスタ31乃至トランジスタ34には、上述したnチャネル型のトランジスタを適用することが好ましい。特に、チャネルが形成される半導体に酸化物半導体を適用したトランジスタを用いることが好ましい。

10

【0049】

トランジスタ31とトランジスタ34は、信号LINの電位に従って導通または非導通が選択される。トランジスタ33とトランジスタ32は、信号RINの電位に従って導通または非導通が選択される。

【0050】

信号LINが高電位、信号RINが低電位であるとき、トランジスタ31がオン状態、トランジスタ33がオフ状態となり、電位VDDが与えられる配線と、配線15aとが電氣的に接続される。また、トランジスタ34がオン状態、トランジスタ32がオフ状態となり、電位VSSが与えられる配線と、配線15bとが電氣的に接続される。一方、信号LINが低電位、信号RINが高電位であるとき、トランジスタ31がオフ状態、トランジスタ33がオン状態となり、電位VSSが与えられる配線と、配線15aとが電氣的に接続される。また、トランジスタ34がオフ状態、トランジスタ32がオン状態となり、電位VDDが与えられる配線と、配線15bとが電氣的に接続される。

20

【0051】

順序回路10において、信号LINが高電位、信号RINが低電位のとき、配線15aは高電位、配線15bは低電位となり、出力端子OUTには、信号CLKの電位が出力される。一方、信号LINが低電位、信号RINが高電位のとき、配線15aは低電位、配線15bは高電位となり、出力端子OUTと電位VSSが与えられる配線とが電氣的に接続される。

【0052】

順序回路10に入力される信号LINと信号RINの電位を、高電位と低電位に交互に変化させ、信号CLKと信号LINを同期させることで、順序回路10の出力端子OUTには、パルス状の出力信号が出力される。順序回路10の出力端子OUTに出力される出力信号を、複数の画素に接続された配線（例えば走査線）などに供給することで、順序回路10をゲートドライバ回路の一部として用いることができる。

30

【0053】

図2Bは、図2Aに示す順序回路10の駆動方法の一例を示すタイミングチャートである。図2Bには、信号LIN、信号RIN、信号BDG、信号CLK、ノードN、及び出力端子OUTにおける、電位の時間変化を模式的に示している。ここで、ノードNは、トランジスタ22のゲートが接続されるノードに対応する（図2A参照）。

40

【0054】

時刻T1において、信号LIN及び信号BDGが高電位、信号RIN及び信号CLKが低電位となる。期間T1-T2において、回路12から配線15aに高電位が出力され、トランジスタ23がオン状態であるため、ノードNの電位は、配線15aの電位からトランジスタ23のしきい値電圧分低下した電位まで上昇する。

【0055】

続いて、時刻T2において、信号LINが低電位になり、信号CLKが高電位となる。このとき、回路12のトランジスタ31乃至トランジスタ34は全てオフ状態となるため、配線15aは電氣的にフローティング状態となる。そのため、期間T2-T3において、信号CLKがハイレベル電位となることで、ノードNの電位が上昇する。トランジスタ

50

23のゲート電位と、ノードNの電位の差が、トランジスタ23のしきい値電圧に達すると、トランジスタ23がオフ状態となり、ノードNがフローティング状態となる。また、トランジスタ23のゲートの電位が上昇することで、出力端子OUTには信号CLKの高電位が与えられる。

【0056】

続いて、時刻T3において、信号RINが高電位となり、信号CLKが低電位となる。期間T3-T4において、回路12から配線15bに高電位が出力され、トランジスタ21がオン状態となる。一方、配線15aには低電位が出力され、トランジスタ23がオン状態であるため、トランジスタ22がオフ状態となる。これにより、出力端子OUTには電位VSSが与えられる。

【0057】

そして、時刻T4において、信号BDGが低電位となりトランジスタ23がオフ状態となる。

【0058】

以上が、順序回路10の動作方法の一例についての説明である。

【0059】

ここで、トランジスタ23に加わる電圧ストレスについて説明する。ここでは簡単のため、高電位を電位VDD、低電位を電位VSSとして説明する。

【0060】

時刻T1において、トランジスタ23のゲートに電位VDDが与えられ、配線15a側の電極に電位VDDが与えられたとき、トランジスタ23はノードN側の電極がソースとなる。続いて、時刻T2において信号CLKが電位VSSから電位VDDに変化し、ノードNの電位が電位VDD-電位VSSの2倍の電位にまで上昇したとする。このとき、配線15aはフローティング状態であり、電位VDDのままであるため、トランジスタ23はソースとドレインが入れ替わり、配線15aと接続される電極がソースとなる。また、時刻T3において、配線15aに電位VSSが与えられ、ノードNの電位が低下する際も、トランジスタ23は配線15a側の電極がソースとして機能する。このように、回路の動作中にソースとドレインの機能が入れ替わるトランジスタを、双方向トランジスタ(bi-direction transistor)と呼ぶことができる。

【0061】

期間T1-T2では、トランジスタ23のゲート-ソース間にかかる電圧(電位差)は最大でVDD-VSSとなる。しかし、ノードNの電位が上昇することに伴い、トランジスタ23のソース-ドレイン間にかかる電圧は急激に低下するため、電圧ストレスはすぐに緩和されることになる。また、期間T2-T3では、トランジスタ23のゲート-ソース間にはほとんど電位差が生じない。また、期間T3-T4では、トランジスタ23のゲート-ソース間の電圧はVDD-VSSとなる。また、時刻T4以降では、トランジスタ23には電圧ストレスが生じない。このことから、トランジスタ23のゲート-ソース間にストレスがかかるのは、配線15aに低電位が与えられ、信号BDGが高電位であるときであることがわかる。そのため、配線15aに低電位が与えられている期間中において、信号BDGが高電位となる期間をできるだけ短くすることで、トランジスタ23の電圧ストレスを低減し、しきい値電圧の変動を抑制することができる。

【0062】

ここで、順序回路10は、表示装置の駆動回路として用いることができる。特に、走査線駆動回路として好適に用いることができる。このとき、出力端子OUTに、表示装置の複数の画素に接続される走査線を接続する場合、順序回路10から出力端子OUTに出力される出力信号のデューティ比は、信号CLKなどに比べて著しく小さい。また、配線15aに入力される電位は、高電位である期間よりも、低電位である期間が、著しく長くなる。そのため、トランジスタ23のゲートに高電位の定電位が与えられた構成とすると、トランジスタ23のゲート-ソース間に電圧ストレスがかかる期間が著しく長くなり、トランジスタ23のしきい値電圧の変動が生じやすくなる。しかしながら本発明の一態様は

10

20

30

40

50

、トランジスタ２３のゲートに定電位ではなく、デューティ比の小さいパルス信号である信号ＢＤＧが与えられるため、トランジスタ２３のしきい値電圧の変動を好適に抑制することができる。特に、信号ＢＤＧは、順序回路１０が出力端子ＯＵＴに信号を出力するための動作期間中（例えば図２Ｂにおける期間Ｔ１－Ｔ４）のみ高電位となり、他の期間は常に低電位となるパルス信号を適用することが好ましい。これにより、信号ＢＤＧのデューティ比を１％以下、好ましくは０．５％以下、より好ましくは０．１％以下にまで低減でき、順序回路１０、延いては順序回路１０を用いた半導体装置、表示装置、及び電子機器に、極めて高い信頼性を付与することができる。

【００６３】

また、順序回路１０を表示装置の駆動回路として用いる場合、表示装置の画素が有するトランジスタと、順序回路１０を構成するトランジスタ（トランジスタ２１、トランジスタ２２、及びトランジスタ２３等）とを、同一基板上に設けることが好ましい。特に、画素に設けられるトランジスタと、順序回路１０を構成するトランジスタとを、同一工程により作製することが好ましい。

【００６４】

〔構成例１－２〕

図３Ａには、図２Ａとは一部の構成が異なる回路１１を有する順序回路１０ａの構成例を示す。

【００６５】

回路１１が有する、トランジスタ２１は、一対のゲート（以下、第１のゲート、第２のゲートと呼ぶ）を有する。トランジスタ２１は、第１のゲートが配線１５ｂと電氣的に接続され、第２のゲートが自身のソース及びドレインの他方、及び電位ＶＳＳが与えられる配線と電氣的に接続され、ソース及びドレインの一方が、トランジスタ２２のソース及びドレインの他方、及び容量Ｃ１の他方の電極と電氣的に接続されている。

【００６６】

ここで、順序回路１０ａを、表示装置の駆動回路に用いた場合、上述のように、順序回路１０ａから出力端子ＯＵＴに出力される出力信号のデューティ比は、信号ＣＬＫなどに比べて著しく小さくなる。このとき、トランジスタ２１は、オフ状態である期間よりも、オン状態である期間が著しく長くなる。すなわち、トランジスタ２１は、第１のゲートに高電位が与えられる期間が、低電位が与えられる期間よりも著しく長くなる。そのため、トランジスタ２１は、トランジスタ２２よりも、しきい値電圧の変動が生じやすくなる。具体的には、トランジスタ２１は、トランジスタ２２よりも、しきい値電圧がプラス方向へシフトしやすい。

【００６７】

そこで本発明の一態様は、トランジスタ２１が、半導体層を間に挟んで重なり合った一対のゲートを有する構成とする。そして、一方のゲートを、低電位が与えられる配線（電位ＶＳＳが与えられる配線）と電氣的に接続する構成とする。言い換えると、トランジスタ２１は、一方のゲートとソースとが、互いに電氣的に接続される構成とも言える。このような構成とすることで、トランジスタ２１のしきい値電圧がプラス方向へシフトすることを好適に抑制することができる。したがって、順序回路１０ａ、延いては順序回路１０ａを用いた半導体装置、表示装置、及び電子機器等の信頼性を高めることができる。

【００６８】

また、トランジスタ２１を、一方のゲートとソースとが電氣的に接続された構成とすることで、しきい値電圧がマイナスの値になることを好適に防ぐこともできる。すなわち、トランジスタ２１をノーマリオフの特性とすることが容易となる。トランジスタ２１がノーマリオンの特性を有する場合、トランジスタ２１の他方のゲートとソースとの電圧が０Ｖの時に、ソースドレイン間のリーク電流が生じ、出力端子ＯＵＴの電位が保てなくなってしまう。そのため、トランジスタ２１をオフ状態とするためには、トランジスタ２１の他方のゲートに電位ＶＳＳよりも低い電位を与える必要があり、複数の電源が必要となる。一方、本発明の一態様のトランジスタ２１は、安定してノーマリオフの特性を実現で

10

20

30

40

50

きるため、電源電位の種類を増やすことなく、出力性能の高い順序回路 10 a を実現することができる。

【0069】

また、トランジスタ 21 は、一方のゲートとソースとが電氣的に接続された構成とすることで、飽和性を高める効果も奏する。これにより、回路 11 の設計が容易となり、回路 11 を安定して動作可能な回路とすることができる。

【0070】

このように、順序回路 10 a では、電圧ストレスがかかる期間が著しく長いトランジスタ 21 には、一方のゲートとソースとが接続されたトランジスタを適用し、双方向トランジスタとして機能するトランジスタ 23 のゲートには、デューティ比の小さいパルス信号を与える構成とする。これにより、回路 11 を構成する 3 つのトランジスタの全てにおいて、しきい値電圧の変動を抑制することが可能となる。その結果、高い出力性能と、高い信頼性が両立した順序回路 10 a を実現できる。

【0071】

〔構成例 1-3〕

図 3 B に、順序回路 10 b の構成例を示している。順序回路 10 b では、回路 12 が有するトランジスタ 33 に、一対のゲートを有し、一方のゲートとソースとが接続されたトランジスタが適用されている。

【0072】

トランジスタ 33 は、回路 11 のトランジスタ 21 と同様に、順序回路 10 b の動作時にオン状態である期間が著しく長いトランジスタである。そのため、トランジスタ 33 をトランジスタ 21 と同様の構成とすることで、しきい値電圧の変動を抑制し、順序回路 10 b の信頼性を高めることができる。

【0073】

〔構成例 1-4〕

図 3 C に、順序回路 10 c の構成例を示している。

【0074】

順序回路 10 c は、回路 12 が有するトランジスタ 33 だけでなくトランジスタ 34 にも、一対のゲートを有し、一方のゲートとソースとが接続されたトランジスタが適用されている。

【0075】

トランジスタ 34 は、トランジスタ 33 と比較すると、順序回路 10 c の動作時にオン状態となる期間は短いものの、長時間動作させることで、しきい値電圧の変動が生じうる。そのため、トランジスタ 34 をトランジスタ 33 と同様の構成とすることにより、しきい値電圧の変動が抑制され、順序回路 10 c の信頼性を高めることができる。

【0076】

また、順序回路 10 c では、トランジスタ 31、トランジスタ 32、トランジスタ 22、及びトランジスタ 23 に、一対のゲートを有するトランジスタが適用されている。

【0077】

半導体層を介して一対のゲートを有するトランジスタにおいて、一対のゲートを電氣的に接続することで、一つのゲートを有するトランジスタを用いる場合、または一対のゲートの片方に定電位を与える場合と比較して、チャネルが形成される領域が増え、ソースドレイン間に流すことのできる電流（オン電流ともいう）を大きくできる。そのため、オン電流の低下を抑えつつ、トランジスタのサイズを縮小できるため、順序回路 10 c、延いては順序回路 10 c を用いた駆動回路の面積を縮小することができる。特に、トランジスタ 22 及びトランジスタ 23 には、回路 12 に設けられるトランジスタよりも大きな電流供給能力が求められるため、トランジスタ 22 及びトランジスタ 23 に、このようなトランジスタを適用することで、面積の縮小に対する効果が極めて高い。

【0078】

また、一対のゲートを電氣的に接続したトランジスタとすることで、一つのゲートを有

10

20

30

40

50

するトランジスタと比較して、ノーマリオフの電気特性を実現しやすくなる、飽和性が向上する、などといった利点がある。これにより、信頼性の高い順序回路 10c を実現することができる。

【0079】

また、トランジスタ 31、トランジスタ 32、トランジスタ 22、及びトランジスタ 23 に、電流供給能力の高いトランジスタを適用することで、順序回路 10c の動作周波数を高めることもできる。

【0080】

なお、図 3C では、トランジスタ 31、トランジスタ 32、トランジスタ 22、及びトランジスタ 23 の全てに一对のゲートが電氣的に接続されたトランジスタを適用する例を示したが、これに限られず、1つ以上のトランジスタに上記トランジスタを適用すればよい。特に、回路 11 に含まれるトランジスタ 22 及びトランジスタ 23 に、一对のゲートが電氣的に接続されたトランジスタを適用することが好ましい。

【0081】

〔構成例 2〕

以下では、上記構成例 1 とは異なる構成を有する順序回路について説明する。

【0082】

〔構成例 2-1〕

図 4A に、順序回路 20 の構成例を示す。順序回路 20 は、回路 11 と、回路 13 を有する。回路 11 と回路 13 とは、配線 15a 及び配線 15b とにより電氣的に接続されている。回路 11 の構成は、構成例 1 を援用できる。

【0083】

回路 11 には、信号 BDG 及び信号 CLK1 が入力される。また、出力端子 SROUT が接続されている。信号 BDG は、トランジスタ 23 のゲートに入力される。信号 CLK1 は、トランジスタ 22 のソース及びドレインの一方に入力される。

【0084】

回路 13 は、トランジスタ 41 乃至トランジスタ 47 と、容量 C2 を有する。回路 13 には、信号 LIN、信号 CLK2、信号 CLK3、信号 RIN、及び信号 RES が入力される。トランジスタ 41 乃至トランジスタ 47 には、上述した n チャネル型のトランジスタを適用することが好ましい。特に、チャンネルが形成される半導体に酸化物半導体を適用したトランジスタを用いることが好ましい。

【0085】

回路 13 は、入力される各種信号に従って、配線 15a に第 1 の信号を、配線 15b に第 1 の信号を反転した第 2 の信号を、それぞれ出力する機能を有する。

【0086】

また、回路 11 及び回路 13 には、高電位である電位 VDD と、低電位である電位 VSS が供給されている。

【0087】

具体的には、トランジスタ 41 は、ゲートが信号 LIN が与えられる配線と、ソース及びドレインの一方が配線 15a、及びトランジスタ 46 のソース及びドレインの一方と、他方が電位 VDD が与えられる配線と、それぞれ電氣的に接続されている。トランジスタ 42 は、ゲートが信号 CLK3 が与えられる配線と、ソース及びドレインの一方がトランジスタ 43 のソース及びドレインの一方と、他方が電位 VDD が与えられる配線と、それぞれ電氣的に接続されている。トランジスタ 43 は、ゲートが信号 CLK2 が与えられる配線と、ソース及びドレインの他方が配線 15b、容量 C2 の一方の電極、及びトランジスタ 46 のゲートと、それぞれ電氣的に接続されている。トランジスタ 44 は、ゲートが信号 RIN が与えられる配線と、ソース及びドレインの一方が配線 15b と、他方が電位 VDD が与えられる配線と、それぞれ電氣的に接続されている。トランジスタ 45 は、ゲートが信号 RES が与えられる配線と、ソース及びドレインの一方が配線 15b と、他方が電位 VDD が与えられる配線と、それぞれ電氣的に接続されている。トランジスタ 46

は、ソース及びドレインの他方が電位 V_{SS} が与えられる配線と電氣的に接続されている。トランジスタ 47 は、ゲートが信号 LIN が与えられる配線と、ソース及びドレインの一方が配線 15b と、他方が電位 V_{SS} が与えられる配線と、それぞれ電氣的に接続されている。容量 $C2$ は、他方の電極が、電位 V_{SS} が与えられる配線と電氣的に接続されている。

【0088】

図 4A に示す回路 13 において、トランジスタ 46 に、一対のゲートを有するトランジスタを適用した例を示している。トランジスタ 46 は、一対のゲートの一方が、電位 V_{SS} が与えられる配線と電氣的に接続されている。

【0089】

なお、トランジスタ 41 乃至トランジスタ 45、トランジスタ 47、トランジスタ 22、及びトランジスタ 23 のうち、少なくとも一つに、一対の電氣的に接続されたゲートを有するトランジスタを適用してもよい。図 4B には、当該トランジスタの全てに、一対の電氣的に接続されたゲートを有するトランジスタを適用した例を示している。

【0090】

〔構成例 2-2〕

図 5A には、出力端子を 2 つ有する順序回路 30 の構成例を示している。順序回路 30 は、上記順序回路 20 における回路 11 に換えて回路 11a を有する構成である。

【0091】

回路 11a には、信号 $B DG$ 、信号 $CLK1$ 、及び信号 PWC が入力される。また、回路 11a には、出力端子 $SROUT$ と出力端子 $GOUT$ とが接続されている。

【0092】

回路 11a は、2 つの回路 11 が並列に接続された構成を有している。トランジスタ 21、トランジスタ 22、トランジスタ 23、及び容量 $C1$ により、一つの回路 11 を構成し、トランジスタ 24、トランジスタ 25、トランジスタ 26、及び容量 $C3$ により、もう一つの回路 11 を構成している。トランジスタ 24 乃至トランジスタ 26、容量 $C3$ の接続構成は、上記回路 11 と同様である。

【0093】

トランジスタ 25 のソース及びドレインの一方は、信号 PWC が与えられる配線と電氣的に接続されている。また、トランジスタ 24 のソース及びドレインの一方、トランジスタ 25 のソース及びドレインの他方、及び容量 $C3$ の他方の電極は、出力端子 $GOUT$ と電氣的に接続される。トランジスタ 26 のゲートは、信号 $B DG$ が与えられる配線と電氣的に接続されている。

【0094】

回路 11a において、配線 15a に高電位、配線 15b に低電位が与えられると、出力端子 $SROUT$ には信号 $CLK1$ の電位が、出力端子 $GOUT$ には信号 PWC の電位が、それぞれ出力される。一方、配線 15a に低電位、配線 15b に高電位が与えられると、出力端子 $SROUT$ 及び出力端子 $GOUT$ は、いずれも電位 V_{SS} が与えられる配線と電氣的に接続される。

【0095】

ここで、順序回路 30 を、表示装置のゲートドライバ回路の一部として用いる場合、出力端子 $GOUT$ は走査線が接続される端子として用い、出力端子 $SROUT$ は次の段の順序回路 30 に入力される配線が接続される端子として用いることができる。このとき、トランジスタ 24 及びトランジスタ 25 には、トランジスタ 21 及びトランジスタ 22 よりも電流供給能力の高いトランジスタを適用することが好ましい。例えば、チャネル幅の大きなトランジスタを、トランジスタ 24 及びトランジスタ 25 に適用することができる。

【0096】

ここで、信号 $CLK1$ と、信号 PWC とは、同期した信号を用いることができる。具体的には、高電位である期間と、低電位である期間とが一致した信号を用いることができる。このとき、信号 $CLK1$ と信号 PWC とに、高電位が電位 V_{DD} であり、低電位が電位

10

20

30

40

50

VSSである信号を用いると、順序回路30を駆動するための電源電位の種類を増やす必要がないため、好ましい。

【0097】

また、信号CLK1と、信号PWCとで、振幅の異なる信号を用いてもよい。例えば、信号PWCに、信号CLK1よりも振幅の大きな信号を用いることができる。このとき、信号PWCに、低電位が電位VSSであり、高電位が電位VDDよりも高い電位である信号を用いることが好ましい。これにより、出力端子GOUTに高い電位を出力することができる。また、信号CLK1の振幅を小さくし、且つ、電位VDDと電位VSSの電位差を小さくすることで、順序回路30を構成するトランジスタにかかる電圧ストレスが軽減される。これにより、トランジスタのしきい値電圧をはじめとする電気特性の変動を抑制することができ、順序回路30の信頼性を向上させることができる。その場合であっても、トランジスタ25のゲートに与えられる電位は、容量C3によるブートストラップ効果によって電位VDDよりも十分に高い電位とすることができるため、トランジスタ25のしきい値電圧の影響を受けることなく、出力端子GOUTには、信号PWCの高電位を出力することができる。

10

【0098】

なお、トランジスタ41乃至トランジスタ45、トランジスタ47、トランジスタ22、トランジスタ23、トランジスタ25、及びトランジスタ26のうち、少なくとも一つに、一对の電氣的に接続されたゲートを有するトランジスタを適用してもよい。図5Bには、上記トランジスタの全てに、一对の電氣的に接続されたゲートを有するトランジスタを適用した例を示している。特に、トランジスタ22及びトランジスタ25には、一对の電氣的に接続されたゲートを有し、電流駆動能力の高いトランジスタを適用することが好ましい。

20

【0099】

〔駆動回路の構成例〕

以下では、順序回路を複数段接続させることで構成され、シフトレジスタとして機能する駆動回路の例について説明する。

【0100】

〔駆動回路の構成例1〕

まず、駆動回路に用いることのできる順序回路の構成例について説明する。図6に、順序回路30aの回路図を示す。順序回路30aは、回路13、回路11a、及び信号生成回路14aを有する。信号生成回路14aは、信号BDGを生成する回路である。

30

【0101】

回路13及び回路11aは、上記構成例2を援用することができる。なお、図6では、構成例2で例示した信号RINを、信号RIN1としている。また、回路11aにおけるトランジスタ22のゲートが接続されるノードをノードN1、トランジスタ25のゲートが接続されるノードをノードN2とする。

【0102】

信号生成回路14aは、トランジスタ51、トランジスタ52、及び容量C4を有する。また信号生成回路14aには、信号LIN、及び信号RIN2が入力される。

40

【0103】

トランジスタ51は、ゲートが信号LINが入力される配線と、ソース及びドレインの一方が電位VDDが与えられる配線と、他方がトランジスタ52のソース及びドレインの一方、及び容量C4の一方の電極と、それぞれ電氣的に接続される。トランジスタ52は、ゲートが信号RIN2が入力される配線と、ソース及びドレインの他方が電位VSSが与えられる配線と、それぞれ電氣的に接続される。容量C4は、他方の電極が電位VSSが与えられる配線と電氣的に接続される。

【0104】

信号生成回路14aにおいて、トランジスタ51のソース及びドレインの他方が接続する配線に、信号BDGが出力される。信号BDGは、回路11aのトランジスタ23のゲ

50

ート、及びトランジスタ 26 のゲートにそれぞれ供給される。

【0105】

信号 L I N が高電位、信号 R I N 2 が低電位するとき、トランジスタ 51 がオン状態、トランジスタ 52 がオフ状態となり、信号生成回路 14 a から出力される信号 B D G は高電位となる。一方、信号 L I N が低電位、信号 R I N 2 が高電位するとき、トランジスタ 51 がオフ状態、トランジスタ 52 がオン状態となり、信号 B D G は低電位となる。

【0106】

また、信号 B D G が出力される配線に、容量 C 4 が接続されている。これにより、信号 L I N と信号 R I N 2 とがいずれも低電位となり、トランジスタ 51 とトランジスタ 52 がいずれもオフ状態となることで、信号 B D G が出力される配線が電氣的にフローティング状態となったときにも、当該配線の電位を保持することができる。したがって、信号生成回路 14 a から、信号 B D G として高電位または低電位を出力し続ける必要はなく、信号 L I N と信号 R I N 2 にデューティ比の小さい信号を用いた場合でも、当該配線の電位を長期間に亘って保持することができる。具体的には、信号 B D G が低電位である状態を長期間に亘って維持することができるため、信号 B D G をデューティ比の極めて小さい信号とすることができる。また、容量 C 4 を設けることで、信号 B D G が出力される配線の電位が、電氣的なノイズにより変動することを防ぐことができる。また、信号 B D G が低電位である期間中、トランジスタ 52 をオン状態とする必要がないため、トランジスタ 52 にかかる電圧ストレスが緩和され、しきい値電圧の変動を抑制することができる。

【0107】

このような信号生成回路 14 a を有することで、信号 B D G を、デューティ比が 5 % 以下、好ましくは 3 % 以下、より好ましくは 1 % 以下、さらに好ましくは 0.5 % 以下、さらに好ましくは 0.1 % 以下であるパルス信号とすることができる。これにより、順序回路 30 a、延いては、順序回路 30 a を用いた半導体装置、表示装置、及び電子機器に、極めて高い信頼性を付与することができる。

【0108】

図 6 では、信号生成回路 14 a が有するトランジスタ 51 とトランジスタ 52 に、一対のゲートが電氣的に接続されたトランジスタを適用する例を示している。なお、これに限られず、トランジスタ 51 とトランジスタ 52 に、1 つのゲートを有するトランジスタを適用してもよい。また、トランジスタ 52 には、一対のゲートのうち、一方が電位 V S S が与えられる配線と電氣的に接続されるトランジスタを適用してもよい。

【0109】

図 7 に、順序回路 30 a の駆動方法例にかかるタイミングチャートを示している。図 7 では、信号 C L K 1 (信号 P W C)、信号 C L K 2、信号 C L K 3、信号 R E S、信号 L I N、信号 R I N 1、信号 R I N 2、信号 B D G、ノード N 1 (ノード N 2)、及び出力端子 S R O U T (出力端子 G O U T) における、電位の時間変化を模式的に示している。なお、信号 C L K 1 と信号 P W C には、波形が等しい信号を用いるため、まとめて明示している。また、ノード N 1 とノード N 2 とは、電位の時間変化の様子が概ね同程度であるため、まとめて明示している。また、信号 C L K 1、信号 C L K 2、及び信号 C L K 3 には、それぞれこの順に 1 / 4 周期ずつずれたクロック信号を用いている。

【0110】

時刻 T 11 において、信号 L I N が高電位、信号 R I N 2 が低電位となることで、信号 B D G が高電位となる。続いて、時刻 T 12 において、信号 C L K 1 及び信号 P W C が高電位となることで、ノード N 1 及びノード N 2 の電位が上昇する。また、期間 T 12 - T 14 に、出力端子 S R O U T 及び出力端子 G O U T に、高電位が出力される。期間 T 14 において、信号 L I N が低電位であり、信号 R I N 1 が高電位となることで、出力端子 S R O U T 及び出力端子 G O U T に低電位が出力される。そして、時刻 T 15 において、信号 R I N 2 が高電位となることで、信号 B D G が低電位となる。また時刻 T 17 において信号 R I N 2 が低電位となった後も、信号 B D G は低電位が維持されている。

【0111】

続いて、上記順序回路 30a を複数段接続させることで構成される駆動回路について説明する。

【0112】

図 8A は、順序回路 30a の入出力端子を説明する図である。順序回路 30a は、入力端子として、信号 LIN、信号 RIN1、信号 RIN2、信号 CLK1、信号 CLK2、信号 CLK3、信号 PWC 及び信号 RES が、それぞれ入力される端子と、出力端子として、出力端子 SROUT、及び出力端子 GOUT と、を有する。

【0113】

図 8B に、駆動回路 40a の構成例を示している。駆動回路 40a は、複数の順序回路を有する。図 8B では、順序回路 30a__1 乃至順序回路 30a__6 を示し、それ以降は省略している。順序回路 30a__1 等は、それぞれ図 6 で例示した順序回路 30a と同様の構成を有する。以下では、駆動回路 40a の入力に近い側から、n 番目に位置する順序回路を、順序回路 30a__n (n は 1 以上の整数) と表記することとする。

10

【0114】

順序回路 30a__n には、信号 CLK1、信号 CLK2、信号 CLK3 として、信号 CK1 乃至信号 CK4 のいずれか 3 つが用いられる。また、順序回路 30a__n には、信号 PWC として、信号 PWC1 乃至信号 PWC4 のいずれか 1 つが用いられる。信号 CK1 乃至信号 CK4、及び信号 PWC1 乃至信号 PWC4 の組み合わせは、4 段毎に同じ組み合わせとなる。すなわち、順序回路 30a__n と順序回路 30a__n+4 には、信号 CLK1、信号 CLK2、信号 CLK3、信号 PWC として、同じ信号が入力される。

20

【0115】

また、順序回路 30a__n の出力端子 GOUT には、出力配線である配線 OUTn (図 8B では、配線 OUT1 乃至配線 OUT6 を示している。) が接続されている。

【0116】

順序回路 30a__1 には、信号 LIN として信号 SP が入力される。また、n が 2 以上である順序回路 30a__n には、信号 LIN として、順序回路 30a__n-1 の出力端子 SROUT の信号が入力される。また、順序回路 30a__n には、信号 RIN1 として、順序回路 30a__n+2 の出力端子 SROUT の信号が入力される。また、順序回路 30a__n には、信号 RIN2 として、順序回路 30a__n+3 の出力端子 SROUT の信号が入力される。

30

【0117】

具体的には、順序回路 30a__1 は、信号 CK1、信号 CK2、信号 CK3、信号 PWC1、信号 RES、信号 SP、順序回路 30a__3 の出力信号、及び順序回路 30a__4 の出力信号が、それぞれ入力され、配線 OUT1 に出力信号を出力する。順序回路 30a__2 は、信号 CK2、信号 CK3、信号 CK4、信号 PWC2、信号 RES、順序回路 30a__1 の出力信号、順序回路 30a__4 の出力信号、及び順序回路 30a__5 の出力信号が入力され、配線 OUT2 に出力信号を出力する。順序回路 30a__3 は、信号 CK3、信号 CK4、信号 CK1、信号 PWC3、信号 RES、順序回路 30a__2 の出力信号、順序回路 30a__5 の出力信号、及び順序回路 30a__6 の出力信号が入力され、配線 OUT3 に出力信号を出力する。順序回路 30a__4 は、信号 CK4、信号 CK1、信号 CK2、信号 PWC4、信号 RES、順序回路 30a__3 の出力信号、順序回路 30a__6 の出力信号、及び順序回路 30a__7 (図示しない) の出力信号が入力され、配線 OUT4 に出力信号を出力する。順序回路 30a__5 は、信号 CK1、信号 CK2、信号 CK3、信号 PWC1、信号 RES、順序回路 30a__4 の出力信号、順序回路 30a__7 (図示しない) の出力信号、及び順序回路 30a__8 (図示しない) の出力信号が入力され、配線 OUT5 に出力信号を出力する。順序回路 30a__6 は、信号 CK2、信号 CK3、信号 CK4、信号 PWC2、信号 RES、順序回路 30a__5 の出力信号、順序回路 30a__8 (図示しない) の出力信号、及び順序回路 30a__9 (図示しない) の出力信号が入力され、配線 OUT6 に出力信号を出力する。

40

【0118】

50

図 8 C に、駆動回路 40 a の駆動方法にかかるタイミングチャートを示している。図 8 C では、上から信号 R E S、信号 S P、信号 C K 1 乃至信号 C K 4、配線 O U T 1 乃至配線 O U T 6 のそれぞれについて、電位変化の推移を示している。なお、信号 P W C 1 乃至信号 P W C 4 については、それぞれ信号 C K 1 乃至信号 C K 4 と同じ位相、周期を有するクロック信号を用いるため、合わせて示している。

【0119】

図 8 C に示す時刻 T 0 以前において、信号 S P が高電位となり、信号 C K 1 が低電位である。このとき、配線 O U T 1 乃至配線 O U T 6 には低電位が出力される。

【0120】

時刻 T 0 において、信号 C K 1（信号 P W C 1）が低電位から高電位となることで、順序回路 30 a 1 から配線 O U T 1 に高電位が出力される。以降、信号 C K 1 乃至信号 C K 4、及び信号 P W C 1 乃至信号 P W C 4 により、配線 O U T 2 以降の配線に、順次高電位が出力される。

10

【0121】

信号 C K 1 乃至信号 C K 4 は、それぞれ順に 4 分の 1 周期ずつずれた信号である。同様に、信号 P W C 1 乃至信号 P W C 4 も、それぞれ順に 4 分の 1 周期ずつずれた信号である。そのため、図 8 C に示すように、配線 O U T 1 乃至配線 O U T 6 等には、信号 C K 1 等の、順に 4 分の 1 周期ずつずれた信号が出力される。

【0122】

また、配線 O U T 1 乃至配線 O U T 6 等に高電位が出力される期間は、信号 C K 1 等の 2 分の 1 周期の期間となっている。すなわち、配線 O U T n が高電位である期間と、配線 O U T n + 1 が高電位である期間とが、重畳している。これにより、配線 O U T n を選択する期間を長く取ることができるため、配線の負荷が大きい場合などではこのような駆動方法を用いることが好適である。つまり、駆動回路 40 a を画素数の多い表示装置や、画面サイズの大きな表示装置などの走査線駆動回路とする場合には、このような駆動方法を用いることで、走査線の充放電期間を長くできるため好ましい。なお、ここでは信号 C K 1 乃至信号 C K 4 として、4 分の 1 周期ずつずれた 4 相クロック信号を用い、配線 O U T n が高電位となる（選択される）期間を信号 C K 1 等の 2 分の 1 周期の期間とすることで、隣接する 2 本の配線が同時に選択される期間を設ける構成としたが、これに限られない。例えば、クロック信号の周期のずれや、デューティ比を変更することで、隣接する 3 本以上の配線が同時に選択される構成としてもよい。

20

30

【0123】

〔駆動回路の構成例 2〕

以下では、上記図 6 で例示した信号生成回路 14 a とは一部の構成が異なる信号生成回路の構成例について説明する。

【0124】

図 9 に、信号生成回路 14 b の回路図を示す。信号生成回路 14 b は、信号 B D G を生成する回路である。信号生成回路 14 b は、上記信号生成回路 14 a と比較して、信号 R I N 2 を用いない構成であるため、配線数を削減することができる。

【0125】

40

信号生成回路 14 b は、トランジスタ 60 乃至トランジスタ 69、トランジスタ 71、及びトランジスタ 72 を有する。

【0126】

トランジスタ 60 は、ゲートに信号 L I N が与えられ、ソース及びドレインの一方に電位 V D D が与えられ、他方がトランジスタ 71 のゲートと電気的に接続される。トランジスタ 61 は、ゲートに信号 C L K 3 が与えられ、ソース及びドレインの一方に電位 V D D が与えられ、他方がトランジスタ 71 のゲートに電気的に接続される。トランジスタ 62 は、ゲートに信号 R I N 1 が与えられ、ソース及びドレインの一方に電位 V D D が与えられ、他方がトランジスタ 71 のゲートに電気的に接続される。トランジスタ 63 は、ゲートに信号 C L K 1 が与えられ、ソース及びドレインの一方がトランジスタ 71 のゲートと

50

電氣的に接続され、他方がトランジスタ 6 4 のソース及びドレインの一方と電氣的に接続される。トランジスタ 6 4 は、ゲートに信号 C L K 2 が与えられ、ソース及びドレインの他方に電位 V S S が与えられる。トランジスタ 6 5 は、ゲートに信号 C L K 2 が与えられ、ソース及びドレインの一方に電位 V D D が与えられ、他方がトランジスタ 6 6 のソース及びドレインの一方と電氣的に接続される。トランジスタ 6 6 は、ゲートに信号 C L K 1 が与えられ、ソース及びドレインの他方がトランジスタ 7 2 のゲートに電氣的に接続される。トランジスタ 6 7 は、ゲートに信号 L I N が与えられ、ソース及びドレインの一方がトランジスタ 7 2 のゲートと電氣的に接続され、他方に電位 V S S が与えられる。トランジスタ 6 8 は、ゲートに信号 C L K 3 が与えられ、ソース及びドレインの一方がトランジスタ 7 2 のゲートと電氣的に接続され、他方に電位 V S S が与えられる。トランジスタ 6 9 は、ゲートに信号 R I N 1 が与えられ、ソース及びドレインの一方がトランジスタ 7 2 のゲートと電氣的に接続され、他方に電位 V S S が与えられる。トランジスタ 7 1 は、ソース及びドレインの一方に電位 V D D が与えられ、他方がトランジスタ 7 2 のソース及びドレインの一方、及び信号 B D G が出力される配線と電氣的に接続される。トランジスタ 7 2 は、ソース及びドレインの他方に電位 V S S が与えられる。

【 0 1 2 7 】

信号生成回路 1 4 b は、デューティ比が 4 5 % 以上 5 5 % 以下、好ましくはデューティ比が 4 5 % 以上 5 1 % 以下、代表的には 5 0 % 以上 5 1 % 以下である信号 B D G を生成することができる。そのため、信号 B D G ではなく、電位 V D D を用いた場合に比べて、高い信頼性を実現することができる。

【 0 1 2 8 】

信号生成回路 1 4 b をこのような構成とすることで、回路 1 3 及び回路 1 1 a に供給する信号のみを用いて信号 B D G を生成することができる。

【 0 1 2 9 】

〔駆動回路の構成例 3〕

以下では、信号生成回路を用いない駆動回路の構成例について説明する。

【 0 1 3 0 】

図 1 0 に、順序回路 3 0 b の回路図を示す。順序回路 3 0 b は、信号生成回路 1 4 a を有さない点で、上記順序回路 3 0 a と主に相違している。

【 0 1 3 1 】

順序回路 3 0 b は、信号 B D G として、信号 C L K 3 を用いた構成である。これにより、上記順序回路 3 0 a と比較して、信号 R I N 2 や、信号生成回路 1 4 a を用いることがないため、構成を簡略化できる。

【 0 1 3 2 】

図 1 1 に、順序回路 3 0 b の駆動方法例にかかるタイミングチャートを示している。図 1 1 では、信号 C L K 1 (信号 P W C)、信号 C L K 2、信号 C L K 3、信号 R E S、信号 L I N、信号 R I N 1、信号 B D G、ノード N 1 (ノード N 2)、及び出力端子 S R O U T (出力端子 G O U T) における、電位の時間変化を模式的に示している。

【 0 1 3 3 】

図 1 1 に示すように、信号 B D G と信号 C L K 3 は同一の信号である。

【 0 1 3 4 】

時刻 T 2 1 において、信号 B D G が高電位であり、信号 L I N が高電位になることで、ノード N 1 及びノード N 2 が高電位となる。続いて、時刻 T 2 2 において、信号 C L K 1 及び信号 P W C が高電位になることで、ノード N 1 及びノード N 2 の電位が上昇する。また、期間 T 2 2 - T 2 4 に、出力端子 S R O U T 及び出力端子 G O U T に、高電位が出力される。なおこのとき、信号 B D G が低電位となり、トランジスタ 2 3 及びトランジスタ 2 6 がオフ状態となるため、ノード N 1 及びノード N 2 は電氣的にフローティング状態となる。続いて、時刻 T 2 4 において信号 L I N が低電位であり、信号 R I N 1 が高電位、信号 B D G が高電位となり、トランジスタ 2 3 及びトランジスタ 2 6 が再度オン状態となるため、ノード N 1 及びノード N 2 の電位が低電位まで低下する。そのため、出力端子 S

10

20

30

40

50

R O U T 及び出力端子 G O U T に、低電位が出力される。そして、時刻 T 2 6 に信号 B D G が低電位となる。以降は、信号 B D G として、高電位と低電位が繰り返し入力されるが、信号 L I N と信号 R I N 1 が共に低電位であるため、出力端子 S R O U T 及び出力端子 G O U T は低電位が維持される。

【0135】

順序回路 3 0 b は、信号 B D G としてクロック信号を用いる構成であるため、信号 B D G として、デューティ比が 4 5 % 以上 5 5 % 以下、好ましくはデューティ比が 4 5 % 以上 5 1 % 以下、代表的には 5 0 % であるパルス信号を用いることができる。そのため、信号 B D G ではなく、電位 V D D を用いた場合に比べて、高い信頼性を実現することができる。

【0136】

図 1 2 A に、順序回路 3 0 b の入出力端子を説明する図を示す。順序回路 3 0 b は、上記順序回路 3 0 a と比較して、信号 R I N 2 が入力される端子を有さない点で相違している。

【0137】

また、図 1 2 B に、順序回路 3 0 b を用いた駆動回路 4 0 b の構成例を示している。駆動回路 4 0 b は、上記駆動回路 4 0 a における、順序回路 3 0 a _ n の信号 R I N 2 が入力される端子と接続する配線を有さない点以外は同様の構成である。

【0138】

また、図 1 2 C に、駆動回路 4 0 b の駆動方法にかかるタイミングチャートを示している。図 1 2 C に示すように、駆動回路 4 0 a と同じ駆動方法により、同じ出力信号を得ることができる。

【0139】

ここで例示した駆動回路は、複数の配線に順次パルス信号を与えるシフトレジスタとして機能するため、表示装置のゲートドライバ回路（走査線駆動回路）に好適に用いることができる。なお、表示装置に限られず、記憶装置など、シフトレジスタ回路が適用される様々な装置に、好適に用いることができる。

【0140】

以上が、駆動回路の構成例についての説明である。

【0141】

〔トランジスタの構成例〕

以下では、上記で例示した順序回路に用いることのできるトランジスタの構成例について説明する。

【0142】

以下で例示するトランジスタは、半導体層を挟む一対のゲートを有し、且つ、一方のゲートとソース及びドレインの一方とが電氣的に接続された構成を有する。以下で例示するトランジスタは、上記で例示した順序回路における、トランジスタ 2 1 等に適用することができる。

【0143】

なお、以下で例示するトランジスタのゲート、ソース、及びドレインの接続を変更することで、上記で例示した順序回路における、トランジスタ 2 2 やトランジスタ 2 3 等の他のトランジスタに適用可能なトランジスタを作製することができる。例えば、一対のゲートが電氣的に接続されたトランジスタや、一方のゲートのみを有するトランジスタを、各導電層の接続部や、導電層の形状（パターン）を変更することで、以下で例示するトランジスタと同様に作製することができる。

【0144】

〔構成例 1〕

図 1 3 A に、トランジスタ 1 0 0 の上面概略図を示す。また、図 1 3 B は、図 1 3 A 中の一点鎖線 A 1 - A 2 における切断面の断面図に相当し、図 1 3 C は、図 1 3 A 中の一点鎖線 A 3 - A 2 における切断面の断面図に相当する。なお、図 1 3 A において、トランジスタ 1 0 0 の構成要素の一部（ゲート絶縁層等）を省略して図示している。また、一点鎖

10

20

30

40

50

線 A 1 - A 2 方向は、トランジスタ 1 0 0 のチャネル長方向を含み、一点鎖線 A 3 - A 2 方向は、トランジスタ 1 0 0 のチャネル幅方向を含む。また、トランジスタの上面図については、以降の図面においても図 1 3 A と同様に、構成要素の一部を省略して図示するものとする。

【0145】

トランジスタ 1 0 0 は、基板 1 0 2 上に設けられ、導電層 1 0 6 a、絶縁層 1 0 3、半導体層 1 0 8、絶縁層 1 1 0、導電層 1 1 2 a 等を有する。導電層 1 0 6 a は、基板 1 0 2 上に設けられる。絶縁層 1 0 3 は、基板 1 0 2 及び導電層 1 0 6 a 等を覆って設けられる。島状の半導体層 1 0 8 は、絶縁層 1 0 3 上に設けられ、導電層 1 0 6 a と重なる領域を有する。絶縁層 1 1 0 は、半導体層 1 0 8 及び絶縁層 1 0 3 を覆って設けられる。導電層 1 1 2 a は、絶縁層 1 1 0 上に設けられ、半導体層 1 0 8 及び導電層 1 0 6 a と重畳する領域を有する。

10

【0146】

また、導電層 1 1 2 a 及び絶縁層 1 1 0 を覆って、絶縁層 1 1 8 が設けられている。

【0147】

トランジスタ 1 0 0 において、導電層 1 1 2 a の一部は、第 1 のゲート電極（トップゲート電極ともいう）としての機能を有し、導電層 1 0 6 a の一部は、第 2 のゲート電極（ボトムゲート電極ともいう）としての機能を有する。また、絶縁層 1 1 0 の一部は、第 1 のゲート絶縁層として機能し、絶縁層 1 0 3 の一部は、第 2 のゲート絶縁層として機能する。

20

【0148】

半導体層 1 0 8 は、金属酸化物を含むことが好ましい。例えば、インジウムと、M（M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種または複数種）と、亜鉛と、を有することが好ましい。特に、M は、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種または複数種であることが好ましい。特に、半導体層 1 0 8 として、インジウム、ガリウム、及び亜鉛を含む酸化物（IGZO とも記す）を用いることが好ましい。または、インジウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。または、インジウム、ガリウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。

30

【0149】

半導体層 1 0 8 は、チャネル形成領域として機能する領域 1 0 8 i と、領域 1 0 8 i を挟んで設けられる一対の低抵抗領域 1 0 8 n を有する。一対の低抵抗領域 1 0 8 n は、一方がトランジスタ 1 0 0 のソース領域として機能し、他方がドレイン領域として機能する。領域 1 0 8 i は、導電層 1 1 2 a 及び導電層 1 0 6 a の少なくとも一方と重なる。なお図 1 3 B では、半導体層 1 0 8 の導電層 1 1 2 a と重なる部分をチャネル形成領域として機能する領域 1 0 8 i として示しているが、実際には導電層 1 1 2 a と重ならず、導電層 1 0 6 a と重なる部分（低抵抗領域 1 0 8 n を含む部分）にもチャネルが形成される場合もある。

40

【0150】

また低抵抗領域 1 0 8 n は、チャネル形成領域よりも、低抵抗な領域、キャリア濃度が高い領域、酸素欠陥密度の高い領域、不純物濃度の高い領域、または n 型である領域ともいうことができる。

【0151】

半導体層 1 0 8 の低抵抗領域 1 0 8 n は、不純物元素を含む領域であってもよい。当該不純物元素としては、例えば水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、または希ガスなどが挙げられる。なお、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。特に、ホウ素またはリンを含むことが好ましい。またこれら元素を 2 以上含んでもよい。

50

【0152】

低抵抗領域108nに不純物を添加する処理は、導電層112aをマスクとして、絶縁層110を介して行うことができる。

【0153】

低抵抗領域108nは、不純物濃度が、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{23} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{22} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下である領域を含むことが好ましい。

【0154】

低抵抗領域108nに含まれる不純物の濃度は、例えば二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、またはX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）等の分析法により分析することができる。XPS分析を用いる場合には、表面側または裏面側からのイオンスパッタリングと、SIMS分析またはXPS分析などの分析手法とを組み合わせることで、深さ方向の濃度分布を知ることができる。

【0155】

特に、不純物元素として、水素を用いる場合には、中性子線を用いた解析方法を用いるとよい。

【0156】

また、低抵抗領域108nにおいて、不純物元素は酸化した状態で存在していることが好ましい。例えば不純物元素としてホウ素、リン、マグネシウム、アルミニウム、及びシリコンなどの酸化しやすい元素を用いることが好ましい。このような酸化しやすい元素は、半導体層108中の酸素と結合して酸化した状態で安定に存在しうるため、後の工程で高い温度（例えば400℃以上、600℃以上、または800℃以上）がかかった場合であっても、脱離することが抑制される。また、不純物元素が半導体層108中の酸素を奪うことで、低抵抗領域108n中に多くの酸素欠損が生成される。この酸素欠損と、膜中の水素とが結合することでキャリア供給源となるため、低抵抗領域108nは極めて低抵抗な状態となる。

【0157】

例えば、不純物元素としてホウ素を用いた場合、低抵抗領域108nに含まれるホウ素は酸素と結合した状態で存在しうる。このことは、XPS分析において、 B_2O_3 結合に起因するスペクトルピークが観測されることで確認できる。また、XPS分析において、ホウ素元素が単体で存在する状態に起因するスペクトルピークが観測されない、または測定下限付近に観測されるバックグラウンドノイズに埋もれる程度にまでピーク強度が極めて小さくなる。

【0158】

絶縁層110の、低抵抗領域108nと重畳する領域には、上述した不純物元素が含まれる場合がある。このとき、低抵抗領域108nと同様に、絶縁層110中の不純物元素も酸素と結合した状態で存在することが好ましい。このような酸化しやすい元素は、絶縁層110中の酸素と結合して酸化した状態で安定に存在しうるため、後の工程で高い温度がかかった場合でも脱離することが抑制される。また特に絶縁層110中に加熱により脱離しうる酸素（過剰酸素ともいう）が含まれる場合には、当該過剰酸素と不純物元素とが結合して安定化するため、絶縁層110から低抵抗領域108nへ酸素が供給されることを抑制することができる。また、酸化した状態の不純物元素が含まれる絶縁層110の一部は、酸素が拡散しにくい状態となるため、絶縁層110よりも上側から当該絶縁層110を介して低抵抗領域108nに酸素が供給されることが抑制され、低抵抗領域108nが高抵抗化することも防ぐことができる。

【0159】

絶縁層103は、基板102側から絶縁膜103aと絶縁膜103bとが積層された、積層構造を有する。このとき、導電層106a側に位置する絶縁膜103aには、導電層

10

20

30

40

50

106aに含まれる金属元素を拡散しにくい絶縁膜を用いることが好ましい。例えば窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜などの無機絶縁膜を用いることが好ましい。また、半導体層108と接する絶縁膜103bには、酸素を含む絶縁膜を用いることが好ましい。例えば酸化シリコン膜、または酸化窒化シリコン膜などを用いることが好ましい。

【0160】

なお、絶縁層103は、単層構造であってもよいし、3層以上が積層された積層構造を有していてもよい。また、図13B、図13Cでは、絶縁層110を単層構造として示しているが、2層以上が積層された積層構造を有していてもよい。

【0161】

図13B、図13Cでは、絶縁層110が、半導体層108の端部を覆うように設けられる例を示しているが、この構成に限られない。例えば、絶縁層110が、導電層112aと上面形状が概略一致するように加工されていてもよい。このとき、半導体層108の低抵抗領域108nの上面が、絶縁層118と接する構成となる。

【0162】

なお、本明細書等において「上面形状が概略一致」とは、積層された2つの層の間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

【0163】

また、導電層112aと絶縁層110との間に、バリア膜として機能する層を設けてもよい。例えば、金属膜、合金膜、または金属酸化物膜を、導電層112aと絶縁層110との間に設けることもできる。バリア膜として機能する層としては、少なくとも絶縁層110よりも酸素及び水素の一方、好ましくはその両方を透過しにくい材料を用いることが好ましい。これにより、半導体層108から導電層112a側に酸素が拡散すること、及び導電層112aから半導体層108に水素が拡散することを防ぐことができる。これにより、半導体層108のチャネル形成領域として機能する領域108iのキャリア密度を極めて低いものとすることができる。当該バリア膜として機能する層に用いることのできる金属酸化物膜としては、酸化アルミニウム膜、酸化ハフニウム膜、ハフニウムアルミネート膜などの酸化物絶縁膜、または、酸化インジウム、インジウムスズ酸化物、シリコンを含有したインジウムスズ酸化物などの導電性酸化物膜を用いることができる。

【0164】

または、バリア膜として機能する金属酸化物膜として、半導体層108と同一の元素を一以上含む酸化物材料、好適には、半導体層108と同じスパッタリングターゲットを用いて形成した金属酸化物膜を適用することが好ましい。スパッタリング装置を用いて当該金属酸化物膜を形成する場合、酸素ガスを含む雰囲気中で形成することで、絶縁層110または半導体層108などに好適に酸素を添加することができる。なお、金属酸化物膜を、絶縁層110または半導体層108などに対して酸素を供給する目的で形成する場合、金属酸化物膜を成膜したのちに除去してもよい。

【0165】

また、図13A及び図13Bに示すように、トランジスタ100は、絶縁層118上に導電層120a及び導電層120bを有する。導電層120aはソース電極及びドレイン電極の一方として機能し、導電層120bはソース電極及びドレイン電極の他方として機能する。導電層120a及び導電層120bは、それぞれ絶縁層118及び絶縁層110に設けられた開口部141aまたは開口部141bにおいて、半導体層108の低抵抗領域108nと電氣的に接続される。

【0166】

絶縁層118は、トランジスタ100を保護する保護層として機能する。絶縁層118としては、例えば酸化物または窒化物などの無機絶縁材料を用いることができる。より具

10

20

30

40

50

体的な例としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、ハフニウムアルミネートなどの無機絶縁材料を用いることができる。

【0167】

また、図13A及び図13Cに示すように、チャネル幅方向において、導電層112a及び導電層106aが、半導体層108の端部よりも外側に延在していることが好ましい。このとき、図13Cに示すように、半導体層108のチャネル幅方向の全体が、絶縁層110と絶縁層103を介して、導電層112aと導電層106aに覆われた構成となる。

【0168】

トランジスタ100は、バックゲートとして機能する導電層106aと、ソース電極及びドレイン電極の他方として機能する導電層120bとが、電氣的に接続された構成を有する。具体的には、導電層106aと導電層120bとが、導電層112bを介して電氣的に接続されている。

【0169】

導電層112bは、トランジスタ100の導電層112aと同一面上に位置し、同一の導電膜を加工して形成される層である。導電層112bと導電層106aとは、絶縁層110及び絶縁層103に設けられた開口部143において、電氣的に接続されている。また、導電層120bと導電層112bとは、絶縁層118に設けられた開口部144において、電氣的に接続されている。これにより、トランジスタ100のソース及びドレインの一方と、バックゲートとが、電氣的に接続された構成が実現されている。このように、絶縁層118、絶縁層110、及び絶縁層103に開口部を形成し、導電層120bと導電層106aとを直接接続するのではなく、導電層112bを介して電氣的に接続することが好ましい。これにより、開口部の深さを浅くできるため、開口部における段差が低くなり、当該開口部を覆う導電膜の段差被覆性が高まり、当該段差を被覆しきれずに導電膜が分断されてしまうといった不具合を防ぐことができる。

【0170】

また、図13A、図13Cでは、トップゲートとして機能する導電層112aは、配線として機能する導電層106bと電氣的に接続されている。導電層112aと導電層106bとは、絶縁層110及び絶縁層103に設けられた開口部142において、電氣的に接続されている。導電層106bは、導電層106aと同一面上に位置し、且つ、同一の導電膜を加工して形成される層であることが好ましい。

【0171】

例えば、トランジスタ100を図5Aで例示した順序回路30内のトランジスタ21またはトランジスタ24に適用した場合、導電層106bは配線15bと電氣的に接続される配線に対応し、導電層120aは出力端子GOUTまたは出力端子SROUTに電氣的に接続される配線に対応し、導電層120bは電位VSSが与えられる配線に対応する。

【0172】

ここで、絶縁層103の半導体層108と接する絶縁膜103bに、酸化物膜を用いることが好ましい。特に、加熱により酸素を放出しうる酸化シリコン膜、または酸化窒化シリコン膜を適用することが好ましい。これにより、トランジスタ100の作製工程中にかかる熱などにより、絶縁層103から放出された酸素が半導体層108に供給され、半導体層108中の酸素欠損を低減することができるため、信頼性の高いトランジスタ100を実現できる。

【0173】

このとき、絶縁膜103bの成膜後であって、半導体層108を形成する前に、絶縁膜103b中に酸素を供給する処理を行うことが好ましい。絶縁膜103bに酸素を供給する処理としては、酸素を含む雰囲気下におけるプラズマ処理または加熱処理などがある。または、イオンドーピング法またはイオンインプランテーション法などにより、絶縁膜103bに酸素を供給してもよい。または、上述したように、絶縁膜103b上に酸素を含む雰囲気下でスパッタリング法により金属酸化物膜を成膜することで、絶縁膜103b中

に酸素を供給し、その後当該金属酸化物膜を除去してもよい。または、半導体層 108 を、酸素を含む雰囲気下でスパッタリング法により成膜することで、半導体層 108 の成膜工程と、絶縁膜 103b に酸素を供給する工程とを兼ねることもできる。

【0174】

なお、絶縁膜 103b に過剰な酸素が含まれる場合、半導体層 108 と絶縁膜 103b との界面またはその近傍に、欠陥準位が生成されやすい場合がある。このとき、第 2 のゲート電極として機能する導電層 106a に高電位が与えられると、当該欠陥準位にキャリアである電子がトラップされ、トランジスタ 100 のしきい値電圧がプラスシフトする恐れがある。しかしながら、トランジスタ 100 においては、絶縁層 103 を介して設けられる第 2 のゲート電極として機能する導電層 106a にソース電位（例えば電位 VSS）が与えられるため、半導体層 108 と絶縁膜 103b との界面またはその近傍にキャリアがほとんど誘起されない。その結果、上記欠陥準位が存在したとしても電子がトラップされにくい状態となるため、しきい値電圧のプラスシフトを好適に抑制することができる。したがって、トランジスタ 100 は、極めて信頼性の高いトランジスタといえる。

【0175】

〔構成例 2〕

図 14A に、上記トランジスタ 100 とは一部の構成が異なるトランジスタ 100A の上面概略図を示す。また図 14B は、図 14A 中の一点鎖線 B1-B2 における切断面の断面図に相当し、図 14C は、図 14A 中の一点鎖線 B3-B2 における切断面の断面図に相当する。

【0176】

トランジスタ 100A は、トップゲートとして機能する導電層 112a と、導電層 120b とが電氣的に接続される構成を有する。以下では、上記トランジスタ 100 と共通する部分については説明を省略し、相違する部分について主に説明する。

【0177】

導電層 120b と導電層 112a とは、絶縁層 118 に設けられた開口部 144 において電氣的に接続されている。

【0178】

また、導電層 106a の一部は、配線として機能する。

【0179】

例えば、トランジスタ 100A を図 5A で例示した順序回路 30 内のトランジスタ 21 またはトランジスタ 24 に適用した場合、導電層 106a は配線 15b と電氣的に接続される配線に対応し、導電層 120a は出力端子 GOUT または出力端子 SROUT に電氣的に接続される配線に対応し、導電層 120b は電位 VSS が与えられる配線に対応する。

【0180】

トランジスタ 100A において、絶縁層 110 に、加熱により酸素を放出しうる酸化物膜を適用することが好ましい。これにより、トランジスタ 100A の作製工程中にかかる熱などにより、絶縁層 110 から放出された酸素が半導体層 108 に供給され、半導体層 108 中の酸素欠損を低減することができるため、信頼性の高いトランジスタ 100A を実現できる。

【0181】

このとき、絶縁層 110 の成膜後であって、導電層 112a 等を形成する前に、絶縁層 110 中に酸素を供給する処理を行うことが好ましい。絶縁層 110 に酸素を供給する処理としては、酸素を含む雰囲気下におけるプラズマ処理や加熱処理などがある。または、イオンドーピング法またはイオンインプランテーション法などにより、絶縁層 110 に酸素を供給してもよい。または、上述したように、絶縁層 110 上に酸素を含む雰囲気下でスパッタリング法により金属酸化物膜を成膜することで、絶縁層 110 中に酸素を供給してもよい。当該金属酸化物膜は、成膜後に除去してもよいし、導電層 112a と絶縁層 110 との間に残存させてもよい。

【0182】

なお、絶縁層 110 に過剰な酸素が含まれる場合、半導体層 108 と絶縁層 110 との界面またはその近傍に欠陥準位が生成されやすい場合がある。そのため、導電層 112a に高電位が与えられると、トランジスタ 100A のしきい値電圧がプラスシフトしてしまう恐れがある。しかしながらトランジスタ 100A においては、第 1 のゲート電極として機能する導電層 112a にソース電位（例えば電位 VSS）が与えられるため、半導体層 108 と絶縁層 110 との界面またはその近傍に欠陥準位が存在したとしても、トランジスタ 100A のしきい値電圧のプラスシフトを抑制することができる。そのため、トランジスタ 100A は、極めて信頼性の高いトランジスタといえる。

【0183】

〔構成例 3〕

以下では、2 つのトランジスタと、容量とを有する構成の例について説明する。

【0184】

図 15A に、トランジスタ 100、トランジスタ 150、及び容量 160 が接続された構成の上面概略図を示す。また、図 15B は、図 15A 中の一点鎖線 C1-C2 における切断面の断面図に相当し、図 15C は、図 15A 中の一点鎖線 C3-C4 における切断面の断面図に相当する。図 15B は、トランジスタ 150 のチャネル長方向の断面と、容量 160 の断面を含む。図 15C は、トランジスタ 150 のチャネル幅方向の断面を含む。

【0185】

また、図 16 には、図 15A における導電層 120a 乃至導電層 120c を除いた上面概略図を示している。図 16 では、導電層 120a 乃至導電層 120c の輪郭のみを破線で示している。

【0186】

トランジスタ 100 は、基板 102 側に位置する第 2 のゲート電極（ボトムゲート電極）と、ソース及びドレインの一方とが電氣的に接続されたトランジスタであり、上記図 13A 等で例示した構成を援用できる。

【0187】

トランジスタ 150 は、トランジスタ 100 と同一面上に位置し、同一の工程を経て作製されるトランジスタである。トランジスタ 150 は、一対のゲートが電氣的に接続された構成を有する。

【0188】

容量 160 は、トランジスタ 100 及びトランジスタ 150 と同一の工程を経て作製することができる。

【0189】

トランジスタ 150 は、一部が第 2 のゲート電極として機能する導電層 106c と、一部が第 2 のゲート絶縁層として機能する絶縁層 103 と、半導体層 108a と、一部が第 1 のゲート絶縁層として機能する絶縁層 110 と、一部が第 1 のゲート電極として機能する導電層 112c と、を有する。半導体層 108a は、チャネル形成領域として機能する領域 108ai と、ソース及びドレインとして機能する一対の低抵抗領域 108an とを有する。

【0190】

またトランジスタ 150 は、一対の低抵抗領域 108an の一方と電氣的に接続される導電層 120c と、他方と電氣的に接続される導電層 120a とを有する。導電層 120a は、トランジスタ 100 の低抵抗領域 108n（図示しない）と電氣的に接続される。導電層 120a と導電層 120c は、それぞれ絶縁層 118 及び絶縁層 110 に設けられた開口部 141d または開口部 141c において、低抵抗領域 108an と電氣的に接続されている。

【0191】

また、図 15A 及び図 15C に示すように、導電層 112c と、導電層 106c とは、絶縁層 110 及び絶縁層 103 に設けられた開口部 145 において、電氣的に接続されている。すなわち、トランジスタ 150 は、半導体層 108a を挟んで設けられる一対のゲ

10

20

30

40

50

ート電極が電氣的に接続された構成を有する。

【0192】

このような構成とすることで、半導体層108aを一对のゲート電極によって生じる電界で、電氣的に取り囲むことができる。このとき特に、導電層106cと導電層112cに同じ電位が与えられる。これにより、半導体層108aにチャネルを誘起させるための電界を効果的に印加できるため、トランジスタ150のオン電流を増大させることができる。そのため、トランジスタ150を微細化することも可能となる。

【0193】

なお、導電層112cと導電層106cとを接続しない構成としてもよい。このとき、一对のゲート電極の一方に定電位を与え、他方にトランジスタ150を駆動するための信号を与えてもよい。このとき、一方のゲート電極に与える電位により、トランジスタ150を他方のゲート電極で駆動する際のしきい値電圧を制御することもできる。

【0194】

容量160は、半導体層108aの一部（低抵抗領域108anの一部）と、絶縁層103の一部と、導電層106cの一部と、により構成されている。容量160は、絶縁層103が誘電体層として機能し、導電層106cと半導体層108aとが、それぞれ一对の電極として機能する。

【0195】

また、低抵抗領域108anと導電層106cとが重なる領域において、絶縁層118及び絶縁層110に複数の開口部141eが設けられ、当該開口部141eにおいて、導電層120aと低抵抗領域108anとが電氣的に接続されている。このとき、導電層120aは、トランジスタ150のソース電極またはドレイン電極の一方としての機能に加え、容量160の補助配線（補助電極）として機能する。さらに、導電層120aが低抵抗領域108anと複数箇所で接触することで、これらの接触抵抗を低減することができ、容量160の寄生抵抗を低減できるため好ましい。また、容量160の一对の電極として、導電層106cと導電層112cとを用いた構成、または、導電層106cと導電層120aとを用いた構成に比べて、導電層106cと低抵抗領域108anを用いた構成とすることで、誘電体層として機能する絶縁層の厚さを薄くでき、容量を増大させることができる。

【0196】

図15A、及び図16に示すように、導電層120aは、トランジスタ100のソース電極及びドレイン電極の一方、トランジスタ150のソース電極及びドレイン電極の一方、並びに容量160の一方の電極を兼ねることができる。また、島状の半導体層108aは、トランジスタ150の一部と、容量160の一部とを兼ねることができる。このような構成とすることで、図15A及び図16に示す回路の占有面積を縮小することができる。

【0197】

図15A等 to 示す構成は、上記順序回路の一部に適用することができる。例えば、図5Bで例示した順序回路30に適用する場合、トランジスタ21またはトランジスタ24にトランジスタ100を、トランジスタ22またはトランジスタ25にトランジスタ150を、容量C1または容量C3に容量160を、それぞれ適用することができる。このとき、導電層106bは配線15bと電氣的に接続される配線に対応し、導電層120aは出力端子GOUTまたは出力端子SROUTと電氣的に接続される配線に対応し、導電層120bは電位VSSが与えられる配線に対応し、導電層106cはトランジスタ23またはトランジスタ26を介して配線15aと電氣的に接続される配線に対応し、導電層120cは、信号CLK1または信号PWCが与えられる配線に対応する。

【0198】

以上が、トランジスタの構成例についての説明である。

【0199】

〔作製方法例〕

以下では、本発明の一態様のトランジスタの作製方法の例について説明する。ここでは

10

20

30

40

50

、上記トランジスタの構成例における構成例 1 及び図 1 3 A 乃至図 1 3 C で例示したトランジスタ 1 0 0 を例に挙げて説明する。

【0200】

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法等を用いて形成することができる。CVD法としては、プラズマ化学気相堆積（PECVD：Plasma Enhanced CVD）法、または熱CVD法などがある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD：Metal Organic CVD）法がある。

10

【0201】

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成することができる。

【0202】

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工することができる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

20

【0203】

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。一つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう一つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

【0204】

フォトリソグラフィ法において、露光に用いる光は、例えば i 線（波長 3 6 5 nm）、g 線（波長 4 3 6 nm）、h 線（波長 4 0 5 nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV：Extreme Ultra-violet）光またはX線などを用いてもよい。また、露光に用いる光に代えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

30

【0205】

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

【0206】

40

図 1 7 A 乃至図 1 8 D には、トランジスタ 1 0 0 の作製工程の各段階における断面図を示している。図 1 7 A 乃至図 1 8 D では、一点鎖線より左側に、トランジスタ 1 0 0 のチャネル長方向の断面を、右側にチャネル幅方向の断面を、それぞれ並べて示している。

【0207】

〔導電層 1 0 6 a の形成〕

基板 1 0 2 上に導電膜を成膜し、これをエッチングにより加工して、第 2 のゲート電極として機能する導電層 1 0 6 a を形成する（図 1 7 A）。

【0208】

このとき、図 1 7 A に示すように、導電層 1 0 6 a の端部がテーパ形状となるように加工することが好ましい。これにより、次に形成する絶縁層 1 0 3 の段差被覆性を高めるこ

50

とができる。

【0209】

また、導電層106aとなる導電膜として、銅を含む導電膜を用いることで、配線抵抗を小さくすることができる。例えば大型の表示装置、または解像度の高い表示装置などにトランジスタ100を適用する場合には、導電層106aに銅を含む導電膜を用いることが好ましい。また、導電層106aに銅を含む導電膜を用いた場合であっても、絶縁層103により銅元素が半導体層108側に拡散することが抑制されるため、信頼性の高いトランジスタを実現できる。

【0210】

〔絶縁層103の形成〕

続いて、基板102及び導電層106aを覆って、絶縁層103を形成する(図17B)。絶縁層103は、PECVD法、ALD法、スパッタリング法などを用いて形成することができる。

【0211】

ここでは、絶縁層103として、絶縁膜103aと絶縁膜103bとを積層して形成する。特に、絶縁層103を構成する各絶縁膜は、PECVD法により形成することが好ましい。

【0212】

絶縁膜103aとしては、例えば窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化ハフニウム膜などの窒素を含む絶縁膜を用いることができる。特に、絶縁膜103aとして、PECVD装置を用いて成膜した、緻密な窒化シリコン膜を用いることが好ましい。このような窒素を含む絶縁膜を用いることで、厚さが薄い場合であっても、被形成面側から不純物が拡散することを好適に抑制することができる。

【0213】

また、絶縁膜103aとして、窒素を含む絶縁膜を用いることで、絶縁膜103b中の酸素が導電層106a等に拡散し、絶縁膜103b中に含まれる酸素が減少すること、及び、導電層106a等が酸化してしまうこと、などを抑制することができる。

【0214】

なお、本明細書中において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0215】

また、本明細書中において、それぞれ同じ元素を含む酸化窒化物と窒化酸化物とが記載された場合に、酸化窒化物には、窒化酸化物よりも、酸素の含有量が多いこと、及び、窒素の含有量が少ないことのうち、いずれか一方または両方を満たす材料が含まれる。同様に、窒化酸化物には、酸化窒化物よりも酸素の含有量が少ないこと、及び、窒素の含有量が多いことのうち、いずれか一方または両方を満たす材料が含まれる。例えば、酸化窒化シリコンと窒化酸化シリコンとが記載された場合に、酸化窒化シリコンには、窒化酸化シリコンよりも酸素の含有量が多く、且つ、窒素の含有量が少ない材料が含まれる。同様に、窒化酸化シリコンには、酸化窒化シリコンよりも酸素の含有量が少なく、且つ、窒素の含有量が多い材料が含まれる。

【0216】

半導体層108と接する絶縁膜103bとしては、酸化物を含む絶縁膜により形成されていることが好ましい。特に絶縁膜103bには、酸化物膜を用いることが好ましい。また、絶縁膜103bとしては、その表面に水などの不純物が吸着しにくい、緻密な絶縁膜を用いることが好ましい。また、可能な限り欠陥が少なく、水または水素などの不純物が低減された絶縁膜を用いることが好ましい。

【0217】

絶縁膜 103b としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁膜を用いることができる。特に、絶縁膜 103b として、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

【0218】

絶縁膜 103b は、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁膜 103b は、加熱により酸素を放出することが可能な絶縁膜とすることが好ましい。例えば、酸素雰囲気下にて絶縁膜 103b を形成すること、成膜後の絶縁膜 103b に対して酸素雰囲気下での熱処理を行うこと、絶縁膜 103b の成膜後に酸素雰囲気下でプラズマ処理等を行うこと、または、絶縁膜 103b 上に酸素雰囲気下で酸化物膜を成膜することなどにより、絶縁膜 103b 中に酸素を供給することもできる。なお、上記酸素を供給する各処理において、酸素に代えて、または酸素に加えて、酸化性ガス（例えば一酸化二窒素、または、オゾンなど）を用いてもよい。または、絶縁膜 103b 上に加熱により酸素を放出することが可能な絶縁膜を成膜した後に加熱処理を行うことで、当該絶縁膜から絶縁膜 103b 中に酸素を供給してもよい。または、プラズマイオンドーピング法またはイオン注入法などにより、絶縁膜 103b に酸素を供給してもよい。

【0219】

ここで、絶縁膜 103b は、絶縁膜 103a よりも厚く形成することが好ましい。これにより、加熱により絶縁膜 103b から放出しうる酸素の量が増大し、絶縁膜 103a から放出される水素の量が低減される。そのため、後の半導体層 108 に、水素が供給されることを抑制しつつ、多くの酸素を供給することができ、信頼性の高いトランジスタを実現できる。絶縁膜 103b の厚さは、絶縁膜 103a の 2 倍以上 50 倍以下、好ましくは 3 倍以上 30 倍以下、より好ましくは 5 倍以上 20 倍以下、さらに好ましくは 7 倍以上 15 倍以下、代表的には、10 倍程度の厚さとするのが好ましい。

【0220】

また、半導体層 108 となる金属酸化物膜を、酸素を含む雰囲気下でスパッタリング法により形成する際に、絶縁膜 103b 中に酸素を供給することができる。そして、半導体層となる金属酸化物膜を形成した後に、加熱処理を行ってもよい。加熱処理により、より効果的に絶縁膜 103b 中の酸素を当該金属酸化物膜に供給でき、金属酸化物膜中の酸素欠損を低減することができる。

【0221】

〔半導体層 108 の形成〕

続いて、絶縁層 103 上に金属酸化物膜 108f を成膜する（図 17C）。

【0222】

金属酸化物膜 108f は、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

【0223】

金属酸化物膜 108f は、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、金属酸化物膜 108f は、可能な限り水素または水などの不純物が低減され、高純度な膜であることが好ましい。特に、金属酸化物膜 108f として、結晶性を有する金属酸化物膜を用いることが好ましい。

【0224】

また、金属酸化物膜 108f を成膜する際に、酸素ガスと、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）とを混合させてもよい。なお、金属酸化物膜を成膜する際の成膜ガス全体に占める酸素ガスの割合（以下、酸素流量比ともいう）が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、金属酸化物膜の結晶性が低くなり、オン電流が高められたトランジスタとすることができる。

【0225】

金属酸化物膜108fを成膜する際、基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

【0226】

金属酸化物膜108fの成膜条件としては、基板温度を室温以上250℃以下、好ましくは室温以上200℃以下、より好ましくは基板温度を室温以上140℃以下とすればよい。例えば基板温度を、室温以上140℃未満とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または意図的に加熱しない状態で、金属酸化物膜を成膜することにより、結晶性を低くすることができる。

10

【0227】

ここで、金属酸化物膜108fを、酸素を含む雰囲気下で成膜することで、金属酸化物膜108fの成膜時に絶縁層103に酸素を供給することができる。特に、金属酸化物膜108fを、酸素を含む雰囲気下でスパッタリング法により成膜することが好ましい。

【0228】

金属酸化物膜108fの成膜時に、成膜装置の成膜室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、または成膜室内の酸素分圧が高いほど、絶縁層103中に供給される酸素を増やすことができる。金属酸化物膜108fの成膜時における酸素流量比または酸素分圧は、金属酸化物膜108fの結晶性、またはトランジスタの電気特性にも影響するため、要求されるトランジスタの電気特性等に基づいて決定することができる。例えば、金属酸化物膜108fの成膜時における酸素流量比または酸素分圧は、10%以上100%以下、好ましくは20%以上100%以下の範囲内で、適宜決定すればよい。

20

【0229】

また、酸素を含む雰囲気下でスパッタリング法により金属酸化物膜108fを形成する際、絶縁層103の表面は成膜途中の金属酸化物膜108fに覆われた状態となる。これにより、金属酸化物膜108fの成膜時に、絶縁層103へ供給された酸素の一部が、成膜中に外部へ脱離することを防ぐことができる。その結果、絶縁層103に極めて多くの酸素を閉じ込めることができる。

【0230】

また、金属酸化物膜108fを成膜する前に、絶縁層103の表面に吸着した水、水素または有機物等を脱離させるための処理、及び絶縁層103中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気下にて70℃以上200℃以下の温度で加熱処理を行うことができる。当該加熱処理は、金属酸化物膜108fの成膜装置内で行うこともできる。または、酸素を含む雰囲気下におけるプラズマ処理を行ってもよい。または、一酸化二窒素（ N_2O ）などの酸化性気体を含む雰囲気下におけるプラズマ処理により、絶縁層103に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層103の表面の有機物を好適に除去しつつ、酸素を供給することができる。このような処理の後、絶縁層103の表面を大気に暴露することなく、連続して金属酸化物膜108fを成膜することが好ましい。

30

【0231】

なお、半導体層108として、複数の金属酸化物膜を積層した積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

【0232】

複数の金属酸化物膜を積層する場合、異なる組成のスパッタリングターゲットを用いて、組成の異なる金属酸化物膜を積層した積層膜とすることができる。または、同じスパッタリングターゲットを用い、成膜条件を異ならせて、金属酸化物膜を積層することもできる。成膜条件としては、成膜ガスの種類、成膜ガスの流量、成膜ガスの流量比、成膜室の圧力、基板温度（ステージ温度）、電力などがある。

40

50

【0233】

ここで、スパッタリング法により金属酸化物膜を成膜する際、電力が高いほど成膜速度を高めることができる。また、電力が低いほど成膜速度を抑えることができ、膜厚や、膜質などの面内のばらつきを低減することができる。そのため、同じスパッタリングターゲットを用いて、電力の高い条件で成膜した金属酸化物膜と、これよりも電力の低い条件で成膜した金属酸化物膜を積層することで、面内ばらつきを低減しつつ、成膜速度を高めることができる。

【0234】

例えば、絶縁層103上に、まず低電力で金属酸化物膜を成膜し、続いてこれよりも高電力で金属酸化物膜を成膜することができる。または、まず高電力で金属酸化物膜を成膜し、続いてこれよりも低電力で金属酸化物膜を成膜することもできる。または、低電力での成膜と、高電力での成膜を繰り返してもよい。

10

【0235】

成膜時の電力が高いほど、高密度な（緻密な）金属酸化物膜が形成される。一方、成膜時の電力が低いほど、低密度な金属酸化物膜が得られる。また、低電力で成膜した金属酸化物膜は、成膜時に、これよりも下に位置する層に対して、より多くの酸素を供給できるといった特徴がある。

【0236】

例えば、半導体層108として、絶縁層103側から低電力で成膜した金属酸化物膜と、高電力で成膜した金属酸化物膜の積層構造とすることができる。これにより、絶縁層103に多くの酸素を供給することができる。また、半導体層108は、上側を高密度にできるため、後の開口部141aや開口部141bの形成時などに、半導体層108がエッチングされにくくなるため、作製歩留まりを高めることができる。

20

【0237】

また、半導体層108として、絶縁層103側から高電力で成膜した金属酸化物膜と、低電力で成膜した金属酸化物膜の積層構造とすることもできる。高電力で成膜することで、金属酸化物膜中に、成膜室内に残留する不純物が混入することを抑制することができる。特に、成膜処理の初期において、高電力とすることで、より効果的に膜中の不純物が低減された金属酸化物膜を成膜できる。そのため、絶縁層103側に高電力で成膜した金属酸化物膜を用いることが好ましい。また、高電力で成膜した緻密な金属酸化物膜上に、低電力で金属酸化物膜を成膜すると、2層目の金属酸化物膜も緻密になりやすくなる。特に、1層目に緻密で結晶性の高い膜を形成すると、その結晶性を反映して、2層目の結晶性を高めることができる。また、2層目に低電力で金属酸化物膜を成膜することで、1層目の金属酸化物膜に直接酸素を供給することができるため、半導体層108の成膜中に、膜中の酸素欠損を低減することができる。

30

【0238】

続いて、金属酸化物膜108fの一部をエッチングすることにより、島状の半導体層108を形成する（図17D）。

【0239】

金属酸化物膜108fの加工には、ウェットエッチング法またはドライエッチング法のいずれか一方、または双方を用いればよい。このとき、半導体層108と重ならない絶縁層103の一部がエッチングされ、薄くなる場合がある。例えば、絶縁層103のうち、絶縁膜103bがエッチングにより消失し、絶縁膜103aの表面が露出する場合もある。

40

【0240】

ここで、金属酸化物膜108fの成膜後、または金属酸化物膜108fを半導体層108に加工した後に、加熱処理を行うことが好ましい。加熱処理により、金属酸化物膜108fまたは半導体層108中に含まれる、または表面に吸着した水素または水を除去することができる。また、加熱処理により、金属酸化物膜108fまたは半導体層108の膜質が向上する（例えば欠陥の低減、結晶性の向上など）場合がある。

【0241】

50

また、加熱処理により、金属酸化物膜108fの成膜時に絶縁層103に供給された酸素を、絶縁層103の全体に拡散させることができる。例えば、金属酸化物膜108fを成膜した直後では、供給された酸素は絶縁層103の上部に多く存在し、酸素が脱離しやすい状態である場合がある。このとき、後述する絶縁層110の形成工程などにおいて、絶縁層103の露出した表面から多くの酸素が脱離してしまう恐れがある。そのため、加熱処理により絶縁層103の全体に酸素を拡散させておくことで、絶縁層110の成膜後においても、絶縁層103に多くの酸素が閉じ込められた状態を維持することができる。

【0242】

また、加熱処理により、絶縁層103から金属酸化物膜108f、または半導体層108に酸素を供給することもできる。このとき、半導体層108に加工する前に加熱処理を行うことで、絶縁層103から脱離する酸素を効率的に金属酸化物膜108fに供給できるため、より好ましい。

【0243】

また、加熱処理により、絶縁層103から水または水素などを脱離させることができる。このとき、半導体層108に加工した後に加熱処理を行うと、絶縁層103が露出した部分から水または水素などが脱離しやすくなり、絶縁層103から脱離した水または水素などが、半導体層108中に供給されることを防ぐことができる。絶縁層103における水または水素などの含有量が多い場合には、半導体層108に加工したのちに加熱処理をすることが好ましい。

【0244】

加熱処理の温度は、代表的には150℃以上基板の歪み点未満、または200℃以上500℃以下、または250℃以上450℃以下、または300℃以上450℃以下とすることができる。

【0245】

加熱処理は、希ガス、または窒素を含む雰囲気で行うことができる。または、当該雰囲気で加熱した後、酸素を含む雰囲気中で加熱してもよい。または、乾燥空気雰囲気中で加熱してもよい。なお、上記加熱処理の雰囲気に水素、水などができるだけ含まれないことが好ましい。該加熱処理は、電気炉、またはRTA(Rapid Thermal Anneal)装置等を用いることができる。RTA装置を用いることで、加熱処理時間を短縮することができる。

【0246】

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理(例えば成膜工程など)などで、当該加熱処理と兼ねることができる場合もある。

【0247】

〔絶縁層110の形成〕

続いて、絶縁層103及び半導体層108を覆って、絶縁層110を形成する(図17E)。

【0248】

絶縁層110を構成する絶縁膜は、PECVD法により形成することが好ましい。

【0249】

絶縁層110としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。

【0250】

半導体層108と接する絶縁層110は、酸化物絶縁膜の積層構造を有することが好ましい。また絶縁層110は、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層110は、酸素を放出することが可能な絶縁膜を有することが好ましい。

10

20

30

40

50

【0251】

ここで、絶縁層110として、成膜条件を異ならせた絶縁膜を3層積層した積層膜を適用することが好ましい。このとき、特に、3つの絶縁膜の全てに、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

【0252】

1層目の絶縁膜は、半導体層108上に成膜されるため、出来るだけ半導体層108にダメージを与えない条件で成膜された膜であることが好ましい。例えば、他の膜に比べて成膜速度（成膜レートともいう）が十分に低い条件で成膜することができる。例えば、1層目の絶縁膜として、プラズマCVD法により酸化窒化シリコン膜を形成する場合、低電力の条件で形成すること、成膜ガス中のシラン、ジシランなどのシリコンを含む堆積性ガスの流量を小さくすること、などにより、成膜速度を低くし、半導体層108に与えるダメージを極めて小さくすることができる。

【0253】

2層目の絶縁膜は、1層目の絶縁膜よりも成膜速度の高い条件で成膜された膜であることが好ましい。これにより、生産性を向上させることができる。

【0254】

3層目の絶縁膜は、その表面の欠陥が低減され、水などの大気中に含まれる不純物が吸着しにくい、極めて緻密な膜であることが好ましい。例えば、1層目の絶縁膜と同様に、成膜速度が十分に低い条件で成膜することができる。

【0255】

また、絶縁層110の成膜前に、半導体層108の表面に対してプラズマ処理を行なうことが好ましい。当該プラズマ処理により、半導体層108の表面に吸着する水などの不純物を低減することができる。そのため、半導体層108と絶縁層110との界面における不純物を低減できるため、信頼性の高いトランジスタを実現できる。特に、半導体層108の形成から、絶縁層110の成膜までの間に半導体層108の表面が大気に曝される場合には好適である。プラズマ処理としては、例えば酸素、オゾン、窒素、一酸化二窒素、アルゴンなどのうち、一以上を含む雰囲気下で行うことができる。また、プラズマ処理と絶縁層110の成膜とは、大気に曝すことなく連続して行われることが好ましい。

【0256】

ここで、絶縁層110を成膜した後に、加熱処理を行うことが好ましい。加熱処理により、絶縁層110中に含まれる、または表面に吸着した水素または水を除去することができる。また、絶縁層110中の欠陥を低減することができる。

【0257】

また、加熱処理により、絶縁層103中に含まれる酸素を脱離させ、半導体層108中に供給することができる。例えば絶縁層110の成膜時に、半導体層108にダメージが与えられ、半導体層108中に酸素欠損などの欠陥が生成されてしまう場合がある。そのため、絶縁層110の成膜後に加熱処理を行うことで、絶縁層103から供給される酸素により、半導体層108中の酸素欠損を低減でき、信頼性の高いトランジスタを実現できる。

【0258】

加熱処理の条件は、上記記載を援用することができる。

【0259】

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程など）などで、当該加熱処理と兼ねることができる場合もある。

【0260】

〔開口部143の形成〕

続いて、絶縁層110及び絶縁層103の一部をエッチングすることで、導電層106aに達する開口部143を形成する。

【0261】

〔導電層 112a、導電層 112b の形成〕

続いて、開口部 143 を覆うように、絶縁層 110 上に導電膜を成膜し、当該導電膜を所望の形状に加工することで、導電層 112a 及び導電層 112b を形成する（図 17F）。

【0262】

導電層 112a 及び導電層 112b としては、低抵抗な金属または合金材料を用いることが好ましい。また、導電層 112a 及び導電層 112b として、水素を放出しにくい材料であり、また水素が拡散しにくい材料を用いることが好ましい。また、導電層 112a 及び導電層 112b として、酸化しにくい材料を用いることが好ましい。

【0263】

例えば導電層 112a 及び導電層 112b は、金属または合金を含むスパッタリングターゲットを用いたスパッタリング法により成膜することが好ましい。

【0264】

例えば、導電層 112a 及び導電層 112b として、酸化しにくく、水素が拡散しにくい導電膜と、低抵抗な導電膜とを積層した積層膜とすることが好ましい。

【0265】

このように、絶縁層 110 をエッチングせずに、半導体層 108 の上面及び側面、並びに絶縁層 103 を絶縁層 110 が覆った構造とすることで、導電層 112a 等となる導電膜のエッチングの際に、半導体層 108 または絶縁層 103 などの一部がエッチングされ、薄膜化することを防ぐことができる。

【0266】

なお、導電層 112a 及び導電層 112b の加工の際に、絶縁層 110 の一部がエッチングされ、薄膜化することがある。

【0267】

また、図 13A 乃至図 13C に示す開口部 143 を形成する場合、まず導電層 112a 及び導電層 112b となる導電膜を成膜する前に、絶縁層 110 及び絶縁層 103 の一部をエッチングし、導電層 106a に達する開口部 143 を形成する。その後、開口部 143 を覆うように絶縁層 110 上に導電層 112a 及び導電層 112b となる導電膜を成膜し、当該導電膜を加工することにより、導電層 112a と導電層 112b とを形成する。これにより、開口部 143 において導電層 106a と電氣的に接続される導電層 112b を形成することができる。

【0268】

〔不純物元素の供給処理〕

続いて、導電層 112a をマスクとして、絶縁層 110 を介して半導体層 108 に不純物元素を供給（添加、または注入ともいう）する処理を行う（図 18A）。これにより、半導体層 108 の導電層 112a に覆われない領域に、低抵抗領域 108n を形成することができる。このとき、半導体層 108 の導電層 112a と重なる領域に、不純物元素ができるだけ供給されないように、マスクとなる導電層 112a 等の材料または厚さなどを考慮して、不純物元素の供給処理の条件を決定することが好ましい。これにより、半導体層 108 の導電層 112a と重なる領域に、不純物濃度が十分に低減されたチャネル形成領域を形成することができる。

【0269】

不純物元素の供給処理としては、供給する不純物元素を含む雰囲気下におけるプラズマ処理が挙げられる。例えば、水素ガスまたはアンモニアガスを含む雰囲気下におけるプラズマ処理を行うことにより、絶縁層 110 を介して半導体層 108 に水素を供給することができる。特に、水素ガスを含む雰囲気下におけるプラズマ処理を行うことが好ましい。

【0270】

図 18A では、プラズマ 140 に曝すことにより、絶縁層 110 を介して半導体層 108 に不純物を供給している様子を模式的に示している。

【0271】

10

20

30

40

50

プラズマ140を発生させることのできる装置としては、ドライエッチング装置、アッシング装置、プラズマCVD装置、高密度プラズマCVD装置等を用いることができる。

【0272】

ここで、プラズマ処理を行ったのち、大気に曝すことなく連続して絶縁層118を成膜することが好ましい。このとき、絶縁層118を成膜するための成膜装置の同じ成膜室内で、プラズマ処理と、成膜処理とを連続して行うことが好ましい。例えば、成膜室内に水素ガスを含む処理ガスを供給してプラズマ処理を行い、その後、成膜室内に成膜ガスを供給して、絶縁層118の成膜を行うことができる。このとき、プラズマ処理と成膜処理とは、基板温度（基板を保持するステージの温度）が同じ条件で行うことが好ましい。

【0273】

本発明の一態様では、絶縁層110を介して不純物元素を半導体層108に供給することができる。そのため、半導体層108が結晶性を有する場合であっても、不純物元素の供給の際に半導体層108が受けるダメージが軽減され、結晶性が損なわれてしまうことを抑制できる。そのため、結晶性の低下により電気抵抗が増大してしまうような場合には好適である。

【0274】

または、不純物元素の供給処理として、プラズマイオンドーピング法、またはイオン注入法を好適に用いることができる。これらの方法は、深さ方向の濃度プロファイルを、イオンの加速電圧とドーズ量等により、高い精度で制御することができる。プラズマイオンドーピング法を用いることで、生産性を高めることができる。また質量分離を用いたイオン注入法を用いることで、供給される不純物元素の純度を高めることができる。

【0275】

不純物元素の供給処理において、半導体層108と絶縁層110との界面、または半導体層108中の当該界面に近い部分、または絶縁層110中の当該界面に近い部分が、最も高い濃度となるように、処理条件を制御することが好ましい。これにより、一度の処理で半導体層108と絶縁層110の両方に、最適な濃度の不純物元素を供給することができる。

【0276】

不純物元素としては、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、または希ガスなどが挙げられる。なお、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。特に、ホウ素、リン、アルミニウム、マグネシウム、またはシリコンを用いることが好ましい。

【0277】

不純物元素の原料ガスとしては、上記不純物元素を含むガスを用いることができる。ホウ素を供給する場合、代表的には B_2H_6 ガスまたは BF_3 ガスなどを用いることができる。またリンを供給する場合には、代表的には PH_3 ガスを用いることができる。また、これらの原料ガスを希ガスで希釈した混合ガスを用いてもよい。

【0278】

その他、原料ガスとして、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 、 $(C_5H_5)_2Mg$ 、及び希ガス等を用いることができる。また、イオン源は気体に限られず、固体または液体を加熱して気化させたものを用いてもよい。

【0279】

不純物元素の添加は、絶縁層110及び半導体層108の組成、密度、厚さなどを考慮して、加速電圧またはドーズ量などの条件を設定することで制御することができる。

【0280】

〔絶縁層118の形成〕

続いて、絶縁層110、導電層112a、及び導電層112b等を覆って、絶縁層118を形成する（図18B）。

【0281】

10

20

30

40

50

絶縁層 118 をプラズマ CVD 法により形成する場合、成膜温度が高すぎると、低抵抗領域 108n 等に含まれる不純物が、半導体層 108 のチャネル形成領域を含む周辺部に拡散すること、または低抵抗領域 108n の電気抵抗が上昇してしまうこと、などの恐れがある。そのため、絶縁層 118 の成膜温度は、これらのことを考慮して決定すればよい。

【0282】

例えば、絶縁層 118 の成膜温度としては、例えば 150℃以上 550℃以下、好ましくは 160℃以上 500℃以下、より好ましくは 180℃以上 450℃以下、さらに好ましくは 250℃以上 400℃以下とすることが好ましい。絶縁層 118 を低温で成膜することにより、チャネル長の短いトランジスタであっても、良好な電気特性を付与することができる。

10

【0283】

また、絶縁層 118 の形成後、加熱処理を行ってもよい。当該加熱処理により、低抵抗領域 108n を、より安定して低抵抗なものとすることができる場合がある。例えば、加熱処理を行うことにより、不純物元素が適度に拡散して局所的に均一化され、理想的な不純物元素の濃度勾配を有する低抵抗領域 108n が形成されうる。なお、加熱処理の温度が高すぎる（例えば 500℃以上）と、不純物元素がチャネル形成領域内にまで拡散し、トランジスタの電気特性または信頼性などの悪化を招く恐れがある。

【0284】

加熱処理の条件は、上記記載を援用することができる。

【0285】

20

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程など）がある場合には、当該加熱処理と兼ねることができる場合もある。

【0286】

〔開口部 141a、開口部 141b、及び開口部 144 の形成〕

続いて、絶縁層 118 の一部をエッチングすることにより、導電層 112b に達する開口部 144 を形成する。また、絶縁層 118 及び絶縁層 110 の一部をエッチングすることにより、低抵抗領域 108n に達する開口部 141a 及び開口部 141b を形成する（図 18C）。

【0287】

30

開口部 144 の形成と、開口部 141a 及び開口部 141b の形成は、同時に行ってもよいし、それぞれ別々に行ってもよい。同時に行う場合には、開口部 144 の底部に位置する導電層 112b がエッチングされにくい条件で、開口部 141a 及び開口部 141b に位置する絶縁層 110 をエッチングすることが好ましい。

【0288】

続いて、開口部 141a、開口部 141b、及び開口部 144 を覆うように、絶縁層 118 上に導電膜を成膜し、当該導電膜を所望の形状に加工することで、導電層 120a 及び導電層 120b を形成する（図 18D）。

【0289】

以上の工程により、トランジスタ 100 を作製することができる。例えば、トランジスタ 100 を表示装置の画素、または駆動回路に適用する場合には、この後に、保護絶縁層、平坦化層、画素電極、または配線のうち、一以上を形成する工程を追加すればよい。

40

【0290】

以上が、作製方法例についての説明である。

【0291】

なお、構成例 2 で例示したトランジスタ 100A を作製する場合には、導電層 112a 及び導電層 106a のパターンを異ならせることで、作製することができる。

【0292】

また、図 15A 等 に示す構成を作製する場合には、導電層 106b 及び導電層 106c を、導電層 106a と同一の導電膜を加工して形成し、半導体層 108a を、半導体層 1

50

08と同一の金属酸化物膜を加工して形成し、導電層112cを、導電層112a及び導電層112bと同一の導電膜を加工して形成し、導電層120cを、導電層120a及び導電層120bと同一の導電膜を加工して形成すればよい。また、開口部142及び開口部145は、開口部143と同様に形成し、開口部141c、開口部141d、及び開口部141eは、開口部141aと同様に形成すればよい。これにより、同一の工程を経て同一基板上に、工程を増やすことなくトランジスタ100、トランジスタ150、及び容量160を形成することができる。

【0293】

〔作製方法例の変形例〕

〔変形例1〕

上記作製方法例において、導電層112a及び導電層112bの加工の際に、導電層112a及び導電層112bと重ならない領域における絶縁層110をエッチングにより除去する構成とすることもできる。このようにして作製したトランジスタの断面概略図を図19Aに示す。

【0294】

図19Aに示すトランジスタは、半導体層108の低抵抗領域108nと、絶縁層118とが接する構成を有する。このとき、絶縁層118として、加熱により水素を放出しうる絶縁膜を用いることで、絶縁層118の形成工程中に低抵抗領域108nに好適に水素を供給することができる。または、絶縁層118の形成後に、加熱処理を行うこと、または後の工程でかかる熱により、絶縁層118から低抵抗領域108nに水素を供給することができる。このとき、絶縁層118としては、窒化シリコン膜、または窒化酸化シリコン膜などの窒素を含む絶縁膜を好適に用いることができる。これにより、絶縁層118は、水素を放出する機能と、水または水素などに対するバリア膜としての機能を両立することができる。

【0295】

なお、絶縁層118を低抵抗領域108nとなる半導体層108の一部に接して成膜することで、当該半導体層108の一部を十分に低抵抗化できる場合には、絶縁層118には、必ずしも加熱により水素を放出しうる絶縁膜を用いなくてもよい。このとき、絶縁層118としては、例えば酸化シリコン膜、または酸化窒化シリコン膜などの酸素を含む絶縁膜を用いることができる。

【0296】

または、絶縁層118の形成後に、上記不純物元素の供給処理を行い、絶縁層118を介して低抵抗領域108nに不純物元素を供給してもよい。このとき、絶縁層118は、必ずしも加熱により水素を放出しうる絶縁膜でなくてもよい。

【0297】

〔変形例2〕

上記作製方法例を用いて、一方のゲートのみを有するトランジスタを同時に作製することが可能である。このようにして作製したトランジスタの断面概略図を図19Bに示す。

【0298】

図19Bに示すトランジスタは、ボトムゲートとして機能する導電層106aを有していない点、開口部143及び開口部144等を有していない点、ならびに導電層112bを有していない点で、上記トランジスタ100と主に相違している。

【0299】

また、図19Cには、上記変形例1と同様に、絶縁層110が導電層112aと上面形状が概略一致するように加工されたトランジスタの断面概略図を示している。

【0300】

以上が、変形例についての説明である。

【0301】

上記で例示したトランジスタは、順序回路だけでなく、表示装置の画素に設けられるトランジスタにも適用することができる。このとき、順序回路に設けられるトランジスタと

10

20

30

40

50

、表示装置の画素に設けられるトランジスタとを、同一基板上に、同一工程を経て作製することができる。これにより、高い信頼性を有する表示装置を、低コストで作製することが可能となる。

【0302】

〔半導体装置の構成要素〕

以下では、本実施の形態の半導体装置に含まれる構成要素について説明する。

【0303】

〔基板〕

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコンまたは炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。

【0304】

また、基板102として、可撓性基板を用い、可撓性基板上に直接、半導体装置を形成してもよい。または、基板102と半導体装置の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するために用いることができる。その際、半導体装置は耐熱性の劣る基板、または可撓性の基板にも転載できる。

【0305】

〔導電膜〕

トランジスタのゲート、ソースおよびドレインのほか、半導体装置を構成する各種配線および電極などの導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、金、銀、亜鉛、タンタル、マンガン、鉄、ニオブ、コバルト、またはタングステンなどの金属、またはこれを主成分とする合金などが挙げられる。またこれらの材料を含む膜を単層で、または積層構造として用いることができる。

【0306】

例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、その上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、その上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛等の酸化物を用いてもよい。また、マンガンを含む銅を用いると、エッチングによる形状の制御性が高まるため好ましい。

【0307】

また、半導体装置を構成する導電層には、In－Sn酸化物、In－W酸化物、In－W－Zn酸化物、In－Ti酸化物、In－Ti－Sn酸化物、In－Zn酸化物、In－Sn－Si酸化物、In－Ga－Zn酸化物等の酸化物導電体または金属酸化物を適用することもできる。

【0308】

ここで、酸化物導電体（OC：Oxide Conductor）について説明を行う。例えば、半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

【0309】

また、半導体装置を構成する導電層として、上記酸化物導電体（金属酸化物）を含む導電膜と、金属または合金を含む導電膜の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。このとき、ゲート絶縁膜として機能する絶縁層と接する側には酸化物導電体を含む導電膜を適用することが好ましい。

【0310】

〔半導体層〕

半導体層108がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=2:2:1、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=10:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5等が挙げられる。なお、上記において、元素Mとして2種類以上の元素を含む場合、上記原子数比におけるMの割合は、当該2以上の金属元素の原子数の和に対応するものとする。

【0311】

また、スパッタリングターゲットとしては、多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層108を形成しやすくなるため好ましい。なお、成膜される半導体層108の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、半導体層108に用いるスパッタリングターゲットの組成がIn:Ga:Zn=4:2:4.1〔原子数比〕の場合、成膜される半導体層108の組成は、In:Ga:Zn=4:2:3〔原子数比〕の近傍となる場合がある。

【0312】

なお、原子数比がIn:Ga:Zn=4:2:3またはその近傍と記載する場合、Inを4としたとき、Gaが1以上3以下であり、Znが2以上4以下である場合を含む。また、原子数比がIn:Ga:Zn=5:1:6またはその近傍であると記載する場合、Inを5としたときに、Gaが0.1より大きく2以下であり、Znが5以上7以下である場合を含む。また、原子数比がIn:Ga:Zn=1:1:1またはその近傍であると記載する場合、Inを1としたときに、Gaが0.1より大きく2以下であり、Znが0.1より大きく2以下である場合を含む。

【0313】

また、半導体層108は、エネルギーギャップが2eV以上、好ましくは2.5eV以上である。このように、シリコンよりもエネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0314】

また、半導体層108は、非単結晶構造であると好ましい。非単結晶構造は、例えば、後述するCAAC構造、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC構造は最も欠陥準位密度が低い。

【0315】

以下では、CAAC (c-axis aligned crystal) について説明する。CAACは結晶構造の一例を表す。

【0316】

CAAC構造とは、複数のナノ結晶（最大径が10nm未満である結晶領域）を有する薄膜などの結晶構造の一つであり、各ナノ結晶はc軸が特定の方向に配向し、かつa軸及びb軸は配向性を有せずに、ナノ結晶同士が粒界を形成することなく連続的に連結しているといった特徴を有する結晶構造である。特にCAAC構造を有する薄膜は、各ナノ結晶のc軸が、薄膜の厚さ方向、被形成面の法線方向、または薄膜の表面の法線方向に配向し

やすいといった特徴を有する。

【0317】

CAAC-OS (Oxide Semiconductor) は結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、または欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物及び欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

【0318】

ここで、結晶学において、単位格子を構成するa軸、b軸、及びc軸の3つの軸（結晶軸）について、特異的な軸をc軸とした単位格子を取ることが一般的である。特に層状構造を有する結晶では、層の面方向に平行な2つの軸をa軸及びb軸とし、層に交差する軸をc軸とすることが一般的である。このような層状構造を有する結晶の代表的な例として、六方晶系に分類されるグラファイトがあり、その単位格子のa軸及びb軸は劈開面に平行であり、c軸は劈開面に直交する。例えば層状構造である YbFe_2O_4 型の結晶構造をとる InGaZnO_4 の結晶は六方晶系に分類することができ、その単位格子のa軸及びb軸は層の面方向に平行となり、c軸は層（すなわちa軸及びb軸）に直交する。

【0319】

微結晶構造を有する酸化物半導体膜（微結晶酸化物半導体膜）は、透過型電子顕微鏡（TEM: Transmission Electron Microscope）による観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶（nc: nanocrystal）を有する酸化物半導体膜を、nc-OS (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0320】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるX線回折（XRD: X-Ray Diffraction）装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、円を描くように輝度の高いリング状の領域が観測され、当該リング状の領域内に複数のスポットが観測される場合がある。

【0321】

nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低い。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。従って、nc-OS膜はCAAC-OS膜と比べて、キャリア密度が高く、電子移動度が高くなる場合がある。従って、nc-OS膜を用いたトランジスタは、高い電界効果移動度を示す場合がある。

【0322】

nc-OS膜は、CAAC-OS膜と比較して、成膜時の酸素流量比を小さくすること

10

20

30

40

50

で形成することができる。また、nc-Os膜は、CAAC-Os膜と比較して、成膜時の基板温度を低くすることでも形成することができる。例えば、nc-Os膜は、基板温度を比較的低温（例えば130℃以下の温度）とした状態、または基板を加熱しない状態でも成膜することができるため、大型のガラス基板、または樹脂基板などを使う場合に適しており、生産性を高めることができる。

【0323】

金属酸化物の結晶構造の一例について説明する。In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4.1〔原子数比〕）を用いて、基板温度を100℃以上130℃以下として、スパッタリング法により形成した金属酸化物は、nc（nanocrystal）構造及びCAAC構造のいずれか一方の結晶構造、またはこれらが混在した構造をとりやすい。一方、基板温度を室温（R.T.）として形成した金属酸化物は、ncの結晶構造をとりやすい。なお、ここでいう室温（R.T.）とは、基板を意図的に加熱しない場合の温度を含む。

【0324】

〔金属酸化物の構成〕

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-Osの構成について説明する。

【0325】

なお、CAAC（c-axis aligned crystal）は結晶構造の一例を表し、CAC（Cloud-Aligned Composite）は機能、または材料の構成の一例を表す。

【0326】

CAC-OsまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OsまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OsまたはCAC-metal oxideに付与できる。CAC-OsまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0327】

また、CAC-OsまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0328】

また、CAC-OsまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0329】

また、CAC-OsまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OsまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記

CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0330】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0331】

以上が、金属酸化物の構成についての説明である。

【0332】

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

【0333】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0334】

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図20A乃至図20Cを用いて説明を行う。

【0335】

図20Aに示す表示装置は、画素部502と、駆動回路部504と、保護回路506と、端子部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

【0336】

画素部502または駆動回路部504などが有するトランジスタに、本発明の一態様のトランジスタを適用することができる。また保護回路506にも、本発明の一態様のトランジスタを適用してもよい。

【0337】

画素部502は、X行Y列(X、Yはそれぞれ独立に2以上の自然数)に配置された画素回路501を有する。各画素回路501は、それぞれ表示素子を駆動する回路を有する。

【0338】

駆動回路部504は、ゲート線GL__1乃至ゲート線GL__Xに走査信号を出力するゲートドライバ504a、データ線DL__1乃至データ線DL__Yにデータ信号を供給するソースドライバ504bなどの駆動回路を有する。ゲートドライバ504aは、少なくともシフトレジスタを有する構成とすればよい。またソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

【0339】

ゲートドライバ504aに、本発明の一態様の順序回路を適用することができる。また、ソースドライバ504bにも、本発明の一態様の順序回路を適用してもよい。

【0340】

端子部507は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

【0341】

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図20Aに示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線であるゲート線GL、またはソースドライバ504bと画素回路501の間の配線であるデータ線DL等の各種配線に接続される。なお図20Aでは、保護回路506と画素回路501とを区別するため、保護回路506にハッチングを付している。

【0342】

10

20

30

40

50

また、ゲートドライバ504aとソースドライバ504bは、それぞれ画素部502と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成された基板（例えば、単結晶半導体または多結晶半導体で形成された駆動回路基板）をCOGまたはTAB（Tape Automated Bonding）などによって、画素部502が設けられる基板に実装する構成としてもよい。

【0343】

図20B及び図20Cに、画素回路501に適用することのできる画素回路の構成の一例を示す。図20B及び図20Cには、 m 行 n 列目（ m は1以上 X 以下の自然数、 n は1以上 Y 以下の自然数）の画素回路を示す。

【0344】

図20Bに示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。また画素回路501には、データ線 DL_n 、ゲート線 GL_m 、電位供給線 VL 等が接続されている。

【0345】

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に依じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

【0346】

また、図20Cに示す画素回路501は、トランジスタ552と、トランジスタ554と、容量素子562と、発光素子572と、を有する。また画素回路501には、データ線 DL_n 、ゲート線 GL_m 、電位供給線 VL_a 、及び電位供給線 VL_b 等が接続されている。

【0347】

なお、電位供給線 VL_a 及び電位供給線 VL_b の一方には、高電源電位である電位 VDD が与えられ、他方には、低電源電位である電位 VSS が与えられる。トランジスタ554のゲートに与えられる電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

【0348】

図20Bに示したトランジスタ550、または、図20Cに示したトランジスタ552及びトランジスタ554は、ゲートドライバ504aが有するトランジスタと、同一基板上に設けられることが好ましい。

【0349】

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせて実施することができる。

【0350】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0351】

（実施の形態3）

以下では、画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。実施の形態1で例示したトランジスタは、以下で例示する画素回路に用いられるトランジスタに適用することができる。

【0352】

〔回路構成〕

図21Aに、画素回路400の回路図を示す。画素回路400は、トランジスタ $M1$ 、トランジスタ $M2$ 、容量 $C1$ 、及び回路401を有する。また画素回路400には、配線 $S1$ 、配線 $S2$ 、配線 $G1$ 、及び配線 $G2$ が接続される。

【0353】

10

20

30

40

50

トランジスタM1は、ゲートが配線G1と、ソース及びドレインの一方が配線S1と、他方が容量C1の一方の電極と、それぞれ接続する。トランジスタM2は、ゲートが配線G2と、ソース及びドレインの一方が配線S2と、他方が容量C1の他方の電極、及び回路401と、それぞれ接続する。

【0354】

回路401は、少なくとも一の表示素子を含む回路である。表示素子としては様々な素子を用いることができるが、代表的には有機EL素子、LED素子などの発光素子、液晶素子、またはMEMS (Micro Electro Mechanical Systems) 素子等を適用することができる。

【0355】

トランジスタM1と容量C1とを接続するノードをノードN1、トランジスタM2と回路401とを接続するノードをノードN2とする。

【0356】

画素回路400は、トランジスタM1をオフ状態とすることで、ノードN1の電位を保持することができる。また、トランジスタM2をオフ状態とすることで、ノードN2の電位を保持することができる。また、トランジスタM2をオフ状態とした状態で、トランジスタM1を介してノードN1に所定の電位を書き込むことで、容量C1を介した容量結合により、ノードN1の電位の変化量に応じてノードN2の電位を変化させることができる。

【0357】

ここで、トランジスタM1、トランジスタM2のうちの一方または両方に、実施の形態1で例示した、酸化物半導体が適用されたトランジスタを適用することができる。そのため極めて低いオフ電流により、ノードN1またはノードN2の電位を長期間に亘って保持することができる。なお、各ノードの電位を保持する期間が短い場合（具体的には、フレーム周波数が30Hz以上である場合等）には、シリコン等の半導体を適用したトランジスタを用いてもよい。

【0358】

〔駆動方法例〕

続いて、図21Bを用いて、画素回路400の動作方法の一例を説明する。図21Bは、画素回路400の動作に係るタイミングチャートである。なおここでは説明を容易にするため、配線抵抗などの各種抵抗、トランジスタまたは配線などの寄生容量、及びトランジスタのしきい値電圧などの影響は考慮しない。

【0359】

図21Bに示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間である。

【0360】

〔期間T1〕

期間T1では、配線G1と配線G2の両方に、トランジスタをオン状態にする電位を与える。また、配線S1には固定電位である電位 V_{ref} を供給し、配線S2には第1データ電位 V_w を供給する。

【0361】

ノードN1には、トランジスタM1を介して配線S1から電位 V_{ref} が与えられる。また、ノードN2には、トランジスタM2を介して配線S2から第1データ電位 V_w が与えられる。したがって、容量C1には電位差 $V_w - V_{ref}$ が保持された状態となる。

【0362】

〔期間T2〕

続いて期間T2では、配線G1にはトランジスタM1をオン状態とする電位を与え、配線G2にはトランジスタM2をオフ状態とする電位を与える。また、配線S1には第2データ電位 V_{data} を供給する。配線S2には所定の定電位を与える、またはフローティング状態としてもよい。

【0363】

ノードN1には、トランジスタM1を介して配線S1から第2データ電位 V_{data} が与えられる。このとき、容量C1による容量結合により、第2データ電位 V_{data} に応じてノードN2の電位が電位dVだけ変化する。すなわち、回路401には、第1データ電位 V_w と電位dVを足した電位が入力されることとなる。なお、図21Bでは電位dVが正の値であるように示しているが、負の値であってもよい。すなわち、第2データ電位 V_{data} が電位 V_{ref} より低くてもよい。

【0364】

ここで、電位dVは、容量C1の容量値と、回路401の容量値によって概ね決定される。容量C1の容量値が回路401の容量値よりも十分に大きい場合、電位dVは第2データ電位 V_{data} に近い電位となる。

10

【0365】

このように、画素回路400は、2種類のデータ信号を組み合わせる表示素子を含む回路401に供給する電位を生成することができるため、画素回路400内で階調の補正を行うことが可能となる。

【0366】

また画素回路400は、配線S1及び配線S2に接続されるソースドライバが供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミックレンジ(HDR)表示等を行うことができる。また、液晶素子を用いた場合では、オーバードライブ駆動等を実現できる。

20

【0367】

〔適用例〕

〔液晶素子を用いた例〕

図21Cに示す画素回路400LCは、回路401LCを有する。回路401LCは、液晶素子LCと、容量C2とを有する。

【0368】

液晶素子LCは、一方の電極がノードN2及び容量C2の一方の電極と、他方の電極が電位 V_{com2} が与えられる配線と接続する。容量C2は、他方の電極が電位 V_{com1} が与えられる配線と接続する。

【0369】

容量C2は保持容量として機能する。なお、容量C2は不要であれば省略することができる。

30

【0370】

画素回路400LCは、液晶素子LCに高い電圧を供給することができるため、例えばオーバードライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用することなどができる。また、配線S1または配線S2に補正信号を供給することで、使用温度、または液晶素子LCの劣化状態等に応じて階調を補正することもできる。

【0371】

〔発光素子を用いた例〕

図21Dに示す画素回路400ELは、回路401ELを有する。回路401ELは、発光素子EL、トランジスタM3、及び容量C2を有する。

40

【0372】

トランジスタM3は、ゲートがノードN2及び容量C2の一方の電極と、ソース及びドレインの一方が電位 V_H が与えられる配線と、他方が発光素子ELの一方の電極と、それぞれ接続される。容量C2は、他方の電極が電位 V_{com} が与えられる配線と接続する。発光素子ELは、他方の電極が電位 V_L が与えられる配線と接続する。

【0373】

トランジスタM3は、発光素子ELに供給する電流を制御する機能を有する。容量C2は保持容量として機能する。容量C2は不要であれば省略することができる。

【0374】

50

なお、ここでは発光素子E Lのアノード側がトランジスタM 3と接続する構成を示しているが、カソード側にトランジスタM 3を接続してもよい。そのとき、電位V_Hと電位V_Lの値を適宜変更することができる。

【0375】

画素回路400 E Lは、トランジスタM 3のゲートに高い電位を与えることで、発光素子E Lに大きな電流を流すことができるため、例えばH D R表示などを実現することができる。また、配線S 1または配線S 2に補正信号を供給することで、トランジスタM 3または発光素子E Lなどの電気特性のばらつきを補正することもできる。

【0376】

なお、図21 C及び図21 Dで例示した回路に限られず、別途トランジスタまたは容量などを追加した構成としてもよい。

【0377】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0378】

(実施の形態4)

本実施の形態では、本発明の一態様を用いて作製することができる表示モジュールについて説明する。

【0379】

図22 Aに示す表示モジュール6000は、上部カバー6001と下部カバー6002との間に、F P C 6005が接続された表示装置6006、フレーム6009、プリント基板6010、及びバッテリー6011を有する。

【0380】

例えば、本発明の一態様を用いて作製された表示装置を、表示装置6006に用いることができる。表示装置6006により、極めて消費電力の低い表示モジュールを実現することができる。

【0381】

上部カバー6001及び下部カバー6002は、表示装置6006のサイズに合わせて、形状または寸法などを適宜変更することができる。

【0382】

表示装置6006はタッチパネルとしての機能を有していてもよい。

【0383】

フレーム6009は、表示装置6006の保護機能、プリント基板6010の動作により発生する電磁波を遮断する機能、放熱板としての機能等を有していてもよい。

【0384】

プリント基板6010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路、バッテリー制御回路等を有する。

【0385】

図22 Bは、光学式のタッチセンサを備える場合の、表示モジュール6000の断面概略図である。

【0386】

表示モジュール6000は、プリント基板6010に設けられた発光部6015及び受光部6016を有する。また、上部カバー6001と下部カバー6002により囲まれた領域に一对の導光部（導光部6017 a、導光部6017 b）を有する。

【0387】

表示装置6006は、フレーム6009を間に介してプリント基板6010またはバッテリー6011などと重ねて設けられている。表示装置6006とフレーム6009は、導光部6017 a、導光部6017 bに固定されている。

【0388】

発光部6015から発せられた光6018は、導光部6017 aにより表示装置600

10

20

30

40

50

6の上部を經由し、導光部6017bを通して受光部6016に達する。例えば指またはスタイラスなどの被検知体により、光6018が遮られることで、タッチ操作を検出することができる。

【0389】

発光部6015は、例えば表示装置6006の隣接する2辺に沿って複数設けられる。受光部6016は、発光部6015と対向する位置に複数設けられる。これにより、タッチ操作がなされた位置の情報を取得することができる。

【0390】

発光部6015は、例えばLED素子などの光源を用いることができ、特に、赤外線を発する光源を用いることが好ましい。受光部6016は、発光部6015が発する光を受光し、電気信号に変換する光電素子を用いることができる。好適には、赤外線を受光可能なフォトダイオードを用いることができる。

10

【0391】

光6018の経路を制御する導光部6017a、導光部6017bにより、発光部6015と受光部6016とを表示装置6006の下側に配置することができ、外光が受光部6016に到達してタッチセンサが誤動作することを抑制できる。特に、可視光を吸収し、赤外線を透過する樹脂を用いると、タッチセンサの誤動作をより効果的に抑制できる。

【0392】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

20

【0393】

(実施の形態5)

本実施の形態では、本発明の一態様の表示装置を適用可能な、電子機器の例について説明する。

【0394】

図23Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

【0395】

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

30

【0396】

表示部6502に、本発明の一態様の表示装置を適用することができる。

【0397】

図23Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

【0398】

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

40

【0399】

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が図示しない接着層により固定されている。

【0400】

また、表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されている。また、当該折り返された部分に、FPC6515が接続されている。FPC6515には、IC6516が実装されている。またFPC6515は、プリント基板6517に設けられた端子に接続されている。

【0401】

表示パネル6511には本発明の一態様のフレキシブルディスプレイパネルを適用する

50

ことができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8 を搭載することもできる。また、表示パネル 6 5 1 1 の一部を折り返して、画素部の裏側に F P C 6 5 1 5 との接続部を配置することにより、狭額縁の電子機器を実現できる。

【0402】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0403】

(実施の形態 6)

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。

【0404】

以下で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い解像度が実現された電子機器である。また高い解像度と、大きな画面が両立された電子機器とすることができる。

【0405】

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、4 K 2 K、8 K 4 K、1 6 K 8 K、またはそれ以上の解像度を有する映像を表示させることができる。

【0406】

電子機器としては、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機、ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

【0407】

本発明の一態様が適用された電子機器は、家屋、ビルなどの内壁または外壁、自動車等の内装または外装等が有する平面または曲面に沿って組み込むことができる。

【0408】

図 2 4 A は、ファインダー 8 1 0 0 を取り付けた状態のカメラ 8 0 0 0 の外観を示す図である。

【0409】

カメラ 8 0 0 0 は、筐体 8 0 0 1、表示部 8 0 0 2、操作ボタン 8 0 0 3、シャッターボタン 8 0 0 4 等を有する。またカメラ 8 0 0 0 には、着脱可能なレンズ 8 0 0 6 が取り付けられている。

【0410】

なおカメラ 8 0 0 0 は、レンズ 8 0 0 6 と筐体とが一体となってもよい。

【0411】

カメラ 8 0 0 0 は、シャッターボタン 8 0 0 4 を押す、またはタッチパネルとして機能する表示部 8 0 0 2 をタッチすることにより撮像することができる。

【0412】

筐体 8 0 0 1 は、電極を有するマウントを有し、ファインダー 8 1 0 0 のほか、ストロボ装置等を接続することができる。

【0413】

ファインダー 8 1 0 0 は、筐体 8 1 0 1、表示部 8 1 0 2、ボタン 8 1 0 3 等を有する。

【0414】

筐体 8 1 0 1 は、カメラ 8 0 0 0 のマウントと係合するマウントにより、カメラ 8 0 0 0 に取り付けられている。ファインダー 8 1 0 0 はカメラ 8 0 0 0 から受信した映像等を表示部 8 1 0 2 に表示させることができる。

【0415】

ボタン 8 1 0 3 は、電源ボタン等としての機能を有する。

【0416】

10

20

30

40

50

カメラ８０００の表示部８００２、及びファインダー８１００の表示部８１０２に、本発明の一態様の表示装置を適用することができる。なお、ファインダーが内蔵されたカメラ８０００であってもよい。

【０４１７】

図２４Ｂは、ヘッドマウントディスプレイ８２００の外観を示す図である。

【０４１８】

ヘッドマウントディスプレイ８２００は、装着部８２０１、レンズ８２０２、本体８２０３、表示部８２０４、ケーブル８２０５等を有している。また装着部８２０１には、バッテリー８２０６が内蔵されている。

【０４１９】

ケーブル８２０５は、バッテリー８２０６から本体８２０３に電力を供給する。本体８２０３は無線受信機等を備え、受信した映像情報を表示部８２０４に表示させることができる。また、本体８２０３はカメラを備え、使用者の眼球またはまぶたの動きの情報を入力手段として用いることができる。

【０４２０】

また、装着部８２０１には、使用者に触れる位置に、使用者の眼球の動きに伴って流れる電流を検知可能な複数の電極が設けられ、視線を認識する機能を有していてもよい。また、当該電極に流れる電流により、使用者の脈拍をモニタする機能を有していてもよい。また、装着部８２０１には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部８２０４に表示する機能、または使用者の頭部の動きに合わせて表示部８２０４に表示する映像を変化させる機能などを有していてもよい。

【０４２１】

表示部８２０４に、本発明の一態様の表示装置を適用することができる。

【０４２２】

図２４Ｃ、図２４Ｄ、及び図２４Ｅは、ヘッドマウントディスプレイ８３００の外観を示す図である。ヘッドマウントディスプレイ８３００は、筐体８３０１と、表示部８３０２と、バンド状の固定具８３０４と、一対のレンズ８３０５と、を有する。

【０４２３】

使用者は、レンズ８３０５を通して、表示部８３０２の表示を視認することができる。なお、表示部８３０２を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部８３０２の異なる領域に表示された別の画像を、レンズ８３０５を通して視認することで、視差を用いた３次元表示等を行うこともできる。なお、表示部８３０２を１つ設ける構成に限られず、表示部８３０２を２つ設け、使用者の片方の目につき１つの表示部を配置してもよい。

【０４２４】

なお、表示部８３０２に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図２４Ｅのようにレンズ８３０５を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

【０４２５】

図２５Ａ乃至図２５Ｇに示す電子機器は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、又は操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９００８、等を有する。

【０４２６】

図２５Ａ乃至図２５Ｇに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレン

10

20

30

40

50

ダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

【0427】

図25A乃至図25Gに示す電子機器の詳細について、以下説明を行う。

【0428】

図25Aは、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

【0429】

図25Bは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字または画像情報などをその複数の面に表示することができる。図25Bでは3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例としては、電子メール、SNS、電話などの着信の通知、電子メールまたはSNSなどの題名、送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

【0430】

図25Cは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

【0431】

図25Dは、腕時計型の携帯情報端末9200を示す斜視図である。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、または充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

【0432】

図25E、図25F、及び図25Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図25Eは携帯情報端末9201を展開した状態、図25Gは折り畳んだ状態、図25Fは図25Eと図25Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径1mm以上150mm以下で曲げることができる。

【0433】

図26Aにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7500が組み込まれている。ここでは、スタンド7103により筐体710

10

20

30

40

50

1を支持した構成を示している。

【0434】

図26Aに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、または別体のリモコン操作機7111により行うことができる。または、表示部7500にタッチパネルを適用し、これに触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、操作ボタンの他に表示部を有していてもよい。

【0435】

なお、テレビジョン装置7100は、テレビ放送の受信機、またはネットワーク接続のための通信装置を有していてもよい。

【0436】

図26Bに、ノート型パーソナルコンピュータ7200を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7500が組み込まれている。

【0437】

図26C、及び図26Dに、デジタルサイネージ(Digital Signage: 電子看板)の一例を示す。

【0438】

図26Cに示すデジタルサイネージ7300は、筐体7301、表示部7500、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー(電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。

【0439】

また、図26Dは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7500を有する。

【0440】

表示部7500が広いほど、一度に提供できる情報量を増やすことができ、また人の目につきやすいため、例えば広告の宣伝効果を高める効果を奏する。

【0441】

表示部7500にタッチパネルを適用し、使用者が操作できる構成とすると好ましい。これにより、広告用途だけでなく、路線情報、交通情報、または商用施設の案内情報など、使用者が求める情報を提供するための用途にも用いることができる。

【0442】

また、図26C、及び図26Dに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、ユーザが所持するスマートフォン等の情報端末機7311と無線通信により連携可能であることが好ましい。例えば、表示部7500に表示される広告の情報を情報端末機7311の画面に表示させること、または情報端末機7311を操作することで、表示部7500の表示を切り替えることができる。

【0443】

また、デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311を操作手段(コントローラ)としたゲームを実行させることもできる。これにより、不特定多数のユーザが同時にゲームに参加し、楽しむことができる。

【0444】

図26A乃至図26Dにおける表示部7500に、本発明の一態様の表示装置を適用することができる。

【0445】

本実施の形態の電子機器は表示部を有する構成としたが、表示部を有さない電子機器にも本発明の一態様を適用することができる。

【0446】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組

10

20

30

40

50

み合わせて実施することができる。

【符号の説明】

【0447】

L I N : 信号 : R I N : 信号 : B D G : 信号 : C L K : 信号 : O U T : 出力端子 : G O U
T : 出力端子 : S R O U T : 出力端子 : P W C : 信号 : R E S : 信号 : S P : 信号 : C 1
乃至 C 4 : 容量 : C K 1 乃至 C K 4 : 信号 : C L K 1 乃至 C L K 3 : 信号 : N 、 N 1 、 N
2 : ノード : O U T 乃至 O U T 6 : 配線 : P W C 1 乃至 P W C 4 : 信号 : R I N 1 、 R I
N 2 : 信号 : 1 0 、 1 0 a 、 1 0 b 、 1 0 c : 順序回路 : 1 1 、 1 1 a 、 1 2 、 1 3 : 回
路 : 1 4 a 、 1 4 b : 信号生成回路 : 1 5 a 、 1 5 b : 配線 : 2 0 : 順序回路 : 2 1 乃至
2 6 : トランジスタ : 3 0 、 3 0 a 、 3 0 a _ _ n : 順序回路 : 3 0 b : 順序回路 : 3 1 乃
至 3 4 : トランジスタ : 4 0 a 、 4 0 b : 駆動回路 : 4 1 乃至 4 7 、 5 1 、 5 2 、 6 0 乃
至 6 9 、 7 1 、 7 2 : トランジスタ

10

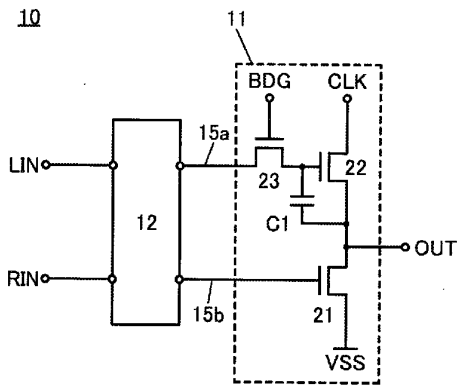
20

30

40

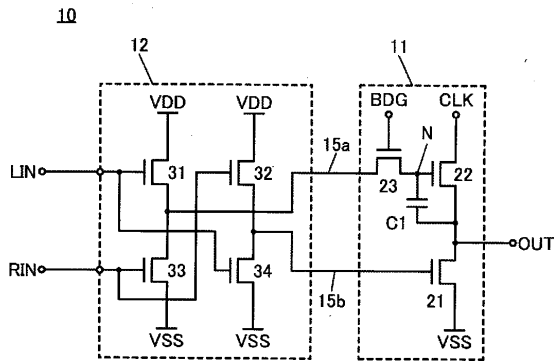
50

【図面】
【図 1】
図 1



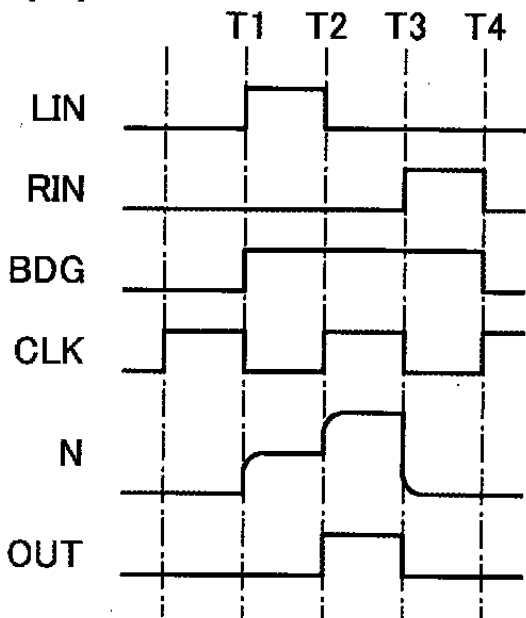
【図 2 A】

図2A



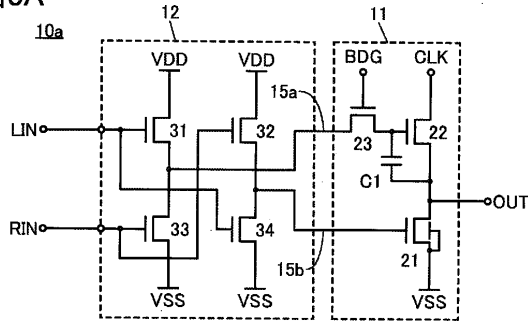
【図 2 B】

図2B



【図 3 A】

図3A



10

20

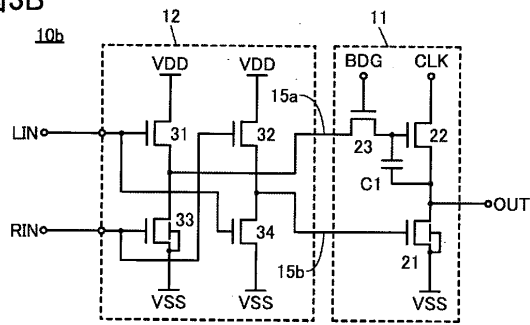
30

40

50

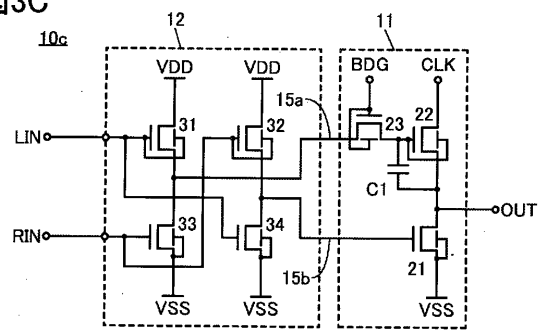
【図 3 B】

図3B



【図 3 C】

図3C

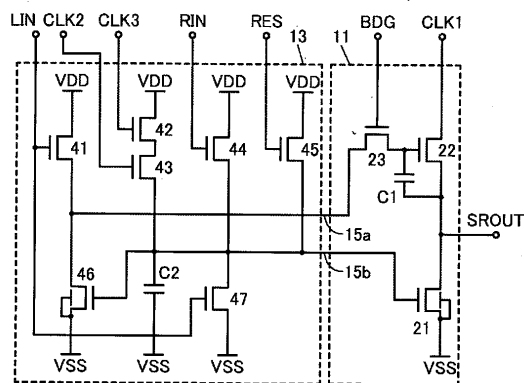


10

【図 4 A】

図4A

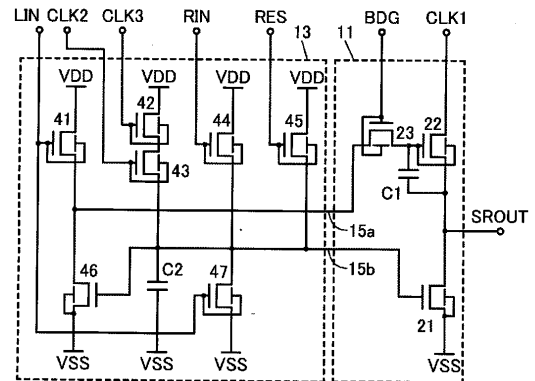
20



【図 4 B】

図4B

20

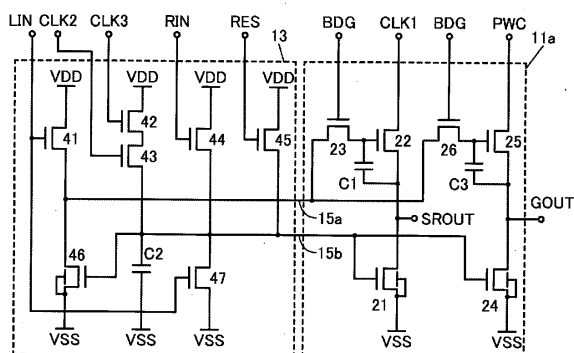


20

【図 5 A】

図5A

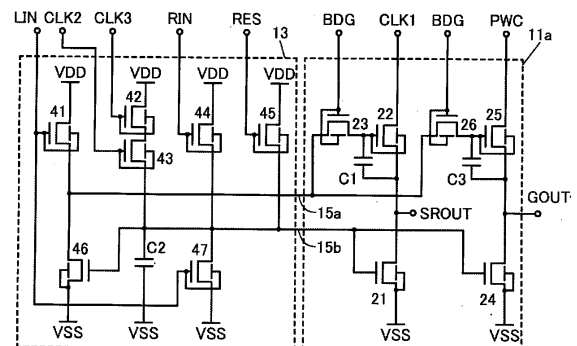
30



【図 5 B】

図5B

30

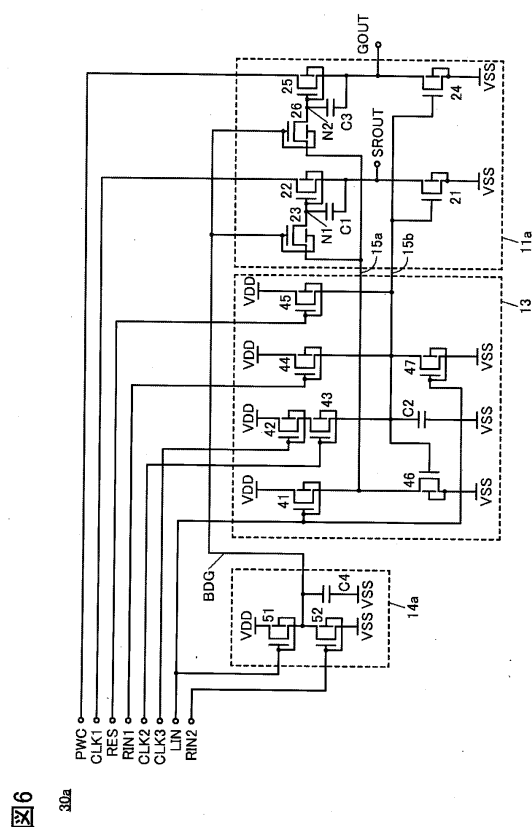


30

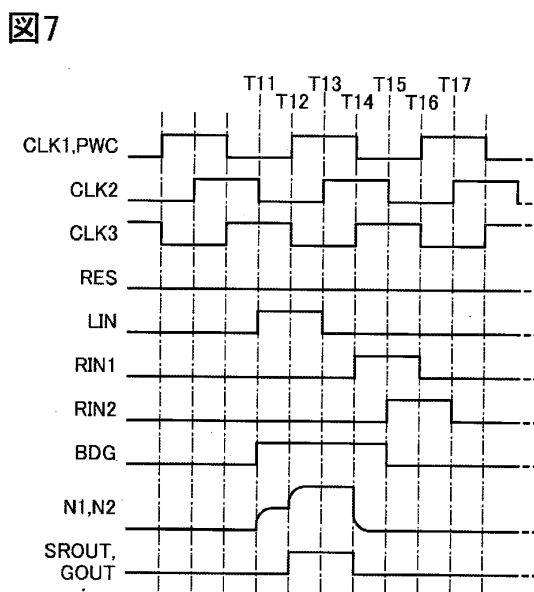
40

50

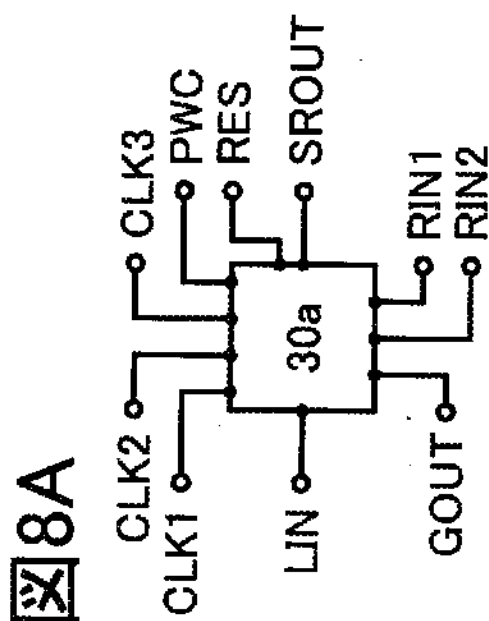
【図 6】



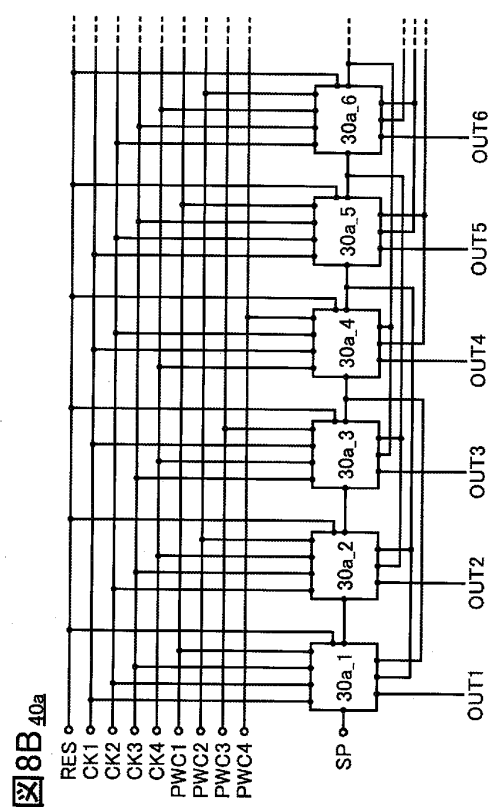
【図 7】



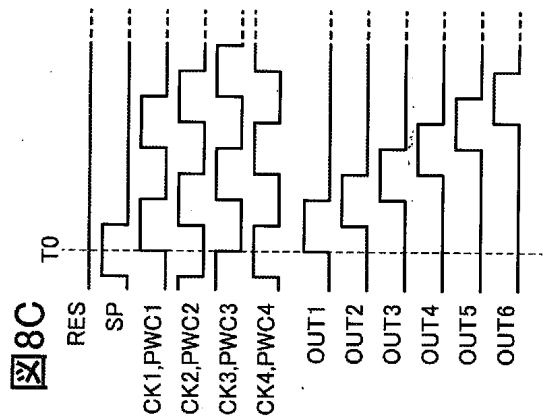
【図 8 A】



【図 8 B】

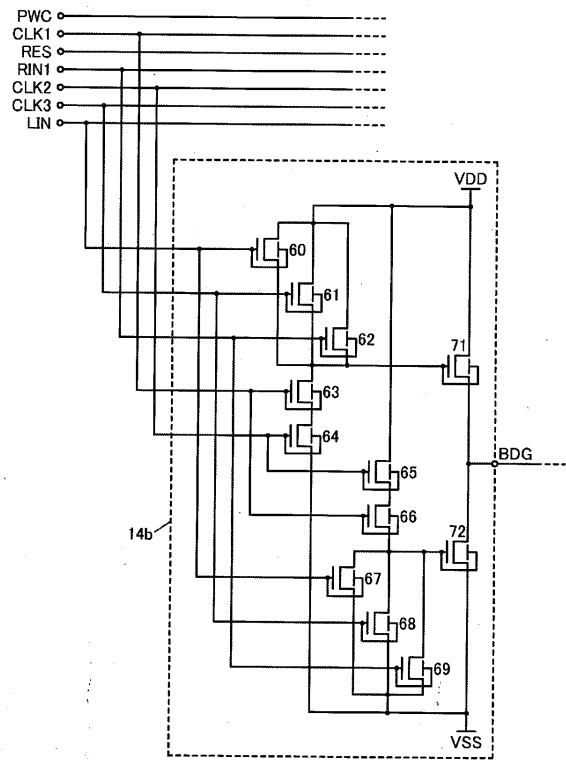


【図 8 C】

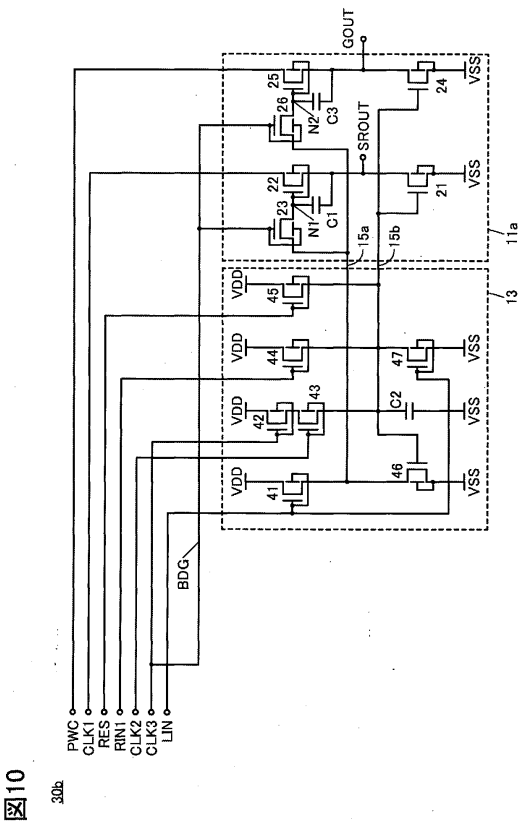


【図 9】

図9

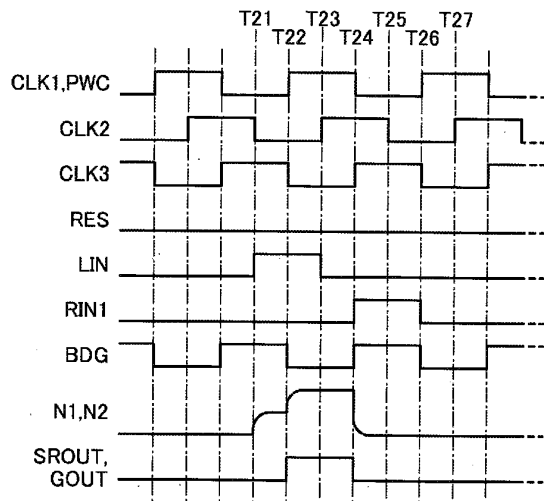


【図 10】



【図 11】

図11



10

20

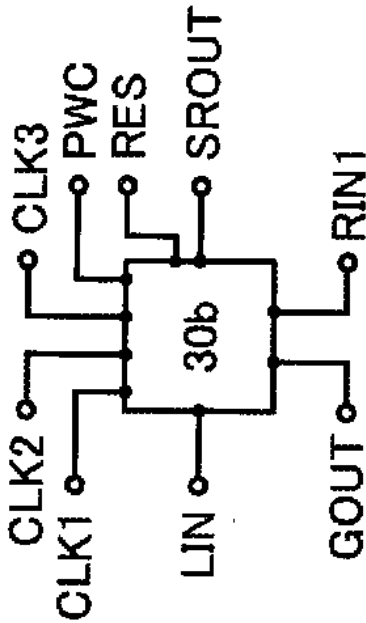
30

40

50

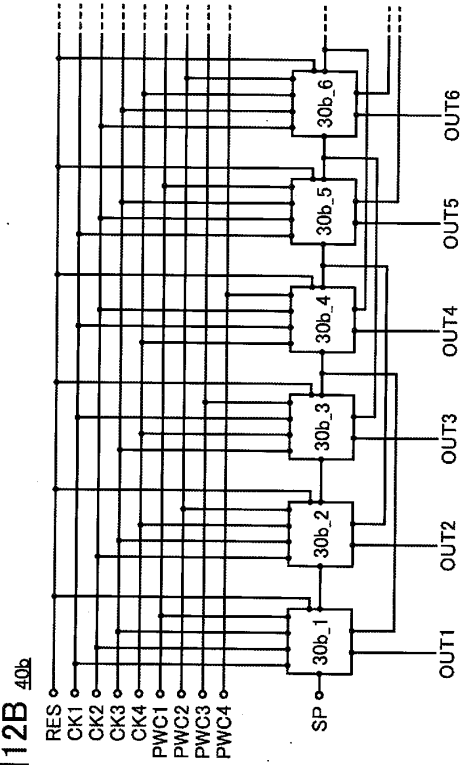
【図 1 2 A】

図 12A



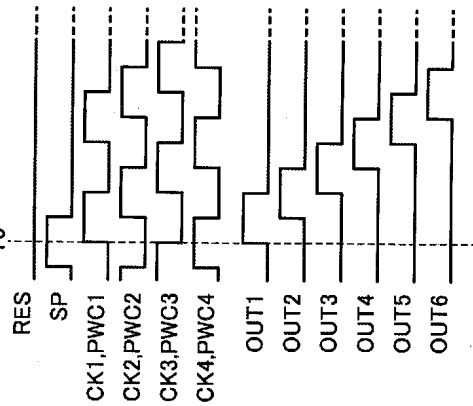
【図 1 2 B】

図 12B



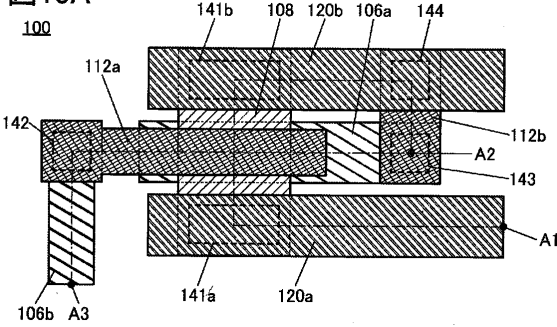
【図 1 2 C】

図 12C



【図 1 3 A】

図 13A



10

20

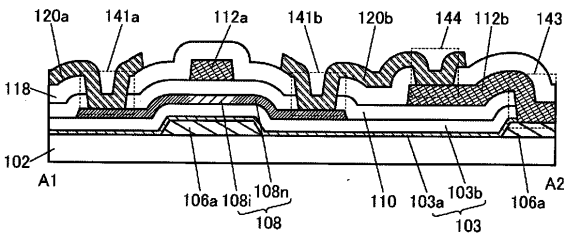
30

40

50

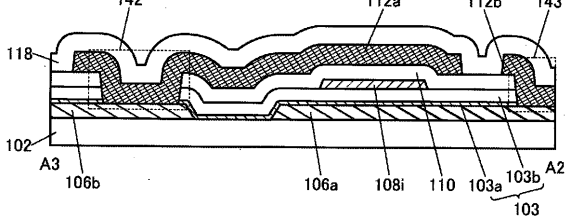
【図 1 3 B】

図13B



【図 1 3 C】

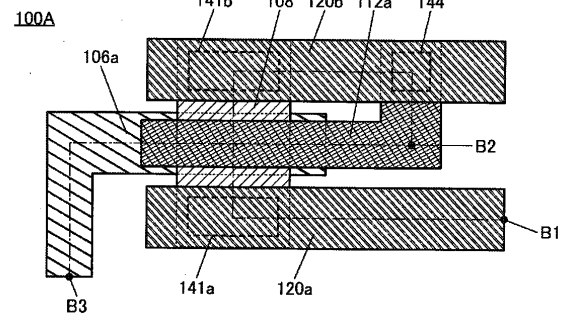
図13C



10

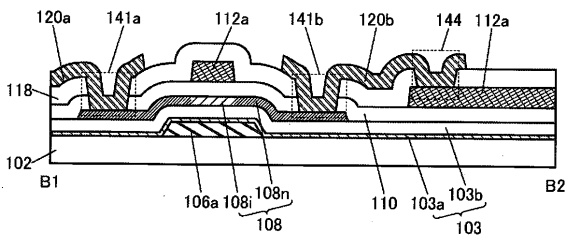
【図 1 4 A】

図14A



【図 1 4 B】

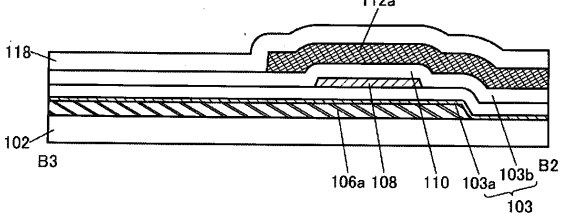
図14B



20

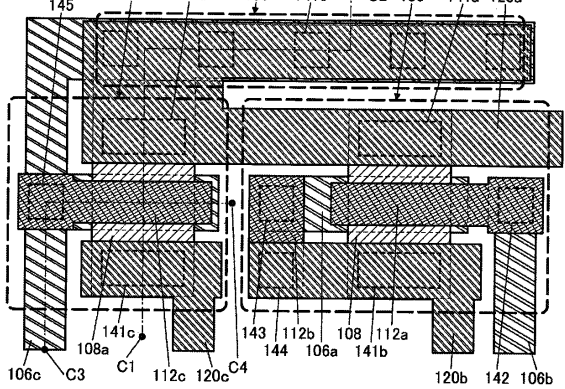
【図 1 4 C】

図14C



【図 1 5 A】

図15A



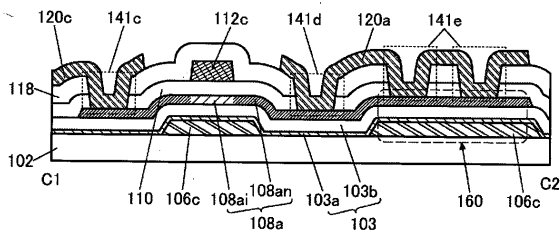
30

40

50

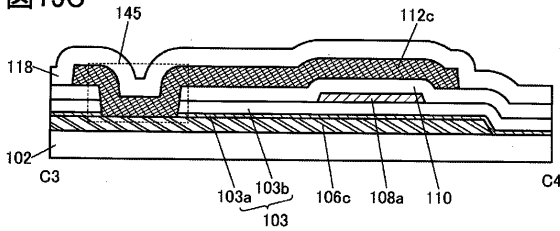
【図 1 5 B】

図15B



【図 1 5 C】

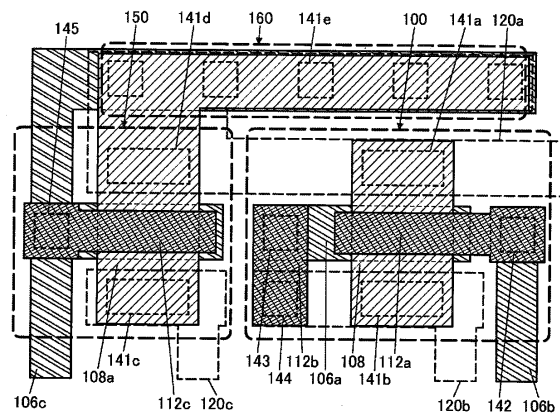
図15C



10

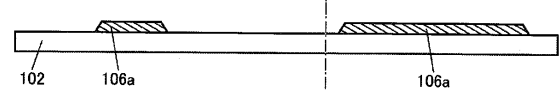
【図 1 6】

図16



【図 1 7 A】

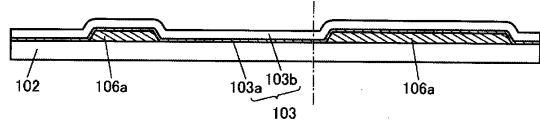
図17A



20

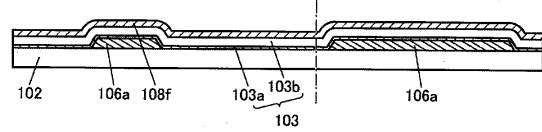
【図 1 7 B】

図17B



【図 1 7 C】

図17C



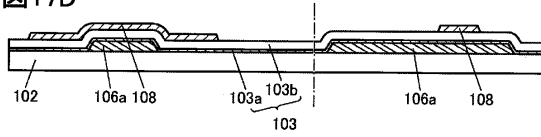
30

40

50

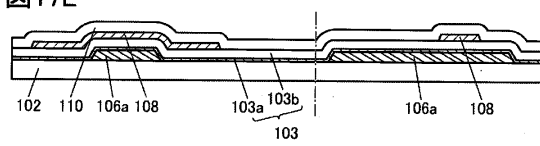
【図 17 D】

図17D



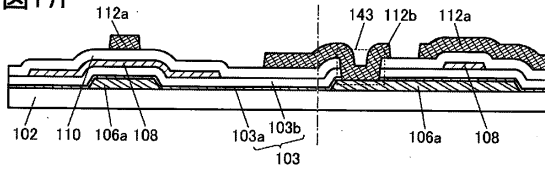
【図 17 E】

図17E



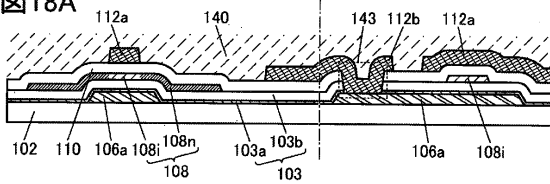
【図 17 F】

図17F



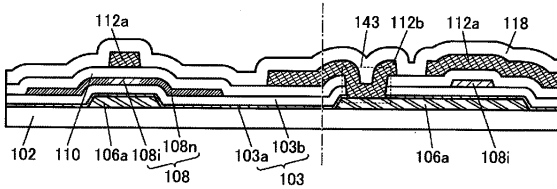
【図 18 A】

図18A



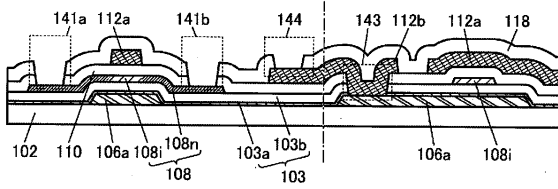
【図 18 B】

図18B



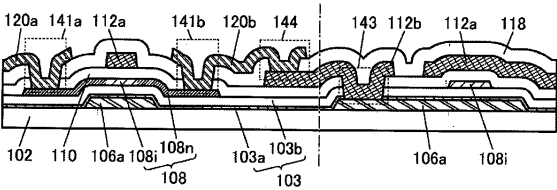
【図 18 C】

図18C



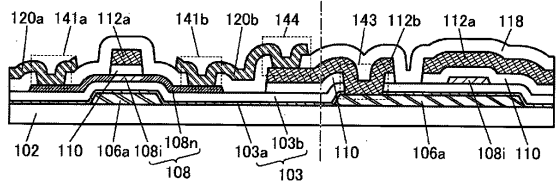
【図 18 D】

図18D



【図 19 A】

図19A



10

20

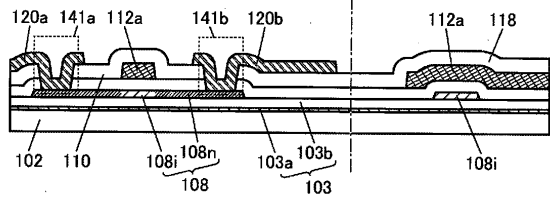
30

40

50

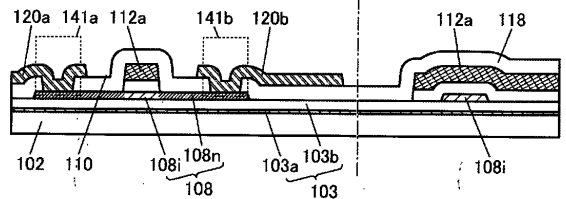
【図 19 B】

図19B



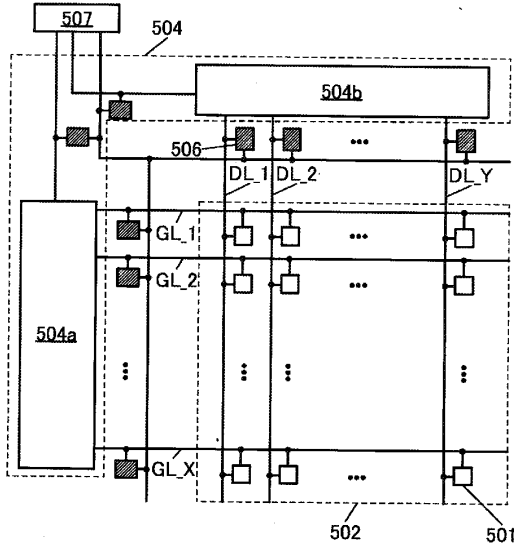
【図 19 C】

図19C



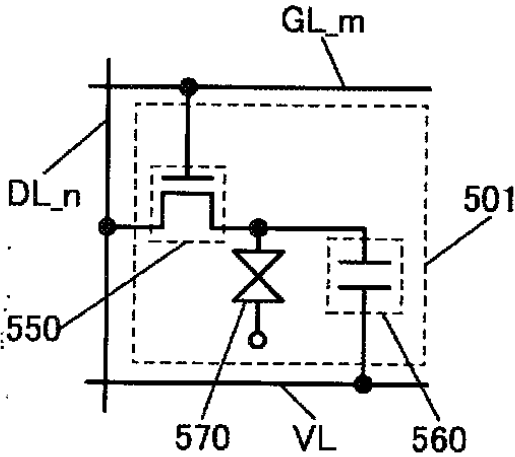
【図 20 A】

図20A



【図 20 B】

図20B



10

20

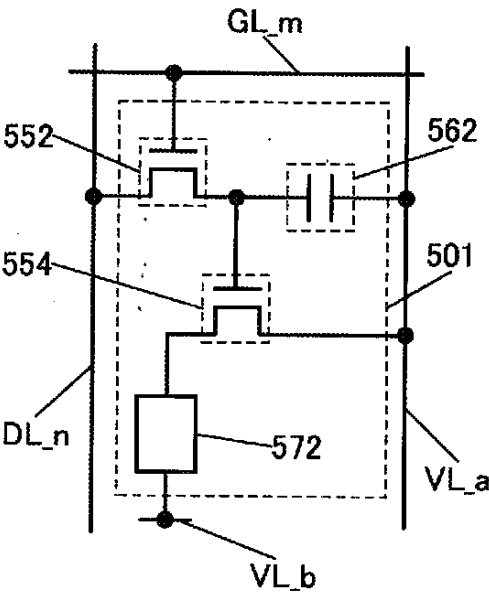
30

40

50

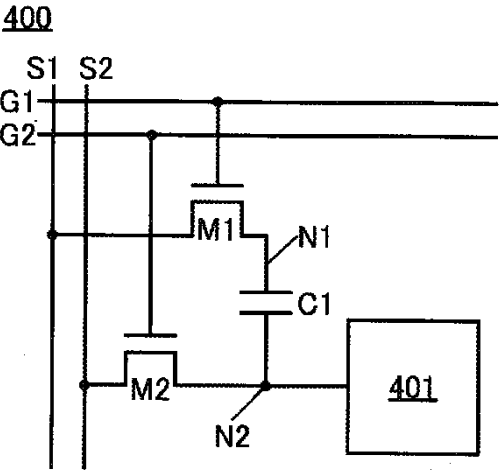
【図 20 C】

図20C



【図 21 A】

図21A

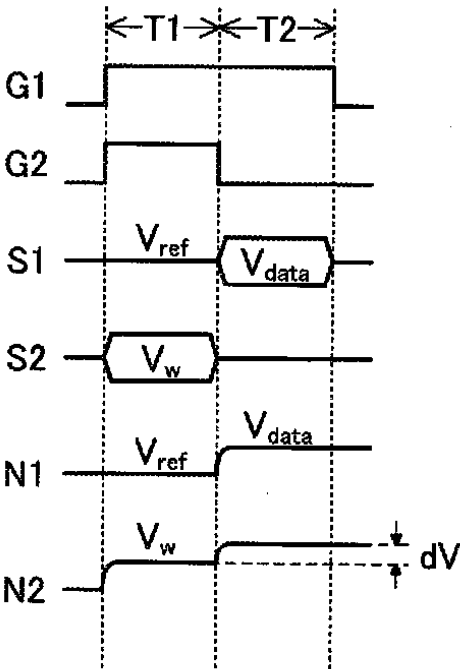


10

20

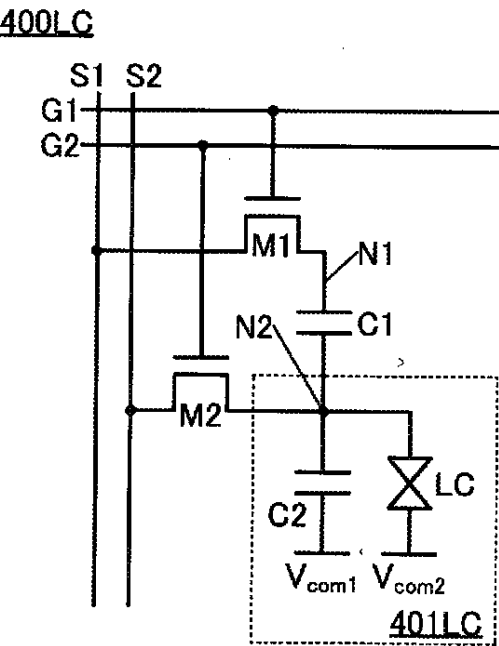
【図 21 B】

図21B



【図 21 C】

図21C



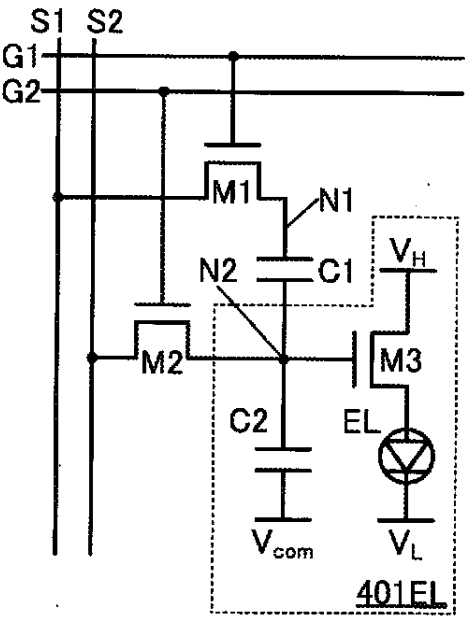
30

40

50

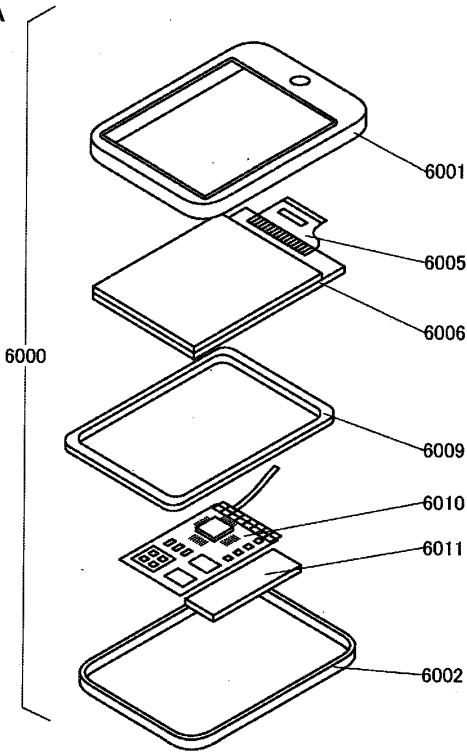
【図 2 1 D】

図21D
400EL



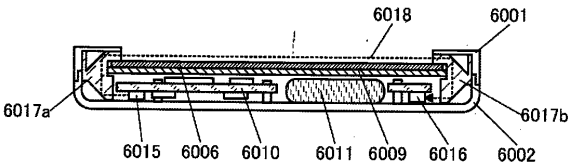
【図 2 2 A】

図22A



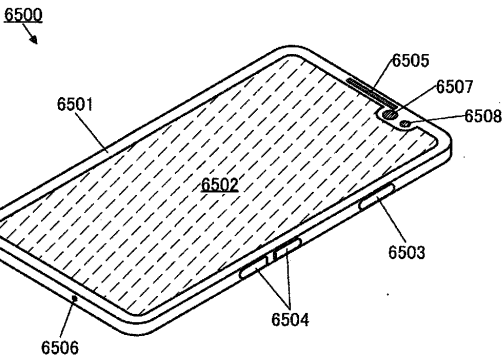
【図 2 2 B】

図22B
6000



【図 2 3 A】

図23A



10

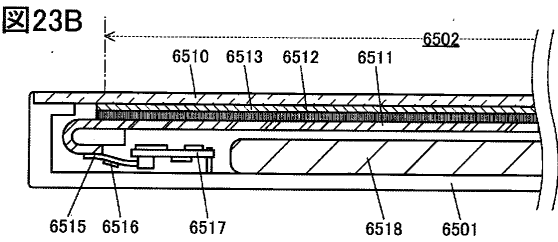
20

30

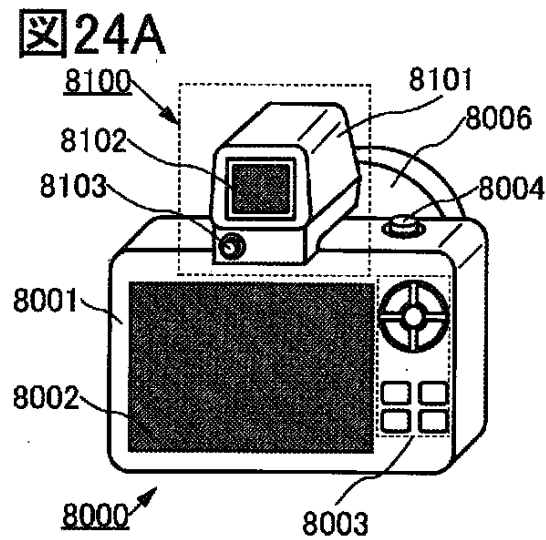
40

50

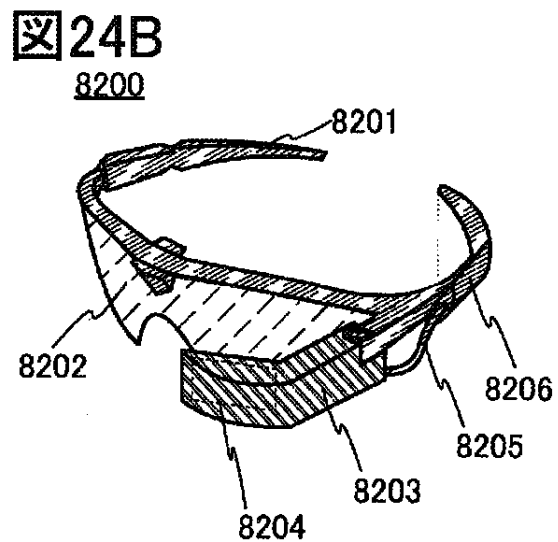
【図 2 3 B】



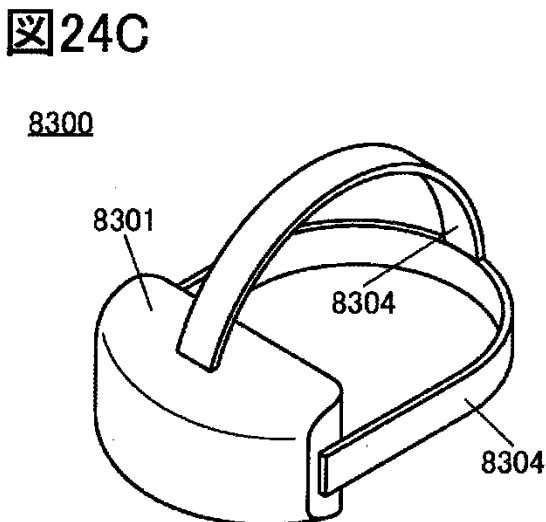
【図 2 4 A】



【図 2 4 B】



【図 2 4 C】



10

20

30

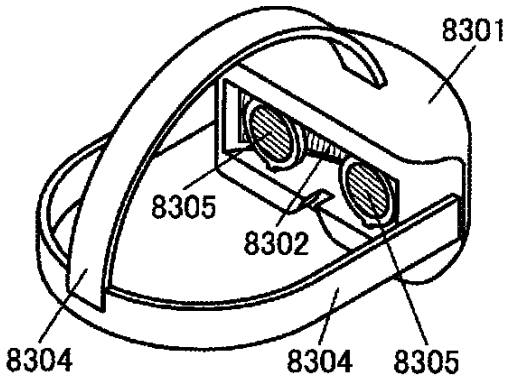
40

50

【図 2 4 D】

図24D

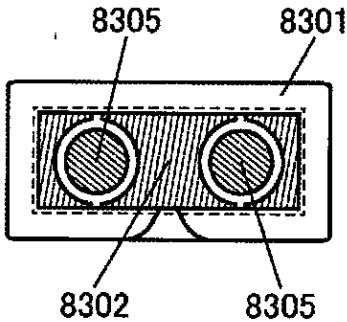
8300



【図 2 4 E】

図24E

8300

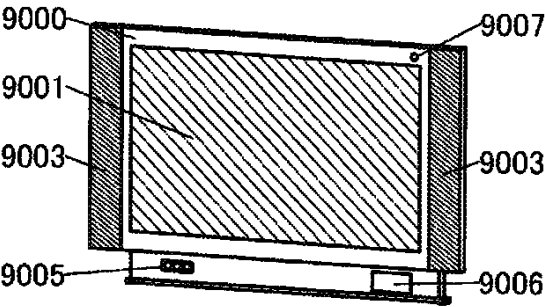


10

【図 2 5 A】

図25A

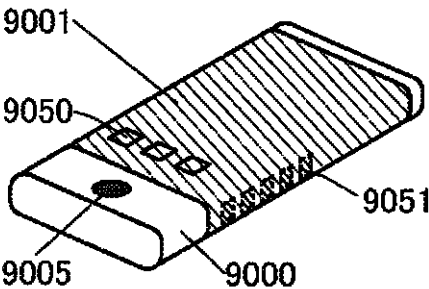
9100



【図 2 5 B】

図25B

9101



20

30

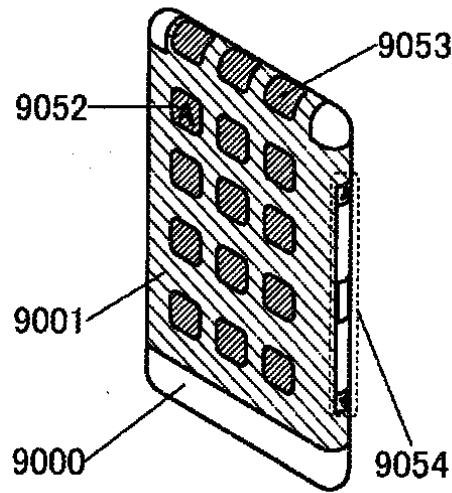
40

50

【図 2 5 C】

図25C

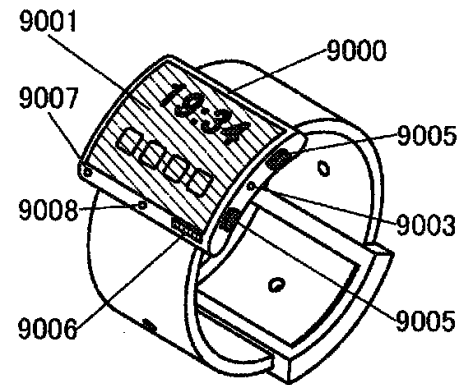
9102



【図 2 5 D】

図25D

9200



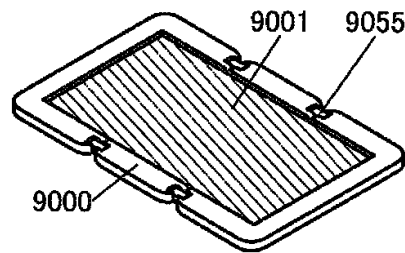
10

20

【図 2 5 E】

図25E

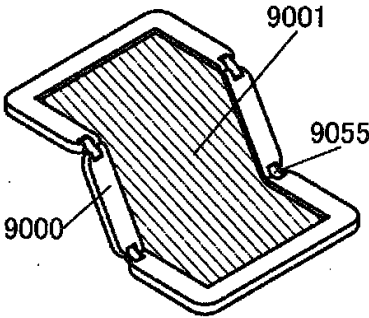
9201



【図 2 5 F】

図25F

9201



30

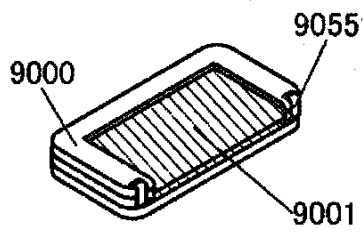
40

50

【図 2 5 G】

図 25G

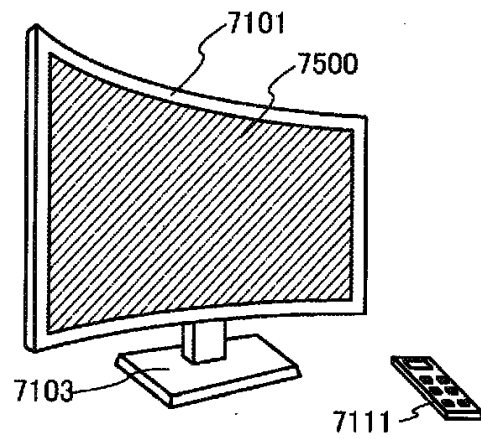
9201



【図 2 6 A】

図 26A

7100

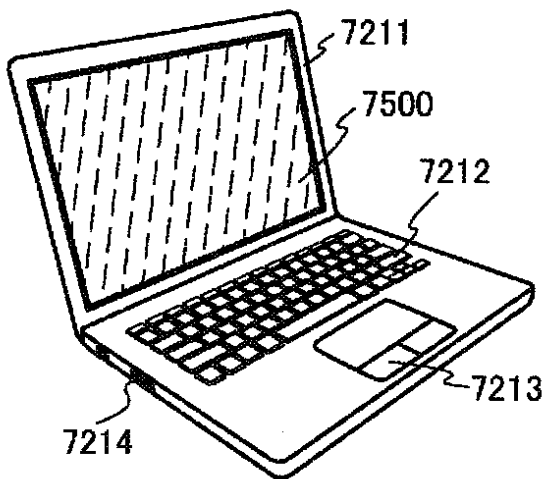


10

【図 2 6 B】

図 26B

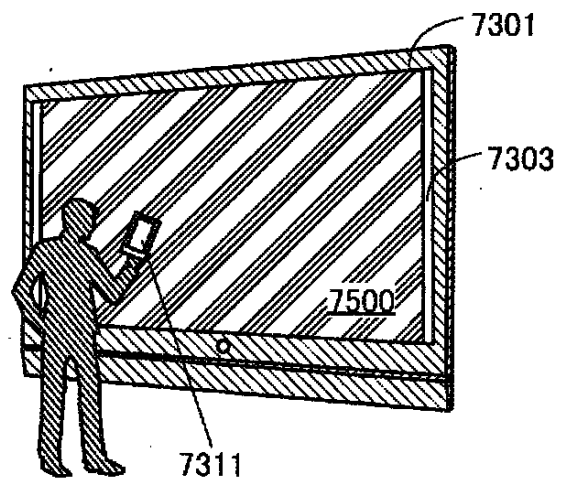
7200



【図 2 6 C】

図 26C

7300



30

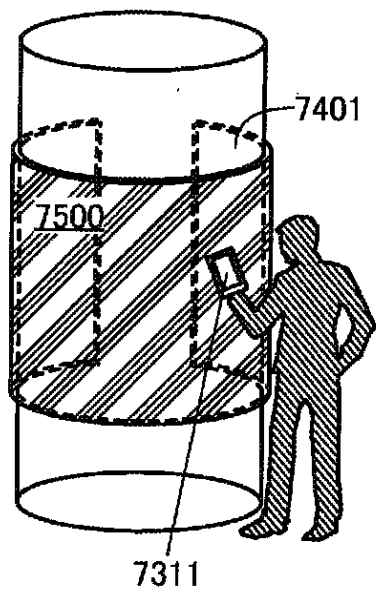
40

50

【図 26 D】

図 26D

7400



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 1 L

29/786 (2006.01)

F I

G 0 9 G

3/20

6 8 0 G

G 0 9 G

3/20

6 7 0 J

G 0 9 G

3/20

6 7 0 E

G 0 9 G

3/20

6 1 2 K

G 0 9 G

3/20

6 2 2 D

H 0 1 L

29/78

6 1 2 Z

(72)発明者 松本 裕功
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
審査官 豊田 真弓

(56)参考文献

特開 2 0 1 4 - 0 3 9 2 4 7 (J P , A)
特開 2 0 1 4 - 0 3 8 3 1 9 (J P , A)
特開 2 0 1 7 - 2 2 5 1 0 0 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 0 4 3 7 0 3 (U S , A 1)
米国特許出願公開第 2 0 1 7 / 0 1 7 8 5 8 1 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

G 1 1 C

1 9 / 2 8

G 0 9 G

3 / 2 0

G 0 9 G

3 / 3 6

G 0 9 G

3 / 3 2 6 6

H 0 1 L

2 1 / 3 3 6