

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-133071
(P2024-133071A)

(43)公開日 令和6年10月1日(2024.10.1)

(51)国際特許分類		F I	
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 2 E
H 0 3 K	19/096(2006.01)	H 0 3 K	19/096 2 3 0
H 0 3 K	19/0185(2006.01)	H 0 3 K	19/0185
H 0 3 K	19/0175(2006.01)	H 0 3 K	19/0175 2 2 0
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/20 6 2 1 M
		審査請求 有 請求項の数 4 O L (全34頁) 最終頁に続く	
(21)出願番号	特願2024-101908(P2024-101908)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷 3 9 8 番地
(22)出願日	令和6年6月25日(2024.6.25)	(72)発明者	三宅 博之 神奈川県厚木市長谷 3 9 8 番地 株式会 社半導体エネルギー研究所内
(62)分割の表示	特願2024-75235(P2024-75235)の 分割		
原出願日	平成25年7月16日(2013.7.16)		
(31)優先権主張番号	特願2012-161253(P2012-161253)		
(32)優先日	平成24年7月20日(2012.7.20)		
(33)優先権主張国・地域又は機関	日本国(JP)		

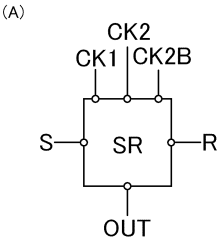
(54)【発明の名称】 半導体装置及び表示装置

(57)【要約】

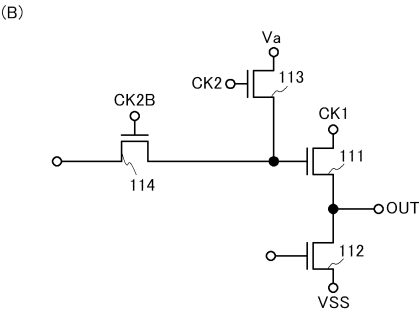
【課題】動作不良の発生を抑制しつつ、トランジスタに対するストレスを抑制する。

【解決手段】パルス信号を出力する機能を有し、該パルス信号をハイレベルに設定するか否かを制御するトランジスタを有するパルス出力回路において、該パルス出力回路が出力するパルス信号がローレベルである期間に、該トランジスタのゲートの電位を、一定の値に保持するのではなく、間欠的に電位V S Sよりも高くする。これにより、上記トランジスタに対するストレスの抑制を図る。

【選択図】図 1



10



20

【特許請求の範囲】

【請求項 1】

ゲートドライバを有し、
前記ゲートドライバは、第 1 乃至第 8 のトランジスタを有し、
前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と常に導通し、
前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、
前記第 2 のトランジスタのソース又はドレインの一方は、電源線と常に導通し、
前記第 2 のトランジスタのソース又はドレインの他方は、前記出力信号線と常に導通し、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、
前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのソース又はドレインの他方と常に導通し、
前記第 4 のトランジスタのゲートは、第 1 の信号線と常に導通し、
前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、
前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、
前記第 7 のトランジスタのソース又はドレインの一方は、第 2 の配線と常に導通し、
前記第 7 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと常に導通し、
前記第 8 のトランジスタのソース又はドレインの一方は、前記電源線と常に導通し、
前記第 8 のトランジスタのソース又はドレインの他方は、前記第 7 のトランジスタのソース又はドレインの他方と常に導通し、
前記第 4 のトランジスタのソース又はドレインの他方が少なくとも前記第 4 のトランジスタのチャンネル形成領域及び前記第 3 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 4 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 4 のトランジスタのチャンネル形成領域及び前記第 3 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、
前記第 5 のトランジスタのソース又はドレインの他方には、前記第 2 の配線に応じた電位が入力され、
前記第 6 のトランジスタのソース又はドレインの他方が少なくとも前記第 6 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 6 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、
前記第 6 のトランジスタのゲートには、第 2 の信号線に応じた電位が入力され、
前記第 7 のトランジスタのゲートには、前記第 2 の信号線に応じた電位が入力され、
前記第 8 のトランジスタのゲートには、前記第 1 の信号線に応じた電位が入力される半導体装置。

【請求項 2】

ゲートドライバと、画素と、を有し、
前記ゲートドライバは、第 1 乃至第 8 のトランジスタを有し、
前記画素は、第 9 及び第 10 のトランジスタと、発光素子と、を有し、
前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と常に導通し、
前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、
前記第 2 のトランジスタのソース又はドレインの一方は、電源線と常に導通し、
前記第 2 のトランジスタのソース又はドレインの他方は、前記出力信号線と常に導通し、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのソース又はドレインの他方と常に導通し、

前記第 4 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、第 2 の配線と常に導通し、

前記第 7 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのソース又はドレインの一方は、前記電源線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 7 のトランジスタのソース又はドレインの他方と常に導通し、

前記第 4 のトランジスタのソース又はドレインの他方が少なくとも前記第 4 のトランジスタのチャンネル形成領域及び前記第 3 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 4 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 4 のトランジスタのチャンネル形成領域及び前記第 3 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソース又はドレインの他方には、前記第 2 の配線に応じた電位が入力され、

前記第 6 のトランジスタのソース又はドレインの他方が少なくとも前記第 6 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 6 のトランジスタのチャンネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 6 のトランジスタのゲートには、第 2 の信号線に応じた電位が入力され、

前記第 7 のトランジスタのゲートには、前記第 2 の信号線に応じた電位が入力され、

前記第 8 のトランジスタのゲートには、前記第 1 の信号線に応じた電位が入力され、

前記第 9 のトランジスタは、前記画素に入力されたデータ信号に従って、前記発光素子への電流の供給を制御する機能を有し、

前記第 10 のトランジスタのソース又はドレインの一方は、前記第 9 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのゲートは、前記出力信号線と常に導通している表示装置。

【請求項 3】

ゲートドライバを有し、

前記ゲートドライバは、第 1 乃至第 8 のトランジスタと、容量素子と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と常に導通し、

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの一方は、電源線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの他方は、前記出力信号線と常に導通し

、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのソース又はドレインの他方と常に導通し、

前記第 4 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、第 2 の配線と常に導通し、

10

20

30

40

50

前記第 7 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと常に導通し、
前記第 8 のトランジスタのソース又はドレインの一方は、前記電源線と常に導通し、
前記第 8 のトランジスタのソース又はドレインの他方は、前記第 7 のトランジスタのソース又はドレインの他方と常に導通し、

前記容量素子の一方の電極は、前記第 2 のトランジスタのゲートと常に導通し、

前記容量素子の他方の電極は、前記電源線と常に導通し、

前記第 4 のトランジスタのソース又はドレインの他方が少なくとも前記第 4 のトランジスタのチャネル形成領域及び前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 4 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 4 のトランジスタのチャネル形成領域及び前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

10

前記第 5 のトランジスタのソース又はドレインの他方には、前記第 2 の配線に応じた電位が入力され、

前記第 6 のトランジスタのソース又はドレインの他方が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 6 のトランジスタのゲートには、第 2 の信号線に応じた電位が入力され、

前記第 7 のトランジスタのゲートには、前記第 2 の信号線に応じた電位が入力され、

20

前記第 8 のトランジスタのゲートには、前記第 1 の信号線に応じた電位が入力される半導体装置。

【請求項 4】

ゲートドライバと、画素と、を有し、

前記ゲートドライバは、第 1 乃至第 8 のトランジスタと、容量素子と、を有し、

前記画素は、第 9 及び第 10 のトランジスタと、発光素子と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と常に導通し、

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの一方は、電源線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの他方は、前記出力信号線と常に導通し

30

、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのソース又はドレインの他方と常に導通し、

前記第 4 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

40

前記第 7 のトランジスタのソース又はドレインの一方は、第 2 の配線と常に導通し、

前記第 7 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのソース又はドレインの一方は、前記電源線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 7 のトランジスタのソース又はドレインの他方と常に導通し、

前記容量素子の一方の電極は、前記第 2 のトランジスタのゲートと常に導通し、

前記容量素子の他方の電極は、前記電源線と常に導通し、

前記第 4 のトランジスタのソース又はドレインの他方が少なくとも前記第 4 のトランジスタのチャネル形成領域及び前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 4 のトランジスタのソース又は

50

ドレインの他方の電位が少なくとも前記第 4 のトランジスタのチャネル形成領域及び前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソース又はドレインの他方には、前記第 2 の配線に応じた電位が入力され、

前記第 6 のトランジスタのソース又はドレインの他方が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタのソース又はドレインの他方の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 6 のトランジスタのゲートには、第 2 の信号線に応じた電位が入力され、

前記第 7 のトランジスタのゲートには、前記第 2 の信号線に応じた電位が入力され、

前記第 8 のトランジスタのゲートには、前記第 1 の信号線に応じた電位が入力され、

前記第 9 のトランジスタは、前記画素に入力されたデータ信号に従って、前記発光素子への電流の供給を制御する機能を有し、

前記第 10 のトランジスタのソース又はドレインの一方は、前記第 9 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのゲートは、前記出力信号線と常に導通している表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス出力回路に関する。さらに、本発明は、表示装置に関する。さらに、本発明は、電子機器に関する。

【背景技術】

【0002】

近年、作製プロセスの簡略化などを目的として、全てのトランジスタが同一の導電型である回路（単極性回路ともいう）の開発が進められている。

【0003】

上記単極性回路の例としては、シフトレジスタを構成するパルス出力回路が挙げられる。

【0004】

例えば、特許文献 1 では、クロック信号のパルスを、パルス信号のパルスの生成に用いたパルス出力回路を複数段有するシフトレジスタが開示されている。さらに、特許文献 1 では、ブートストラップを利用することにより、クロック信号の振幅に対し、出力するパルス信号の振幅の低下を抑制するシフトレジスタが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2002 - 335153 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来のパルス出力回路の構成では、クロック信号の振幅が大きいとトランジスタが劣化し、該トランジスタの電気特性が変動してしまうといった問題があった。

【0007】

例えば、特許文献 1 のシフトレジスタでは、パルス出力回路から出力するパルス信号がローレベルのときに、出力するパルス信号をハイレベルに設定するか否かを制御するトランジスタ（例えば特許文献 1 の図 1（B）のトランジスタ 105）のゲートの電位が電位 VSS に一定期間保持される。このとき、クロック信号に従って上記トランジスタのソース又はドレインの電位が繰り返し変化するため、該トランジスタにストレスが与えられる。これにより、上記トランジスタは劣化する。特に、特許文献 1 のシフトレジスタでは、上記ストレスが与えられる時間が非常に長いため、該上記トランジスタが劣化しやすく、電

10

20

30

40

50

気特性の変動が進行してしまう。

【 0 0 0 8 】

トランジスタに与えられる上記ストレスの影響を抑制するためには、例えばトランジスタのチャネル長を長くするなどの対策が挙げられる。しかしながら、出力するパルス信号をハイレベルに設定するか否かを制御するトランジスタのチャネル長を長くすると、例えば寄生容量などにより、出力するパルス信号が遅延し、動作不良が起こる可能性が高くなるなどの別の問題が生じてしまう。

【 0 0 0 9 】

上記問題に鑑み、本発明の一態様では、動作不良の発生を抑制しつつ、出力するパルス信号をハイレベルに設定するか否かを制御するトランジスタに対するストレスを抑制することを課題の一つとする。

10

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様では、パルス出力回路が出力するパルス信号がローレベルである期間に、該パルス信号をハイレベルに設定するか否かを制御するトランジスタのゲートの電位を、一定の値にするのではなく、間欠的に電位 V_{SS} の電位よりも高くする。これにより、上記トランジスタに対するストレスの抑制を図る。

【 0 0 1 1 】

本発明の一態様は、セット信号、リセット信号、第 1 のクロック信号、第 2 のクロック信号、及び第 2 のクロック信号の反転信号に従いパルス信号を生成する機能を有し、ソース及びドレインの一方の電位が第 1 のクロック信号に従って変化し、ソース及びドレインの他方の電位がパルス信号の電位となる第 1 のトランジスタと、ソース及びドレインの一方に第 1 の電位が与えられ、ソース及びドレインの他方が第 1 のトランジスタのソース及びドレインの他方に電氣的に接続される第 2 のトランジスタと、ソース及びドレインの一方に第 2 の電位が与えられ、ソース及びドレインの他方が第 1 のトランジスタのゲートに電氣的に接続され、ゲートの電位が第 2 のクロック信号に従って変化する第 3 のトランジスタと、ソース及びドレインの一方の電位がセット信号及びリセット信号に従って変化し、ソース及びドレインの他方が第 1 のトランジスタのゲートに電氣的に接続され、ゲートの電位が第 2 のクロック信号の反転信号に従って変化する第 4 のトランジスタと、を有し、第 1 の電位と第 2 の電位の電位差は、第 1 のトランジスタのしきい値電圧よりも大きく、第 2 のクロック信号がハイレベルのとき、第 1 のクロック信号はローレベルであるパルス出力回路である。

20

30

【発明の効果】

【 0 0 1 2 】

本発明の一態様により、出力するパルス信号をハイレベルに設定するか否かを制御するトランジスタのチャネル長を長くせずとも、該トランジスタに対するストレスを低減できる。よって、上記トランジスタの劣化を抑制でき、電気特性の変動を抑制できる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】パルス出力回路の例を説明するための図。

40

【図 2】パルス出力回路の例を説明するための図。

【図 3】パルス出力回路の例を説明するための図。

【図 4】パルス出力回路の例を説明するための図。

【図 5】パルス出力回路の例を説明するための図。

【図 6】パルス出力回路の例を説明するための図。

【図 7】表示装置の例を説明するための図。

【図 8】表示装置の例を説明するための図。

【図 9】表示装置の例を説明するための図。

【図 10】表示装置の例を説明するための図。

【図 11】電子機器の例を説明するための図。

50

【発明を実施するための形態】**【0014】**

本発明に係る実施の形態の例について説明する。なお、本発明の趣旨及び範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、例えば本発明は、下記実施の形態の記載内容に限定されない。

【0015】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

【0016】

また、第1、第2などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数に限定されない。 10

【0017】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0018】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0019】

20

(実施の形態1)

本実施の形態では、パルス出力回路の例について説明する。

【0020】

図1は、本実施の形態に係るパルス出力回路の例を説明するための図である。パルス出力回路SRは、図1(A)に示すように、入力されるセット信号S、リセット信号R、クロック信号CK1、クロック信号CK2、及びクロック信号CK2Bに従い、出力信号OUTとしてパルス信号を生成する機能を有する。クロック信号CK2Bとしては、クロック信号CK2の反転信号を用いることができるが、別のクロック信号をクロック信号CK2Bとして用いてもよい。

【0021】

30

さらに、図1(A)に示すパルス出力回路SRは、図1(B)に示すように、トランジスタ111乃至トランジスタ114を有する。トランジスタ111乃至トランジスタ114は、同一の導電型である。トランジスタ111乃至トランジスタ114のそれぞれは、セット信号S、リセット信号R、及びクロック信号CK1、クロック信号CK2、及びクロック信号CK2Bの一つ又は複数に従い導通が制御される。なお、図1(A)に示すパルス出力回路SRにトランジスタ111乃至トランジスタ114以外の素子を設けてもよい。

【0022】

トランジスタ111のソース及びドレインの一方の電位は、クロック信号CK1に従い変化し、他方の電位がパルス信号(出力信号OUT)の電位となる。トランジスタ111は、パルス信号(出力信号OUT)をハイレベルに設定するか否かを制御する機能を有する。 40

【0023】

なお、「信号に従い電位が変化する」とは、「信号が直接入力されることで電位が該信号の電位に変化する場合」のみに限定されない。例えば、「信号に従いスイッチがオン状態になることにより、電位が変化する場合」や、「容量結合により、信号の変化に合わせて電位が変化する場合」なども「信号に従い電位が変化する」に含まれる。

【0024】

また、「信号に応じた電位」とは、「信号の電位と同じ値の電位」のみに限定されない。例えば、電圧降下により信号の電位が変化した値も「信号に応じた電位」に含まれる。 50

【 0 0 2 5 】

トランジスタ 1 1 2 のソース及びドレインの一方には、電位 V_{SS} が与えられ、他方は、トランジスタ 1 1 1 のソース及びドレインの他方に電氣的に接続される。さらに、トランジスタ 1 1 2 のゲートの電位は、セット信号 S 及びリセット信号 R に従い変化する。なお、クロック信号 CK_1 及びクロック信号 CK_2 とは異なるクロック信号を用いてトランジスタ 1 1 2 のゲートの電位を制御してもよい。トランジスタ 1 1 2 は、ゲートの電位に応じてオン状態又はオフ状態になることにより、パルス信号（出力信号 OUT ）をローレベルに設定するか否かを制御する機能を有する。

【 0 0 2 6 】

トランジスタ 1 1 3 のソース及びドレインの一方には、電位 V_a が与えられ、他方は、トランジスタ 1 1 1 のゲートに電氣的に接続される。さらに、トランジスタ 1 1 3 のゲートの電位は、クロック信号 CK_2 に従い変化する。トランジスタ 1 1 3 は、トランジスタ 1 1 1 のゲートの電位を電位 V_a に応じた値に設定するか否かを制御する機能を有する。

【 0 0 2 7 】

なお、「電位に応じた値」とは、「該電位と同じ値」のみに限定されない。例えば、電圧降下により上記電位の値から変化した場合も「電位に応じた値」に含まれる。

【 0 0 2 8 】

トランジスタ 1 1 4 のソース及びドレインの一方の電位は、セット信号 S 及びリセット信号 R に従い変化し、他方は、トランジスタ 1 1 1 のゲートに電氣的に接続される。さらに、トランジスタ 1 1 4 のゲートの電位は、クロック信号 CK_2B に従い変化する。トランジスタ 1 1 4 は、トランジスタ 1 1 1 のゲートを浮遊状態にするか否かを制御する機能を有する。

【 0 0 2 9 】

トランジスタ 1 1 1 乃至トランジスタ 1 1 4 としては、チャネル形成領域に例えばシリコンよりもバンドギャップが広い半導体を含むトランジスタを適用できる。バンドギャップの広い半導体としては、例えば酸化物半導体を適用できる。ただし、これに限定されず、例えば 1 4 族（シリコンなどの）の元素を有する半導体を含むトランジスタをトランジスタ 1 1 1 乃至トランジスタ 1 1 4 に用いてもよい。このとき、1 4 族の元素を有する半導体が単結晶、多結晶、又は非晶質でもよい。

【 0 0 3 0 】

上記酸化物半導体としては、例えば In 系金属酸化物、 Zn 系金属酸化物、 $In-Zn$ 系金属酸化物、又は $In-Ga-Zn$ 系金属酸化物などを適用できる。また、上記 $In-Ga-Zn$ 系金属酸化物に含まれる Ga の一部若しくは全部の代わりに他の金属元素を含む金属酸化物を用いてもよい。

【 0 0 3 1 】

以下、酸化物半導体膜の構造について説明する。

【 0 0 3 2 】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、 $CAC-OS$ (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【 0 0 3 3 】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【 0 0 3 4 】

微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

10

20

30

40

50

【0035】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0036】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0037】

C A A C - O S 膜を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。)または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0038】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0039】

断面TEM観察および平面TEM観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0040】

C A A C - O S 膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角 (2 θ) が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0041】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の (110) 面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸 (c軸) として試料を回転させながら分析 (スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、2 θ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0042】

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0043】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面

または上面の法線ベクトルと平行にならないこともある。

【 0 0 4 4 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 0 4 5 】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout - of - plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

【 0 0 4 6 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 0 4 7 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 0 4 8 】

以上が、酸化物半導体膜の構造に関する説明である。

20

【 0 0 4 9 】

さらに、本実施の形態に係るパルス出力回路の構成例について図2を参照して説明する。

【 0 0 5 0 】

図2(A)に示すパルス出力回路は、セット信号Sに相当するセット信号L I N、リセット信号Rに相当するリセット信号R I N、クロック信号C K 1、クロック信号C K 2、及びクロック信号C K 2 Bに従い出力信号O U T及び出力信号S R O U Tを生成する機能を有する。

【 0 0 5 1 】

図2(A)に示すパルス出力回路は、トランジスタ4 1乃至トランジスタ5 1を有する。

30

【 0 0 5 2 】

トランジスタ4 1のソース及びドレインの一方には、電位V D Dが与えられる。さらに、トランジスタ4 1のゲートには、セット信号L I Nが入力される。

【 0 0 5 3 】

トランジスタ4 2のソース及びドレインの一方には、電位V S Sが与えられ、他方は、トランジスタ4 1のソース及びドレインの他方に電氣的に接続される。

【 0 0 5 4 】

トランジスタ4 3のソース及びドレインの一方は、トランジスタ4 1のソース及びドレインの他方に電氣的に接続される。さらに、トランジスタ4 3のゲートには、クロック信号C K 2 Bが入力される。トランジスタ4 3は、図1(B)に示すトランジスタ1 1 4に相当する。

40

【 0 0 5 5 】

トランジスタ4 4のソース及びドレインの一方には、クロック信号C K 1が入力され、他方の電位がパルス信号(出力信号O U T)の電位となる。さらに、トランジスタ4 4のゲートは、トランジスタ4 3のソース及びドレインの他方に電氣的に接続される。トランジスタ4 4は、図1(B)に示すトランジスタ1 1 1に相当する。

【 0 0 5 6 】

さらに、トランジスタ4 4のゲートとソース及びドレインの他方との間には、容量C 1が形成される。例えば、トランジスタ4 4のゲートとソース及びドレインの他方との間の寄生容量を容量C 1に用いてもよい。

50

【 0 0 5 7 】

トランジスタ 4 5 のソース及びドレインの一方には、電位 V_{SS} が与えられ、他方は、トランジスタ 4 4 のソース及びドレインの他方に電氣的に接続される。トランジスタ 4 5 は、図 1 (B) に示すトランジスタ 1 1 2 に相当する。

【 0 0 5 8 】

トランジスタ 4 6 のソース及びドレインの一方には、クロック信号 CK_1 が入力され、他方の電位がパルス信号 (出力信号 $SROUT$) の電位となる。さらに、トランジスタ 4 6 のゲートは、トランジスタ 4 3 のソース及びドレインの他方に電氣的に接続される。

【 0 0 5 9 】

さらに、トランジスタ 4 6 のゲートとソース及びドレインの他方との間には、容量 C_2 が形成される。例えば、トランジスタ 4 6 のゲートとソース及びドレインの他方との間の寄生容量を容量 C_2 に用いてもよい。なお、必ずしも容量 C_2 を形成しなくてもよい。

【 0 0 6 0 】

トランジスタ 4 7 のソース及びドレインの一方には、電位 V_{SS} が与えられ、他方は、トランジスタ 4 6 のソース及びドレインの他方に電氣的に接続される。さらに、トランジスタ 4 7 のゲートは、トランジスタ 4 2 のゲートに電氣的に接続される。

【 0 0 6 1 】

なお、必ずしもトランジスタ 4 6 及び 4 7 を設けなくてもよい。

【 0 0 6 2 】

トランジスタ 4 8 のソース及びドレインの一方には、電位 V_a が与えられ、他方は、トランジスタ 4 4 のゲート及びトランジスタ 4 6 のゲートに電氣的に接続される。さらに、トランジスタ 4 8 のゲートには、クロック信号 CK_2 が入力される。トランジスタ 4 8 は、図 1 (B) に示すトランジスタ 1 1 3 に相当する。

【 0 0 6 3 】

トランジスタ 4 9 のソース及びドレインの一方には、電位 V_{DD} が与えられ、他方は、トランジスタ 4 5 のゲート及びトランジスタ 4 7 のゲートに電氣的に接続される。さらに、トランジスタ 4 9 のゲートには、リセット信号 RIN が入力される。

【 0 0 6 4 】

トランジスタ 5 0 のソース及びドレインの一方には、電位 V_{SS} が与えられ、他方は、トランジスタ 4 5 のゲート及びトランジスタ 4 7 のゲートに電氣的に接続される。さらに、トランジスタ 5 0 のゲートには、セット信号 LIN が入力される。

【 0 0 6 5 】

トランジスタ 5 1 のソース及びドレインの一方には、電位 V_{DD} が与えられ、他方は、トランジスタ 4 5 のゲート及びトランジスタ 4 7 のゲートに電氣的に接続される。さらに、トランジスタ 5 1 のゲートには、クロック信号 CK_2 が入力される。なお、トランジスタ 4 8 及びトランジスタ 5 1 の一方又は両方のチャンネル長をトランジスタ 4 4 又はトランジスタ 4 6 のチャンネル長よりも長くしてもよい。トランジスタ 5 1 のチャンネル長を長くすることにより、トランジスタ 5 1 に対するストレスの影響を低減できる。

【 0 0 6 6 】

容量 C_3 の一対の電極の一方には、電位 V_{SS} が与えられ、他方は、トランジスタ 4 5 のゲート、トランジスタ 4 7 のゲートに電氣的に接続される。容量 C_3 は、保持容量としての機能を有する。なお、必ずしも容量 C_3 を設けなくてもよい。

【 0 0 6 7 】

トランジスタ 4 1 乃至トランジスタ 5 1 としては、例えばチャンネル形成領域に上記酸化物半導体を含むトランジスタを適用できる。

【 0 0 6 8 】

次に、本実施の形態に係るパルス出力回路の駆動方法例として、図 2 (A) に示すパルス出力回路の駆動方法例について、図 2 (B) のタイミングチャートを参照して説明する。ここでは、一例として、トランジスタ 4 1 乃至トランジスタ 5 1 のそれぞれが N チャンネル型であり、電位 V_{DD} が正の電位であり、電位 V_{SS} が負の電位であり、電位 V_a の値が

10

20

30

40

50

電位 V_{DD} の値と同じであるとして説明する。また、セット信号 LIN 、リセット信号 RIN 、及びクロック信号 $CK1$ 、クロック信号 $CK2$ 、及びクロック信号 $CK2B$ のハイレベルの電位は、電位 V_{DD} と同じであり、ローレベルの電位は、電位 V_{SS} と同じであるとする。また、電位 V_a とクロック信号 $CK1$ のローレベルの電位との電位差は、トランジスタ 44 及びトランジスタ 46 のしきい値電圧よりも大きいとする。また、トランジスタ 44 のゲートと他の素子との接続箇所をノード NA とする。

【0069】

なお本明細書において、電位 V_{SS} とは、回路を動作させるために必要な、少なくとも 2 つの電源電位のうち、低い方の電位である。前記 2 つの電源電位のうち、高い方の電位は電位 V_{DD} である。

10

【0070】

図 2 (A) に示すパルス出力回路では、図 2 (B) の期間 $T1$ において、セット信号 LIN がハイレベルになり、トランジスタ 41 及びトランジスタ 50 がオン状態になる。また、リセット信号 RIN がローレベルであるため、トランジスタ 49 はオフ状態である。また、クロック信号 $CK1$ はローレベルである。また、クロック信号 $CK2$ がローレベルであるため、トランジスタ 48 及びトランジスタ 51 はオフ状態である。また、クロック信号 $CK2B$ がハイレベルになり、トランジスタ 43 がオン状態になる。

【0071】

このとき、ノード NA の電位が電位 V_{DD} と同等の値まで上昇し、トランジスタ 44、トランジスタ 46 がオン状態になり、トランジスタ 41 及びトランジスタ 43 がオフ状態になる。さらに、クロック信号 $CK1$ がローレベルであるため、出力信号 OUT 、出力信号 $SROUT$ は、ローレベルになる。以上により、図 2 (A) に示すパルス出力回路は、セット状態になる。

20

【0072】

次に、期間 $T2$ において、セット信号 LIN がローレベルになり、トランジスタ 41 及びトランジスタ 50 がオフ状態になる。また、クロック信号 $CK1$ がハイレベルになる。また、リセット信号 RIN がローレベルのままであるため、トランジスタ 49 はオフ状態のままである。また、クロック信号 $CK2$ がローレベルのままであるため、トランジスタ 48 及びトランジスタ 51 はオフ状態のままである。また、クロック信号 $CK2B$ はハイレベルのままである。

30

【0073】

このとき、トランジスタ 44 はオン状態のままであり、クロック信号 $CK1$ がハイレベルであるため、トランジスタ 44 のゲートとソース及びドレインの他方との間に生じる容量 $C1$ によって生じる容量結合により、ノード NA の電位が電位 V_{DD} とトランジスタ 44 のしきい値電圧 (V_{th44}) の和よりもさらに高い値、すなわち、 $V_{DD} + V_{th44} + V_x$ (V_x は任意の電位) まで上昇する。いわゆるブートストラップである。これにより、出力信号 OUT の電位は、クロック信号 $CK1$ のハイレベルの電位と同等の値になる。同様に、出力信号 $SROUT$ の電位もクロック信号 $CK1$ のハイレベルの電位と同等の値になる。

【0074】

40

次に、期間 $T3$ において、リセット信号 RIN がハイレベルになり、トランジスタ 49 がオン状態になる。また、クロック信号 $CK1$ がローレベルになる。また、クロック信号 $CK2B$ がローレベルになり、トランジスタ 43 がオフ状態になる。また、クロック信号 $CK2$ がハイレベルになり、トランジスタ 48 及びトランジスタ 51 がオン状態になる。また、セット信号 LIN がローレベルのままであるため、トランジスタ 41 及びトランジスタ 50 はオフ状態のままである。

【0075】

このとき、トランジスタ 42、トランジスタ 45、トランジスタ 47 がオン状態になる。また、トランジスタ 48 がオン状態であるため、ノード NA の電位は、電位 V_a と同等の値になり、トランジスタ 44、トランジスタ 46 はオン状態のままである。クロック信号

50

C K 1 はローレベルであるため、出力信号 O U T、出力信号 S R O U T の電位は、クロック信号 C K 1 のローレベルの電位と同等の値になる。これにより、図 2 (A) に示すパルス出力回路は、リセット状態になる。

【 0 0 7 6 】

次に、期間 T 4 において、リセット信号 R I N がローレベルになり、トランジスタ 4 9 がオフ状態になる。また、クロック信号 C K 2 がローレベルになり、トランジスタ 4 8 及びトランジスタ 5 1 がオフ状態になる。また、クロック信号 C K 2 B がハイレベルになり、トランジスタ 4 3 がオン状態になる。また、セット信号 L I N がローレベルのままであるため、トランジスタ 4 1 及びトランジスタ 5 0 はオフ状態のままである。また、クロック信号 C K 1 はローレベルのままである。

10

【 0 0 7 7 】

このとき、トランジスタ 4 2、トランジスタ 4 5、及びトランジスタ 4 7 はオフ状態のままである。さらに、トランジスタ 4 3 がオン状態であり、ノード N A の電位が電位 V S S と同等の値のままであるため、トランジスタ 4 4、トランジスタ 4 6 はオフ状態のままである。さらに、クロック信号 C K 1 がローレベルのままであるため、出力信号 O U T、出力信号 S R O U T は、ローレベルのままである。

【 0 0 7 8 】

次に、期間 T 5 において、セット信号 L I N がローレベルのままであるため、トランジスタ 4 1 及びトランジスタ 5 0 はオフ状態のままである。また、リセット信号 R I N がローレベルのままであるため、トランジスタ 4 9 はオフ状態のままである。また、クロック信号 C K 1 はローレベルのままである。また、クロック信号 C K 2 がローレベルのままであるため、トランジスタ 4 8 及びトランジスタ 5 1 はオフ状態のままである。また、クロック信号 C K 2 B がハイレベルのままであるため、トランジスタ 4 3 はオン状態のままである。

20

【 0 0 7 9 】

このとき、トランジスタ 4 2、トランジスタ 4 5、及びトランジスタ 4 7 はオフ状態のままである。さらに、トランジスタ 4 3 がオン状態であり、ノード N A の電位が電位 V S S と同等の値のままであるため、トランジスタ 4 4、トランジスタ 4 6 はオフ状態のままである。さらに、クロック信号 C K 1 がローレベルのままであるため、出力信号 O U T、出力信号 S R O U T は、ローレベルのままである。

30

【 0 0 8 0 】

次に、期間 T 6 において、クロック信号 C K 1 がハイレベルになる。また、セット信号 L I N がローレベルのままであるため、トランジスタ 4 1 及びトランジスタ 5 0 はオフ状態のままである。また、リセット信号 R I N がローレベルのままであるため、トランジスタ 4 9 はオフ状態のままである。また、クロック信号 C K 2 がローレベルのままであるため、トランジスタ 4 8 及びトランジスタ 5 1 はオフ状態のままである。また、クロック信号 C K 2 B がハイレベルのままであるため、トランジスタ 4 3 はオン状態のままである。

【 0 0 8 1 】

このとき、トランジスタ 4 2、トランジスタ 4 5、及びトランジスタ 4 7 はオン状態のままである。さらに、トランジスタ 4 3 がオン状態であり、ノード N A の電位が電位 V S S と同等の値のままであるため、トランジスタ 4 4、トランジスタ 4 6 はオフ状態のままである。このとき、クロック信号 C K 1 がハイレベルになるが、トランジスタ 4 4、トランジスタ 4 6 がオフ状態であるため、出力信号 O U T、出力信号 S R O U T はローレベルのままである。

40

【 0 0 8 2 】

次に、期間 T 7 において、クロック信号 C K 2 がハイレベルになり、トランジスタ 4 8 及びトランジスタ 5 1 がオン状態になる。また、クロック信号 C K 2 B がローレベルになり、トランジスタ 4 3 がオフ状態になる。また、クロック信号 C K 1 がローレベルになる。また、セット信号 L I N がローレベルのままであるため、トランジスタ 4 1 及びトランジスタ 5 0 はオフ状態のままである。また、リセット信号 R I N がローレベルのままである

50

なお、図 3 に示す構成においても同様に、トランジスタにバックゲートを設けてもよい。

【 0 0 9 0 】

さらに、図 2 (A) に示すパルス出力回路を複数段備えるシフトレジスタの例について図 5 を参照して説明する。

【 0 0 9 1 】

図 5 (A) に示すシフトレジスタ 3 0 は、複数段のパルス出力回路 (パルス出力回路 3 1 __ 1 乃至パルス出力回路 3 1 __ N (N は 2 以上の自然数)) を有する。図 5 (A) では、一例として $N = 5$ 以上の場合について示す。

【 0 0 9 2 】

パルス出力回路 3 1 __ 1 乃至パルス出力回路 3 1 __ N のそれぞれは、図 2 (A) に示すパルス出力回路に相当する。パルス出力回路 3 1 __ 1 乃至パルス出力回路 3 1 __ N は、図 5 (B) に示すように、セット信号 LIN 、リセット信号 RIN 、初期化信号 RES 、クロック信号 $CK1$ 、クロック信号 $CK2$ 、及びクロック信号 $CK2B$ に従い、出力信号 OUT 、出力信号 $SROUT$ として複数のパルス信号を生成して出力する機能を有する。

【 0 0 9 3 】

パルス出力回路 3 1 __ 1 には、セット信号 LIN としてスタートパルス信号 SP が入力される。さらに、パルス出力回路 3 1 __ K (K は 2 以上 N 以下の自然数) には、セット信号 LIN としてパルス出力回路 3 1 __ K - 1 から出力される出力信号 $SROUT$ であるパルス信号が入力される。

【 0 0 9 4 】

パルス出力回路 3 1 __ M (M は N - 1 以下の自然数) には、リセット信号 RIN としてパルス出力回路 3 1 __ M + 1 から出力される出力信号 $SROUT$ であるパルス信号が入力される。

【 0 0 9 5 】

さらに、パルス出力回路 3 1 __ 1 には、クロック信号 $CK1$ としてクロック信号 $CLK1$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK2$ が入力され、クロック信号 $CK2B$ としてクロック信号 $CLK2$ の反転クロック信号 $CLK2B$ が入力される。さらに、パルス出力回路 3 1 __ 1 を基準として、3 つ置きのパルス出力回路毎にクロック信号 $CK1$ としてクロック信号 $CLK1$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK2$ が入力され、クロック信号 $CK2B$ として反転クロック信号 $CLK2B$ が入力される。

【 0 0 9 6 】

さらに、パルス出力回路 3 1 __ 2 には、クロック信号 $CK1$ としてクロック信号 $CLK2$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK3$ が入力され、クロック信号 $CK2B$ としてクロック信号 $CLK3$ の反転クロック信号 $CLK3B$ が入力される。さらに、パルス出力回路 3 1 __ 2 を基準として、3 つ置きのパルス出力回路毎にクロック信号 $CK1$ としてクロック信号 $CLK2$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK3$ が入力され、クロック信号 $CK2B$ として反転クロック信号 $CLK3B$ が入力される。

【 0 0 9 7 】

さらに、パルス出力回路 3 1 __ 3 には、クロック信号 $CK1$ としてクロック信号 $CLK3$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK4$ が入力され、クロック信号 $CK2B$ としてクロック信号 $CLK4$ の反転クロック信号 $CLK4B$ が入力される。さらに、パルス出力回路 3 1 __ 3 を基準として、3 つ置きのパルス出力回路毎にクロック信号 $CK1$ としてクロック信号 $CLK3$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK4$ が入力され、クロック信号 $CK2B$ として反転クロック信号 $CLK4B$ が入力される。

【 0 0 9 8 】

さらに、パルス出力回路 3 1 __ 4 には、クロック信号 $CK1$ としてクロック信号 $CLK4$ が入力され、クロック信号 $CK2$ としてクロック信号 $CLK1$ が入力され、クロック信号

10

20

30

40

50

C K 2 Bとしてクロック信号C L K 1の反転クロック信号C L K 1 Bが入力される。さらに、パルス出力回路3 1 __ 4を基準として、3つ置きのパルス出力回路毎にクロック信号C K 1としてクロック信号C L K 4が入力され、クロック信号C K 2としてクロック信号C L K 1が入力され、クロック信号C K 2 Bとして反転クロック信号C L K 1 Bが入力される。

【 0 0 9 9 】

パルス出力回路3 1 __ N + 1は、ダミー段のパルス出力回路である。パルス出力回路3 1 __ N + 1の構成は、図2 (A)に示すパルス出力回路の構成のうち、トランジスタ4 9が無い構成である。パルス出力回路3 1 __ N + 1から出力される出力信号S R O U T __ N + 1であるパルス信号は、リセット信号R I Nとしてパルス出力回路3 1 __ Nに入力される。なお、パルス出力回路3 1 __ N + 1を設けずに、別途生成したパルス信号をパルス出力回路3 1 __ Nに入力してもよい。

10

【 0 1 0 0 】

さらに、パルス出力回路3 1 __ 1乃至パルス出力回路3 1 __ N + 1のそれぞれには、初期化信号R E Sとして、初期化信号I N I __ R E Sが入力される。

【 0 1 0 1 】

なお、反転クロック信号C L K 1 B乃至反転クロック信号C L K 4 Bは、例えばインバータなどを用いてクロック信号C L K 1乃至クロック信号C L K 4を反転させることにより生成される。

【 0 1 0 2 】

次に、図5 (A)に示すシフトレジスタ3 0の駆動方法例について、図5 (C)のタイミングチャートを参照して説明する。ここでは、一例として、電位V D Dが正の電位であり、電位V S Sが負の電位であり、電位V aが電位V D Dと同等の値であるとして説明する。また、一例として、セット信号L I N、リセット信号R I N、及びクロック信号C L K 1乃至クロック信号C L K 4、反転クロック信号C L K 1 B乃至反転クロック信号C L K 4 B、のハイレベルの電位は、電位V D Dと同じであり、ローレベルの電位は、電位V S Sと同じであるとする。また、一例として、クロック信号C L K 1乃至クロック信号C L K 4のデューティ比が2 5 %であるとする。また、一例として、クロック信号C L K 2がクロック信号C L K 1よりも1 / 4周期分遅れているとし、クロック信号C L K 3がクロック信号C L K 2よりも1 / 4周期分遅れているとし、クロック信号C L K 4がクロック信号C L K 3よりも1 / 4周期分遅れているとする。また、一例として、スタートパルス信号S Pのパルスの幅がクロック信号C L K 1乃至クロック信号C L K 4のパルスの幅と同じであるとする。また、各パルス出力回路がセット状態になる前に、初期化信号I N I __ R E Sのパルスを入力し、パルス出力回路の初期化を行うとする。

20

30

【 0 1 0 3 】

図5 (C)に示すように、図5 (A)に示すシフトレジスタ3 0は、時刻T 1 1にスタートパルス信号S Pがハイレベルになることにより、時刻T 1 2にクロック信号C L K 1がハイレベルになる。さらに、シフトレジスタ3 0は、クロック信号C L K 1乃至クロック信号C L K 4、反転クロック信号C L K 1 B乃至反転クロック信号C L K 4 B (図示せず) に従い、出力信号S R O U T __ 1乃至出力信号S R O U T __ Nのパルスを順次出力し、出力信号O U T __ 1乃至出力信号O U T __ Nのパルスを順次出力する。

40

【 0 1 0 4 】

以上が図5 (A)に示すシフトレジスタ3 0の駆動方法例の説明である。

【 0 1 0 5 】

なお、図5 (A)に示すシフトレジスタ3 0に保護回路を設けてもよい。例えば、図6 (A)に示すシフトレジスタ3 0は、図5 (A)に示すシフトレジスタ3 0において、初期化信号I N I __ R E S、クロック信号C L K 1乃至クロック信号C L K 4、反転クロック信号C L K 1 B乃至反転クロック信号C L K 4 B、スタートパルス信号S Pを入力するための配線に保護回路3 2が接続された構成である。

【 0 1 0 6 】

50

また、図 6 (B) に示すシフトレジスタ 3 0 は、図 5 (A) に示すシフトレジスタ 3 0 から出力信号 O U T _ 1 乃至出力信号 O U T _ N を出力するための配線に保護回路 3 3 が接続された構成である。

【 0 1 0 7 】

また、図 5 (A) に示すシフトレジスタ 3 0 に図 6 (A) に示す保護回路 3 2 と、図 6 (B) に示す保護回路 3 3 を設けてもよい。

【 0 1 0 8 】

保護回路 3 2 及び保護回路 3 3 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の電源線とを導通状態にする回路である。保護回路 3 2 及び保護回路 3 3 は、例えばダイオードなどを用いて構成される。

10

【 0 1 0 9 】

図 6 に示すように、保護回路を設けることにより、シフトレジスタにおいて、静電気放電 (E S D ともいう) などにより発生する過電圧の耐性を高めることができる。

【 0 1 1 0 】

図 1 乃至図 6 を参照して説明したように、本実施の形態に係るパルス出力回路の一例では、出力するパルス信号がローレベルの期間において、トランジスタ 1 1 1 のゲートの電位を、一定の値にするのではなく、間欠的に電位 V S S の電位よりも高くする。これにより、トランジスタ 1 1 1 に対するストレスを抑制できるため、トランジスタの劣化を抑制できる。

【 0 1 1 1 】

20

(実施の形態 2)

本実施の形態では、実施の形態 1 に係るパルス出力回路を用いた表示装置の例について図 7 乃至図 1 0 を参照して説明する。

【 0 1 1 2 】

図 7 (A) に示す表示装置は、画素部 2 0 1 と、駆動回路部 2 0 2 と、を含む。

【 0 1 1 3 】

画素部 2 0 1 は、X 行 (X は 2 以上の自然数) Y 列 (Y は 2 以上の自然数) に配置された複数の画素回路 2 1 1 を備え、駆動回路部 2 0 2 は、ゲートドライバ 2 2 1、ソースドライバ 2 2 3 などの駆動回路を備える。

【 0 1 1 4 】

30

ゲートドライバ 2 2 1 は、実施の形態 1 に示すパルス出力回路を複数段有するシフトレジスタ (例えば図 5 (A) に示すシフトレジスタ 3 0) を備える。例えば、ゲートドライバ 2 2 1 は、シフトレジスタから出力されるパルス信号により、走査線 G L _ 1 乃至 G L _ X の電位を制御する機能を有する。なお、ゲートドライバ 2 2 1 を複数設け、複数のゲートドライバ 2 2 1 により、走査線 G L _ 1 乃至 G L _ X を分割して制御してもよい。

【 0 1 1 5 】

ソースドライバ 2 2 3 には、画像信号が入力される。ソースドライバ 2 2 3 は、画像信号を元に画素回路 2 1 1 に書き込むデータ信号を生成する機能を有する。また、ソースドライバ 2 2 3 は、データ線 D L _ 1 乃至 D L _ Y の電位を制御する機能を有する。

【 0 1 1 6 】

40

ソースドライバ 2 2 3 は、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ 2 2 3 は、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ 2 2 3 を構成してもよい。このとき、シフトレジスタとしては、実施の形態 1 に示すパルス出力回路を複数段有するシフトレジスタ (例えば図 5 (A) に示すシフトレジスタ) を用いることができる。

【 0 1 1 7 】

複数の画素回路 2 1 1 のそれぞれは、複数の走査線 G L の一つを介してパルス信号が入力され、複数のデータ線 D L の一つを介してデータ信号が入力される。複数の画素回路 2 1 1 のそれぞれは、ゲートドライバ 2 2 1 によりデータ信号のデータの書き込み及び保持が

50

制御される。例えば、 m 行 n 列目の画素回路 2 1 1 は、走査線 GL_m (m は X 以下の自然数) を介してゲートドライバ 2 2 1 からパルス信号が入力され、走査線 GL_m の電位に応じてデータ線 DL_n (n は Y 以下の自然数) を介してソースドライバ 2 2 3 からデータ信号が入力される。

【0 1 1 8】

複数の画素回路 2 1 1 のそれぞれは、例えば、図 7 (B - 1) に示すように、液晶素子 2 3 0 と、トランジスタ 2 3 1 __ 1 と、容量素子 2 3 3 __ 1 と、を備える。

【0 1 1 9】

液晶素子 2 3 0 の一对の電極の一方の電位は、画素回路 2 1 1 の仕様に依拠して適宜設定される。液晶素子 2 3 0 は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路 2 1 1 のそれぞれが有する液晶素子 2 3 0 の一对の電極の一方に共通の電位 (コモン電位) を与えてもよい。また、液晶素子 2 3 0 の一对の電極の一方には、各行の画素回路 2 1 1 毎に異なる電位を与えてもよい。

10

【0 1 2 0】

例えば、液晶素子を備える表示装置の表示方式としては、TN (Twisted Nematic) モード、IPS (In Plane Switching) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Anti Ferroelectric Liquid Crystal) モード、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、FFS (Fringe Field Switching) モード、又は TBA (Transverse Bend Alignment) モードなどを用いてもよい。

20

【0 1 2 1】

また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物により液晶素子を構成してもよい。ブルー相を示す液晶は、応答速度が 1 msec 以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。

30

【0 1 2 2】

m 行 n 列目の画素回路 2 1 1 において、トランジスタ 2 3 1 __ 1 のソース及びドレインの一方は、データ線 DL_n に電氣的に接続され、他方は液晶素子 2 3 0 の一对の電極の他方に電氣的に接続される。また、トランジスタ 2 3 1 __ 1 のゲートは、走査線 GL_m に電氣的に接続される。トランジスタ 2 3 1 __ 1 は、オン状態又はオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0 1 2 3】

容量素子 2 3 3 __ 1 の一对の電極の一方は、電位供給線 VL に電氣的に接続され、他方は、液晶素子 2 3 0 の一对の電極の他方に電氣的に接続される。なお、電位供給線 VL の電位の値は、画素回路 2 1 1 の仕様に依拠して適宜設定される。容量素子 2 3 3 __ 1 は、書き込まれたデータを保持する保持容量としての機能を有する。

40

【0 1 2 4】

図 7 (B - 1) の画素回路 2 1 1 を備える表示装置では、ゲートドライバ 2 2 1 により各行の画素回路 2 1 1 を順次選択し、トランジスタ 2 3 1 __ 1 をオン状態にしてデータ信号のデータを書き込む。

【0 1 2 5】

データが書き込まれた画素回路 2 1 1 は、トランジスタ 2 3 1 __ 1 がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0 1 2 6】

また、図 7 (B - 2) に示す画素回路 2 1 1 は、トランジスタ 2 3 1 __ 2 と、容量素子 2

50

3 3 __ 2 と、トランジスタ 2 3 4 と、発光素子 (E L ともいう) 2 3 5 と、を備える。

【 0 1 2 7 】

トランジスタ 2 3 1 __ 2 のソース及びドレインの一方は、データ線 D L __ n に電氣的に接続される。さらに、トランジスタ 2 3 1 __ 2 のゲートは、走査線 G L __ m に電氣的に接続される。

【 0 1 2 8 】

トランジスタ 2 3 1 __ 2 は、オン状態又はオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【 0 1 2 9 】

容量素子 2 3 3 __ 2 の一対の電極の一方は、電源線 V L __ a に電氣的に接続され、他方は、トランジスタ 2 3 1 __ 2 のソース及びドレインの他方に電氣的に接続される。 10

【 0 1 3 0 】

容量素子 2 3 3 __ 2 は、書き込まれたデータを保持する保持容量としての機能を有する。

【 0 1 3 1 】

トランジスタ 2 3 4 のソース及びドレインの一方は、電源線 V L __ a に電氣的に接続される。さらに、トランジスタ 2 3 4 のゲートは、トランジスタ 2 3 1 __ 2 のソース及びドレインの他方に電氣的に接続される。

【 0 1 3 2 】

発光素子 2 3 5 のアノード及びカソードの一方は、電源線 V L __ b に電氣的に接続され、他方は、トランジスタ 2 3 4 のソース及びドレインの他方に電氣的に接続される。 20

【 0 1 3 3 】

発光素子 2 3 5 としては、例えば有機エレクトロルミネセンス素子などを用いることができる。

【 0 1 3 4 】

なお、電源線 V L __ a 及び電源線 V L __ b の一方には、電位 V D D が与えられ、他方には、電位 V S S が与えられる。

【 0 1 3 5 】

図 7 (B - 2) の画素回路 2 1 1 を備える表示装置では、ゲートドライバ 2 2 1 により各行の画素回路 2 1 1 を順次選択し、トランジスタ 2 3 1 __ 2 をオン状態にしてデータ信号のデータを書き込む。 30

【 0 1 3 6 】

データが書き込まれた画素回路 2 1 1 は、トランジスタ 2 3 1 __ 2 がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 2 3 4 のソースとドレインの間に流れる電流量が制御され、発光素子 2 3 5 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

【 0 1 3 7 】

さらに、図 7 (A) に示す表示装置が、低消費電力モードでの動作が可能な場合の駆動方法の例について、図 8 のタイミングチャートを参照して説明する。ここでは、一例として、ゲートドライバ 2 2 1 に実施の形態 1 に示すシフトレジスタを用いる場合について説明する。 40

【 0 1 3 8 】

図 7 (A) に示す表示装置の動作は、通常モード及び低消費電力モードに分けられる。

【 0 1 3 9 】

通常モードのときの動作について説明する。このとき、図 8 の期間 3 1 1 に示すように、スタートパルス信号 S P、電源電圧 P W R、及びクロック信号 C L K 1 乃至クロック信号 C L K 4 をシフトレジスタに入力すると、シフトレジスタは、スタートパルス信号 S P のパルスに従い、出力信号 S R O U T __ 1 乃至出力信号 S R O U T __ N のパルスを順次出力し、出力信号 O U T __ 1 乃至出力信号 O U T __ N のパルスを順次出力する。なお、電源電圧 P W R としては、電位 V D D と電位 V S S からなる電源電圧、電位 V a と電位 V S S からなる電源電圧が挙げられる。また、クロック信号 C L K 1 乃至クロック信号 C L K 4 の 50

入力を開始させると、対応する反転クロック信号 C L K 1 B 乃至クロック信号 C L K 4 B の入力も開始するとする。

【 0 1 4 0 】

次に、通常モードから低消費電力モードになるときの動作について説明する。このとき、図 8 の期間 3 1 2 に示すように、シフトレジスタに対する電源電圧 P W R、クロック信号 C L K 1 乃至クロック信号 C L K 4、及びスタートパルス信号 S P の入力を停止させる。また、クロック信号 C L K 1 乃至クロック信号 C L K 4 の入力を停止させると、対応する反転クロック信号 C L K 1 B 乃至クロック信号 C L K 4 B の入力も停止するとする。

【 0 1 4 1 】

このとき、シフトレジスタに対し、まずスタートパルス信号 S P の入力を停止させ、次にクロック信号 C L K 1 乃至クロック信号 C L K 4 の入力を順次停止させ、次に電源電圧 P W R の入力を停止させることが好ましい。これにより、シフトレジスタの誤動作を抑制できる。

【 0 1 4 2 】

シフトレジスタに対する電源電圧 P W R、クロック信号 C L K 1 乃至クロック信号 C L K 4、及びスタートパルス信号 S P の入力を停止させると、出力信号 S R O U T _ 1 乃至出力信号 S R O U T _ N のパルスの出力が停止し、出力信号 O U T _ 1 乃至出力信号 O U T _ N のパルスの出力が停止する。よって、表示装置が低消費電力モードになる。

【 0 1 4 3 】

その後シフトレジスタを通常モードに復帰させる場合には、図 8 の期間 3 1 3 に示すように、シフトレジスタに対するスタートパルス信号 S P、クロック信号 C L K 1 乃至クロック信号 C L K 4、及び電源電圧 P W R の入力を再開させる。

【 0 1 4 4 】

このとき、シフトレジスタに対し、まず電源電圧 P W R の入力を再開させ、次にクロック信号 C L K 1 乃至クロック信号 C L K 4 の入力を再開させ、次にスタートパルス信号 S P の入力を再開させる。さらにこのとき、クロック信号 C L K 1 乃至クロック信号 C L K 4 が入力される配線の電位を電位 V D D に設定した後にクロック信号 C L K 1 乃至クロック信号 C L K 4 の入力を順次再開させることが好ましい。

【 0 1 4 5 】

シフトレジスタに対するスタートパルス信号 S P、クロック信号 C L K 1 乃至クロック信号 C L K 4、及び電源電圧 P W R の入力を再開させると、シフトレジスタは、スタートパルス信号 S P のパルスに従い、出力信号 S R O U T _ 1 乃至出力信号 S R O U T _ N のパルスを順次出力し、出力信号 O U T _ 1 乃至出力信号 O U T _ N のパルスを順次出力する。よって、表示装置は通常モードに復帰する。

【 0 1 4 6 】

以上が表示装置の例の説明である。

【 0 1 4 7 】

図 8 を参照して説明したように、本実施の形態に係る表示装置の一例では、必要に応じてシフトレジスタを備える駆動回路の動作を停止できる。よって、例えば画素回路のトランジスタにオフ電流の低いトランジスタを用い、画像を表示する際に、一部又は全部の画素回路でデータ信号の書き換えが不要である場合、駆動回路の動作を停止させ、書き換え間隔を長くすることにより、消費電力を低減できる。

【 0 1 4 8 】

なお、図 9 に示すように、ゲートドライバ 2 2 1 と画素回路 2 1 1 の間（走査線 G L ）に保護回路 2 2 5 を接続してもよい。また、ソースドライバ 2 2 3 と画素回路 2 1 1 の間（データ信号線 D L ）に保護回路 2 2 5 を接続してもよい。保護回路 2 2 5 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の電源線とを導通状態にする回路である。保護回路 2 2 5 は、例えばダイオードなどを用いて構成される。

【 0 1 4 9 】

図 9 に示すように、保護回路を設けることにより、E S D などにより発生する過電圧に対

する表示装置の耐性を高めることができる。

【 0 1 5 0 】

図 1 乃至図 9 を参照して説明したように、本実施の形態に係る表示装置の一例では、実施の形態 1 に示すパルス出力回路を用いてゲートドライバ、ソースドライバなどの駆動回路を構成する。上記駆動回路では、トランジスタに対するストレスが小さいため、表示装置の信頼性を高めることができる。

【 0 1 5 1 】

さらに、本実施の形態に係る表示装置の構造例について図 1 0 を参照して説明する。

【 0 1 5 2 】

図 1 0 (A) に示す表示装置は、縦電界方式の液晶表示装置である。

10

【 0 1 5 3 】

導電層 7 0 3 a 及び 7 0 3 b は、絶縁層 7 0 1 を挟んで基板 7 0 0 の一平面に設けられる。

【 0 1 5 4 】

導電層 7 0 3 a は、駆動回路部 2 0 2 に設けられる。導電層 7 0 3 a は、駆動回路のトランジスタのゲートとしての機能を有する。

【 0 1 5 5 】

導電層 7 0 3 b は、画素部 2 0 1 に設けられる。導電層 7 0 3 b は、画素回路のトランジスタのゲートとしての機能を有する。

【 0 1 5 6 】

20

絶縁層 7 0 4 は、導電層 7 0 3 a 及び 7 0 3 b の上に設けられる。絶縁層 7 0 4 は、駆動回路のトランジスタのゲート絶縁層、及び画素回路のトランジスタのゲート絶縁層としての機能を有する。

【 0 1 5 7 】

半導体層 7 0 5 a は、絶縁層 7 0 4 を挟んで導電層 7 0 3 a に重畳する。半導体層 7 0 5 a は、駆動回路のトランジスタのチャネルが形成される層（チャネル形成層ともいう）としての機能を有する。

【 0 1 5 8 】

半導体層 7 0 5 b は、絶縁層 7 0 4 を挟んで導電層 7 0 3 b に重畳する。半導体層 7 0 5 b は、画素回路のトランジスタのチャネル形成層としての機能を有する。

30

【 0 1 5 9 】

導電層 7 0 6 a は、半導体層 7 0 5 a に電氣的に接続される。導電層 7 0 6 a は、駆動回路のトランジスタが有するソース及びドレインの一方としての機能を有する。

【 0 1 6 0 】

導電層 7 0 6 b は、半導体層 7 0 5 a に電氣的に接続される。導電層 7 0 6 b は、駆動回路のトランジスタが有するソース及びドレインの他方としての機能を有する。

【 0 1 6 1 】

導電層 7 0 6 c は、半導体層 7 0 5 b に電氣的に接続される。導電層 7 0 6 c は、画素回路のトランジスタが有するソース及びドレインの一方としての機能を有する。

【 0 1 6 2 】

40

導電層 7 0 6 d は、半導体層 7 0 5 b に電氣的に接続される。導電層 7 0 6 d は、画素回路のトランジスタが有するソース及びドレインの他方としての機能を有する。

【 0 1 6 3 】

絶縁層 7 0 7 は、半導体層 7 0 5 a 及び半導体層 7 0 5 b の上、及び導電層 7 0 6 a 乃至導電層 7 0 6 d の上に設けられる。絶縁層 7 0 7 は、トランジスタを保護する絶縁層（保護絶縁層ともいう）としての機能を有する。

【 0 1 6 4 】

絶縁層 7 0 8 は、絶縁層 7 0 7 の上に設けられる。絶縁層 7 0 8 は、平坦化層としての機能を有する。絶縁層 7 0 8 を設けることにより、絶縁層 7 0 8 よりも下層の導電層と絶縁層 7 0 8 よりも上層の導電層とによる寄生容量の発生を抑制できる。

50

【 0 1 6 5 】

導電層 7 0 9 a 及び導電層 7 0 9 b 1 は、絶縁層 7 0 8 の上に設けられる。

【 0 1 6 6 】

導電層 7 0 9 a は、絶縁層 7 0 7 及び絶縁層 7 0 8 を挟んで半導体層 7 0 5 a に重畳する。導電層 7 0 9 a は、駆動回路のトランジスタのゲートとしての機能を有する。例えば、導電層 7 0 9 a を駆動回路のトランジスタのバックゲートとして機能させてもよい。例えば、Nチャネル型トランジスタの場合、上記バックゲートに、負電位を与えることにより、トランジスタのしきい値電圧を正方向にシフトさせることができる。また、上記バックゲートを接地させてもよい。

【 0 1 6 7 】

導電層 7 0 9 b 1 は、画素回路の容量素子が有する一対の電極の一方としての機能を有する。

【 0 1 6 8 】

絶縁層 7 1 0 は、絶縁層 7 0 8 の表面及び導電層 7 0 9 b 1 の上に設けられる。なお、絶縁層 7 1 0 のうち、駆動回路のトランジスタの上に形成される部分を除去することにより、絶縁層 7 0 8 中の水素や水を外部に放出できるため、絶縁層 7 0 7 から絶縁層 7 0 8 が剥がれてしまうことを抑制できる。絶縁層 7 1 0 は、保護絶縁層としての機能を有する。また、絶縁層 7 1 0 は、画素回路の容量素子の誘電体層としての機能を有する。

【 0 1 6 9 】

導電層 7 1 1 は、絶縁層 7 1 0 の上に設けられ、絶縁層 7 0 7、絶縁層 7 0 8、及び絶縁層 7 1 0 を貫通して設けられた開口部により導電層 7 0 6 d に電氣的に接続される。さらに、導電層 7 1 1 は、絶縁層 7 1 0 を挟んで導電層 7 0 9 b 1 に重畳する。導電層 7 1 1 は、画素回路の液晶素子が有する一対の電極の一方、及び容量素子が有する一対の電極の他方としての機能を有する。

【 0 1 7 0 】

着色層 7 2 2 は、基板 7 2 0 の一平面の一部に設けられる。着色層 7 2 2 は、カラーフィルタとしての機能を有する。

【 0 1 7 1 】

絶縁層 7 2 3 は、着色層 7 2 2 を挟んで基板 7 2 0 の一平面に設けられる。絶縁層 7 2 3 は、平坦化層としての機能を有する。

【 0 1 7 2 】

導電層 7 2 1 は、絶縁層 7 2 3 の一平面に設けられる。導電層 7 2 1 は、画素回路の液晶素子が有する一対の電極の他方としての機能を有する。なお、導電層 7 2 1 の上に別途絶縁層を設けてもよい。

【 0 1 7 3 】

液晶層 7 5 0 は、シール材 7 5 1 を用いて、導電層 7 1 1 と導電層 7 2 1 の間に設けられる。なお、絶縁層 7 0 7 及び絶縁層 7 1 0 のうち、シール材 7 5 1 下に位置する部分を除去してもよい。

【 0 1 7 4 】

さらに、図 1 0 (B) に示す表示装置は、横電界方式の表示装置であり、図 1 0 (A) に示す表示装置と比較した場合、導電層 7 0 3 c を別途有し、導電層 7 0 9 b 1 の代わりに導電層 7 0 9 b 2 を有し、導電層 7 1 1 の代わりに導電層 7 1 2 を有し、液晶層 7 5 0 の代わりに液晶層 7 6 0 を有する点が異なる。図 1 0 (A) に示す表示装置と同じ部分については、図 1 0 (A) に示す表示装置の説明を適宜援用する。

【 0 1 7 5 】

導電層 7 0 3 c は、絶縁層 7 0 1 の上に設けられる。このとき、導電層 7 0 6 d は、絶縁層 7 0 4 を挟んで導電層 7 0 3 c に重畳する。

【 0 1 7 6 】

導電層 7 0 9 b 2 は、絶縁層 7 0 8 の上に設けられる。導電層 7 0 9 b 2 は、画素回路の液晶素子が有する一対の電極の一方としての機能を有する。さらに、導電層 7 0 9 b 2 は

10

20

30

40

50

、画素回路の容量素子が有する一対の電極の一方としての機能を有する。

【0177】

導電層712は、絶縁層710の上に設けられ、絶縁層707、絶縁層708、及び絶縁層710を貫通して設けられた開口部により導電層706dに電氣的に接続される。また、導電層712は、歯部を有し、歯部のそれぞれが絶縁層710を挟んで導電層709b2に重畳する。導電層712は、画素回路の液晶素子が有する一対の電極の他方としての機能を有する。さらに、導電層712は、画素回路の容量素子が有する一対の電極の他方としての機能を有する。

【0178】

液晶層760は、シール材751により、導電層711と導電層712の上に設けられる。

【0179】

なお、図10(A)及び図10(B)では、トランジスタをチャネルエッチ型のトランジスタとしているが、これに限定されず、例えばチャネル保護型のトランジスタとしてもよい。また、トップゲート型のトランジスタとしてもよい。

【0180】

さらに、図10(A)及び図10(B)に示す表示装置の各構成要素について説明する。なお、各層を積層構造にしてもよい。

【0181】

基板700及び720としては、例えばガラス基板又はプラスチック基板などを適用できる。

【0182】

絶縁層701としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【0183】

導電層703a乃至703cとしては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、又はスカンジウムなどの金属材料を含む層を適用できる。

【0184】

絶縁層704としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。例えば、絶縁層704としては、窒化シリコン層及び酸化窒化シリコン層の積層を適用できる。このとき、上記窒化シリコン層を、組成の異なる複数の窒化シリコン層の積層としてもよい。また、絶縁層704として、酸化物層を用いてもよい。上記酸化物層としては、例えばIn:Ga:Zn=1:3:2の原子比である酸化物の層などを用いることができる。

【0185】

半導体層705a及び半導体層705bとしては、例えば酸化物半導体層を用いることができる。

【0186】

上記酸化物半導体としては、実施の形態1と同様に、例えばIn系金属酸化物、Zn系金属酸化物、In-Zn系金属酸化物、又はIn-Ga-Zn系金属酸化物などを適用できる。また、上記In-Ga-Zn系金属酸化物に含まれるGaの一部若しくは全部の代わりに他の金属元素を含む金属酸化物を用いてもよい。なお、上記酸化物半導体が結晶を有していてもよい。例えば、上記酸化物半導体が多結晶又は単結晶でもよい。また、上記酸化物半導体为非晶質でもよい。

【0187】

上記他の金属元素としては、例えばガリウムよりも多くの酸素原子と結合が可能な金属元素を用いればよく、例えばチタン、ジルコニウム、ハフニウム、ゲルマニウム、及び錫の

10

20

30

40

50

いずれか一つ又は複数の元素を用いればよい。また、上記他の金属元素としては、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムのいずれか一つ又は複数の元素を用いればよい。これらの金属元素は、スタビライザーとしての機能を有する。なお、これらの金属元素の添加量は、金属酸化物が半導体として機能することが可能な量である。酸素原子との結合がガリウムよりも多くできる金属元素を用い、さらには金属酸化物中に酸素を供給することにより、金属酸化物中の酸素欠陥を少なくできる。

【0188】

さらに、例えば $In : Ga : Zn = 1 : 1 : 1$ の原子比である第1の酸化物半導体層、 $In : Ga : Zn = 3 : 1 : 2$ の原子比である第2の酸化物半導体層、及び $In : Ga : Zn = 1 : 1 : 1$ の原子比である第3の酸化物半導体層の積層により、半導体層705a及び半導体層705bを構成してもよい。上記積層により半導体層705a及び半導体層705bを構成することにより、例えばトランジスタの電界効果移動度を高めることができる。

【0189】

上記酸化物半導体を含むトランジスタは、バンドギャップが広いため熱励起によるリーク電流が少ない。さらに、正孔の有効質量が10以上と重く、トンネル障壁の高さが2.8 eV以上と高い。これにより、トンネル電流が少ない。さらに、半導体層中のキャリアが極めて少ない。よって、オフ電流を低くできる。例えば、オフ電流は、室温(25)でチャンネル幅1 μm あたり $1 \times 10^{-19} A$ (100 zA)以下である。より好ましくは $1 \times 10^{-22} A$ (100 yA)以下である。トランジスタのオフ電流は、低ければ低いほどよいが、トランジスタのオフ電流の下限値は、約 $1 \times 10^{-30} A / \mu m$ であると見積もられる。なお、上記酸化物半導体層に限定されず、半導体層705a及び半導体層705bとして14族(シリコンなど)の元素を有する半導体層を用いてもよい。例えば、シリコンを含む半導体層としては、単結晶シリコン層、多結晶シリコン層、又は非晶質シリコン層などを用いることができる。

【0190】

例えば、水素又は水などの不純物を可能な限り除去し、酸素を供給して酸素欠損を可能な限り減らすことにより、上記酸化物半導体を含むトランジスタを作製できる。このとき、チャンネル形成領域において、ドナー不純物といわれる水素の量を、二次イオン質量分析法(SIMSともいう)の測定値で $1 \times 10^{19} / cm^3$ 以下、好ましくは $1 \times 10^{18} / cm^3$ 以下に低減することが好ましい。

【0191】

高純度化させた酸化物半導体層を電界効果トランジスタに用いることにより、酸化物半導体層のキャリア密度を $1 \times 10^{14} / cm^3$ 未満、好ましくは $1 \times 10^{12} / cm^3$ 未満、さらに好ましくは $1 \times 10^{11} / cm^3$ 未満にできる。このように、キャリア密度を少なくすることにより、チャンネル幅1 μm あたりの電界効果トランジスタのオフ電流を $1 \times 10^{-19} A$ (100 zA)以下、より好ましくは $1 \times 10^{-22} A$ (100 yA)以下にまで抑制できる。電界効果トランジスタのオフ電流は、低ければ低いほどよいが、電界効果トランジスタのオフ電流の下限値は、約 $1 \times 10^{-30} A / \mu m$ であると見積もられる。

【0192】

なお、上記酸化物半導体を、C Axis Aligned Crystalline Oxide Semiconductor (CAAC-OSともいう)としてもよい。

【0193】

例えば、スパッタリング法を用いてCAAC-OSである酸化物半導体層を形成できる。このとき、多結晶である酸化物半導体スパッタリング用ターゲットを用いてスパッタリングを行う。上記スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状

10

20

30

40

50

又はペレット状のスパッタリング粒子として剥離することがある。このとき、結晶状態を維持したまま、上記スパッタリング粒子が基板に到達することにより、スパッタリング用ターゲットの結晶状態が基板に転写される。これにより、C A A C - O S が形成される。

【 0 1 9 4 】

また、C A A C - O S を形成するために、以下の条件を適用することが好ましい。

【 0 1 9 5 】

例えば、不純物濃度を低減させてC A A C - O S を形成することにより、不純物による酸化物半導体の結晶状態の崩壊を抑制できる。例えば、成膜室内に存在する不純物（水素、水、二酸化炭素、及び窒素など）を低減することが好ましい。また、成膜ガス中の不純物を低減することが好ましい。例えば、成膜ガスとして露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いることが好ましい。

10

【 0 1 9 6 】

また、成膜時の基板温度を高くすることが好ましい。上記基板温度を高くすることにより、平板状のスパッタリング粒子が基板に到達したときに、スパッタリング粒子のマイグレーションが起こり、平らな面を向けてスパッタリング粒子を基板に付着させることができる。例えば、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として酸化物半導体膜を成膜することにより酸化物半導体層を形成する。

【 0 1 9 7 】

また、成膜ガス中の酸素割合を高くし、電力を最適化して成膜時のプラズマダメージを抑制させることが好ましい。例えば、成膜ガス中の酸素割合を、3 0 体積 % 以上、好ましくは 1 0 0 体積 % にすることが好ましい。

20

【 0 1 9 8 】

導電層 7 0 6 a 乃至導電層 7 0 6 d としては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム、又はルテニウムなどの金属材料を含む層を適用できる。

【 0 1 9 9 】

絶縁層 7 0 7 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【 0 2 0 0 】

絶縁層 7 0 8 としては、例えば有機絶縁材料又は無機絶縁材料の層などを適用できる。例えば、アクリル樹脂などを用いて絶縁層 7 0 8 を構成してもよい。

30

【 0 2 0 1 】

導電層 7 0 9 a 、導電層 7 0 9 b 1 、及び導電層 7 0 9 b 2 としては、例えば導体としての機能を有し、光を透過する金属酸化物の層などを適用できる。例えば、酸化インジウム酸化亜鉛又はインジウム錫酸化物などを適用できる。

【 0 2 0 2 】

絶縁層 7 1 0 としては、例えば絶縁層 7 0 4 に適用可能な材料を用いることができる。

【 0 2 0 3 】

導電層 7 1 1 、導電層 7 1 2 、及び導電層 7 2 1 としては、例えば光を透過する金属酸化物の層などを適用できる。例えば、酸化インジウム酸化亜鉛又はインジウム錫酸化物などを適用できる。

40

【 0 2 0 4 】

着色層 7 2 2 は、例えば赤（ R ） 、 緑（ G ） 、 及び青（ B ） の一つを呈する光を透過する機能を有する。着色層 7 2 2 としては、染料又は顔料を含む層を用いることができる。

【 0 2 0 5 】

絶縁層 7 2 3 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【 0 2 0 6 】

50

液晶層 750 としては、例えば TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 型液晶、GH 液晶、高分子分散型液晶、又はディスコチック液晶などを含む層を用いることができる。

【0207】

液晶層 760 としては、例えばブルー相を示す液晶を含む層を適用できる。

【0208】

ブルー相を示す液晶を含む層は、例えばブルー相を示す液晶、カイラル剤、液晶性モノマー、非液晶性モノマー、及び重合開始剤を含む液晶組成物により構成される。ブルー相を示す液晶は、応答時間が短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶を用いることにより、液晶表示装置の動作を速くできる。

10

【0209】

以上が図 10 に示す表示装置の構造例の説明である。

【0210】

図 10 を参照して説明したように、本実施の形態に係る表示装置の一例では、画素回路と同一基板上に駆動回路を設ける。これにより、画素回路と駆動回路を接続するための配線の数进行少なくて済む。

【0211】

(実施の形態 3)

本実施の形態では、実施の形態 2 の表示装置を用いたパネルを備える電子機器の例について、図 11 を参照して説明する。

20

【0212】

図 11 (A) に示す電子機器は、携帯型情報端末の一例である。

【0213】

図 11 (A) に示す電子機器は、筐体 1011 と、筐体 1011 に設けられたパネル 1012 と、ボタン 1013 と、スピーカー 1014 と、を具備する。

【0214】

なお、筐体 1011 に、外部機器に接続するための接続端子及び操作ボタンが設けられていてもよい。

【0215】

さらに、実施の形態 2 の表示装置を用いてパネル 1012 を構成してもよい。

30

【0216】

さらに、タッチパネルを用いてパネル 1012 を構成してもよい。これにより、パネル 1012 においてタッチ検出を行うことができる。タッチパネルとしては、例えば光学式タッチパネル、静電容量式タッチパネル、抵抗膜式タッチパネルなどを適用できる。

【0217】

ボタン 1013 は、筐体 1011 に設けられる。例えば、ボタン 1013 が電源ボタンであれば、ボタン 1013 を押すことにより、電子機器のオン状態を制御できる。

【0218】

スピーカー 1014 は、筐体 1011 に設けられる。スピーカー 1014 は音声を出力する。

40

【0219】

なお、筐体 1011 にマイクが設けられていてもよい。筐体 1011 にマイクを設けられることにより、例えば図 11 (A) に示す電子機器を電話機として機能させることができる。

【0220】

図 11 (A) に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0221】

図 11 (B) に示す電子機器は、折り畳み式の情報端末の一例である。

50

【 0 2 2 2 】

図 1 1 (B) に示す電子機器は、筐体 1 0 2 1 a と、筐体 1 0 2 1 b と、筐体 1 0 2 1 a に設けられたパネル 1 0 2 2 a と、筐体 1 0 2 1 b に設けられたパネル 1 0 2 2 b と、軸部 1 0 2 3 と、ボタン 1 0 2 4 と、接続端子 1 0 2 5 と、記録媒体挿入部 1 0 2 6 と、スピーカー 1 0 2 7 と、を備える。

【 0 2 2 3 】

筐体 1 0 2 1 a と筐体 1 0 2 1 b は、軸部 1 0 2 3 により接続される。

【 0 2 2 4 】

さらに、実施の形態 2 の表示装置を用いてパネル 1 0 2 2 a 及び 1 0 2 2 b を構成してもよい。

10

【 0 2 2 5 】

さらに、タッチパネルを用いてパネル 1 0 2 2 a 及び 1 0 2 2 b を構成してもよい。これにより、パネル 1 0 2 2 a 及び 1 0 2 2 b においてタッチ検出を行うことができる。タッチパネルとしては、例えば光学式タッチパネル、静電容量式タッチパネル、抵抗膜式タッチパネルなどを適用できる。

【 0 2 2 6 】

図 1 1 (B) に示す電子機器は、軸部 1 0 2 3 を有するため、パネル 1 0 2 2 a とパネル 1 0 2 2 b を対向させて折り畳むことができる。

【 0 2 2 7 】

ボタン 1 0 2 4 は、筐体 1 0 2 1 b に設けられる。なお、筐体 1 0 2 1 a にボタン 1 0 2 4 を設けてもよい。例えば、ボタン 1 0 2 4 が電源ボタンであれば、ボタン 1 0 2 4 を押すことにより、電子機器のオン状態を制御できる。

20

【 0 2 2 8 】

接続端子 1 0 2 5 は、筐体 1 0 2 1 a に設けられる。なお、筐体 1 0 2 1 b に接続端子 1 0 2 5 が設けられていてもよい。また、接続端子 1 0 2 5 が筐体 1 0 2 1 a 及び筐体 1 0 2 1 b の一方又は両方に複数設けられていてもよい。接続端子 1 0 2 5 は、図 1 1 (B) に示す電子機器と他の機器を接続するための端子である。

【 0 2 2 9 】

記録媒体挿入部 1 0 2 6 は、筐体 1 0 2 1 a に設けられる。筐体 1 0 2 1 b に記録媒体挿入部 1 0 2 6 が設けられていてもよい。また、記録媒体挿入部 1 0 2 6 が筐体 1 0 2 1 a 及び筐体 1 0 2 1 b の一方又は両方に複数設けられていてもよい。例えば、記録媒体挿入部にカード型記録媒体を挿入することにより、カード型記録媒体のデータを電子機器に読み出し、又は電子機器内のデータをカード型記録媒体に書き込むことができる。

30

【 0 2 3 0 】

スピーカー 1 0 2 7 は、筐体 1 0 2 1 b に設けられる。スピーカー 1 0 2 7 は、音声を出力する。なお、筐体 1 0 2 1 a にスピーカー 1 0 2 7 を設けてもよい。

【 0 2 3 1 】

なお、筐体 1 0 2 1 a 又は筐体 1 0 2 1 b にマイクを設けてもよい。筐体 1 0 2 1 a 又は筐体 1 0 2 1 b にマイクが設けられることにより、例えば図 1 1 (B) に示す電子機器を電話機として機能させることができる。

40

【 0 2 3 2 】

図 1 1 (B) に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【 0 2 3 3 】

図 1 1 (C) に示す電子機器は、据え置き型情報端末の一例である。図 1 1 (C) に示す電子機器は、筐体 1 0 3 1 と、筐体 1 0 3 1 に設けられたパネル 1 0 3 2 と、ボタン 1 0 3 3 と、スピーカー 1 0 3 4 と、を具備する。

【 0 2 3 4 】

さらに、実施の形態 2 の表示装置を用いてパネル 1 0 3 2 を構成してもよい。

【 0 2 3 5 】

50

さらに、タッチパネルを用いてパネル 1 0 3 2 を構成してもよい。これにより、パネル 1 0 3 2 においてタッチ検出を行うことができる。タッチパネルとしては、例えば光学式タッチパネル、静電容量式タッチパネル、抵抗膜式タッチパネルなどを適用できる。

【 0 2 3 6 】

なお、筐体 1 0 3 1 の甲板部 1 0 3 5 にパネル 1 0 3 2 と同様のパネルを設けてもよい。

【 0 2 3 7 】

さらに、筐体 1 0 3 1 に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部などを設けてもよい。

【 0 2 3 8 】

ボタン 1 0 3 3 は、筐体 1 0 3 1 に設けられる。例えば、ボタン 1 0 3 3 が電源ボタンであれば、ボタン 1 0 3 3 を押すことにより、電子機器のオン状態を制御できる。 10

【 0 2 3 9 】

スピーカー 1 0 3 4 は、筐体 1 0 3 1 に設けられる。スピーカー 1 0 3 4 は、音声を出力する。

【 0 2 4 0 】

図 1 1 (C) に示す電子機器は、例えば現金自動預け払い機、チケットなどの注文をするための情報通信端末（マルチメディアステーションともいう）、又は遊技機としての機能を有する。

【 0 2 4 1 】

図 1 1 (D) は、据え置き型情報端末の一例である。図 1 1 (D) に示す電子機器は、筐体 1 0 4 1 と、筐体 1 0 4 1 に設けられたパネル 1 0 4 2 と、筐体 1 0 4 1 を支持する支持台 1 0 4 3 と、ボタン 1 0 4 4 と、接続端子 1 0 4 5 と、スピーカー 1 0 4 6 と、を備える。 20

【 0 2 4 2 】

なお、筐体 1 0 4 1 に外部機器に接続させるための接続端子を設けてもよい。

【 0 2 4 3 】

さらに、実施の形態 2 の表示装置を用いてパネル 1 0 4 2 を構成してもよい。

【 0 2 4 4 】

さらに、タッチパネルを用いてパネル 1 0 4 2 を構成してもよい。これにより、パネル 1 0 4 2 においてタッチ検出を行うことができる。タッチパネルとしては、例えば光学式タッチパネル、静電容量式タッチパネル、抵抗膜式タッチパネルなどを適用できる。 30

【 0 2 4 5 】

ボタン 1 0 4 4 は、筐体 1 0 4 1 に設けられる。例えば、ボタン 1 0 4 4 が電源ボタンであれば、ボタン 1 0 4 4 を押すことにより、電子機器のオン状態を制御できる。

【 0 2 4 6 】

接続端子 1 0 4 5 は、筐体 1 0 4 1 に設けられる。接続端子 1 0 4 5 は、図 1 1 (D) に示す電子機器と他の機器を接続するための端子である。例えば、接続端子 1 0 4 5 により図 1 1 (D) に示す電子機器とパーソナルコンピュータを接続すると、パーソナルコンピュータから入力されるデータ信号に応じた画像をパネル 1 0 4 2 に表示させることができる。例えば、図 1 1 (D) に示す電子機器のパネル 1 0 4 2 が接続する他の電子機器のパネルより大きければ、当該他の電子機器の表示画像を拡大することができ、複数の人が同時に視認しやすくなる。 40

【 0 2 4 7 】

スピーカー 1 0 4 6 は、筐体 1 0 4 1 に設けられる。スピーカー 1 0 4 6 は、音声を出力する。

【 0 2 4 8 】

図 1 1 (D) に示す電子機器は、例えば出力モニタ、パーソナルコンピュータ、及びテレビジョン装置の一つ又は複数としての機能を有する。

【 0 2 4 9 】

以上が図 1 1 に示す電子機器の例の説明である。

【 0 2 5 0 】

図 1 1 を参照して説明したように、本実施の形態に係る電子機器では、パネルに実施の形態 2 の表示装置を用いたパネルを設けることにより、信頼性の高い電子機器を提供できる。

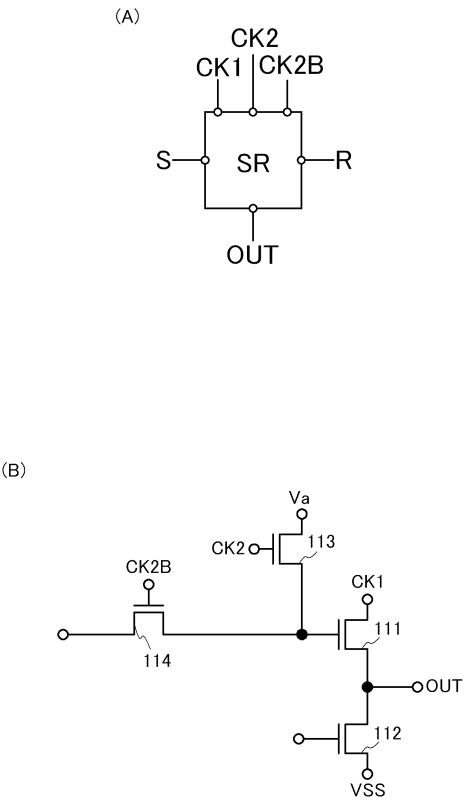
【 符号の説明 】

【 0 2 5 1 】

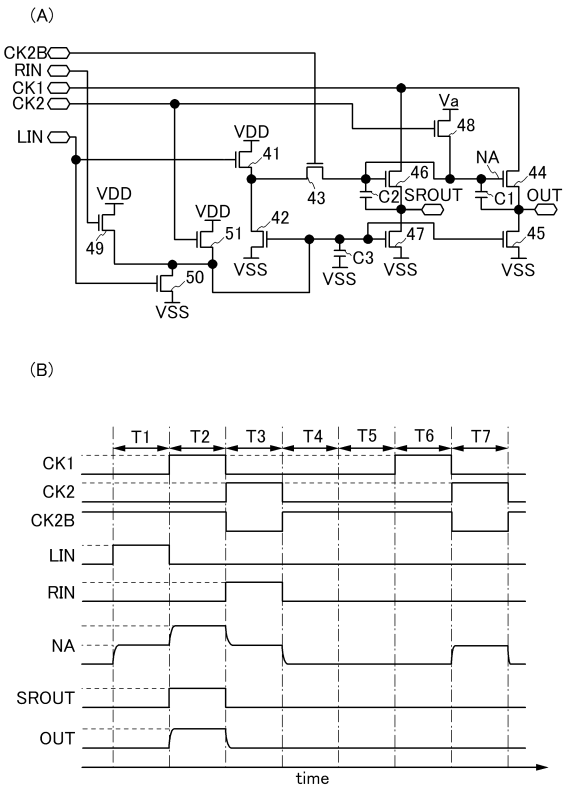
3 0	シフトレジスタ	
3 1	パルス出力回路	
3 2	保護回路	
3 3	保護回路	10
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
4 4	トランジスタ	
4 5	トランジスタ	
4 6	トランジスタ	
4 7	トランジスタ	
4 8	トランジスタ	
4 9	トランジスタ	
5 0	トランジスタ	20
5 1	トランジスタ	
5 2	トランジスタ	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 4	トランジスタ	
2 0 1	画素部	
2 0 2	駆動回路部	
2 1 1	画素回路	
2 2 1	ゲートドライバ	30
2 2 3	ソースドライバ	
2 2 5	保護回路	
2 3 0	液晶素子	
2 3 1 __ 1	トランジスタ	
2 3 1 __ 2	トランジスタ	
2 3 3 __ 1	容量素子	
2 3 3 __ 2	容量素子	
2 3 4	トランジスタ	
2 3 5	発光素子	
3 1 1	期間	40
3 1 2	期間	
3 1 3	期間	
7 0 0	基板	
7 0 1	絶縁層	
7 0 3 a	導電層	
7 0 3 b	導電層	
7 0 3 c	導電層	
7 0 4	絶縁層	
7 0 5 a	半導体層	
7 0 5 b	半導体層	50

7 0 6 a	導電層	
7 0 6 b	導電層	
7 0 6 c	導電層	
7 0 6 d	導電層	
7 0 7	絶縁層	
7 0 8	絶縁層	
7 0 9 a	導電層	
7 0 9 b 1	導電層	
7 0 9 b 2	導電層	
7 1 0	絶縁層	10
7 1 1	導電層	
7 1 2	導電層	
7 2 0	基板	
7 2 1	導電層	
7 2 2	着色層	
7 2 3	絶縁層	
7 5 0	液晶層	
7 5 1	シール材	
7 6 0	液晶層	
1 0 1 1	筐体	20
1 0 1 2	パネル	
1 0 1 3	ボタン	
1 0 1 4	スピーカー	
1 0 2 1 a	筐体	
1 0 2 1 b	筐体	
1 0 2 2 a	パネル	
1 0 2 2 b	パネル	
1 0 2 3	軸部	
1 0 2 4	ボタン	
1 0 2 5	接続端子	30
1 0 2 6	記録媒体挿入部	
1 0 2 7	スピーカー	
1 0 3 1	筐体	
1 0 3 2	パネル	
1 0 3 3	ボタン	
1 0 3 4	スピーカー	
1 0 3 5	甲板部	
1 0 4 1	筐体	
1 0 4 2	パネル	
1 0 4 3	支持台	40
1 0 4 4	ボタン	
1 0 4 5	接続端子	
1 0 4 6	スピーカー	

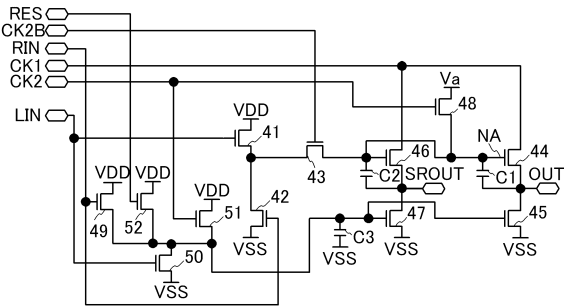
【 図 面 】
【 図 1 】



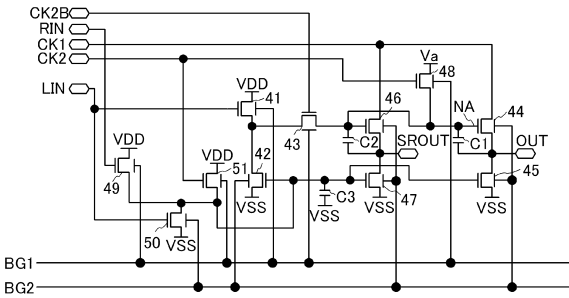
【 図 2 】



【 図 3 】



【 図 4 】



10

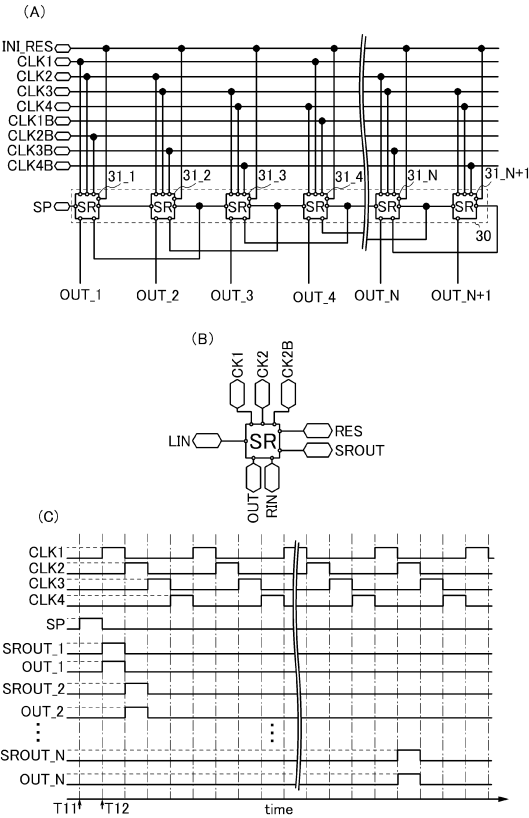
20

30

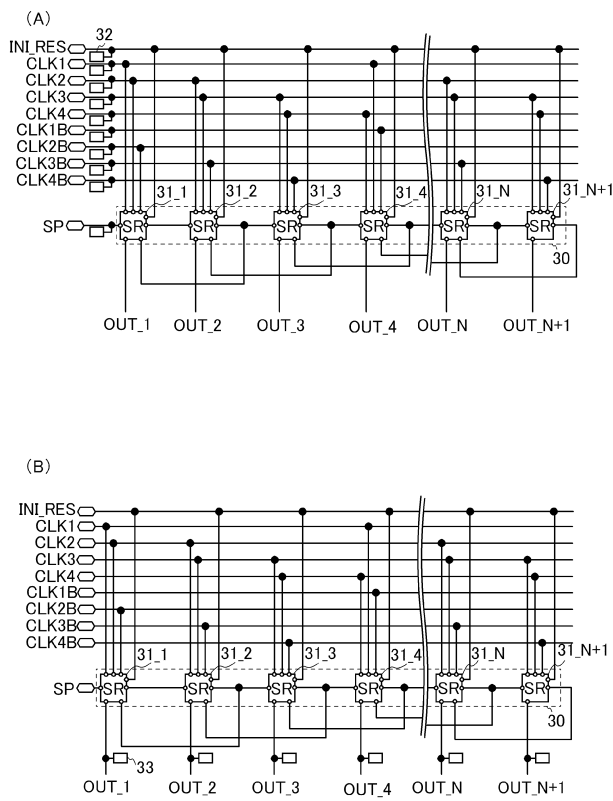
40

50

【図 5】



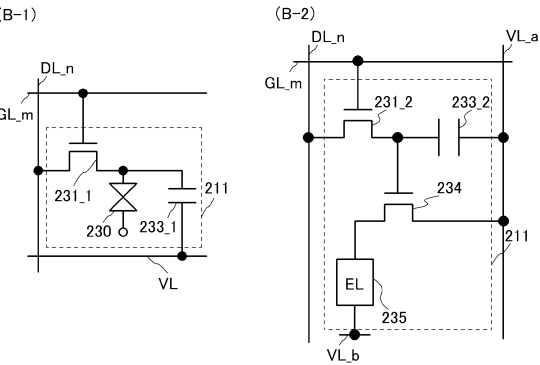
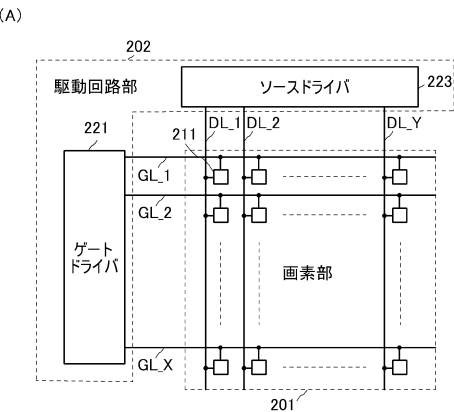
【図 6】



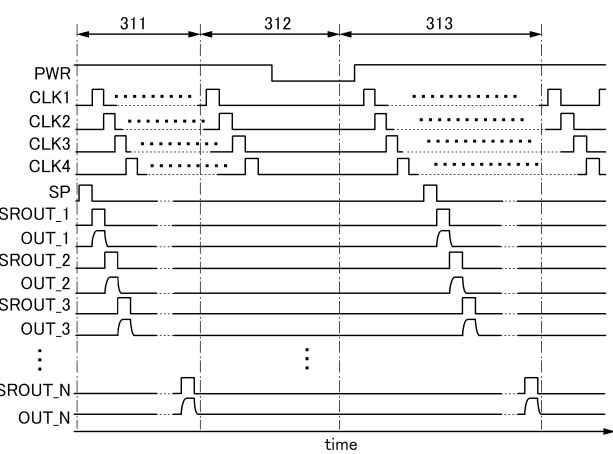
10

20

【図 7】



【図 8】

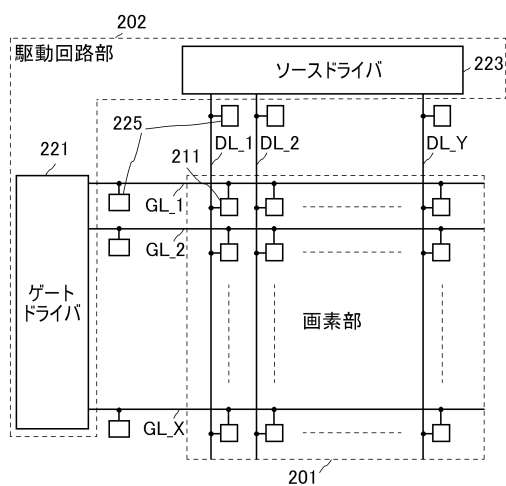


30

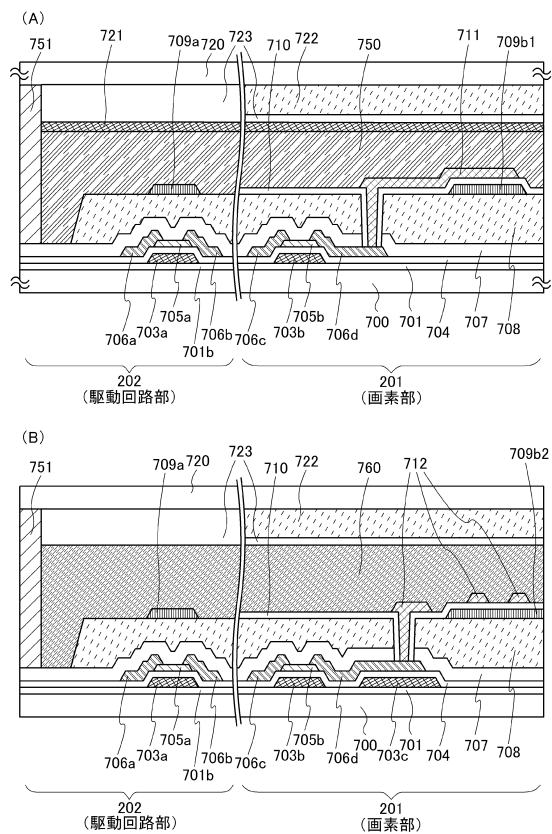
40

50

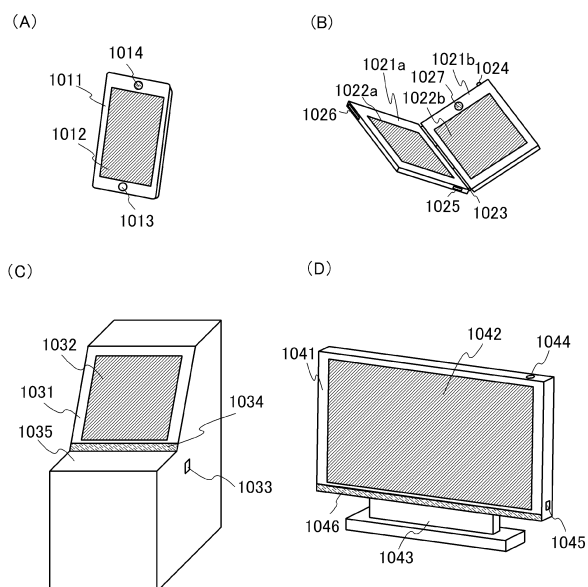
【图 9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)国際特許分類

G 0 9 G **3/36 (2006.01)**
G 0 9 G **3/3233(2016.01)**
H 1 0 K **59/123 (2023.01)**
H 1 0 K **59/121 (2023.01)**
H 1 0 K **59/131 (2023.01)**
G 0 2 F **1/1368(2006.01)**
G 0 2 F **1/133(2006.01)**
H 0 1 L **29/786(2006.01)**
G 1 1 C **19/28 (2006.01)**

F I

G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/3266
G 0 9 G 3/36
G 0 9 G 3/20 6 7 0 J
G 0 9 G 3/20 6 7 0 E
G 0 9 G 3/3233
G 0 9 G 3/20 6 2 4 B
H 1 0 K 59/123
H 1 0 K 59/121 2 1 6
H 1 0 K 59/121 2 1 3
H 1 0 K 59/131
G 0 2 F 1/1368
G 0 2 F 1/133 5 5 0
H 0 1 L 29/78 6 1 4
H 0 1 L 29/78 6 1 2 B
G 1 1 C 19/28 2 3 0