



(12) 发明专利

(10) 授权公告号 CN 102738123 B

(45) 授权公告日 2015. 03. 25

(21) 申请号 201110352628. 4

(22) 申请日 2011. 11. 07

(30) 优先权数据

13/085, 745 2011. 04. 13 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 梁世纬 刘豫文 陈宪伟

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 姜燕 邢雪红

(51) Int. Cl.

H01L 23/544(2006. 01)

(56) 对比文件

US 2007/0023915 A1, 2007. 02. 01,

US 2006/0292711 A1, 2006. 12. 28,

US 2004/0245996 A1, 2004. 12. 09,

US 2005/0024220 A1, 2005. 02. 03,

CN 101295708 A, 2008. 10. 29,

US 2004/0245981 A1, 2004. 12. 09,

US 2011/0041317 A1, 2011. 02. 24,

US 2004/0249585 A1, 2004. 12. 09,

US 2004/0257090 A1, 2004. 12. 23,

审查员 张丹

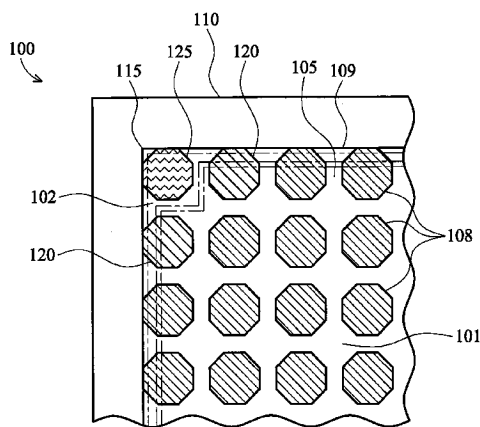
权利要求书2页 说明书7页 附图6页

(54) 发明名称

集成电路及集成电路系统及其制造方法

(57) 摘要

本发明提供一种集成电路及集成电路系统及其制造方法, 该集成电路系统, 包括一第一集成电路, 及一第二集成电路、中介层、或印刷电路板的其中至少一个。第一集成电路还包括一接线堆叠、电性连接至接线堆叠的接合焊盘、及形成于接合焊盘上的凸块球体。接线堆叠及接合焊盘的第一部分形成一功能电路, 接线堆叠及接合焊盘的第二部分形成一测试电路。凸块球体的一部分包括虚设凸块球体。虚设凸块球体电性连接至接线堆叠及接合焊盘的第二部分。第二集成电路、中介层、或印刷电路板的其中至少一个形成测试电路的一部分。本发明可在接合到其他装置之前检测缺陷, 而不需对有缺陷的集成电路进行分离或省下丢弃一与有缺陷的装置连接的功能正常的装置的损失。



1. 一种集成电路,包括:
  - 一第一基板;
  - 一功能电路,包括:
    - 一半导体装置,形成于该第一基板上;
    - 一第一接线堆叠,形成于该第一基板上,该第一接线堆叠电性连接至该半导体装置;
    - 一第一组接合焊盘,形成于该第一接线堆叠上;及
    - 一第一组凸块球体,其中每一个凸块球体形成在该第一组接合焊盘的一相对应的接合焊盘上;
  - 一测试电路,包括:
    - 一第二接线堆叠,形成于该第一基板上,该第二接线堆叠与该半导体装置电性隔离;
    - 一第二组接合焊盘,形成于该第二接线堆叠上;及
    - 一第二组凸块球体,其中每一个凸块球体形成在该第二组接合焊盘的一相对应的接合焊盘上,且该第二组凸块球体为虚设凸块球体;
  - 一第二基板,透过一第三组凸块球体接合至该第一基板,其中该第三组凸块球体与该第二组凸块球体分别形成于该第一基板的相对侧;及
  - 一电性连接,形成于该第二基板与该第二组凸块球体的至少两个凸块球体之间。
2. 如权利要求 1 所述的集成电路,所述多个虚设凸块球体被设置于该集成电路的一边角及该第一组凸块球体之间。
3. 如权利要求 1 所述的集成电路,所述多个虚设凸块球体为邻近该集成电路的一边角。
4. 如权利要求 1 所述的集成电路,该测试电路包括一在所述多个虚设凸块球体的其中两个之间的电性连接,其中该电性连接包括在相对应的两个所述多个虚设凸块球体之下的所述多个接合焊盘。
5. 如权利要求 1 所述的集成电路,该测试电路包括一在所述多个虚设凸块球体的其中两个之间的电性连接,该电性连接为在该第二接线堆叠中的至少一金属层。
6. 如权利要求 1 所述的集成电路,该测试电路还包括一在该集成电路及一第二集成电路、中介层、或印刷电路板的至少其中一个之间的电性连接。
7. 一种集成电路系统,包括:
  - 一第一集成电路、中介层、或印刷电路板的其中至少一个;
  - 一第二集成电路,透过一第一凸块球体阵列接合至该第一集成电路、该中介层、或该印刷电路板的其中至少一个,包括:
    - 一接线堆叠;
    - 一接合焊盘阵列;
    - 一第二凸块球体阵列,其中每一个第二凸块球体形成于一相对应的接合焊盘上,其中该第二凸块球体阵列与该第一凸块球体阵列分别形成于该第二集成电路的相对侧;及
    - 一功能电路,包括一所述多个第二凸块球体的第一部分及一所述多个接合焊盘的第一部分;及
    - 一测试电路,包括一所述多个第二凸块球体的第二部分及一所述多个接合焊盘的第二部分,

所述多个接合焊盘的第二部分电性连接至一第一集成电路、中介层、或印刷电路板至少其中一个的一部分,所述多个第二凸块球体的第二部分的每一个凸块球体为一虚设凸块球体。

8. 一种集成电路的制造方法,包括:

形成一功能电路,包括:

形成一半导体装置于一第一基板上;

形成一第一接线堆叠于该第一基板上,该第一接线堆叠电性连接至该第一基板上的该半导体装置;

形成一第一组接合焊盘于该第一接线堆叠上;及

形成一第一组凸块球体,其中每一个凸块球体形成于该第一组接合焊盘的一相对应的接合焊盘上;形成一测试电路,该形成包括:

形成一第二接线堆叠于该第一基板上,该第二接线堆叠与该半导体装置电性隔离;

形成一第二组接合焊盘于该第二接线堆叠上;及

形成一第二组凸块球体,其中每一个凸块球体为一虚设凸块球体且形成于该第二组接合焊盘的一相对应的接合焊盘上;及

透过一第三组凸块球体将一第二基板接合至该第一基板,以于该第二基板与该第二组凸块球体的至少两个凸块球体之间形成一电性连接,

其中该第三组凸块球体与该第二组凸块球体分别形成于该第一基板的相对侧。

9. 如权利要求 8 所述的集成电路的制造方法,还包括形成所述多个虚设凸块球体于该第一组凸块球体及该集成电路的一边角之间。

10. 如权利要求 8 所述的集成电路的制造方法,还包括形成所述多个虚设凸块球体于邻近该集成电路的一边角的位置。

## 集成电路及集成电路系统及其制造方法

### 技术领域

[0001] 本发明涉及一种集成电路、集成电路系统、及其工艺。

### 背景技术

[0002] 设置在集成电路上表面的连接器阵列是用来形成集成电路与其他集成电路、中介层 (interposer)、或印刷电路板之间的电性连接。连接的形成是经由每个连接点的凸块球体 (bump balls)。凸块球体为一加热时会与其他集成电路、中介层、或印刷电路板形成永久性连接的可焊材料。对于一个已经连接至一其他集成电路、中介层、或印刷电路板的集成电路来说,将此集成电路与其他集成电路、中介层、或印刷电路板分离是困难且昂贵的,因此功能元件若连接至有缺陷的集成电路将因而失去价值。

### 发明内容

[0003] 为了克服现有技术的缺陷,本发明提供一种集成电路,包括:一基板;一功能电路,包括:一半导体装置,形成于该基板上;一第一接线堆叠,形成于该基板上,该第一接线堆叠电性连接至该半导体装置;一第一组接合焊盘,形成于该第一接线堆叠上;及一第一组凸块球体,其中每一个凸块球体形成在该第一组接合焊盘的一相对应的接合焊盘上;及一测试电路,包括:一第二接线堆叠,形成于该基板上,该第二接线堆叠与该半导体装置电性隔离;一第二组接合焊盘,形成于该第二接线堆叠上;及一第二组凸块球体,其中每一个凸块球体形成在该第二组接合焊盘的一相对应的接合焊盘上,且该第二组凸块球体为虚设凸块球体。

[0004] 本发明也提供一种集成电路系统,包括:一第一集成电路、中介层、或印刷电路板的其中至少一个;一第二集成电路,包括:一接线堆叠;一接合焊盘阵列;一凸块球体阵列,其中每一个凸块球体形成于一相对应的接合焊盘上;及一功能电路,包括一所述多个凸块球体的第一部分及一所述多个接合焊盘的第一部分;及一测试电路,包括一所述多个凸块球体的第二部分及一所述多个接合焊盘的第二部分,且所述多个凸块球体的第二部分及所述多个接合焊盘的第二部分电性连接至一第一集成电路、中介层、或印刷电路板至少其中一个的一部分,所述多个凸块球体的第二部分的每一个凸块球体为一虚设凸块球体。

[0005] 本发明还提供一种集成电路的制造方法,包括:形成一功能电路,包括:形成一半导体装置于一基板上;形成一第一接线堆叠于该基板上,该第一接线堆叠电性连接至该基板上的该半导体装置;形成一第一组接合焊盘于该第一接线堆叠上;及形成一第一组凸块球体,其中每一个凸块球体形成于该第一组接合焊盘的一相对应的接合焊盘上;及形成一测试电路,该形成包括:形成一第二接线堆叠于该基板上,该第二接线堆叠与该半导体装置电性隔离;形成一第二组接合焊盘于该第二接线堆叠上;及形成一第二组凸块球体,其中每一个凸块球体为一虚设凸块球体且形成于该第二组接合焊盘的一相对应的接合焊盘上。

[0006] 本发明可在集成电路制作完成后尚未进行更进一步的工艺之前,例如尚未接合到任何其他装置之前,快速且准确地测试集成电路的完整性。对于一个已经连接至一其他集

成电路、中介层、或印刷电路板的集成电路来说,将此集成电路与其他集成电路、中介层、或印刷电路板分离是困难且昂贵的,因此本发明实施例可在有缺陷的集成电路接合到任何其他装置之前检测这些缺陷,而不需对有缺陷的集成电路进行分离或省下丢弃一与有缺陷的装置连接的功能正常的装置的损失。

#### 附图说明

- [0007] 图 1 为根据于一实施例中集成电路的一边角部分的俯视示意图。
- [0008] 图 2 为图 1 所示的集成电路的剖面示意图。
- [0009] 图 3 为测试下的图 1 所示的集成电路的俯视示意图。
- [0010] 图 4 为根据于另一实施例中集成电路的一边角部分的俯视示意图。
- [0011] 图 5 为一测试下的图 4 所示的集成电路的俯视示意图。
- [0012] 图 6 为根据于一实施例中一包括两个被粘晶结合的集成电路的集成电路系统的侧视示意图。
- [0013] 其中,附图标记说明如下:
- [0014] 100、400、605、610 ~ 集成电路
- [0015] 101 ~ 功能电路
- [0016] 102 ~ 测试电路
- [0017] 103 ~ 半导体装置
- [0018] 104 ~ 基板
- [0019] 105 ~ 未掺杂硅玻璃层
- [0020] 108、620 ~ 凸块球体
- [0021] 109、110、410 ~ 边缘
- [0022] 115 ~ 边角
- [0023] 120、125 ~ 虚设凸块球体
- [0024] 210、625 ~ 接线堆叠
- [0025] 220 ~ 接合焊盘
- [0026] 230 ~ 超低介电常数介电层
- [0027] 235、245 ~ 金属层
- [0028] 240、250 ~ 介层孔
- [0029] 255 ~ 凸块下金属层
- [0030] 260、265、270 ~ 短路
- [0031] 275 ~ 裂缝
- [0032] 305a、305b、305c、305d、305e、305f、305g ~ 探针
- [0033] 310 ~ 电流来源
- [0034] 315 ~ 电压计
- [0035] 320 ~ 第一连接
- [0036] 325 ~ 第二连接
- [0037] 330 ~ 第三连接
- [0038] 600 ~ 集成电路系统

[0039] 615 ~ 连接

### 具体实施方式

[0040] 图 1 为根据一实施例中集成电路 100 的一边角部分的俯视示意图。集成电路 100 包括功能电路 101 及测试电路 102。功能电路 101 包括多个半导体装置 103(显示于图 2 中),例如在一半导体基板 104 上的晶体管、二极管、电阻、及电容(显示于图 2 中)。当封装集成电路 100 于一产品中时,功能电路 101 可以运作集成电路 100 中多个半导体装置。测试电路 102 不包括半导体装置。当集成电路是在一产品中运作时,测试电路 102 不会被使用到。

[0041] 一未掺杂硅玻璃(undoped silica glass, USG)层 105 形成于半导体基板上且结束于边缘 109,边缘 109 位于集成电路 100 的边缘 110 之前。设置凸块球体 108 于集成电路 100 的一上表面上且连接凸块球体 108 至一如虚线所示、且位于凸块球体之下的功能电路 101。功能电路 101 包括电路,其当集成电路 100 运作于一产品中时执行集成电路的运作。

[0042] USG 层 105 的边角 115 为集成电路承受最多应力的部分。设置虚设或者多余的凸块球体 125、120 于集成电路 100 的边角中。除了一部分的凸块球体 108 连接电源及信号之外,多余的凸块球体 120 可额外地为集成电路连接电源及信号,例如电源轨(power rails)或接地轨(ground rails)。如果多余的凸块球体 120 故障,例如因为 USG 层 105 或形成于 USG 层 105 之下的层脱层而故障,仍能通过凸块球体 108 剩余的部分保持电源及信号至集成电路 100 的连接。设置一虚设凸块球体 125 于 USG 层 105 的边角 115 的旁边。虚设凸块球体 125 并不是用来连接任何信号或电源至集成电路 100 的功能电路 101。因此,如果 USG 层 105 或形成于 USG 层 105 之下的层的脱层是在离边角 115 一个凸块球体距离以内,并不会影响集成电路 100 的运作。

[0043] 然而,虚设凸块球体 125 并不连接电源或信号至集成电路 100,虚设凸块球体连接至一设置于虚设凸块球体 125 下的测试电路 102(以虚线-点显示)。

[0044] 在图 1 所示的实施例中,一虚设凸块球体 125 及两个多余的凸块球体 120 被设置在 USG 层 105 的四个边角中的每一个边角。因此,虚设凸块球体 125 被设置在邻近集成电路 100 的一边角的位置。在其他实施例中,多于一个虚设凸块球体 125 及多于或少于两个多余的凸块球体 120 被设置在 USG 层 105 的四个边角中的每一个边角。

[0045] 图 2 为集成电路 100 的剖面示意图,其中凸块球体 108 形成于一接线堆叠(wiring stack)210 上方。接线堆叠 210 形成于一基板 104 上。接线堆叠 210 包括形成于 USG 层 105 上的接合焊盘 220,其中 USG 层 105 形成于一超低介电常数(extremely low K, ELK)介电层 230 上。集成电路 100 还包括一形成于 USG 层 105 之中的金属层 235 及介层孔(vias)240。集成电路 100 还包括形成于 ELK 介电层 230 中的金属层 245 及介层孔 250。介层孔 240 连接接合焊盘 220 至金属层 235,而介层孔 250 连接金属层 245 使其金属层 245 彼此连接,介层孔 250 也连接金属层 245 至金属层 235 与形成于基板 104 之中的半导体装置 103。

[0046] 功能电路 101 包括接线堆叠 210 的一第一部分、接合焊盘 220、及形成于基板 104 之中的半导体装置 103。接合焊盘 220 及接线堆叠 210 的第一部分电性连接至半导体装置 103。在至少一些实施例中,更多或更少数目的层包括接线堆叠 210。

[0047] 测试电路 102 包括接线堆叠 210 的一第二部分(显示于图 2 中)、虚设凸块球体

125(显示于图1中)、及相对应的接合焊盘220。接线堆叠210的第二部分并不连接到半导体装置103(显示于图2中),且与半导体装置103电性隔离。在一实施例中,四个虚设凸块球体125(为简明起见只显示其中一个于图1中)经由介层孔及择自下列的至少一个:金属层235、245及介层孔240、250连接以形成测试电路102的一些部分。虚设凸块球体125可替代地或额外地经由接合焊盘220连接以形成测试电路102的一些部分,其中延伸接合焊盘220以造成彼此短路。

[0048] 在一些实施例中,接线堆叠210的第一及第二部分为独立的接线堆叠。

[0049] ELK介电层230比USG层105更脆弱。因此使用USG层105来保护ELK介电层不受损害及不从基板104脱层。凸块球体108是由一个或更多的材料形成,其中上述材料在加热时会接合至另一集成电路、中介层、或印刷电路板的一些部分。在凸块球体108及接合焊盘220之间,形成一凸块下金属层255,其中凸块下金属层255作为介于凸块球体金属及接合焊盘金属之间的介面。凸块下金属层255避免因为在接合至另一集成电路、中介层、或印刷电路板中的脆弱合金的形成所造成在介面的龟裂(cracking)。

[0050] 在集成电路100的制造过程中可能引入许多可能的缺陷。短路260可形成于凸块下金属层255之间。短路265可形成于金属层235的线路之间。短路270可形成在任何一层金属层245中的线路之间。介层孔240、250可能以异常方式形成而造成接合焊盘220、金属层235、金属层245、及基板104之间不连接。裂缝(cracks)275可形成于凸块球体108、凸块下金属层255、及接合焊盘220之间。USG层105、接合焊盘220及ELK介电层230可从彼此脱层,或者从基板104脱层。如果可以的话,在这些有缺陷的装置接合到任何其他装置之前检测这些缺陷,因为这将可以省下丢弃一与有缺陷的装置连接的功能正常的装置的损失。

[0051] 其他的缺陷可在制造形成集成电路100的层之后被引入。例如,在制造形成集成电路100的层之后,切割一形成有上述层的晶片,以形成独立的集成电路100。切割工艺包括锯穿基板及形成集成电路100的层,以分离出独立的集成电路100。锯的过程会产生应力,特别在集成电路100的边缘。应力可造成ELK介电层230从彼此脱层,或者从USG层105脱层,造成ELK介电层230及USG层105中的介层孔分别从金属层245、255分离。

[0052] 再者,集成电路100的处理操作可造成上述的脱层,且更进一步造成在一个或更多形成集成电路的金属及层之间的介面的龟裂。因此,在进行更进一步的工艺之前,用来快速且准确地测试集成电路100的完整性(integrity)的方法为有帮助的。

[0053] 图3为根据一实施例一测试下的集成电路100的俯视示意图。四个虚设凸块球体125之中的三个连接至探针305a、305b、305c。一电流来源310跨接其中两个探针305a、305b。一电压计315跨接探针305b、305c。

[0054] 实施三点测量法(three-point measurement)以测试集成电路100。在三点测量中,从电流来源310而来的电流通过与其连接的虚设凸块球体,其中虚设凸块球体连接至探针305a、305b,且电流通过形成于接线堆叠210中或在短路的接合焊盘220之间的连接(图2)。

[0055] 在图3所示的实施例中,通过短路接合焊盘220以形成一第一连接320(图2),一第二连接325形成于金属层235中(图2)及一第三连接330形成于ELK介电层230中金属层245的其中一层之中(图2)。在虚设凸块球体125的连接320、325、330共同地形成,

且被称为测试电路 102(图 1)。

[0056] 根据电压计 315 所检测到随着电流来源 310 提供的电流而反应改变的电压,收集有关虚设凸块球体 125 及形成于接线堆叠 210 之中或在短路的接合焊盘 220 之间的连接的完整性的信息。在完成上述的测量后,移动探针以连接至一些不同的虚设凸块球体 125 且重复测量直到完成所需的三个探针连接至四个虚设凸块球体的组合。

[0057] 利用所有从测量组合所收集的信息判定每一个在虚设凸块球体之间的连接 320、325、330,及每个虚设凸块球体及位于其下的接合焊盘 220 之间的连接的完整性。如找到一个缺陷,则可决定是否可接合集成电路 100 至另一个集成电路、中介层或印刷电路板。

[0058] 再者,使用从测量组合所收集的信息判定接线堆叠 210 中应该为开路电路(open circuit)的层是否短路,或接线堆叠 210 中的层是否与金属层 235 或接合焊盘 220 短路。如果发现缺陷,可决定是否可接合集成电路 100 至另一个集成电路、中介层或印刷电路板。

[0059] 哪些缺陷能被上述测量检测到取决于集成电路 100 上虚设凸块球体 125 之间确切的连接及这些连接的层。检测这些缺陷的方式是通过将从测量组合所收集到的信息与四个虚设凸块球体 125 之间连接的已知设计作比较。

[0060] 在图 3 所示的实施例中,实施三点测量法。在其他实施例中,实施四点测量法,其中一电流通过虚设凸块球体 125 的其中两者之间,且测量跨过剩余的两个虚设凸块球体 125 的电压。在一些实施例中,实施测量的组合以尽量收集越多关于虚设凸块球体 125 及虚设凸块球体 125 之间连接的完整性的信息。在其他实施例中,仅实施检测一特定的缺陷所需测量的一部分。

[0061] 图 4 为一根据于另一实施例中集成电路 400 的一边角部分的俯视示意图。图 4 所示的实施例相似于图 2 中所示的实施例,并包括 USG 层 105,其中 USG 层 105 的形成结束于边缘 109,边缘 109 位于集成电路 400 的边缘 410 之前。图 4 的实施例还包括覆盖集成电路上表面的凸块球体 108。集成电路 400 在接近边角 115 的位置具有额外的虚设凸块球体 125,且比起图 2 所示的实施例具有额外的虚设或多余的凸块球体。因此,很大一部分的边角 115 可在不影响集成电路 400 的完整性的情况下脱层,因为在运作时不需要虚设或多余的凸块球体的任何一个才能运作集成电路 400。集成电路 400 包括一连接至凸块球体 108 的功能电路 101(如虚线所示),及连接至虚设凸块球体 125 的测试电路 102(如虚线-点所示)。

[0062] 如图 1 的实施例所示,虚设凸块球体 125 连接至接线堆叠 210 的一些部分。在图 4 所示的实施例中,三个虚设凸块球体 125 被设置于 USG 层 105 四个边角的每一个边角。因此,这三个虚设凸块球体 125 被设置于集成电路 100 的一边角及剩余的凸块球体 108 之间。上述三个在 USG 层 105 的每个边角的虚设凸块球体 125 经由介层孔及择自下列至少一个:金属层 235、245 及介层孔 240、250(图 2) 连接。或者,虚设凸块球体 125 经由接合焊盘 220(图 2) 连接,其中延伸接合焊盘以造成与彼此短路。

[0063] 图 5 为一测试下的集成电路 400 的俯视示意图。在相同边角的虚设凸块球体 125 的其中三个及在另一边角的一虚设凸块球体连接至探针 305d、305e、305f、及 305g。电流来源 310 跨接其中两个探针 305d、305e。电压计 315 跨接探针 305f 及 305g。

[0064] 实施四点测量法以测试集成电路 400。在四点测量中,由电流来源 310 来的电流 310 通过与其连接的虚设凸块球体 125,其中虚设凸块球体 125 连接至探针 305d、305e,且电



流通过形成于接线堆叠 210 中或短路的接合焊盘 210 之间的连接。

[0065] 根据于电压计所检测到随着电流来源而反应改变的电压,收集有关于虚设凸块球体 125 及形成于接线堆叠 210 中或短路的接合焊盘 220 之间的连接的完整度的信息。在完成上述的测量后,移动探针以连接至一些不同的虚设凸块球体 125,且重复测量,直到完成三个探针连接至虚设凸块球体 125 的所需组合。

[0066] 对集成电路 400 的虚设凸块球体实施虚设凸块球体 125 的四点测量的组合。因为每一个边角中有三个虚设凸块球体 125,在虚设凸块球体之间的额外的测试线路(test wiring)的组合被设计进集成电路 400 中,使得更多可能的缺陷,不论是短路或开路电路,得以根据实施于集成电路 400 的测量组合所收集到的信息,相较于实施于集成电路 100 的所得信息,而被检测。在一些实施例中,使用三点测量的组合测试集成电路 400。

[0067] 在图 2 至图 5 中所示的实施例中,虚设凸块球体 125 形成于集成电路 100、400 的边角中。在其他实施例中,为虚设凸块球体 125 的边角的虚设凸块球体可为与本发明的实施例相容的任何数目的虚设凸块球体。在其他实施例中,虚设凸块球体 125 形成于与本揭示实施例相容的集成电路 100、400 的额外的 / 不同的位置。再者,连接凸块球体 125 的测试结构包括与本发明揭示相容的额外的测试结构,其中额外的测试结构从接合焊盘 220 及接线堆叠 210 形成。

[0068] 图 6 为一包括集成电路 605 及 610 的集成电路系统 600 的侧视示意图。集成电路 605 与集成电路 100 或集成电路 400 相似,也具有虚设凸块球体 125。将集成电路 610 粘晶至集成电路 605。在将集成电路 610 粘晶至集成电路 605 之前,使用上述工艺测试集成电路 605 的完整性以探测虚设凸块球体 125。配置集成电路 605 的接线堆叠使其包括连接 615,其连接虚设凸块球体 125 至集成电路 610 上的连接。通过在将集成电路 610 粘晶至集成电路 605 之后在凸块球体 125 上进行额外的三点或四点测量,测试凸块球体 620 及形成于集成电路 610 中的接线堆叠 625 的完整性,其中测试方式为经由连接 615 通电流及电压至集成电路 610。以上述方式可以在接合集成电路系统 600 到其他集成电路、中介层、或印刷电路板之前评估集成电路系统 600 的完整性。

[0069] 在一些实施例中,以一被粘晶至集成电路 605 的中介层置换集成电路 610。这使得中介层与中介层中的接线的接合得以在集成电路系统粘晶至另一集成电路、中介层、或印刷电路板之前,以集成电路 605 上的虚设凸块球体 125 的三和 / 或四点测量测试。在一些实施例中,置换集成电路 610 成为一被粘晶至集成电路 605 的印刷电路板。这使得印刷电路板与印刷电路板中的接线的接合在集成电路系统粘晶至另一集成电路、中介层、或印刷电路板之前,以集成电路 605 上的虚设凸块球体 125 的三和 / 或四点测量测试。

[0070] 在图 1 至图 6 所示的实施例中,沉积凸块球体 108 于接合焊盘 220 上。在其他实施例中,接合焊盘的一部分不具有凸块球体但接线至其他集成电路、中介层、或印刷电路板。

[0071] 在一些实施例中,测试电路 102 并不电性连接至功能电路 101。在其他实施例中,测试电路 102 电性连接至功能电路 101。在又其他实施例中,测试电路是用功能电路 101、接合焊盘 220、及虚设凸块球体 125 之外的凸块球体 108 的一些部分形成。

[0072] 根据一些实施例,一种包括一基板、一功能电路、及一测试电路的集成电路。功能电路包括一形成于基板上的半导体装置、一形成于基板上的第一接线堆叠、一形成于第一接线堆叠上的第一组接合焊盘、及第一组凸块球体。第一接线堆叠电性连接至半导体装置。

第一组凸块球体的每一个凸块球体形成于第一组接合焊盘的一相对应的接合焊盘上。测试电路包括一形成于基板上的第二接线堆叠、一形成于第二接线堆叠上的第二组接合焊盘、及一第二组凸块球体。第二接线堆叠与半导体装置隔离。第二组凸块球体的每一个凸块球体形成于第二组接合焊盘一相对应的接合焊盘上且第二组凸块球体为虚设凸块球体。

[0073] 根据于一些实施例,一种包括一第一集成电路、中介层、或印刷电路板的其中至少一个、及一第二集成电路的集成电路系统。第一集成电路、中介层、或印刷电路板包括一测试电路的一第一部分。第二集成电路包括一接线堆叠、一接合焊盘阵列、一凸块球体阵列,其中每个凸块球体形成于一相对应的接合焊盘上、及测试电路的一第二部分。功能电路包括凸块球体的一第一部分及接合焊盘的一第一部分。测试电路的第二部分包括凸块球体的一第二部分及接合焊盘的一第二部分,且凸块球体的第二部分的每一个凸块球体为一虚设凸块球体。测试电路的第一部分电性连接至测试电路的第二部分。

[0074] 根据于一些实施例,一种集成电路的制造方法,包括形成一功能电路及形成一测试电路。功能电路的形成包括形成一半导体装置于一基板上、形成一第一接线堆叠于基板上、形成一第一组接合焊盘于第一接线堆叠上、及形成一第一组凸块球体。第一接线堆叠电性连接至半导体装置。第一组凸块球体的每一个凸块球体形成于第一组接合焊盘的一相对应的接合焊盘上。测试电路的形成包括形成一第二接线堆叠于基板上,形成一第二组接合焊盘于第二接线堆叠上、及形成一第二组凸块球体。第二接线堆叠与该半导体装置隔离。第二组凸块球体的每一个凸块球体为一虚设凸块球体且形成于第二组接合焊盘的一相对应的接合焊盘上。

[0075] 根据本发明实施例,可在集成电路制作完成后尚未进行更进一步的工艺之前,例如尚未接合到任何其他装置之前,快速且准确地测试集成电路的完整性。对于一个已经连接至一其他集成电路、中介层、或印刷电路板的集成电路来说,将此集成电路与其他集成电路、中介层、或印刷电路板分离是困难且昂贵的,因此本发明实施例可在有缺陷的集成电路接合到任何其他装置之前检测这些缺陷,而不需对有缺陷的集成电路进行分离或省下丢弃一与有缺陷的装置连接的功能正常的装置的损失。

[0076] 虽然本发明已以多个较佳实施例揭示如上,然其并非用以限定本发明,任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可作任意的更动与润饰,因此本发明的保护范围当视所附的权利要求所界定的范围为准。

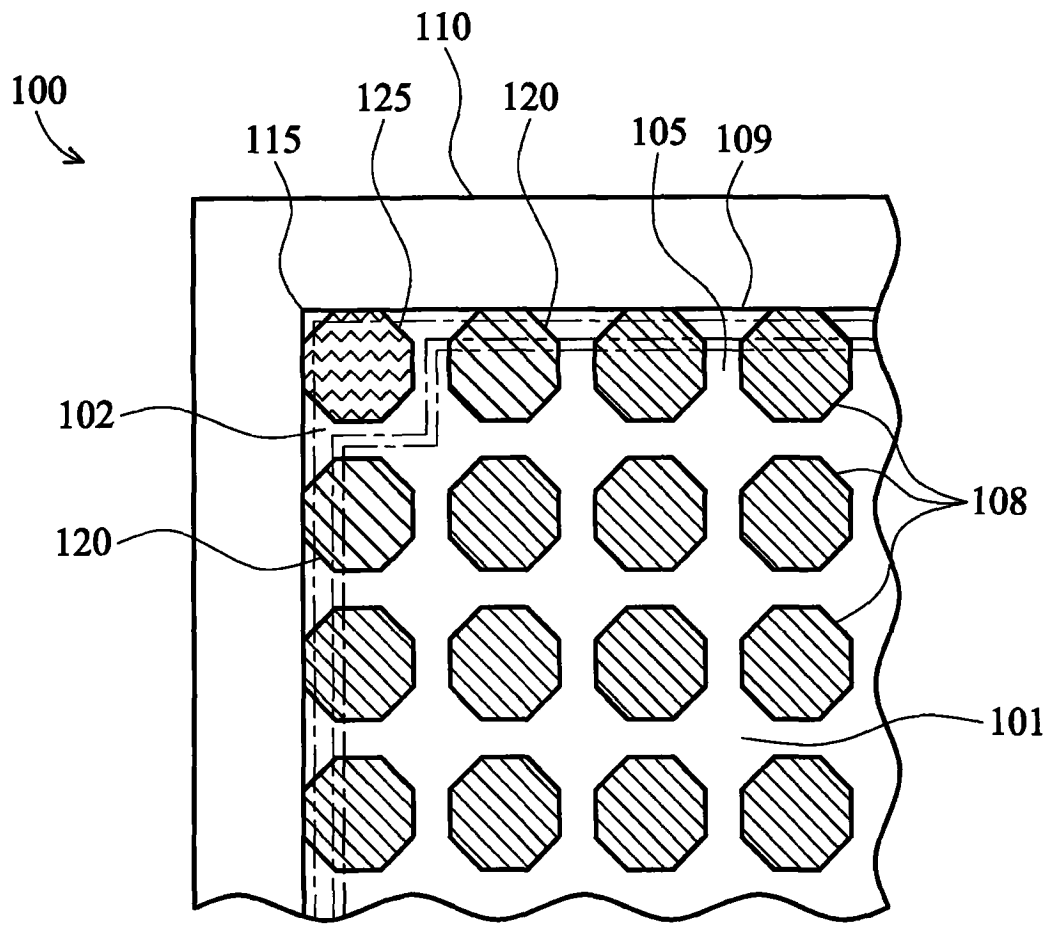


图 1



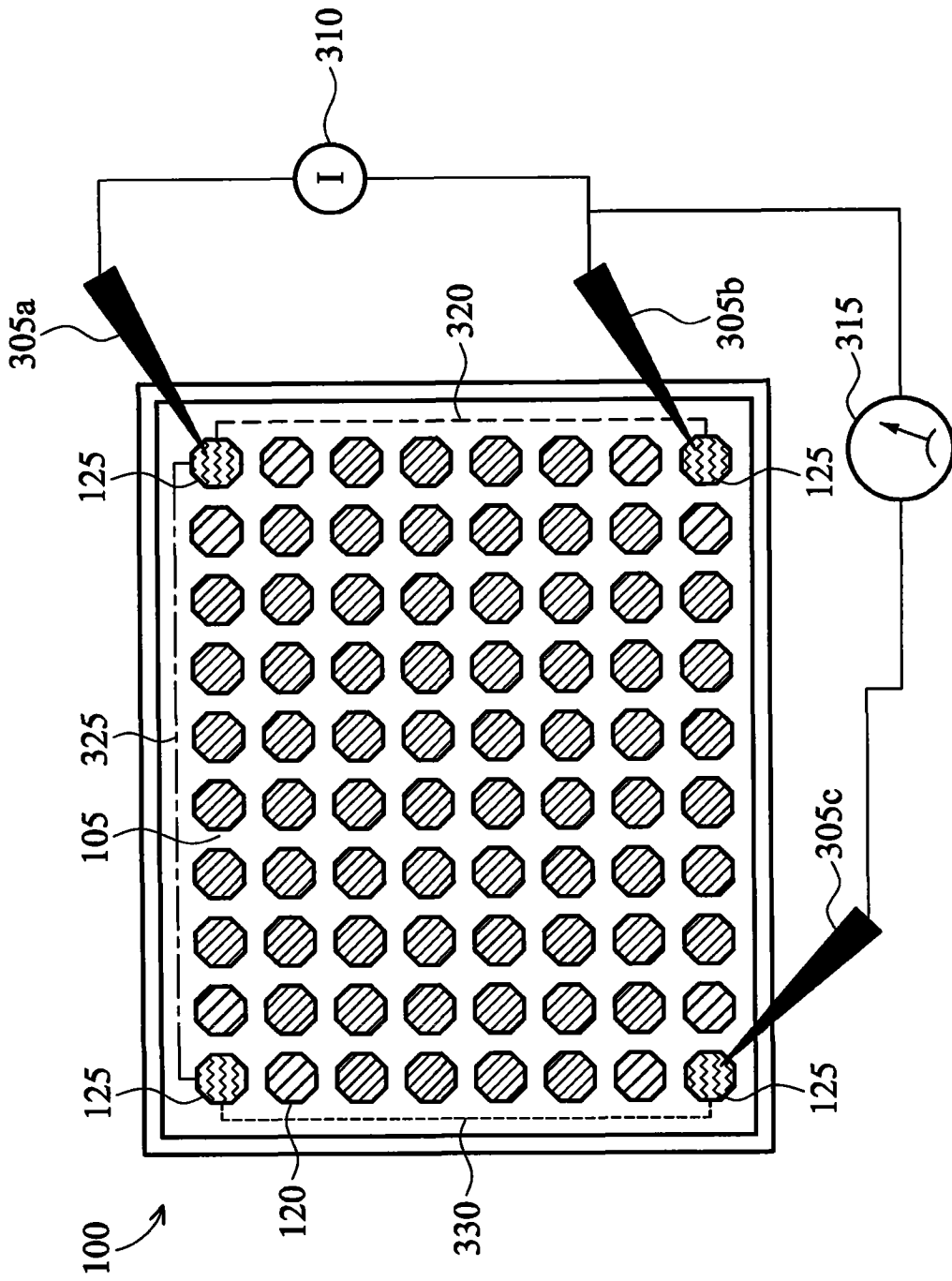


图 3

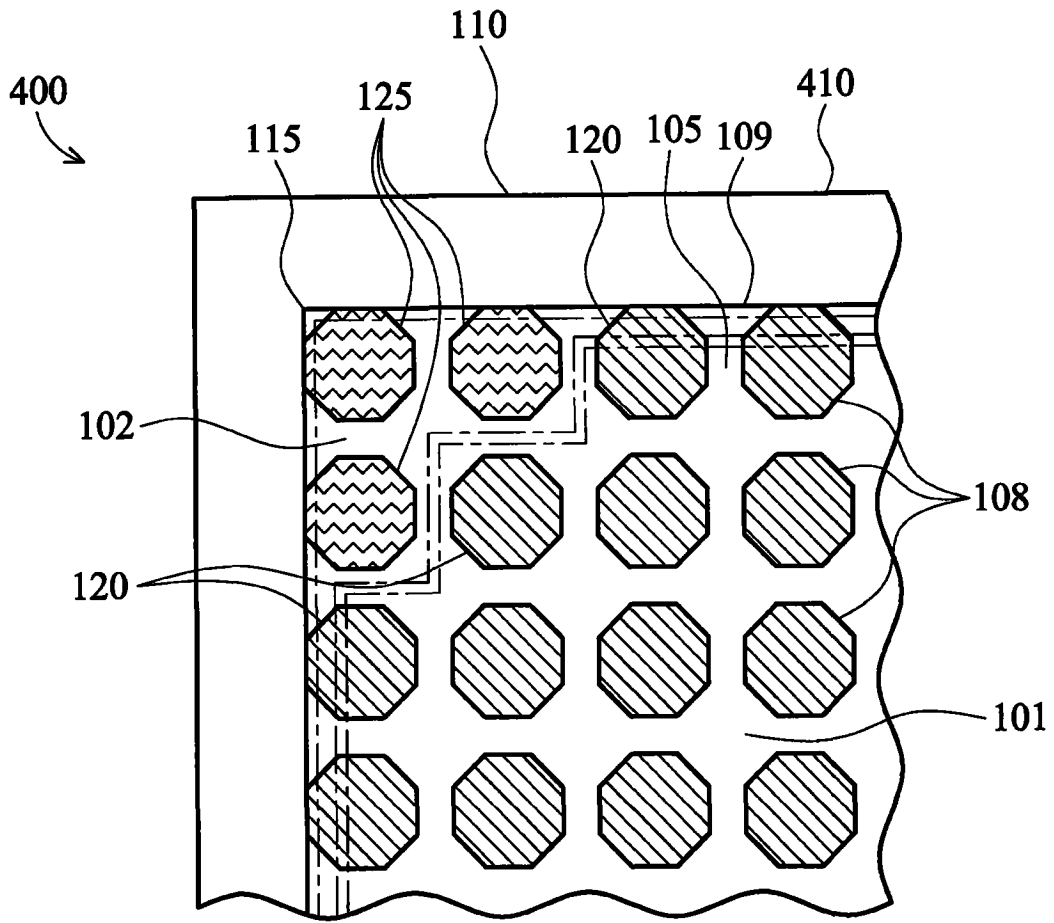


图 4

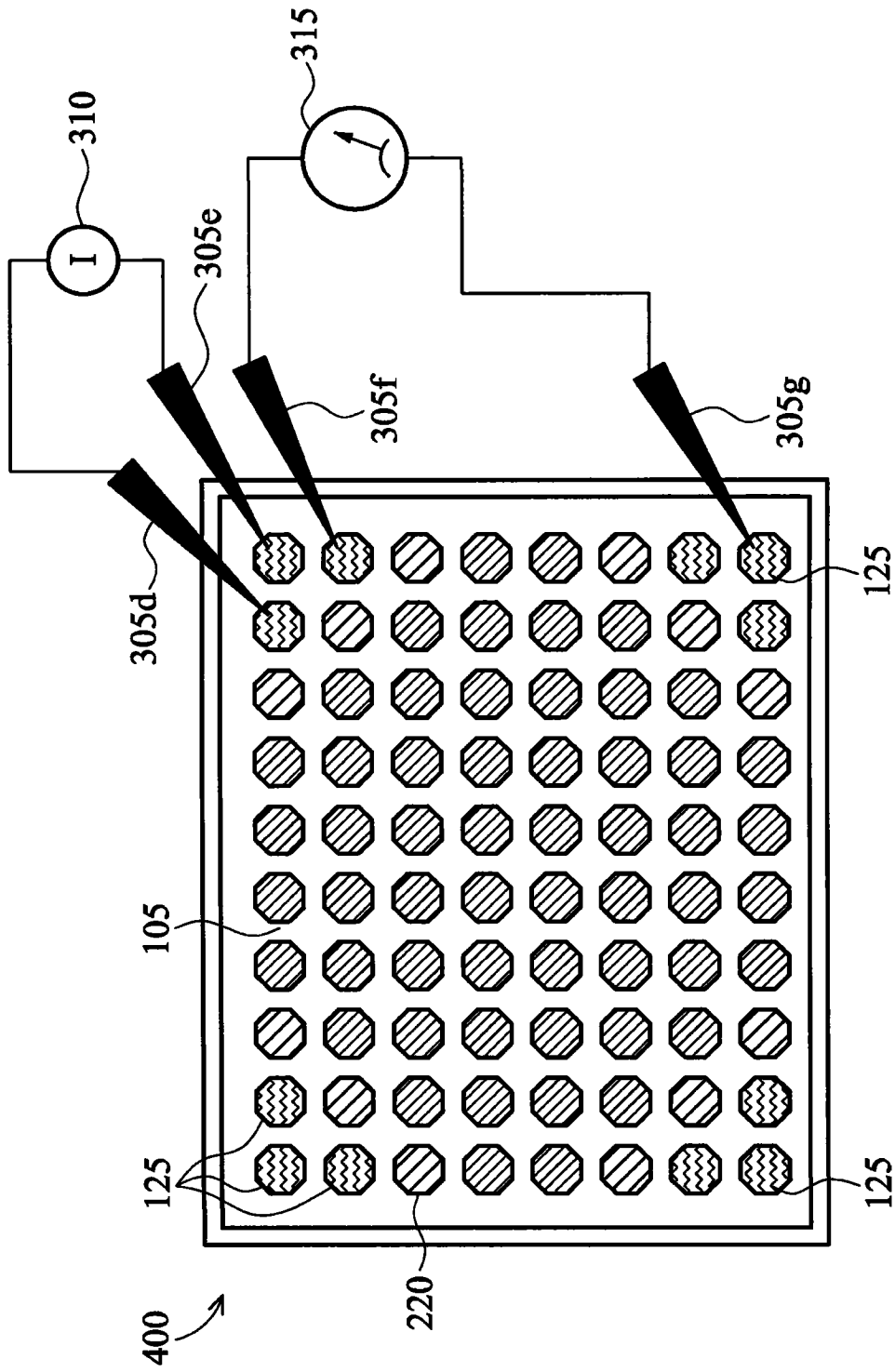


图 5

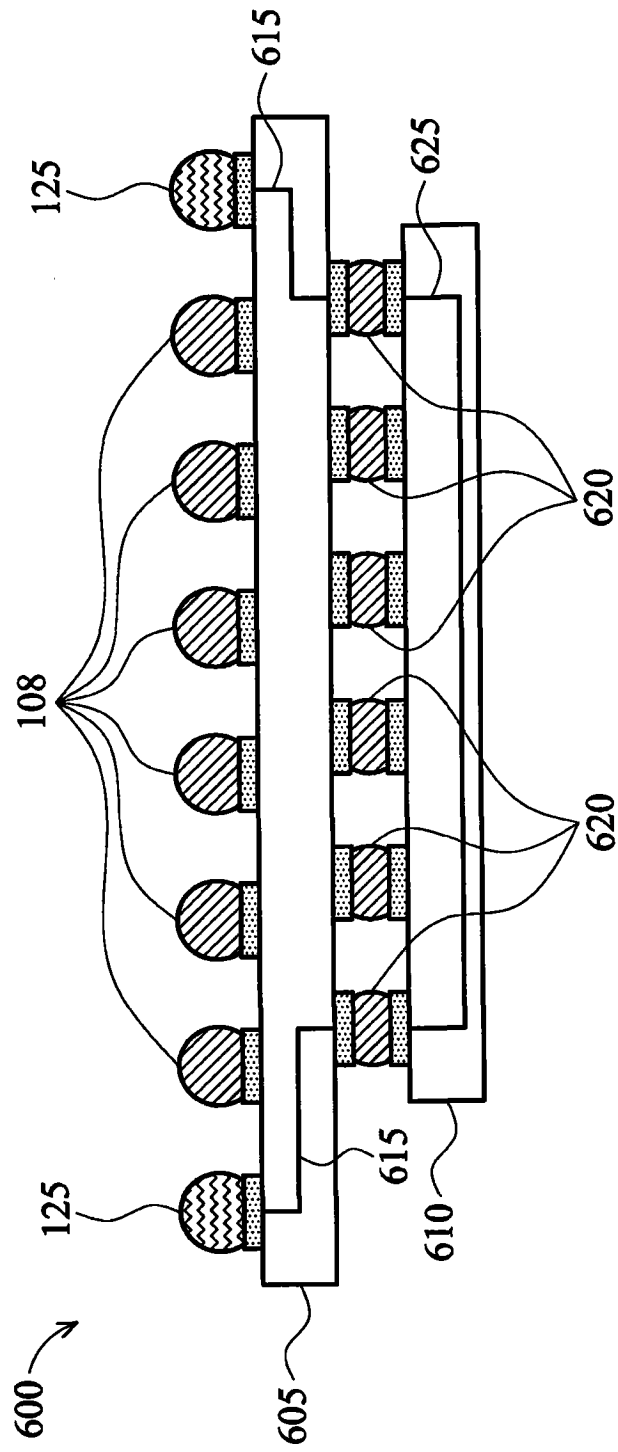


图 6