



(12) 发明专利申请

(10) 申请公布号 CN 106531749 A

(43) 申请公布日 2017.03.22

(21) 申请号 201510581949.X

(22) 申请日 2015.09.14

(71) 申请人 原相科技股份有限公司

地址 中国台湾新竹县

(72) 发明人 沈启智 陈彦欣 张义昌

(74) 专利代理机构 隆天知识产权代理有限公司

72003

代理人 苏捷 向勇

(51) Int. Cl.

H01L 27/144(2006.01)

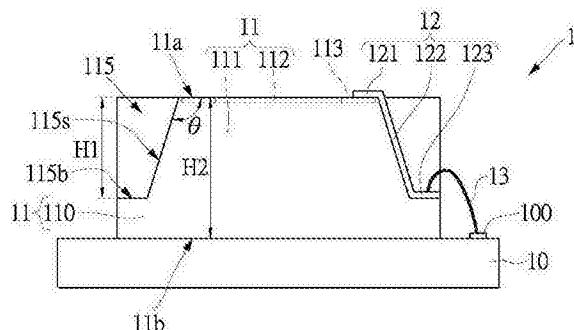
权利要求书2页 说明书9页 附图14页

(54) 发明名称

感测芯片封装结构及其制造方法

(57) 摘要

本公开提供一种感测芯片封装结构及其制造方法。感测芯片封装结构包括载板、感测芯片及线路层。感测芯片设置于载板上，其中感测芯片具有一顶面，以及由顶面凹陷而形成的至少一凹陷部，且顶面设有一主动区，凹陷部位于主动区的一侧。凹陷部的深度介于 $100 \mu m$ 至 $400 \mu m$ 。线路层形成于感测芯片上，以电性连接于主动区，其中至少部分线路层由主动区延伸至凹陷部的一侧壁面及一底面。



1. 一种感测芯片封装结构,其特征在于,所述感测芯片封装结构包括:

一载板;

一感测芯片,设置于所述载板上,其中所述感测芯片具有一顶面,以及由所述顶面凹陷而形成的至少一凹陷部,所述顶面设有一主动区,且所述凹陷部位于所述主动区的一侧,所述凹陷部的深度介于 $100 \mu\text{m}$ 至 $400 \mu\text{m}$;以及

一线路层,形成于所述感测芯片上,以电性连接于所述主动区,其中至少部分所述线路层由所述主动区延伸至所述凹陷部的一侧壁面及一底面。

2. 如权利要求 1 所述的感测芯片封装结构,其中所述侧壁面为一斜面。

3. 如权利要求 1 所述的感测芯片封装结构,还包括一挡墙,形成于所述顶面,并围绕所述主动区,以定义出一封闭区域,其中所述挡墙的高度介于 $2 \mu\text{m}$ 至 $50 \mu\text{m}$,所述挡墙的宽度介于 $5 \mu\text{m}$ 至 $100 \mu\text{m}$ 。

4. 如权利要求 3 所述的感测芯片封装结构,其中所述挡墙与位于所述顶面的部分所述线路层相互重叠设置。

5. 如权利要求 4 所述的感测芯片封装结构,其中所述挡墙叠设于所述线路层上。

6. 如权利要求 3 所述的感测芯片封装结构,还包括一模封体,其中所述模封体覆盖所述载板、所述感测芯片及所述线路层,其中所述模封体暴露所述主动区。

7. 如权利要求 6 所述的感测芯片封装结构,其中所述模封体的一顶表面低于所述挡墙的一顶端面或者与所述顶端面齐平。

8. 如权利要求 1 所述的感测芯片封装结构,还包括一发光元件,所述发光元件设置于所述凹陷部内。

9. 如权利要求 8 所述的感测芯片封装结构,其中所述线路层至少包括一设置于所述侧壁面的接地线路及一设置于所述底面的接地垫,所述发光元件叠设在所述接地垫上,并通过所述接地线路电性接地。

10. 如权利要求 8 所述的感测芯片封装结构,还包括至少一焊线,其中所述发光元件通过所述焊线电性连接于所述载板。

11. 如权利要求 1 所述的感测芯片封装结构,还包括多条焊线,其中所述主动区通过所述线路层及所述焊线电性连接于所述载板。

12. 一种感测芯片封装结构的制造方法,其特征在于,所述感测芯片封装结构的制造方法包括:

提供一晶圆,所述晶圆包括多个感测芯片,其中每一个所述感测芯片具有一主动区及定义至少一预薄化区,其中所述预薄化区位于所述主动区的一侧,并涵盖所述感测芯片的一边界;

对每一个所述感测芯片的所述预薄化区进行蚀刻,以在每一个所述主动区的一侧形成一凹陷部;

形成一线路重分配层于所述晶圆上;

对所述晶圆执行一切割步骤,以形成相互分离的多个所述感测芯片,其中每一个所述感测芯片上设有一线路层,且所述线路层由所述主动区延伸至所述凹陷部的一侧壁面及一底面;以及

将多个所述感测芯片分别设置于多个载板上,并使每一个所述感测芯片的所述主动区

电性连接于所述载板。

13. 如权利要求 12 所述的感测芯片封装结构的制造方法,还包括于每一个所述感测芯片上形成一挡墙,其中所述挡墙围绕所述主动区,以定义出一封闭区域。

14. 如权利要求 13 所述的感测芯片封装结构的制造方法,其中形成所述挡墙的步骤是在形成所述线路重分配层的步骤之后执行。

15. 如权利要求 13 所述的感测芯片封装结构的制造方法,在将多个所述感测芯片分别设置于多个所述载板上的步骤之后,还包括形成一模封体以封装所述载板、所述感测芯片及所述线路层,其中所述模封体暴露所述主动区。

16. 如权利要求 15 所述的感测芯片封装结构的制造方法,其中所述模封体的一顶表面低于所述挡墙的一端面或者与所述端面齐平。

17. 如权利要求 12 所述的感测芯片封装结构的制造方法,还包括:设置一发光元件于所述凹陷部内,其中在多个所述感测芯片分别设置于多个所述载板上的步骤中,所述发光元件通过所述线路层电性接地。

18. 如权利要求 17 所述的感测芯片封装结构的制造方法,在将多个所述感测芯片分别设置于多个所述载板上的步骤中,还包括:形成至少一焊线,以使所述发光元件电性连接于所述载板。

感测芯片封装结构及其制造方法

技术领域

[0001] 本发明涉及一种感测芯片封装结构及其制造方法,特别涉及一种裸露主动区的感测芯片封装结构及其制造方法。

背景技术

[0002] 目前常见的光学感测芯片封装模块主要包括基板、芯片以及封胶体。芯片设置于基板上并电性连接基板,而封胶体覆盖于基板的表面以及芯片上,用以固定该芯片并保护导线。另外,芯片的感测区通常会被玻璃或是其他透明材质覆盖,而不会裸露于出来。然而,当这部分光学感测芯片封装模块应用在指纹辨识感测器中时,手指无法直接接触感测区,有可能会影响辨识的精确度。

[0003] 除此之外,在感测区上方覆盖透明材料,也会进一步增加光学感测芯片封装模块的厚度,而不利于将光学感测芯片封装模块整合在便携式的电子装置中。

发明内容

[0004] 本发明实施例在于提供一种感测芯片封装结构及其制造方法。在感测芯片封装结构中,感测芯片的主动区并没有被玻璃或其他透明材料覆盖,而是直接暴露于外部环境,而可应用于各种感测元件中。另外,通过在感测芯片上形成凹陷部,可进一步缩短光源与主动区之间的距离。

[0005] 本发明其中一实施例提供一种芯片感测芯片封装结构,包括载板、感测芯片及线路层。感测芯片设置于载板上,其中感测芯片具有一顶面,以及由顶面凹陷而形成的至少一凹陷部。顶面设有一主动区,且凹陷部位于主动区的一侧,且凹陷部的深度介于 $100 \mu\text{m}$ 至 $400 \mu\text{m}$ 。线路层形成于感测芯片上,以电性连接于主动区,其中至少部分线路层由主动区延伸至凹陷部的一侧壁面及一底面。

[0006] 本发明其中一实施例提供一种感测芯片封装结构的制造方法,其包括:提供一晶圆,晶圆包括多个感测芯片,其中每一个感测芯片具有一主动区及定义至少一预薄化区,其中预薄化区位于主动区的一侧,并涵盖感测芯片的一边界;对每一个所述感测芯片的预薄化区进行蚀刻,以在每一个主动区的一侧形成一凹陷部;形成一线路重分配层于晶圆上;对晶圆执行一切割步骤,以形成相互分离的多个感测芯片,其中每一个感测芯片上设有一线路层,且线路层由主动区延伸至凹陷部的一侧壁面及一底面;以及将多个感测芯片分别设置于多个载板上,并通过线路层使每一个感测芯片的主动区电性连接于所述载板。

[0007] 在本发明实施例所提供的感测芯片封装结构及其制造方法中,可使感测芯片的主动区暴露于外部环境中,以直接接触待测物,例如:手指。另外,感测芯片具有至少一个由顶面凹陷的凹陷部,以使主动区可通过布设于凹陷部的底面与侧壁面的线路层与载板电性连接。

[0008] 为使能更进一步了解本发明的特征及技术内容,请参阅以下有关本发明的详细说明与附图,然而说明书附图仅提供参考与说明用,并非用来对本发明加以限制者。

附图说明

- [0009] 图 1A 为本发明实施例的感测芯片封装结构的俯视示意图。
- [0010] 图 1B 为图 1A 沿线 IB-IB 剖面线的剖面示意图。
- [0011] 图 2 为本发明另一实施例的感测芯片封装结构的剖面示意图。
- [0012] 图 3A 为本发明另一实施例的感测芯片封装结构的俯视示意图。
- [0013] 图 3B 为图 3A 沿线 IIIB-IIIB 剖面线的剖面示意图。
- [0014] 图 4 为本发明实施例的感测芯片封装结构的制造方法的流程图。
- [0015] 图 5 为本发明实施例的晶圆在图 4 的步骤 S100 中的俯视示意图。
- [0016] 图 5A 为图 5 的区域 A 的放大俯视示意图。
- [0017] 图 6A 为本发明实施例的感测芯片在图 4 的步骤 S101 中的局部俯视示意图。
- [0018] 图 6B 为图 6A 所示的感测芯片的剖面示意图。
- [0019] 图 6C 为本发明另一实施例的感测芯片在图 4 的步骤 S101 中的局部俯视示意图。
- [0020] 图 7A 为本发明实施例的感测芯片在图 4 的步骤 S102 中的局部俯视示意图。
- [0021] 图 7B 为图 7A 的感测芯片的剖面示意图。
- [0022] 图 8A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S103 中的局部俯视示意图。
- [0023] 图 8B 为图 8A 所示的感测芯片的剖面示意图。
- [0024] 图 9A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S105 中的局部俯视示意图。
- [0025] 图 9B 为图 9A 所示的感测芯片封装结构的剖面示意图。
- [0026] 图 10A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S106 中的局部俯视示意图。
- [0027] 图 10B 为图 10A 所示的感测芯片封装结构的剖面示意图。
- [0028] 图 11A 为本发明另一实施例的感测芯片封装结构在工艺步骤中的局部俯视示意图。
- [0029] 图 11B 为图 11A 所示的感测芯片封装结构的剖面示意图。
- [0030] 图 12A 为本发明另一实施例的感测芯片封装结构在工艺步骤中的局部俯视示意图。
- [0031] 图 12B 为图 12A 所示的感测芯片封装结构的剖面示意图。
- [0032] 图 13A 为本发明另一实施例的感测芯片封装结构在工艺步骤中的局部俯视示意图。
- [0033] 图 13B 为图 13A 所示的感测芯片封装结构的剖面示意图。
- [0034] 附图标记说明：
- [0035] 感测芯片封装结构 1、2、3
- [0036] 载板 10
- [0037] 焊垫 100
- [0038] 感测芯片 11、11'
- [0039] 感测芯片高度 H2

- [0040] 顶面 11a
- [0041] 底表面 11b
- [0042] 主动区 112
- [0043] 布线区 113
- [0044] 凹陷部 115
- [0045] 侧壁面 115s
- [0046] 底面 115b
- [0047] 凹陷部深度 H1
- [0048] 线路层 12
- [0049] 第一接垫 121
- [0050] 导线 122
- [0051] 第二接垫 123
- [0052] 焊线 13
- [0053] 基底部 110
- [0054] 凸出部 111
- [0055] 发光元件 14
- [0056] 挡墙 15
- [0057] 挡墙宽度 W
- [0058] 模封体 16
- [0059] 顶表面 160
- [0060] 晶圆 S1
- [0061] 预薄化区 115'
- [0062] 线路重分配层 12'
- [0063] 切割线 L
- [0064] 夹角 θ
- [0065] 流程步骤 S100 ~ S106

具体实施方式

[0066] 请参阅图 1A 与图 1B。图 1A 为本发明实施例的感测芯片封装结构的俯视示意图。图 1B 为图 1A 沿线 IB-IB 剖面线的剖面示意图。

[0067] 本发明实施例所提供的感测芯片封装结构可被整合应用于不同的感测元件中，例如是指纹辨识器、汗孔辨识器、血氧浓度检测器、心跳感测器、环境光感测器或是近接感测器等等。本发明实施例中，感测芯片封装结构 1 包括载板 10、感测芯片 11 及线路层 12。

[0068] 载板 10 可以是金属板、绝缘板或者是复合板，其中复合板例如是硬式印刷线路板 (printed circuit board, PCB) 或是软式印刷线路板 (flexible printed circuit, FPC)。在本实施例中，载板 10 为印刷线路板，且在载板 10 中已布设线路 (未图示) 及多个焊垫 100，其中焊垫 100 的位置可根据感测芯片 11 的配置需求而设置。

[0069] 另外，在图 1A 所示的实施例中，载板 10 为方形板，然而本发明并未限制载板 10 的形状。在其他实施例中，载板 10 也可以具有其他几何形状，例如：圆形、椭圆形、正方形、长

方形或者是三角形。

[0070] 感测芯片 11 设置于载板 10 上，并通过至少一条焊线 13 与载板 10 上的焊垫 100 电性连接。详细而言，感测芯片 11 具有一顶面 11a 及与顶面 11a 相反的一底表面 11b，且感测芯片 11 的顶面 11a 设有主动区 112 以及布线区 113，其中布线区 113 是位于主动区 112 周边。在布线区 113 内已设有和主动区 112 电性连接的控制电路，以接收主动区 112 所感测的信号。

[0071] 值得说明的是，本发明实施例的感测芯片 11 具有由顶面 11a 凹陷而形成的至少一凹陷部 115，其中凹陷部 115 是位于主动区 112 的其中一侧，并横穿感测芯片 11 的侧表面。

[0072] 请参照图 1B，凹陷部 115 具有一侧壁面 115s 及一底面 115b，其中侧壁面 115s 是连接于顶面 11a 与底面 115b 之间。在一实施例中，侧壁面 115s 为斜面。进一步而言，侧壁面 115s 和顶面 11a 之间形成一夹角 θ ，且夹角 θ 介于 110 度至 140 度之间。另外，凹陷部 115 的深度 H1 会小于感测芯片 11 的高度 H2。前述感测芯片 11 的高度 H2 是由感测芯片 11 的顶面 11a 至底表面 11b 的垂直距离。具体而言，凹陷部 115 的深度 H1 是介于 100 μm 至 400 μm 之间。

[0073] 换句话说，感测芯片 11 实际上会具有一基底部 110 以及一突出于基底部 110 上表面的凸出部 111，且凸出部 111 与基底部 110 共同定义出前述的凹陷部 115。据此，凸出部 111 的俯视形状的面积会小于基底部 110 的俯视形状的面积，且基底部 110 的上表面即为凹陷部 115 的底面 115b。

[0074] 在图 1A 与图 1B 的实施例中，感测芯片 11 具有两个凹陷部 115，这两个凹陷部 115 分别位于主动区 112 的两相反侧。然而，凹陷部 115 的数量与位置实际上可根据线路布设的位置来决定，因此本发明中并不限制。举例而言，两个凹陷部 115 可以位于主动区 112 的两相邻侧。另外，在其他实施例中，感测芯片 11 也可以只具有一个凹陷部 115 或者是具有两个以上的凹陷部 115。

[0075] 请参照图 1A 与图 1B，线路层 12 形成于感测芯片 11 上，并电性连接至主动区 112。详细而言，线路层 12 布设于感测芯片 11 的顶面 11a、凹陷部 115 的侧壁面 115s 以及底面 115b，并通过前述布线区 113 内的控制电路电性连接至主动区 112。

[0076] 在一实施例中，线路层 12 包括至少一个第一接垫 121、至少一第二接垫 123 以及连接于第一接垫 121 与第二接垫 123 之间的导线 122。前述第一接垫 121、第二接垫 123 以及导线 122 的数量可以根据感测芯片 11 的配置需求而设置，本发明并不限制。

[0077] 需说明的是，第一接垫 121 设置于感测芯片 11 的顶面 11a，并电性连接至位于布线区 113 内的控制电路。第二接垫 123 则设置于凹陷部 115 的底面 115b 上，而导线 122 由顶面 11a 的第一接垫 121 通过凹陷部 115 的侧壁面 115s 延伸至位于凹陷部 115 底面 115b 的第二接垫 123。第二接垫 123 并通过焊线 13 连接至载板 10 上的焊垫 100，从而使感测芯片 11 的主动区 112 可与载板 10 中的线路电性连接。

[0078] 也就是说，凹陷部 115 的侧壁面 115s 与底面 115b 可作为线路布设区，通过设置于凹陷部 115 的侧壁面 115s 与底面 115b 的线路层 12，以及焊线 13，可使主动区 112 电性连接至载板 10。

[0079] 请参照图 2。图 2 显示本发明另一实施例的感测芯片封装结构的剖面示意图。本实施例和图 1B 中相同的元件使用相同的标号，且相同的部分不再赘述。

[0080] 在本实施例中,感测芯片封装结构 2 还包括一发光元件 14,其中发光元件 14 设置于凹陷部 115 内。具体而言,发光元件 14 是设置于凹陷部 115 的底面 115b 上,且发光元件 14 的厚度是小于凹陷部 115 的深度。

[0081] 发光元件 14 可用以投射检测光束至一待测物件。之后,感测芯片 11 的主动区 112 再接收由待测物所反射的光线,来形成待测物影像,以进行辨识。发光元件 14 可以是发光二极管(LED)、激光光源或红外线光源,用以提供单色光或宽频光。

[0082] 在本实施例中,发光元件 14 为发光二极管(LED),且发光二极管的接地端与电压输入端分别位于发光元件 14 的底部与顶部。因此,当发光元件 14 设置在凹陷部 115 时,发光元件 14 可设置于其中一个电性接地的第二接垫 123 上,以使位于发光元件 14 底部的接地端电性接地。

[0083] 另外,在本实施例中,载板 10 设有开关控制电路,位于发光元件 14 顶部的电压输入端可通过焊线 13 连接至载板 10 上的焊垫 100,以电性连接至开关控制电路,从而使开关控制电路可控制发光元件 14 的开启与关闭。

[0084] 在另一实施例中,发光元件 14 的接地端与电压输入端皆位于发光元件 14 的顶部。在这个情况下,发光元件 14 不一定需要设置于第二接垫 123 上,而可直接设置于凹陷部 115 的底面 115b 未被线路层 12 覆盖的区域。并且,发光元件 14 的接地端与电压输入端可分别通过两条焊线 13 电性连接至设置于载板 10 上的两个焊垫 100,其中一个焊垫 100 电性接地,另一个焊垫 100 则电性连接至开关控制电路。

[0085] 需说明的是,在已知的部分感测芯片封装结构中,光源与芯片是共同设置于基板上,由于芯片的结构限制,使光源与芯片的感测区之间的距离无法再进一步缩短。

[0086] 然而,在本发明实施例中,通过在感测芯片 11 形成凹陷部 115,可使发光元件 14 直接设置于感测芯片 11 上。如此,可更进一步缩短发光元件 14 与主动区 112 之间的距离,而可提高影像辨识的精确度。另外,相较于现有的封装结构,由于本发明中的发光元件 14 直接设置于感测芯片 11 上,也可以使感测芯片封装结构 2 的整体体积再进一步缩小。

[0087] 特别是在一实施例中,感测芯片封装结构 2 可包括至少两个可发出不同色光的发光元件 14,以应用于血氧浓度检测器。在这种情况下,感测芯片 11 可具有至少两个凹陷部 115,以分别设置这些发光元件 14。也就是说,相较于现有的封装结构,感测芯片封装结构 2 的体积并不会因为发光元件 14 的数量增加而变大,而可维持在一定的尺寸大小。

[0088] 接着,请参照图 3A 与图 3B。图 3A 为本发明另一实施例的感测芯片封装结构的俯视示意图。图 3B 为图 3A 沿线 IIIB-IIIB 剖面线的剖面示意图。在本实施例的感测芯片封装结构 3 中,和图 2 的实施例中相同的元件具有相同的标号。

[0089] 本实施例和图 2 所示的实施例不同的是,本实施例的感测芯片封装结构 3 还包括挡墙 15 以及模封体 16。

[0090] 请先参照图 3A,挡墙 15 形成于感测芯片 11 的顶面 11a,并围绕主动区 112,以定义出一封闭区域,用以在形成模封体 16 的工艺中,避免模封体 16 覆盖住主动区 112。挡墙 15 的功能将在后文中配合感测芯片封装结构的制造方法详细说明,在此并不赘述。

[0091] 另外,在本实施例中,挡墙 15 与位于感测芯片 11 顶面 11a 的部分线路层 12 重叠设置。如图 3B 所示,挡墙 15 是叠设于线路层 12(第一接垫 121) 上,可保护线路层 12 不被氧化或损坏。在一实施例中,挡墙 15 的高度是介于 2 μm 至 50 μm,而挡墙 15 的宽度 W 是介

于 $5 \mu\text{m}$ 至 $100 \mu\text{m}$ 之间。

[0092] 然而,只要挡墙 15 可用来避免模封体 16 覆盖主动区 112,挡墙 15 与线路层 12 的相对位置并不需要特别限制。在其他实施例中,部分线路层 12 也可以设置在挡墙 15 上,或者挡墙 15 也可以不和线路层 12 重叠,而直接设置于感测芯片 11 的顶面 11a。另外,构成挡墙 15 的材料可以选择感光材料 (photo-imageable material),例如是在微影蚀刻工艺中现有的光致抗蚀剂材料,或者是其他绝缘材料。

[0093] 模封体 16 覆盖载板 10、部分感测芯片 11 以及线路层 12。值得一提的是,模封体 16 的一顶表面 160 和挡墙 15 的顶端面齐平或者是低于挡墙 15 的顶端面。也就是说,感测芯片 11 的主动区 112 并不会被模封体 16 覆盖,而会由挡墙 15 所形成的封闭区域暴露于外部环境,以感测一待测物件。

[0094] 在本实施例中,构成模封体 16 的材料可以是透光材料,以使发光元件 14 所发出的检测光束可投射至待测物件。举例而言,当检测光束为可见光时,构成模封体 16 的材料须为透明材料,而可使可见光穿透。在另一实施例中,当检测光束为红外光时,构成模封体 16 的材料选择红外光可穿透的材料。

[0095] 需说明的是,图 1A 与 1B 所示的感测芯片封装结构 1 也可以包括挡墙 15 与模封体 16。由于图 1A 与 1B 所示的感测芯片封装结构 1 中并未具有发光元件 14,因此构成模封体 16 的材料并未被限制,而可以任意选择透明材料或不透明的材料。

[0096] 本发明一实施例并提供一种感测芯片封装结构的制造方法。请参照图 4。图 4 为本发明实施例的感测芯片封装结构的制造方法的流程图。

[0097] 在步骤 S100 中,提供一晶圆,其中晶圆包括多个感测芯片,其中每一个感测芯片具有一主动区及定义至少一预薄化区,其中预薄化区位于主动区的一侧,并涵盖感测芯片的一边界。

[0098] 请配合参照图 5 及图 5A。图 5 为本发明实施例的感测芯片封装结构在图 4 的步骤中的俯视示意图。图 5A 为图 5 的区域 A 的放大俯视示意图。

[0099] 请配合参照图 5 与图 5A。构成晶圆 S1 的材料通常为硅,但也可以是其他半导体材料,例如砷化镓、氮化镓 (GaN) 或碳化硅 (SiC)。在本发明实施例中,晶圆 S1 已经完成元件制作的工艺,且包括多个感测芯片 11,且每一个感测芯片 11 具有一主动区 112、配置于主动区 112 周边的布线区 113 以及至少一预薄化区 115'。

[0100] 另外,在布线区 113 内已形成和主动区 112 电性连接的控制电路,而预薄化区 115' 位于主动区 112 的一侧,且预薄化区 115' 的范围延伸至感测芯片 11 的其中一边界。

[0101] 请再参照图 4,接着在步骤 S101 中,对每一个感测芯片的预薄化区进行蚀刻,以在每一个感测芯片 11 的主动区 112 的一侧形成一凹陷部。

[0102] 请配合参照图 6A 至图 6B。图 6A 为本发明实施例的感测芯片在图 4 的步骤 S101 中的局部俯视示意图。图 6B 为图 6A 所示的感测芯片的剖面示意图。

[0103] 如图 6B 所示,对感测芯片 11 的预薄化区 115' 进行蚀刻之后,形成由顶面 11a 向下凹陷而形成的凹陷部 115。并且,凹陷部 115 具有一侧壁面 115s 及一底面 115b,其中侧壁面 115s 是连接于顶面 11a 以及底面 115b 之间,且为斜面。在本实施例中,凹陷部 115 的深度介于 $100 \mu\text{m}$ 至 $400 \mu\text{m}$ 之间。前述在预薄化区 115' 形成凹陷部 115 的步骤可通过执行晶圆级蚀刻工艺 (wafer-level etching process) 来实现,包括涂布光致抗蚀剂、曝光显

影、蚀刻以及去除光致抗蚀剂等已知的微影蚀刻工艺。

[0104] 也就是说,在进行上述的蚀刻步骤之后,感测芯片 11 包括一基底部 110 以及突出于基底部 110 上表面的凸出部 111,其中主动区 112 以及布线区 113 是位于凸出部 111 的顶面。另外,基底部 110 具有未被凸出部 111 覆盖的上表面,也就是凹陷部 115 的底面 115b,而凸出部 111 的侧表面即为凹陷部 115 的侧壁面 115s。另外,凸出部 111 相对于上表面的高度即为凹陷部 115 的深度。

[0105] 在图 6A 所示的实施例中,感测芯片 11 具有两个凹陷部 115,分别形成于主动区 112 的两相反侧。然而,在其他实施例中,如图 6C 所示,感测芯片 11' 也可以根据需要而具有四个凹陷部 115,分别横穿感测芯片 11 的四条边界。在另一实施例中,感测芯片 11 也可以只具有一个凹陷部 115,本发明中并不限制。

[0106] 请再参照图 4,在步骤 S102 中,形成线路重分配层于晶圆上。请配合参照图 7A 与图 7B,其中图 7A 为本发明实施例的感测芯片在图 4 的步骤 S102 中的局部俯视示意图,而图 7B 为图 7A 的感测芯片的剖面示意图。

[0107] 如图 7A 与图 7B 所示,线路重分配层 12' 形成于感测芯片 11 的顶面 11a、凹陷部 115 的侧壁面 115s 以及底面 115b 上。线路重分配层 12' 包括多个位于顶面 11a 的第一接垫 121、多个位于凹陷部 115 底面 115b 的第二接垫 123,以及多条导线 122,其中这些导线 122 分别连接于各第一接垫 121 与各第二接垫 123 之间。

[0108] 第一接垫 121 设置于感测芯片 11 的顶面 11a,并电性连接至布线区 113 内的控制电路。第二接垫 123 则设置于凹陷部 115 的底面 115b 上,而导线 122 由顶面 11a 的第一接垫 121 通过凹陷部 115 的侧壁面 115s 延伸至位于凹陷部 115 底面 115b 的第二接垫 123。

[0109] 形成线路重分配层 12' 的步骤可通过微影工艺来实现。需说明的是,在微影工艺中,包括曝光及显影 (development) 的步骤。因此,凹陷部 115 的侧壁面 115s 为斜面,可确保在曝光及显影 (development) 的步骤中,凹陷部 115 的侧壁面 115s 皆可被照光,而形成导线 122,以免影响第一接垫 121 与第二接垫 123 之间的电性连接。

[0110] 另外,在后续工艺中,感测芯片 11 的主动区 112,可通过设置于凹陷部 115 底面 115b 的多个第二接垫 123,电性连接载板 10 上的电路。据此,构成线路重分配层 12' 的材料可以是镍、锡、银或其合金等较容易与载板 10 上的焊垫 100 接合的金属。

[0111] 请再参照图 4。接着,在步骤 S103 中,于每一个感测芯片上形成一挡墙,其中挡墙围绕主动区,以定义出一封闭区域。

[0112] 请配合参照图 8A 与图 8B,其中图 8A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S103 中的局部俯视示意图。图 8B 为图 8A 所示的感测芯片的剖面示意图。

[0113] 如图 8A 与图 8B 所示,挡墙 15 形成于感测芯片 11 的顶面 11a,并围绕主动区 112。在一实施例中,构成挡墙 15 的材料可以是感光材料,例如为光致抗蚀剂材料。因此,可通过涂布光致抗蚀剂、曝光以及显影等工艺来形成挡墙 15。挡墙 15 的高度大约介于 $2 \mu\text{m}$ 至 $50 \mu\text{m}$,而挡墙 15 的宽度 W 是介于 $5 \mu\text{m}$ 至 $100 \mu\text{m}$ 之间。

[0114] 在本实施例中,挡墙 15 是叠设于部分线路重分配层 12' 上,因此形成挡墙 15 的步骤是在形成线路重分配层 12' 的步骤之后执行。在其他实施例中,形成挡墙 15 的步骤与形成线路重分配层 12' 的步骤的先后顺序并没有限制。

[0115] 接着,请参照图 4。在步骤 S104 中,对晶圆执行一切割步骤,以形成相互分离的多

个感测芯片，其中每一个感测芯片上设有一线路层，且线路层由主动区延伸至凹陷部的一侧壁面及一底面。

[0116] 请继续参照图 8A 与图 8B，在对晶圆 S1 (如图 5) 执行切割步骤时，是沿着多条彼此交错的切割线 L，以形成相互分离的多个感测芯片 11。要说明的是，经过前述的切割步骤之后，每一个感测芯片 11 具有由线路重分配层 12' 切割而形成的线路层 12。和线路重分配层 12' 相似，线路层 12 同样包括多个第一接垫 121、多个第二接垫 123 以及多条分别连接于各第一接垫 121 与各第二接垫 123 之间的导线 122，在此不再赘述线路层 12 所设置的位置以及功效。

[0117] 请再参照图 4。随后，在步骤 S105 中，将多个感测芯片分别设置于多个载板上，并使每一个感测芯片的主动区电性连接于载板。请配合参照图 9A 与图 9B，其中图 9A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S105 中的局部俯视示意图。图 9B 为图 9A 所示的感测芯片封装结构的剖面示意图。

[0118] 详细而言，请参照图 9A，载板 10 上已预先设有线路以及多个焊垫 100，而切割后的感测芯片 11 设置于载板 10 上的预定位置。

[0119] 在一实施例中，是通过打线 (wire bonding) 工艺，以形成多条焊线 13，将位于凹陷部 115 底面 115b 上的多个第二接垫 123 分别电性连接于载板 10 上所对应的焊垫 100。如前所述，线路层 12 会电性连接至布线区 113 内的控制电路，从而使载板 10 上的焊垫 100 电性连接于主动区 112。

[0120] 请继续参照图 4。在步骤 S106 中，形成一模封体以封装载板、感测芯片及线路层，其中模封体暴露主动区。

[0121] 在一实施例中，可通过执行转移成型工艺 (transfer molding process) 来形成模封体。需说明的是，在执行转移成型工艺时，会将载板 10 与感测芯片 11 共同放置于模具中，并在模具中注入模封胶体。在模封胶体固化之后，即可形成模封体。

[0122] 请参照图 10A 与 10B。图 10A 为本发明实施例的感测芯片封装结构在图 4 的步骤 S106 中的局部俯视示意图。图 10B 为图 10A 所示的感测芯片封装结构的剖面示意图。

[0123] 需说明的是，当在模具中注入模封胶体时，在步骤 S103 中所形成的挡墙 15 可防止模封胶体流入主动区 112 内。据此，模封体 16 的一顶表面 160 会和挡墙 15 的一顶端面齐平 (如图 10B 所示)，或者是低于挡墙 15 的顶端面。因此，感测芯片 11 的主动区 112 并不会被模封体 16 覆盖，而会由挡墙 15 所形成的封闭区域暴露于外部环境。

[0124] 另外，需说明的是，在本实施例中，由于焊线 13 是直接连接到凹陷部 115 底面 115b 的第二接垫 123，来和主动区 112 建立电性连接，因此焊线 13 的最高点会低于感测芯片 11 的顶面 11a 所在的水平位置。此外，模封体 16 的顶表面 160 和挡墙 15 的顶端面齐平，因此可覆盖住焊线 13。

[0125] 但在其他实施例中，也可以通过其他方式来封装感测芯片 11 以及载板 10。举例而言，可通过提供一具有开口的盖体罩住感测芯片 11 以及载板 10，并使感测芯片 11 的主动区 112 由开口暴露出来，也可以达到相同效果。在这个情况下，步骤 S103 可以被省略，也就是不需要形成挡墙 15 于感测芯片 11 的顶面 11a。

[0126] 在另一实施例的感测芯片封装结构的制造方法中，在完成步骤 S102 之后，可还包括设置一发光元件于凹陷部内。

[0127] 详细而言,请参照图 11A 与图 11B。图 11A 为本发明另一实施例的感测芯片封装结构的在工艺步骤中的局部俯视示意图。图 11B 为图 11A 所示的感测芯片封装结构的剖面示意图。

[0128] 在本实施例中,发光元件 14 是设置在凹陷部 115 的底面上,并且,发光元件 14 的厚度是小于凹陷部 115 的深度。另外,当发光元件 14 的底部设有接地端时,发光元件 14 是叠设于其中一个电性接地的第二接垫 123 上。也就是说,前述的第二接垫 123 为接地垫,而连接于接地垫的导线 122 以及第一接垫 121 为接地线路。

[0129] 在另一实施例中,当发光元件 14 的接地端与电压输入端皆位于发光元件 14 的顶部时,发光元件 14 可直接设置于凹陷部 115 的底面 115b,而不需要叠设于第二接垫 123 上。

[0130] 在将发光元件 14 设置于感测芯片 11 的凹陷部 115 之后,对晶圆执行切割步骤,以形成多个相互分离的感测芯片 11。接着,请参照图 12A 与图 12B。图 12A 为本发明另一实施例的感测芯片封装结构在工艺步骤中的局部俯视示意图。图 12B 为图 12A 所示的感测芯片封装结构的剖面示意图。

[0131] 在图 12A 中,设有发光元件 14 的感测芯片 11 被设置于载板 10 上。在将感测芯片 11 设置于载板 10 上的步骤中,还包括形成至少一焊线 13,以使发光元件 14 电性连接于载板 10。如图 12B 所示,发光元件 14 通过焊线 13 连接至载板 10 上的焊垫 100,从而电性连接于载板 10 中的电路,例如是开关控制电路。

[0132] 接着,请参照图 13A 与图 13B。图 13A 为本发明另一实施例的感测芯片封装结构在工艺步骤中的局部俯视示意图。图 13B 为图 13A 所示的感测芯片封装结构的剖面示意图。

[0133] 和图 4 所示的步骤 S106 相似,形成模封体 16 以封装载板 10、感测芯片 11、发光元件 14 以及线路层 12,其中模封体 16 会暴露感测芯片 11 的主动区 112。

[0134] (实施例的可能功效)

[0135] 综上所述,本发明的有益效果可以在于,在本发明实施例所提供的感测芯片封装结构及其制造方法中,可使感测芯片的主动区暴露于外部环境中,以直接接触待测物,例如:手指。另外,感测芯片具有至少一个由顶面凹陷的凹陷部,以使主动区可通过布设于凹陷部的底面与侧壁面的线路层与载板电性连接。

[0136] 此外,通过在感测芯片形成凹陷部,可使发光元件直接设置于感测芯片上。如此,可更进一步缩短发光元件与主动区之间的距离,而可提高影像辨识的精确度。另外,相较于现有的封装结构,由于本发明中的发光元件直接设置于感测芯片上,也可以使感测芯片封装结构的整体体积再进一步缩小。

[0137] 以上所述仅为本发明的较佳可行实施例,非因此局限本发明的专利范围,故举凡运用本发明说明书及附图内容所做的等效技术变化,均包含于本发明的保护范围内。

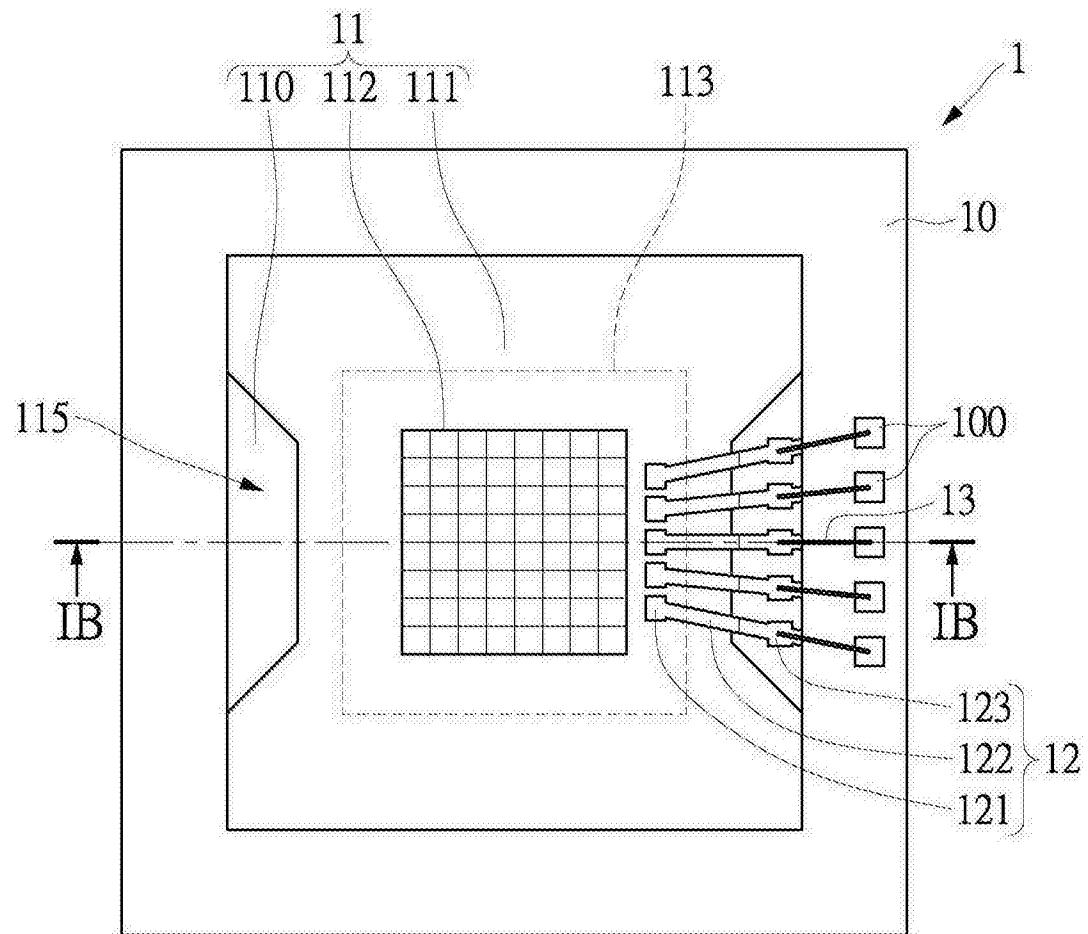


图 1A

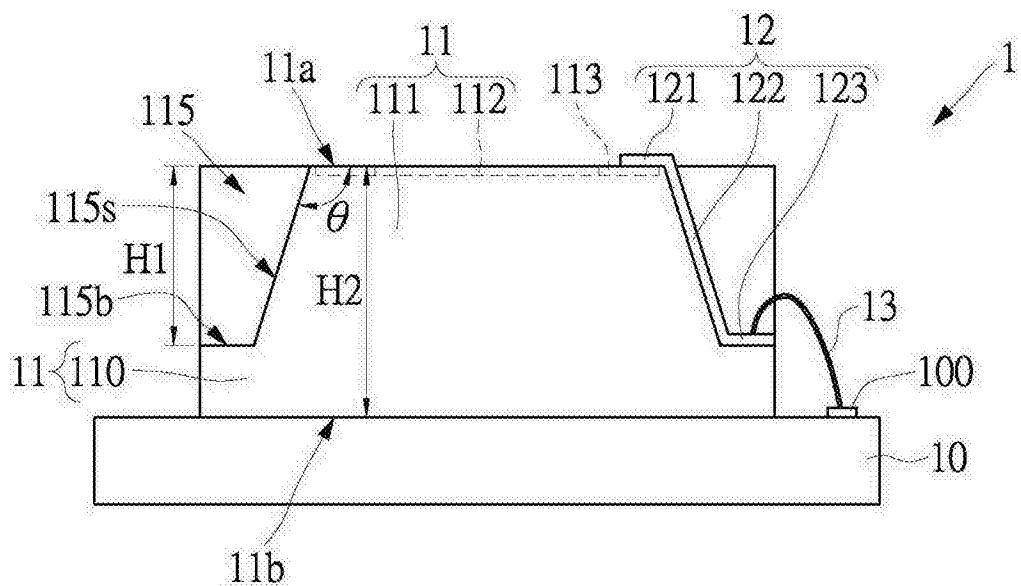


图 1B

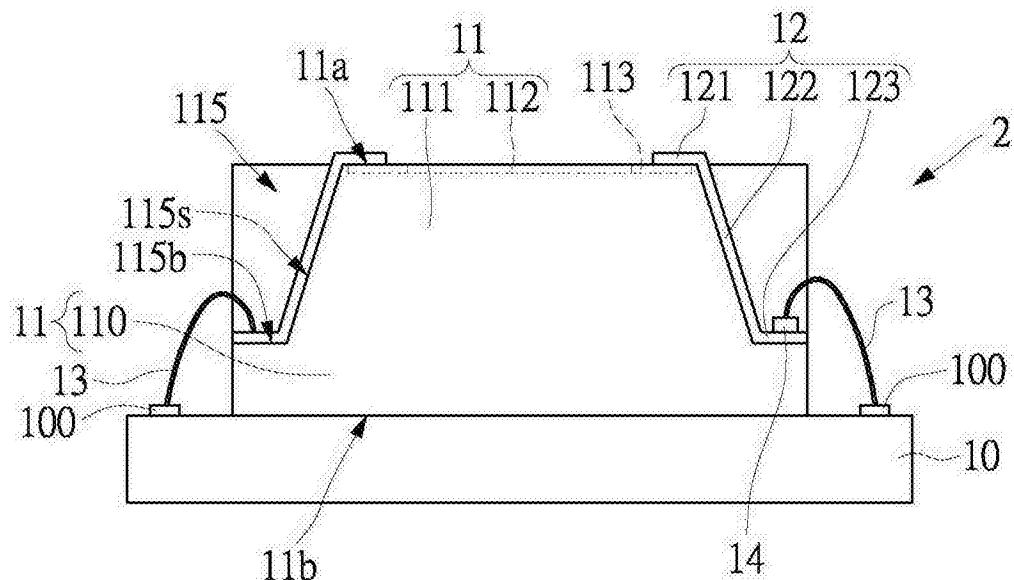


图 2

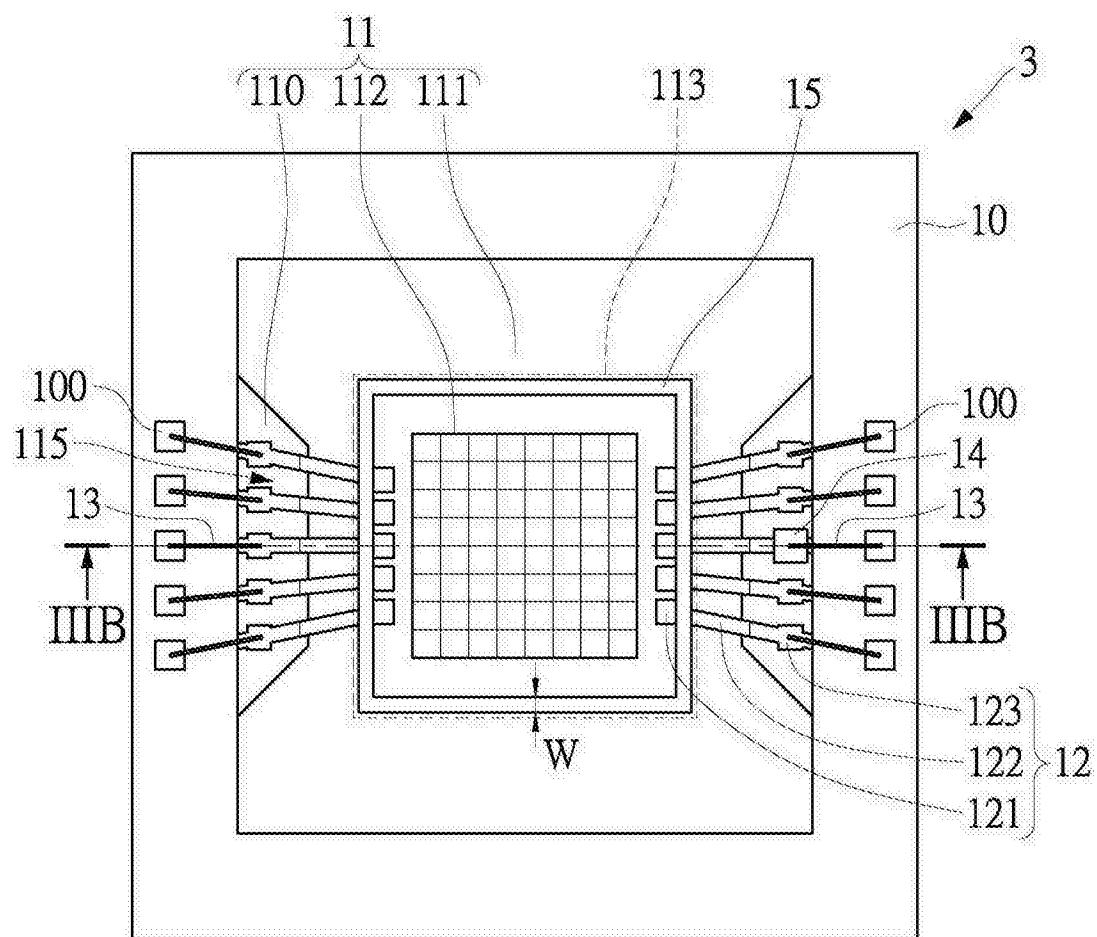


图 3A

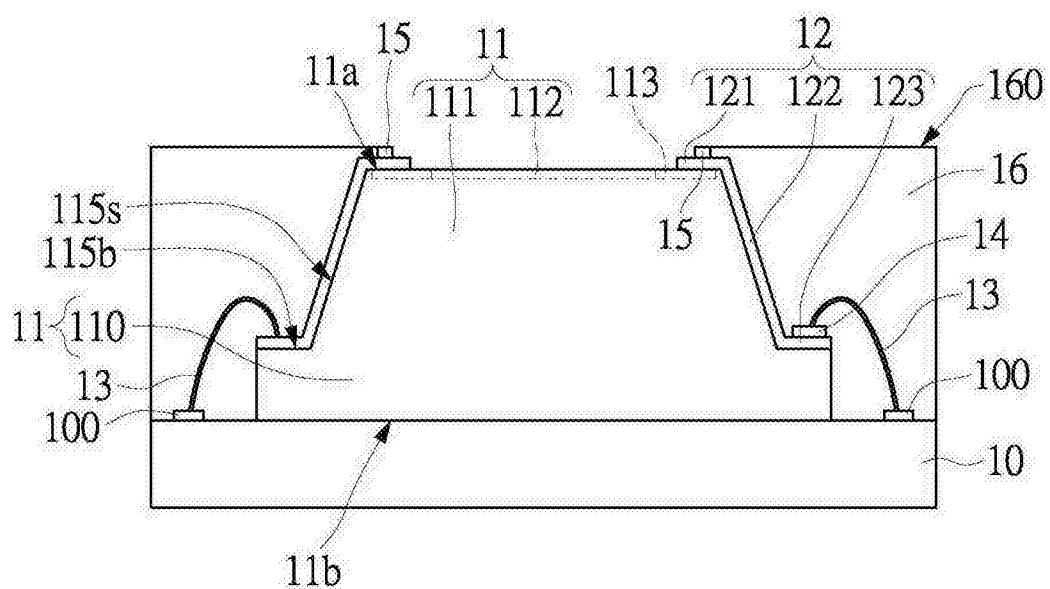


图 3B

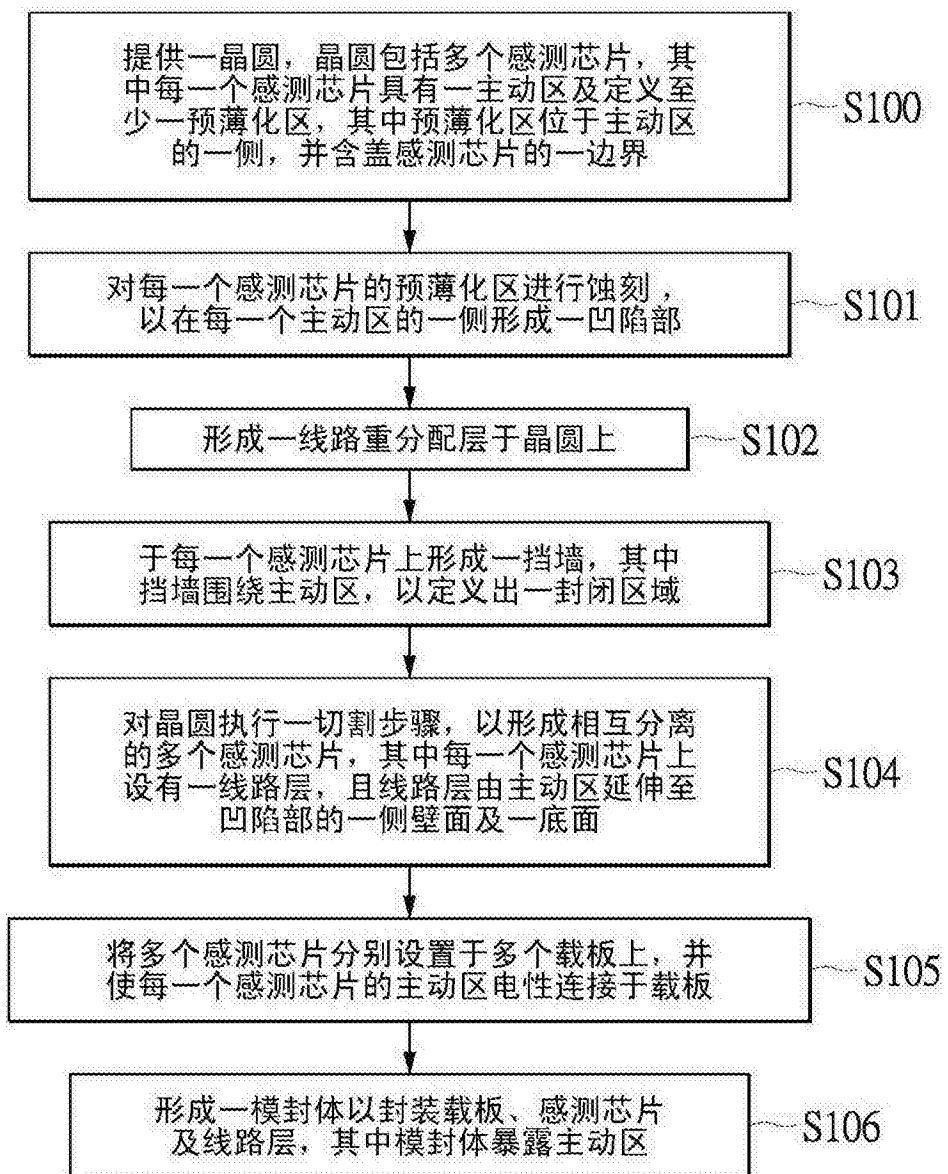


图 4

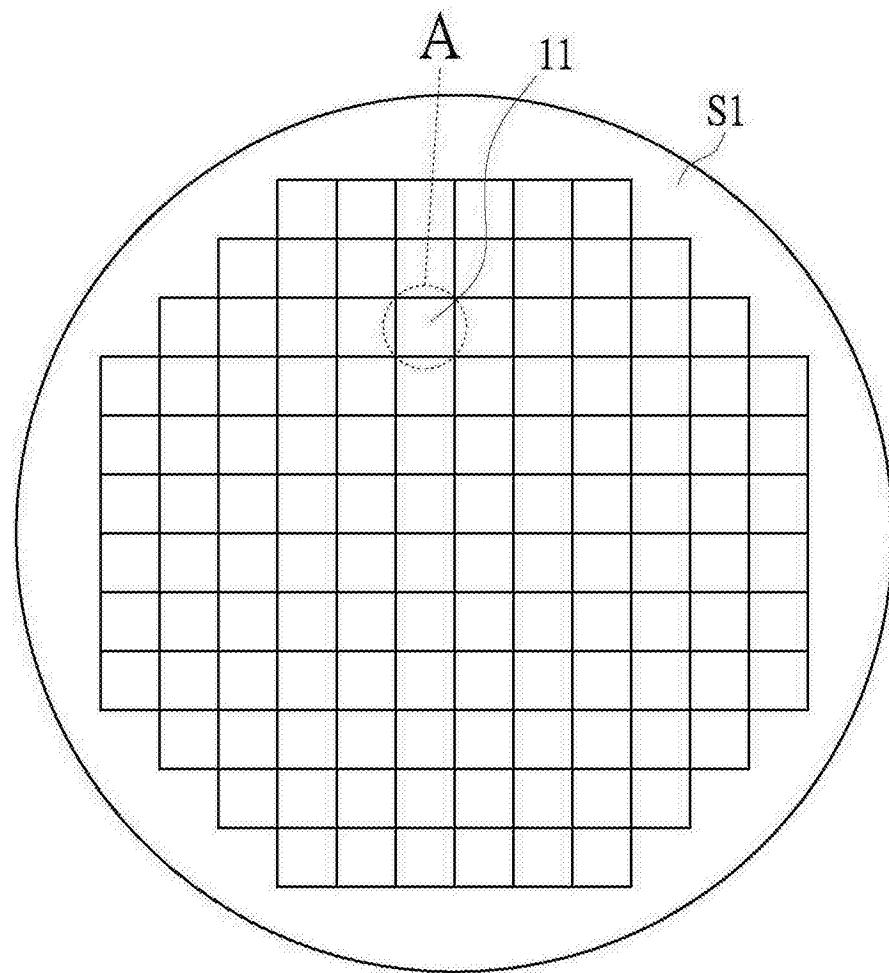


图 5

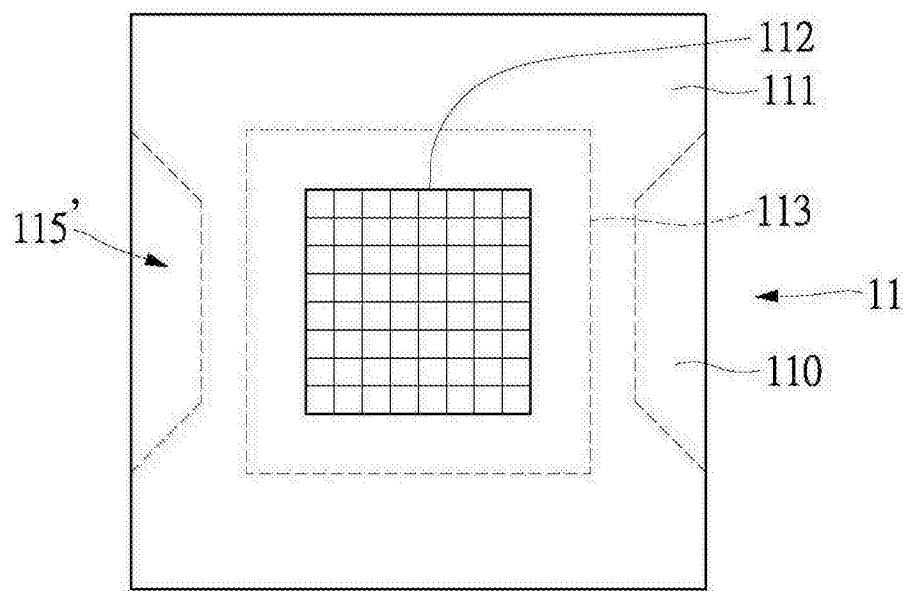


图 5A

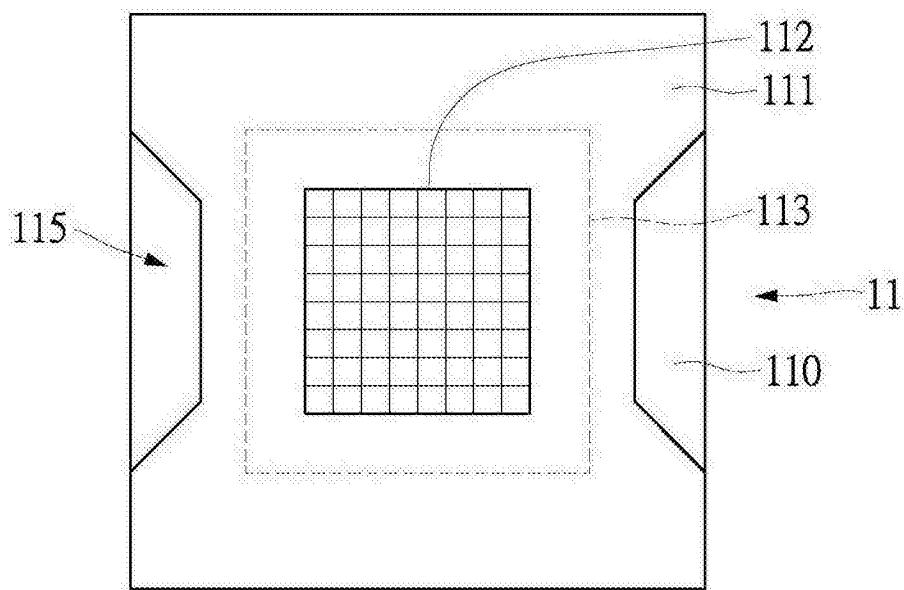


图 6A

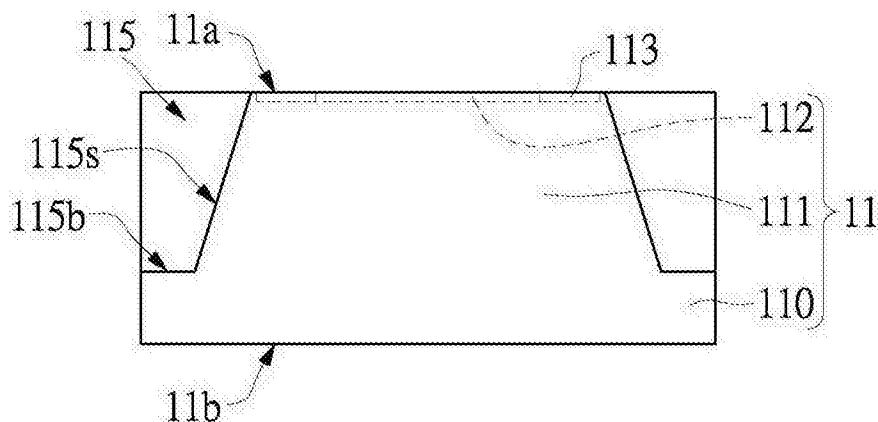


图 6B

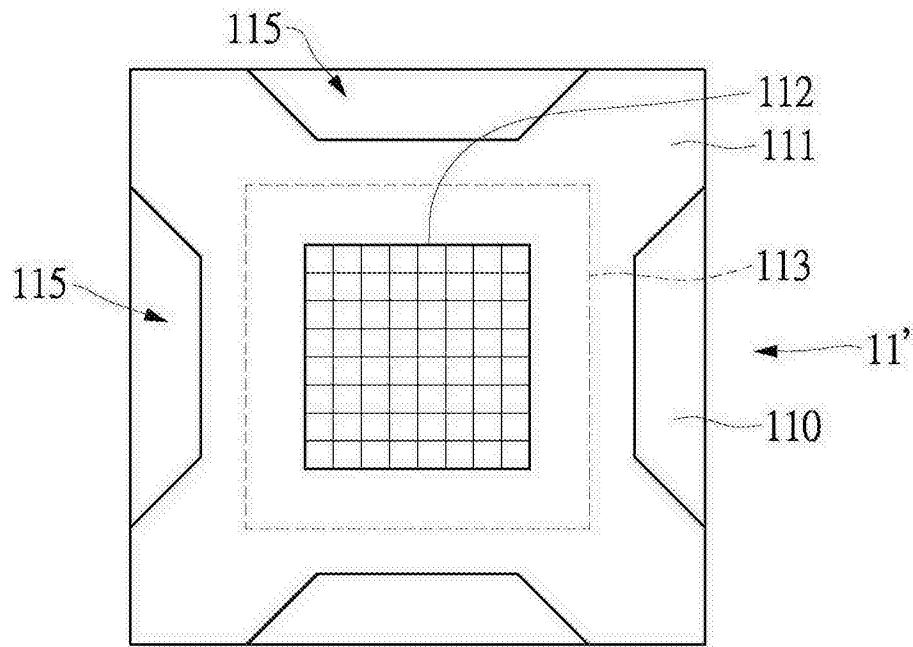


图 6C

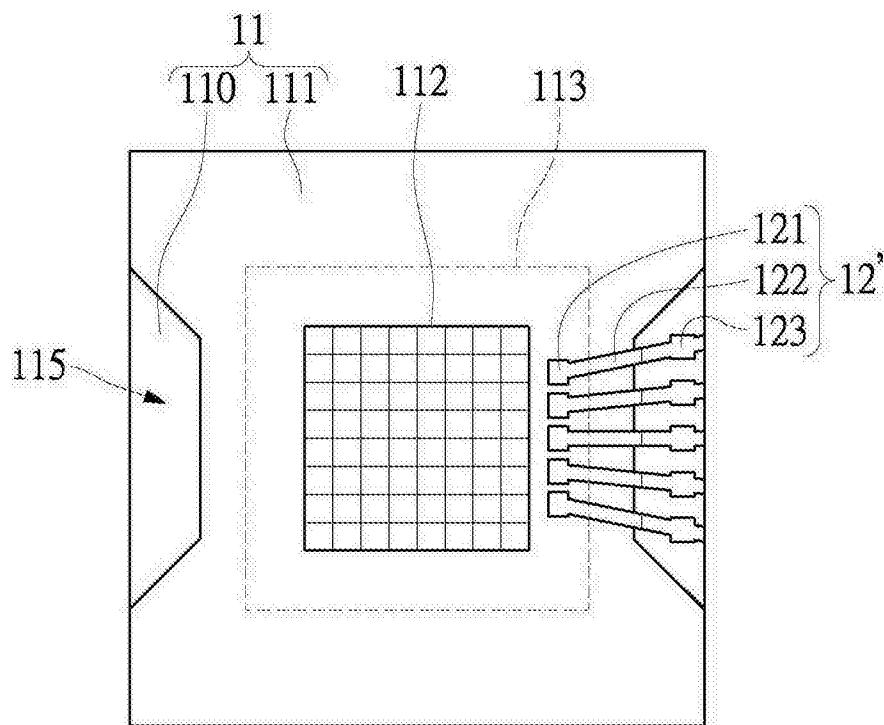


图 7A

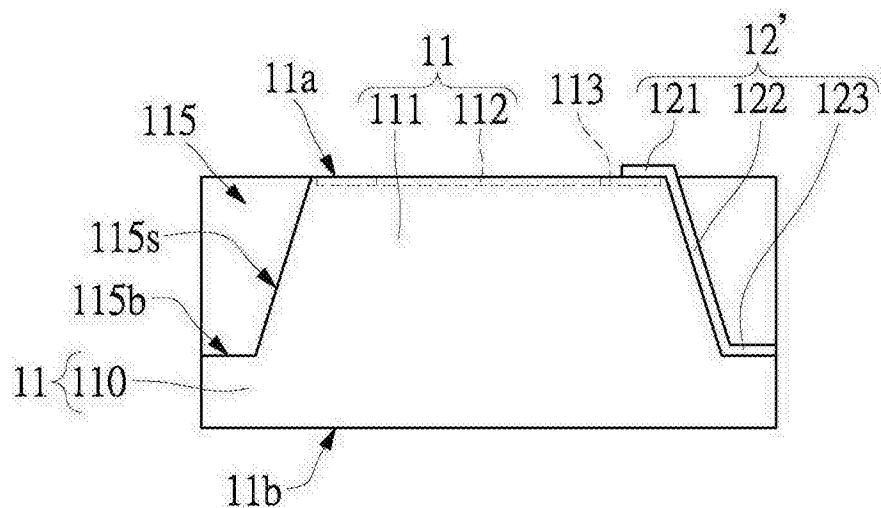


图 7B

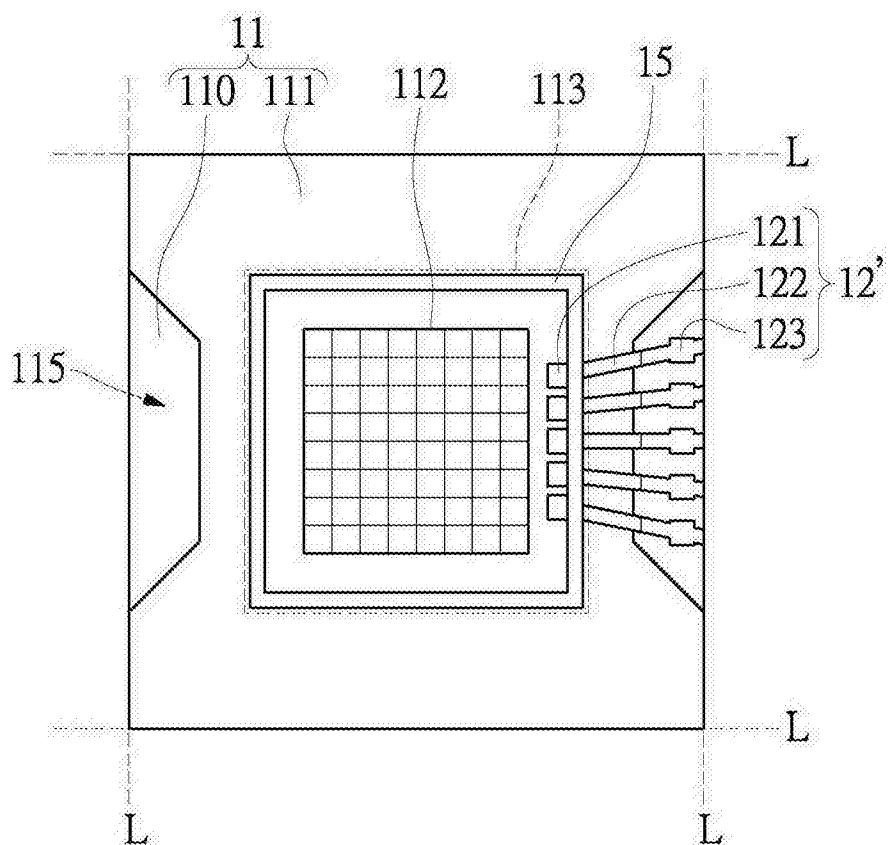


图 8A

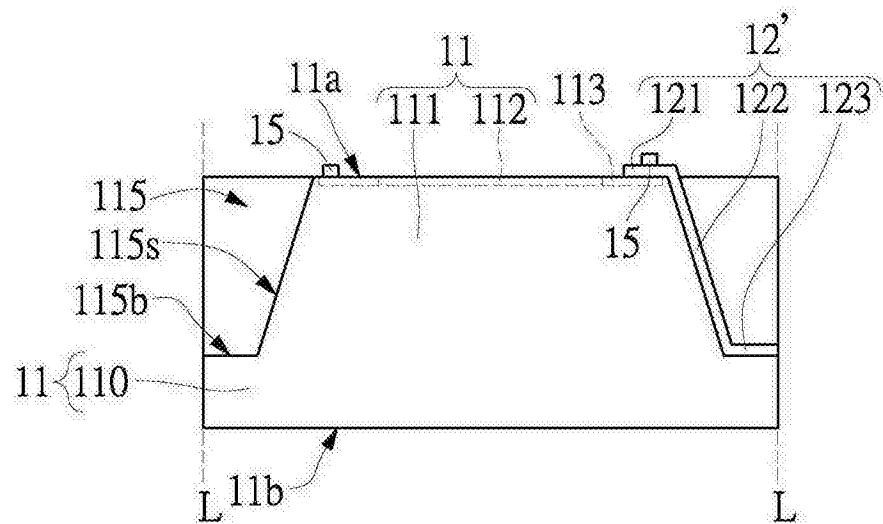


图 8B

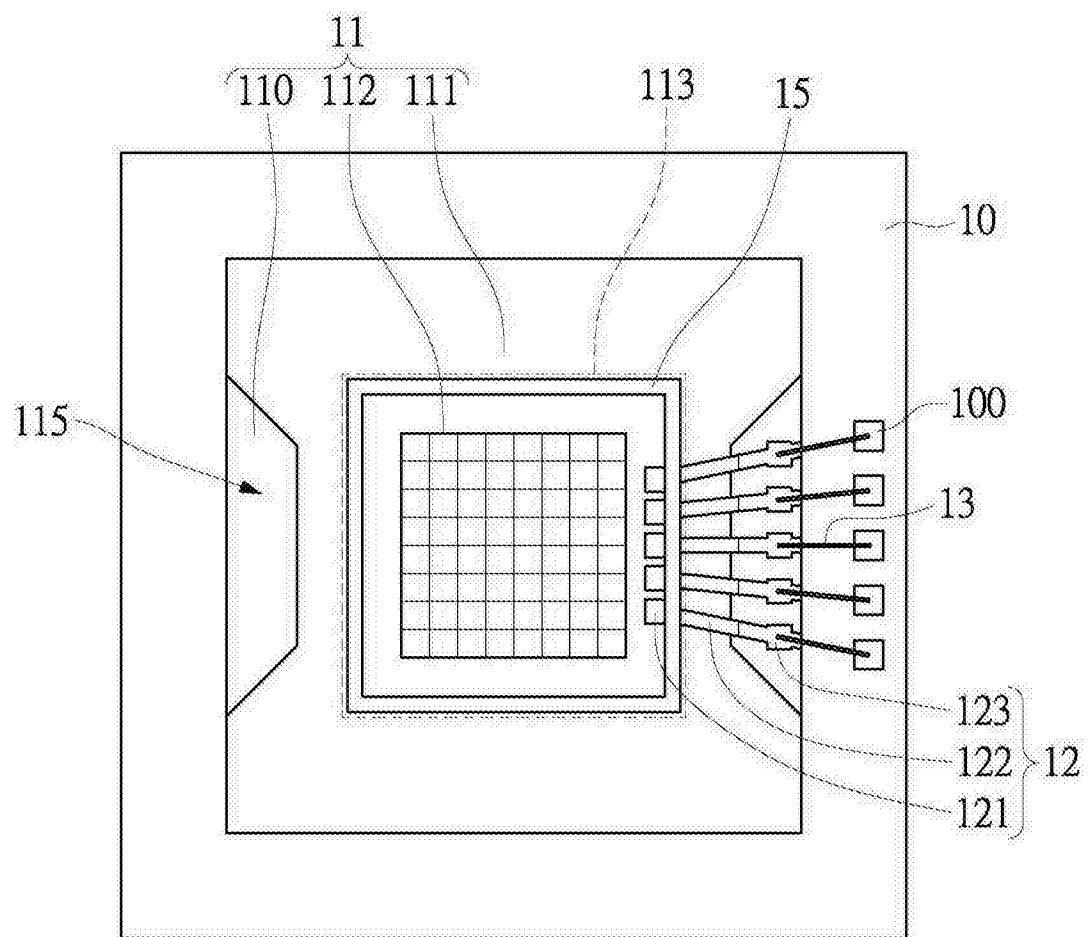


图 9A

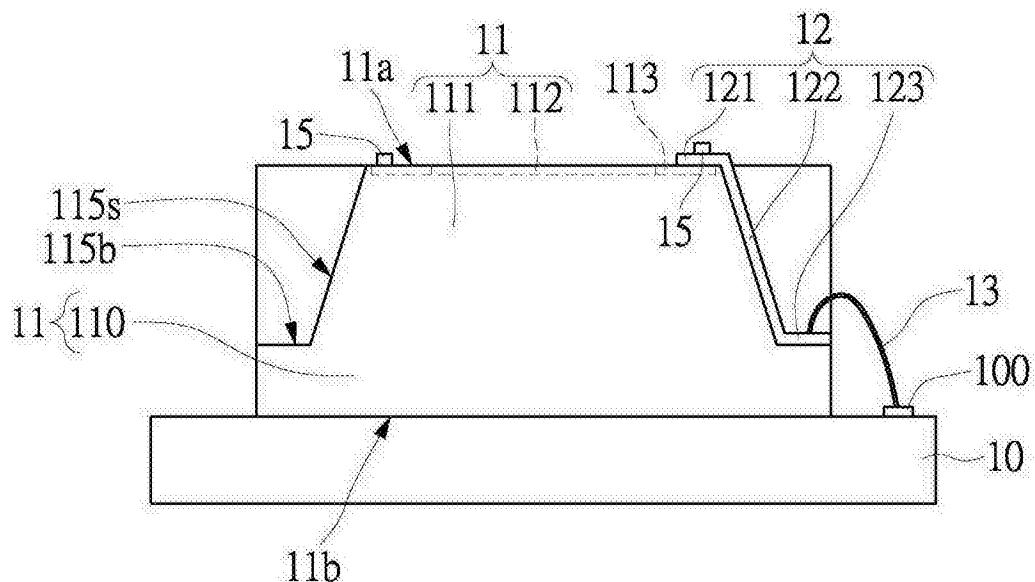


图 9B

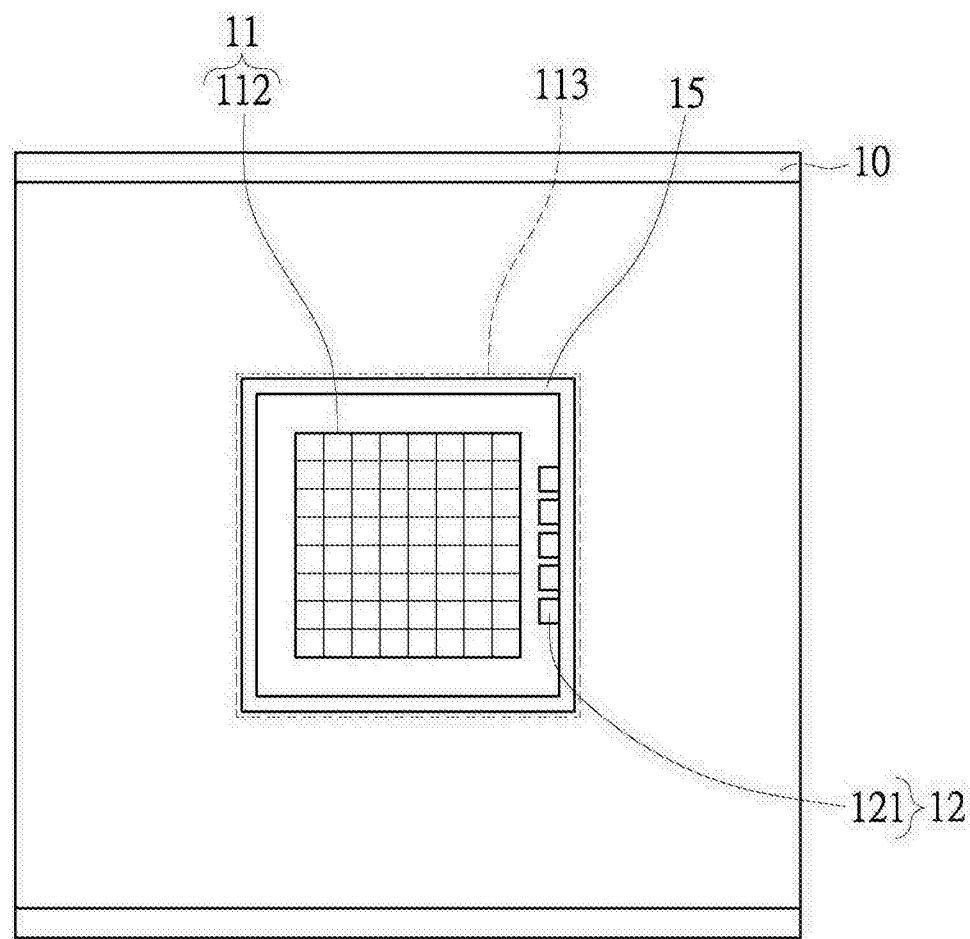


图 10A

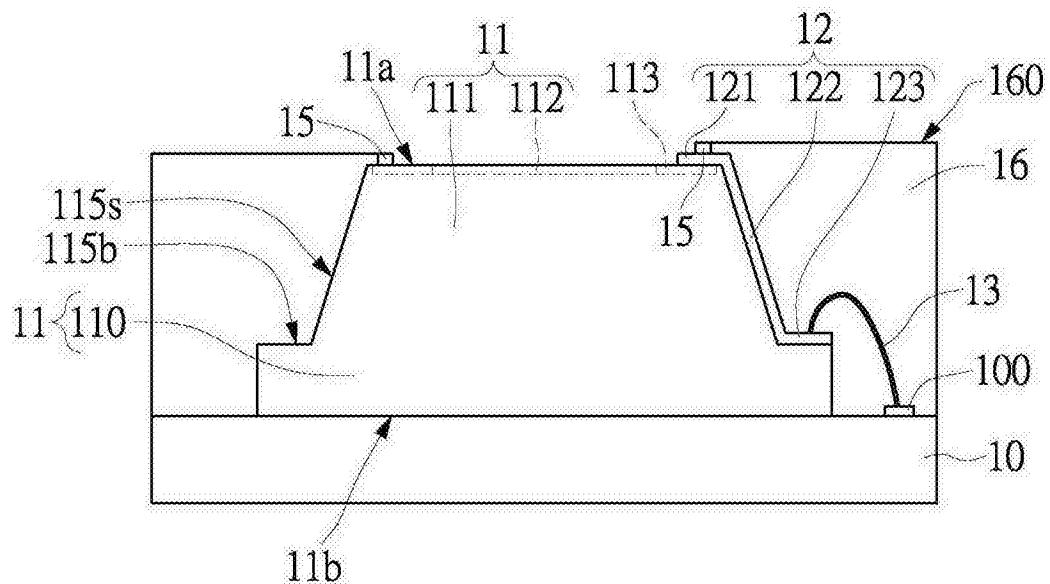


图 10B

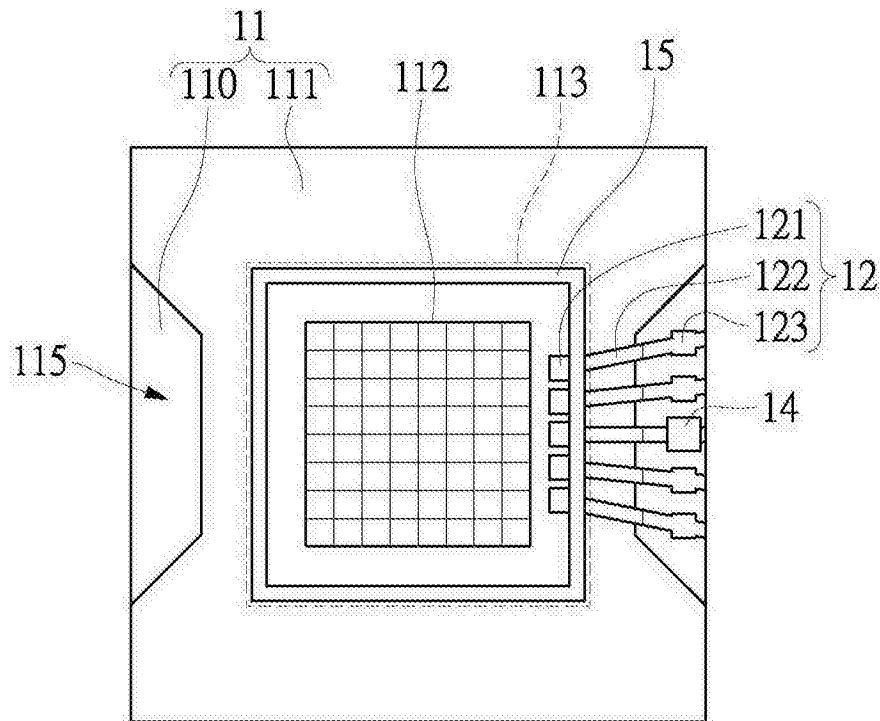


图 11A

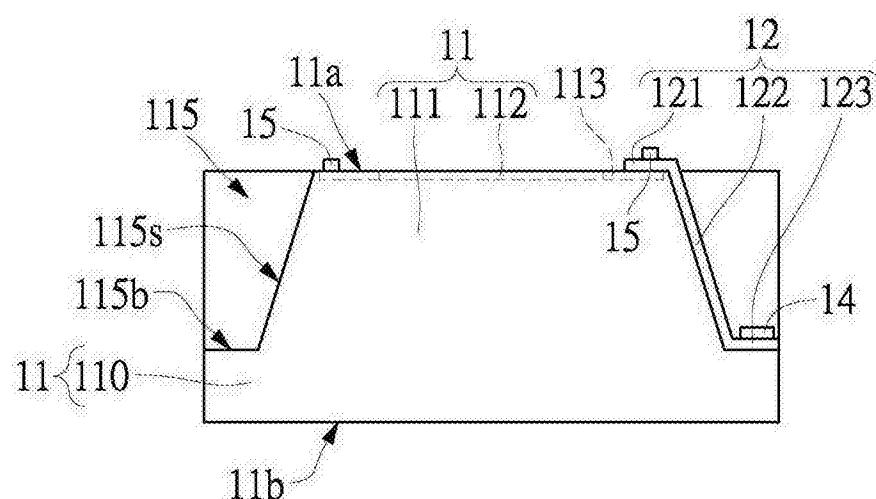


图 11B

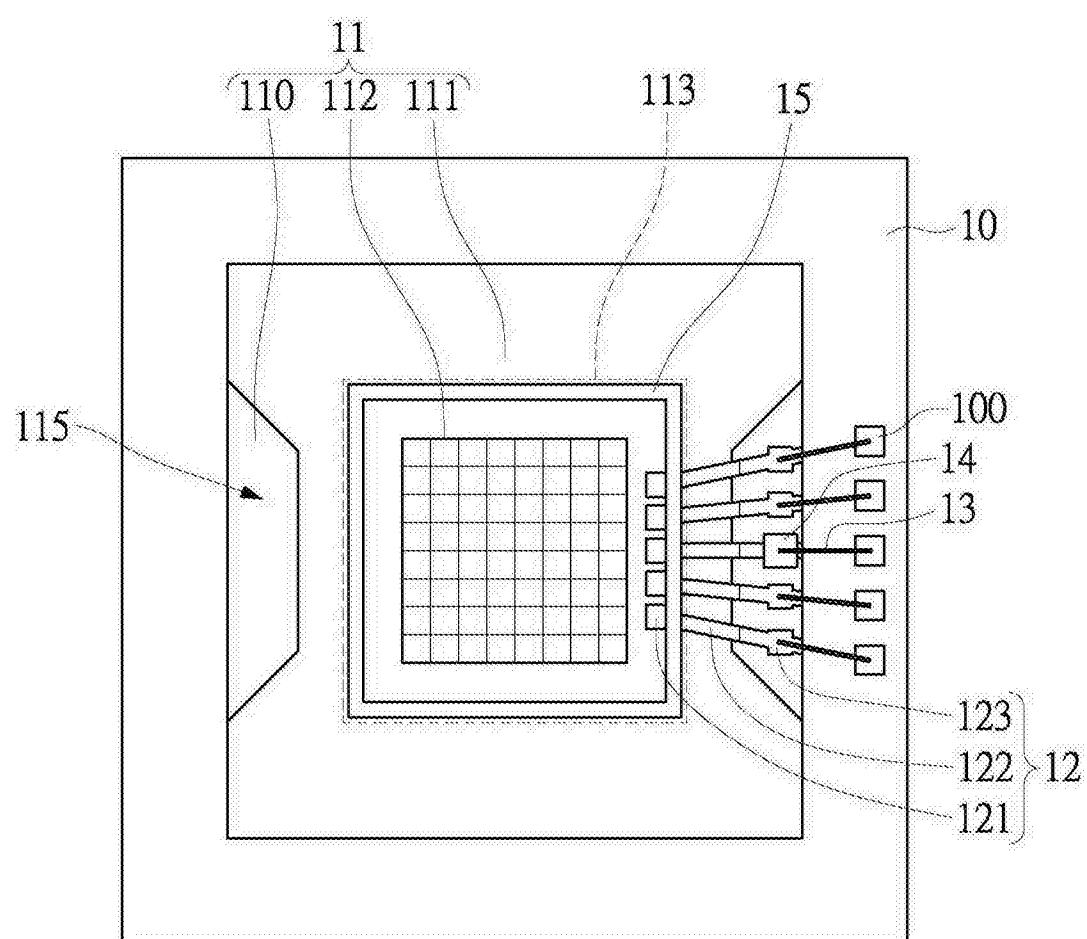


图 12A

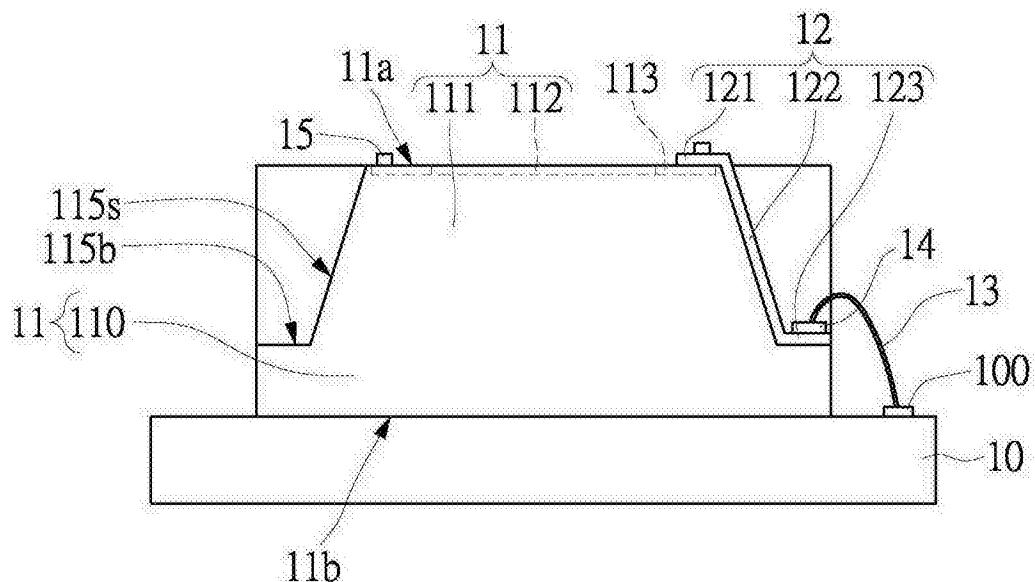


图 12B

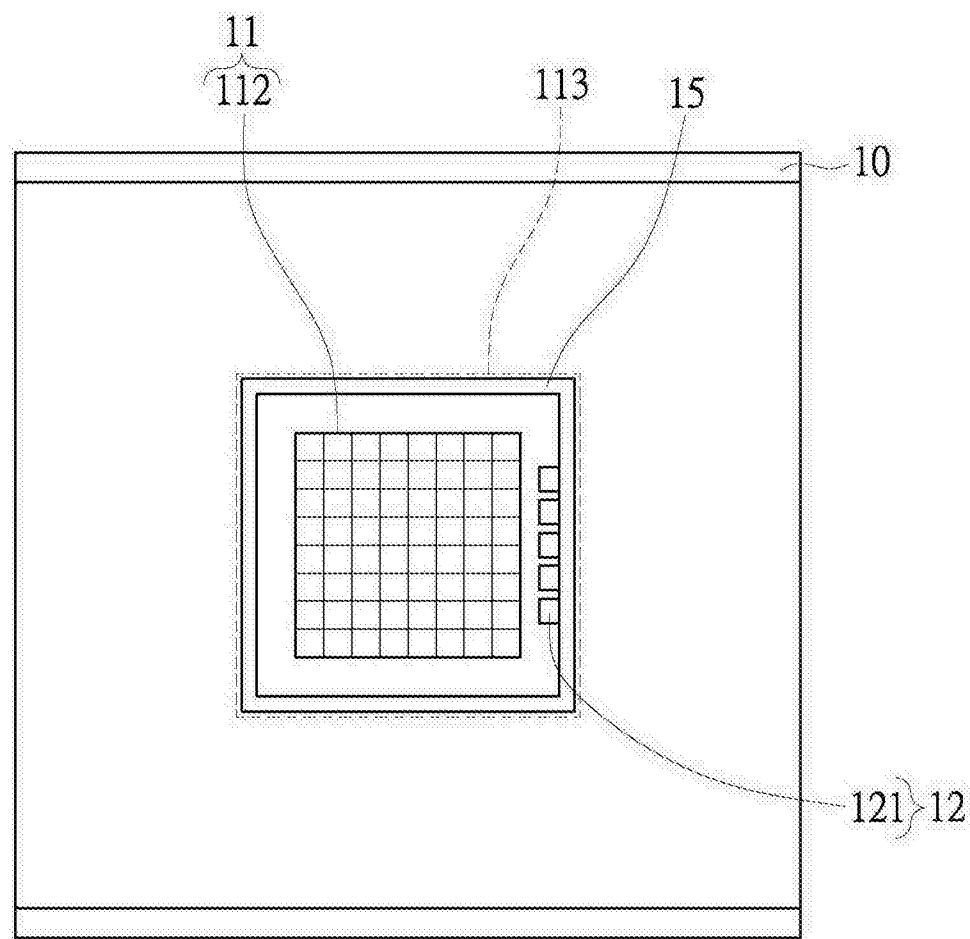


图 13A

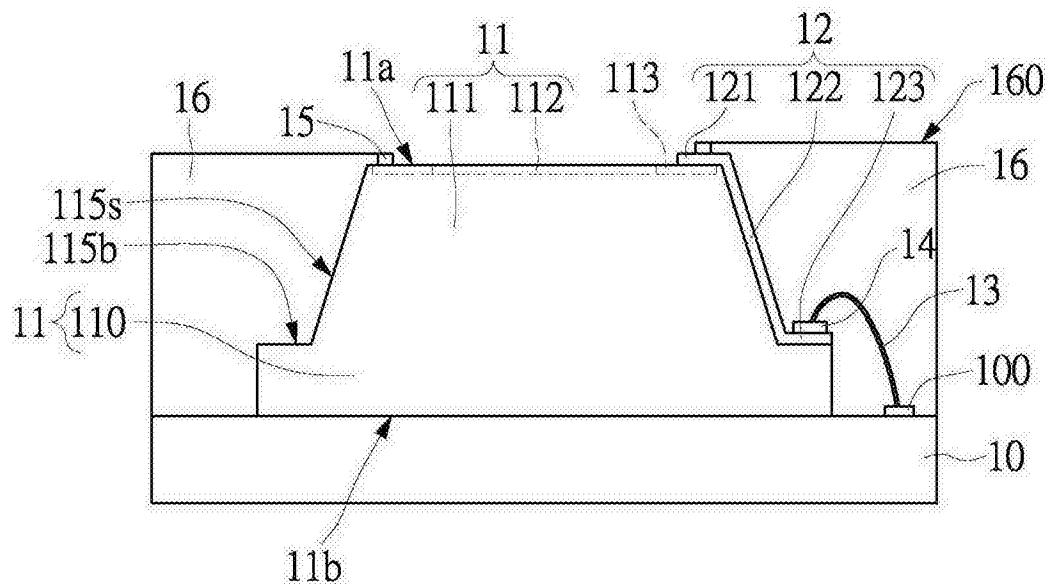


图 13B