(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) ｡ Int. Cl.7
H01L 23/12

(45) 공고일자 2003년07월31일
(11) 등록번호 10-0393102
(24) 등록일자 2003년07월18일

(21) 출원번호 10-2000-0086253
(22) 출원일자 2000년12월29일
(65) 공개번호 특2002-0058216
(43) 공개일자 2002년07월12일

(73) 특허권자 앰코 테크놀로지 코리아 주식회사
광주 북구 대촌동 957

(72) 발명자 임세진
서울특별시서대문구홍제4동104-268/3

김상흔
서울특별시강북구수유6동313-273층

(74) 대리인 서만규

심사관 : 정해곤

(54) 스택형 반도체패키지

요약

이 발명은 스택형 반도체패키지에 관한 것으로, 통상의 반도체패키지 상면에 또다른 반도체패키지가 스택(Stack)될 수 있도록, 봉지부의 측부 외주연으로 마더보드에 접속될 리드가 돌출된 제1반도체패키지와; 상기 봉지부의 상면에 절연성의 가요성 접착층이 접착되고, 상기 접착층의 상면에는 다수의 도전성 볼랜드가 어레이된 동시에, 상기 볼랜드로부터는 상기 제1반도체패키지의 리드 상면에까지 연장되어 접속되는 도전성 배선패턴이 형성된 가요성 배선기판과; 상기 가요성 배선기판의 볼랜드에 도전성볼을 통해 접속된 제2반도체패키지를 포함하여 이루어진 것을 특징으로 함.

대표도

도 3a

명세서

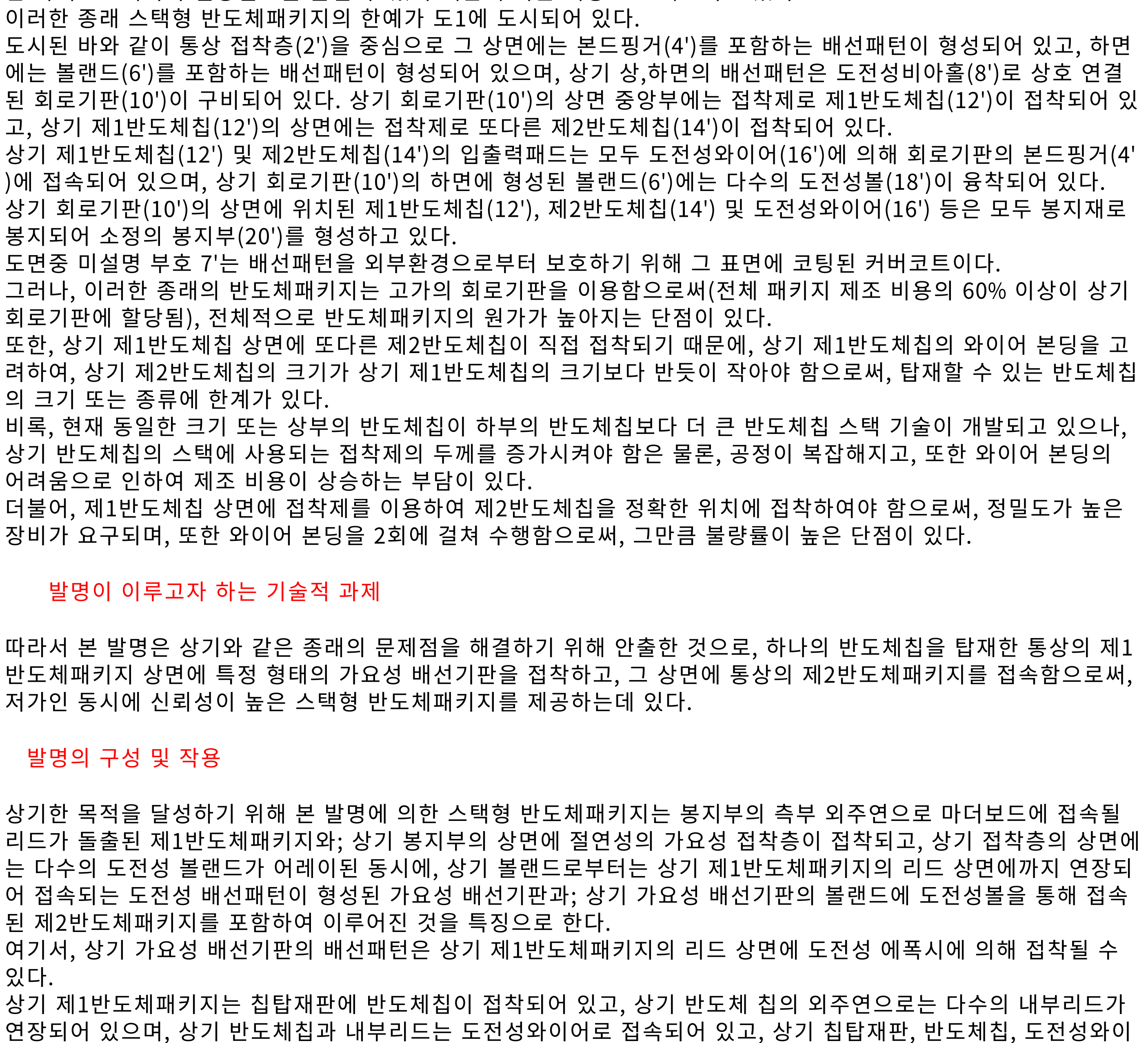
도면의 간단한 설명

도1은 종래의 통상적인 스택형 반도체패키지를 도시한 단면도이다.
도2는 본 발명에 이용된 가요성 배선기판을 도시한 평면도이다.
도3a 내지 도3c는 본 발명에 의한 스택형 반도체패키지를 도시한 부분 단면도이다.
도4a 내지 도4f는 본 발명에 이용된 가요성 배선기판의 제조 방법을 도시한 순차 설명도이다.
- 도면중 주요 부호에 대한 설명 -
101,102,103; 본 발명에 의한 스택형 반도체패키지
11,12,13; 제1반도체패키지 20; 제2반도체패키지
22; 도전성볼 14; 칩탑재판

15; 반도체칩 16; 도전성와이어
17; 내부리드 18; 외부리드
19; 봉지부 30; 가요성 배선기판
31; 접착층 32; 볼랜드
33; 배선패턴 34; 커버코트

발명의 상세한 설명

발명의 목적



발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스택형 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 통상의 반도체패키지 상면에 또다른 반도체패키지가 스택(Stack)된 스택형 반도체패키지에 관한 것이다.
통상 스택형 반도체패키지는 리드프레임이나 인쇄회로기판 등에 다수의 반도체칩을 수직방향으로 스택한 후, 상기 스택된 반도체칩끼리 또는 반도체칩과 리드프레임 또는 인쇄회로기판을 도전성와이어로 상호 본딩한 것을 말한다.
이러한 스택형 반도체패키지는 하나의 봉지부 내측에 다수의 반도체칩을 탑재함으로써 전기적으로 고기능화되고, 또한 마더보드에서의 실장밀도를 높일 수 있기 때문에 최근 대량으로 제조되고 있다.
이러한 종래 스택형 반도체패키지의 한예가 도1에 도시되어 있다.
도시된 바와 같이 통상 접착층(2')을 중심으로 그 상면에는 본드핑거(4')를 포함하는 배선패턴이 형성되어 있고, 하면에는 볼랜드(6')를 포함하는 배선패턴이 형성되어 있으며, 상기 상,하면의 배선패턴은 도전성비아홀(8')로 상호 연결된 회로기판(10')이 구비되어 있다. 상기 회로기판(10')의 상면 중앙부에는 접착제로 제1반도체칩(12')이 접착되어 있고, 상기 제1반도체칩(12')의 상면에는 접착제로 또다른 제2반도체칩(14')이 접착되어 있다.
상기 제1반도체칩(12') 및 제2반도체칩(14')의 입출력패드는 모두 도전성와이어(16')에 의해 회로기판의 본드핑거(4')에 접속되어 있으며, 상기 회로기판(10')의 하면에 형성된 볼랜드(6')에는 다수의 도전성볼(18')이 융착되어 있다.
상기 회로기판(10')의 상면에 위치된 제1반도체칩(12'), 제2반도체칩(14') 및 도전성와이어(16') 등은 모두 봉지재로 봉지되어 소정의 봉지부(20')를 형성하고 있다.
도면중 미설명 부호 7'는 배선패턴을 외부환경으로부터 보호하기 위해 그 표면에 코팅된 커버코트이다.
그러나, 이러한 종래의 반도체패키지는 고가의 회로기판을 이용함으로써(전체 패키지 제조 비용의 60% 이상이 상기 회로기판에 할당됨), 전체적으로 반도체패키지의 원가가 높아지는 단점이 있다.
또한, 상기 제1반도체칩 상면에 또다른 제2반도체칩이 직접 접착되기 때문에, 상기 제1반도체칩의 와이어 본딩을 고려하여, 상기 제2반도체칩의 크기가 상기 제1반도체칩의 크기보다 반듯이 작아야 함으로써, 탑재할 수 있는 반도체칩의 크기 또는 종류에 한계가 있다.
비록, 현재 동일한 크기 또는 상부의 반도체칩이 하부의 반도체칩보다 더 큰 반도체칩 스택 기술이 개발되고 있으나, 상기 반도체칩의 스택에 사용되는 접착제의 두께를 증가시켜야 함은 물론, 공정이 복잡해지고, 또한 와이어 본딩의 어려움으로 인하여 제조 비용이 상승하는 부담이 있다.
더불어, 제1반도체칩 상면에 접착제를 이용하여 제2반도체칩을 정확한 위치에 접착하여야 함으로써, 정밀도가 높은 장비가 요구되며, 또한 와이어 본딩을 2회에 걸쳐 수행함으로써, 그만큼 불량률이 높은 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 하나의 반도체칩을 탑재한 통상의 제1반도체패키지 상면에 특정 형태의 가요성 배선기판을 접착하고, 그 상면에 통상의 제2반도체패키지를 접속함으로써, 저가인 동시에 신뢰성이 높은 스택형 반도체패키지를 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 스택형 반도체패키지는 봉지부의 측부 외주연으로 마더보드에 접속될 리드가 돌출된 제1반도체패키지와; 상기 봉지부의 상면에 절연성의 가요성 접착층이 접착되고, 상기 접착층의 상면에는 다수의 도전성 볼랜드가 어레이된 동시에, 상기 볼랜드로부터는 상기 제1반도체패키지의 리드 상면에까지 연장되어 접속되는 도전성 배선패턴이 형성된 가요성 배선기판과; 상기 가요성 배선기판의 볼랜드에 도전성볼을 통해 접속된 제2반도체패키지를 포함하여 이루어진 것을 특징으로 한다.
여기서, 상기 가요성 배선기판의 배선패턴은 상기 제1반도체패키지의 리드 상면에 도전성 에폭시에 의해 접착될 수 있다.
상기 제1반도체패키지는 칩탑재판에 반도체칩이 접착되어 있고, 상기 반도체 칩의 외주연으로는 다수의 내부리드가 연장되어 있으며, 상기 반도체칩과 내부리드는 도전성와이어로 접속되어 있고, 상기 칩탑재판, 반도체칩, 도전성와이

어 및 내부리드는 봉지재로 봉지되어 일정 형태의 봉지부가 형성되어 있으며, 상기 봉지부 외측으로는 상기 내부리드에 연결된 외부리드가 돌출되어 있고, 상기 외부리드 상면에 상기 가요성 배선기판의 도전성 배선패턴이 접속될 수 있다.
또한, 상기 제1반도체패키지는 둘레 하면에 부분에칭부가 형성된 칩탑재판에 반도체칩이 접착되어 있고, 상기 반도체칩의 외주연으로는 부분에칭부가 형성된 다수의 내부리드가 위치되어 있으며, 상기 반도체칩과 리드는 도전성와이어로 연결된 동시에, 상기 칩탑재판, 반도체칩 및 리드가 봉지재로 봉지되어 일정 형태의 봉지부를 형성하고 있되, 상기 리드의 상면 일정영역은 봉지부 외측으로 노출되어 상기 가요성 배선기판의 도전성 배선패턴이 접속될 수도 있다.
상기한 목적을 달성하기 위해 본 발명에 의한 스택형 반도체패키지에 이용되는 배선기판의 제조 방법은 접착층 표면에 구리층이 형성된 원판(原板)을 제공하는 단계와; 상기 구리박막 표면에 소정 패턴을 갖는 감광막을 형성하는 단계와; 상기 감광막이 형성된 원판을 화학용액으로 에칭하여, 상기 접착층 표면에 볼랜드 및 배선패턴이 형성되도록 하는 단계와; 상기 볼랜드 및 배선패턴 상면의 감광막을 제거하는 단계와; 상기 접착층의 둘레를 일정폭만큼 제거하여 상기 배선패턴이 접착층 외주연으로 돌출되도록 하는 단계를 포함하여 이루어진 것을 특징으로 한다.
여기서, 상기 원판은 접착층 표면에 구리박막을 접착시켜 형성된 것이 제공될 수 있다.
또한, 상기 원판은 접착층 표면에 구리 입자를 증착하여 형성된 것이 제공될 수도 있다.
더불어, 상기 볼랜드 및 배선패턴의 단부를 제외한 나머지 영역에는 커버코트가 코팅되는 단계가 더 포함될 수도 있다.
상기와 같이 하여 본 발명에 의한 스택형 반도체패키지 및 이것에 이용되는 배선기판의 제조 방법에 의하면, 통상의 제1반도체패키지를 구비하고, 상기 제1반도체패키지의 봉지부 상면에는 배선패턴이 형성된 가요성 배선기판을 접착시키며, 그 상면에는 다시 통상의 제2반도체패키지를 접속시킴으로써, 제1반도체패키지와 제2반도체패키지가 상기 가요성 배선기판에 의해 상호 접속된다.
따라서, 본 발명은 통상의 제1반도체패키지 및 제2반도체패키지를 각각 제조하고, 별도로 가요성 배선기판을 상기 제1반도체패키지의 상면에 접착시킴으로써, 복잡한 공정을 통하지 않고서도 간단한 방법 및 구조로 스택형 반도체패키지를 구현하게 되는 장점이 있다.
이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
도2는 본 발명에 이용된 가요성 배선기판(30)을 도시한 평면도이다.
도시된 바와 같이 본 발명에 이용된 가요성 배선기판(30)은 절연성의 가요성 접착층(31)(도3a 참조) 예를 들면, 가요성 필름 또는 테이프가 대략 사각판상으로 구비되어 있고, 상기 접착층(31)의 중앙에는 다수의 도전성 볼랜드(32)가 어레이(Array)되어 있다. 상기 각 볼랜드(32)로부터는 도전성 배선패턴(33)이 연결된 동시에, 이 배선패턴(33)은 상기 접착층(31)의 외주연까지 일정길이 연장되어 있다. 여기서, 상기 볼랜드(32) 및 배선패턴(33)은 통상적인 구리 박막으로 형성된 것이다. 또한, 상기 볼랜드(32)를 제외한 상기 배선패턴(33) 및 접착층(31)의 표면에는 상기 배선패턴(33)을 외부 환경으로부터 보호하기 위해 커버코트(34)가 코팅되어 있다.
한편, 이러한 가요성 배선기판(30)이 이용된 본 발명에 의한 스택형 반도체패키지(101,102,103)가 도3a 내지 도3c에 도시되어 있다.
도3a의 스택형 반도체패키지(101)를 참조하면, 먼저 통상의 제1반도체패키지(11)가 구비되어 있다. 즉, 칩탑재판(14)에 반도체칩(15)이 접착되어 있고, 상기 반도체칩(15)의 외주연으로는 다수의 내부리드(17)가 연장되어 있으며, 상기 반도체칩(15)과 내부리드(17)는 도전성와이어(16)로 접속되어 있고, 상기 칩탑재판(14), 반도체칩(15), 도전성와이어(16) 및 내부리드(17)는 봉지재로 봉지되어 일정 형태의 봉지부(19)가 형성되어 있다. 상기 봉지부(19) 외측으로는 상기 내부리드(17)에 연결된 외부리드(18)가 돌출된 일반적인 리드프레임을 이용한 반도체패키지이다.
여기서, 상술한 구조의 가요성 배선기판(30)이 상기 제1반도체패키지(11)의 봉지부(19) 상면에 접착되어 있으며, 상기 배선기판(30)중 배선패턴(33)은 상기 외부리드(18)의 상면에 접속되어 있다. 상기 배선패턴(33)과 외부리드(18)의 접속은 통상적인 도전성 에폭시(Conductive Epoxy)를 이용하거나 또는 솔더 플레이팅(Solder Plating) 또는 탭본딩(TAB Bonding) 장비를 이용하여 수행할 수 있다.
한편, 상기 가요성 배선기판(30)의 볼랜드(32)에는 솔더볼과 같은 도전성볼(22)에 의해 통상적인 제2반도체패키지(20)가 접속되어 있다. 이와 같은 제2반도체패키지(20)는 통상적인 볼그리드어레이(Ball Grid Array) 반도체패키지가 적당할 것이다.
다음으로 도3b의 스택형 반도체패키지(102)를 참조한다.
도시된 바와 같이 먼저, 제1반도체패키지(12)가 구비되어 있다. 상기 제1반도체패키지(12)는 둘레 하면에 부분에칭부(14a)가 형성된 칩탑재판(14)이 구비되어 있고, 상기 칩탑재판(14) 상면에는 반도체칩(15)이 접착되어 있다. 또한, 상기 반도체칩(15)의 외주연으로는 부분에칭부(17a)가 형성된 다수의 리드(17)가 위치되어 있으며, 상기 반도체칩(15)과 리드(17)는 도전성와이어(16)로 연결되어 있다. 또한, 상기 칩탑재판(14), 반도체칩(15) 및 리드(17)는 봉지재로 봉지되어 일정 형태의 봉지부(19)를 형성하고 있되, 상기 리드(17)의 상면 일정영역 및 하면은 봉지부(19) 외측으로 노출된 통상의 MLF(Micro Lead Frame) 패키지이다.
여기서, 상술한 구조의 가요성 배선기판(30)은 상기 제1반도체패키지(12)의 봉지부(19) 상면에 접착되어 있으며, 상기 배선기판(30)중 배선패턴(33)은 상기 리드(17)의 상면에 접속되어 있다. 상기 배선패턴(33)과 리드(17)의 접속은 통상적인 도전성 에폭시(Conductive Epoxy)를 이용하거나 솔더 플레이팅(Solder Plating) 또 는 탭본딩(TAB Bonding) 장비를 이용하여 접속할 수 있다.
한편, 상기 가요성 배선기판(30)의 볼랜드(32)에는 솔더볼과 같은 도전성볼(22)에 의해 통상적인 제2반도체패키지(20)가 접속되어 있다. 이와 같은 제2반도체패키지(20)는 상술한 바와 같이 통상적인 볼그리드어레이(Ball Grid Array)

반도체패키지가 적당하다.
도3c의 스택형 반도체패키지(103) 역시, 제1반도체패키지(13)로서 도전성볼(20)이 어레이된 MLF 패키지가 이용될 수 있으며, 나머지 구조는 상기 도3b의 구조와 동일하므로 그 설명을 생략하기로 한다.
도4a 내지 도4f는 본 발명에 의한 가요성 배선기판의 제조 방법을 도시한 순차 설명도이며, 이를 참조하여 그 제조 방법을 상세히 설명하면 다음과 같다.
1. 원판(原板)제공 단계로서(도4a 참조), 쉽게 휘어질 수 있는 접착층(31)(예를 들면, 필름 또는 테이프 등등)의 표면에 일정 두께로 구리층(333)이 형성된 원판(300)을 제공한다.
여기서, 상기 원판(300)은 접착층(31) 표면에 얇은 구리박막(Copper Foil)이 접착된 것을 제공하거나 또는 상기 접착층(31) 표면에 구리 입자(Copper Particle)가 증착된 것을 제공할 수 있다.
2. 감광막 형성 단계로서(도4b 참조), 상기 구리층(333) 표면에 소정 패턴을 갖는 감광막(41)을 형성한다. 상기 감광막 형성 방법은 주지된 바와 같이, 소정 패턴이 그려진 마스크와 감광막을 이용하여 상기 구리층 표면에 차후 형성될 볼랜드 및 배선패턴과 같은 모양의 감광막이 형성되도록 한다. 상기 감광막 대신에 드라이 필름(Dry Film)을 이용할 수도 있다.
3. 패턴 형성 단계로서(도4c 참조), 상기 감광막(41)이 형성된 원판(300)에 황산, 염산 또는 질산과 같은 산성용액을 제공하여 상기 접착층(31) 표면에 볼랜드(32) 및 배선패턴(33) 등이 형성되도록 한다.
4. 감광막 제거 단계로서(도4d 참조), 상기 볼랜드(32) 및 배선패턴(33) 상면의 감광막(41)을 제거한다.
5. 접착층의 일정 영역 제거 단계로서(도4e 참조), 상기 접착층(31)의 둘레를 일정폭만큼 제거하여 상기 배선패턴(33)중 단부가 상기 접착층(31) 외주연으로 돌출되도록 한다.
6. 커버코트 코팅 단계로서(도4f 참조), 상기 볼랜드(32) 및 상기 접착층(31)의 외주연으로 돌출된 배선패턴(33)을 제외한 나머지 영역 즉, 접착층(31)의 상면에 커버코트(34)를 코팅함으로써, 상기 배선패턴 등이 외부 환경으로부터 보호되도록 한다.
이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다. 즉, 상기 실시예에서는 제1반도체패키지로서 통상적인 리드프레임을 이용한 반도체패키지 및 MLF에 한정하여 본 발명을 설명하였으나, 이밖에도 다양한 많은 종류의 반도체패키지가 상기 제1반도체패키지로서 이용될 수 있을 것이다.

발명의 효과

따라서 본 발명에 의한 스택형 반도체패키지에 의하면, 통상의 제1반도체패키지를 구비하고, 상기 제1반도체패키지의 봉지부 상면에는 배선패턴이 형성된 가요성 배선기판을 제조하여 접착시키며, 그 상면에는 다시 통상의 제2반도체패키지를 접속시킴으로써, 제1반도체패키지와 제2반도체패키지가 상기 가요성 배선기판에 의해 간단히 접속되는 효과가 있다.
또한, 통상의 제1반도체패키지 및 제2반도체패키지를 각각 제조하고, 또한 별도로 제조된 가요성 배선기판을 상기 제1반도체패키지의 상면에 접착시킴으로써, 복잡한 공정을 통하지 않고서도 간단한 방법 및 구조로 스택형 반도체패키지를 구현하는 효과가 있다.

(57) 청구의 범위

청구항 1.

(정정) 봉지부의 측부 외주연으로 마더보드에 접속될 리드가 돌출된 리드프레임 반도체패키지와, 상기 리드프레임 반도체패키지의 상부에서 가요성 배선기판을 통하여 상기 리드프레임 반도체패키지의 리드에 전기적으로 접속된 볼그리드어레이 반도체패키지로 이루어진 스택형 반도체패키지에 있어서,
상기 가요성 배선기판은 상기 리드프레임 반도체패키지의 봉지부 상면에 접착된 절연성 접착층과, 상기 볼그리드어레이 반도체패키지에 구비된 도전성 볼이 융착될 수 있도록 상기 접착층 상면에 형성된 다수의 도전성 볼랜드와, 상기 도전성 볼랜드로부터 상기 리드프레임 반도체패키지의 리드 상면에까지 연장되어 도전성 에폭시로 접속된 다수의 도전성 배선패턴과, 상기 접착층 상면에 상기 도전성 볼랜드 및 리드에 접속된 도전성 배선패턴을 제외한 전 영역에 코팅된 커버코트를 포함하여 이루어진 스택형 반도체패키지.

청구항 2.

(삭제)

청구항 3.

(삭제)

청구항 4.

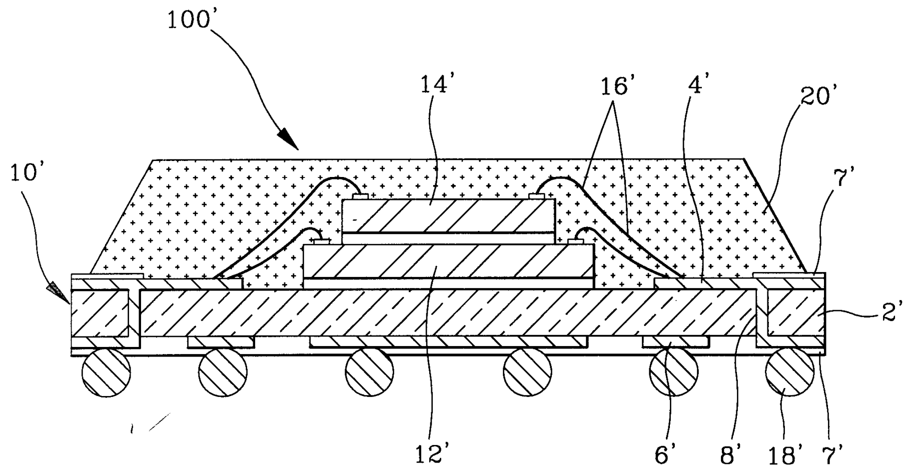
(삭제)

청구항 5.

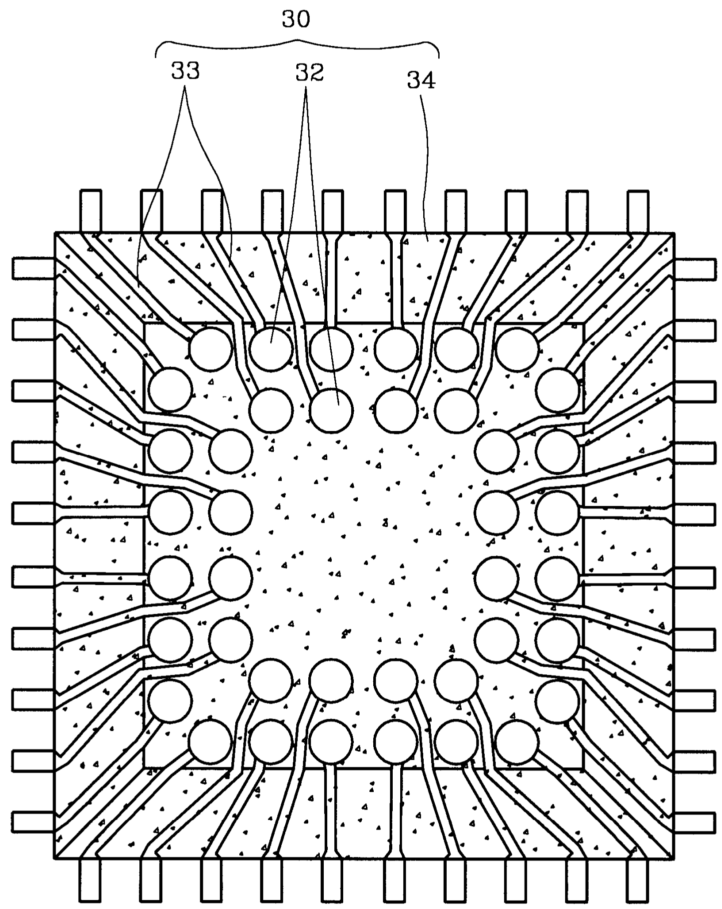
(삭제)

도면

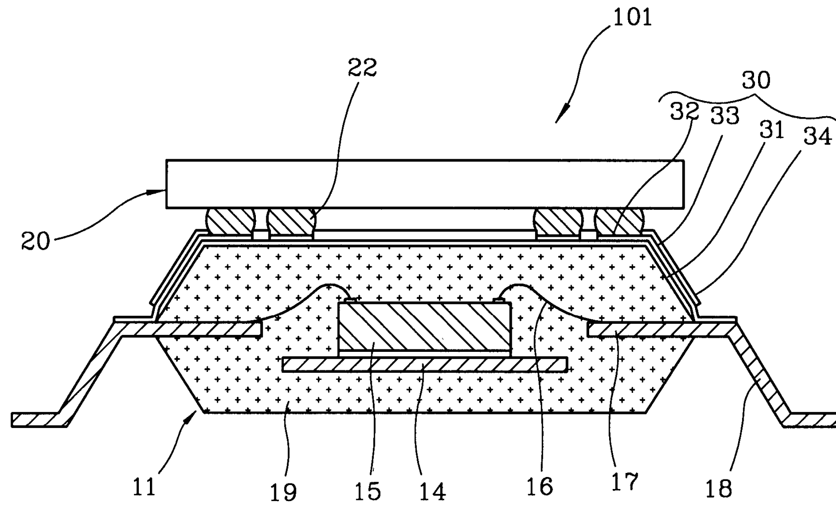
도면1



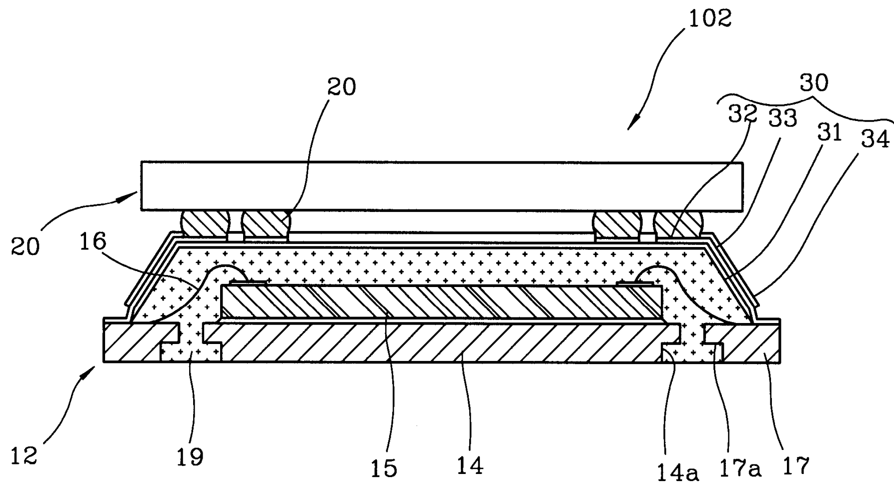
도면2



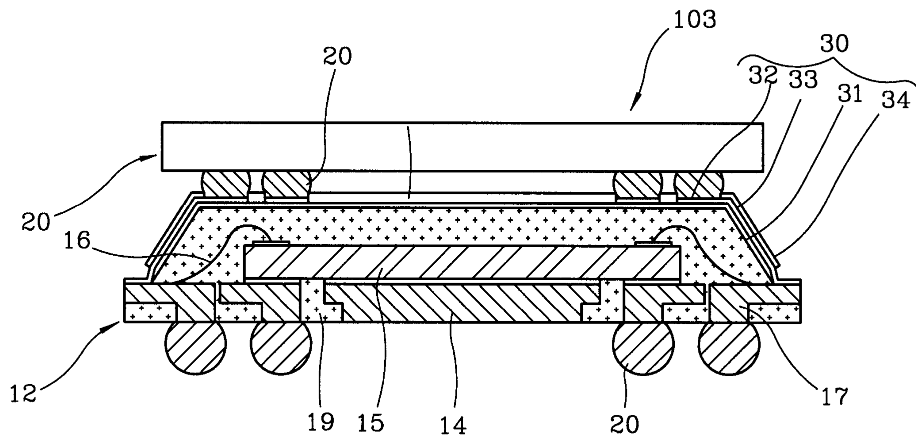
도면3a



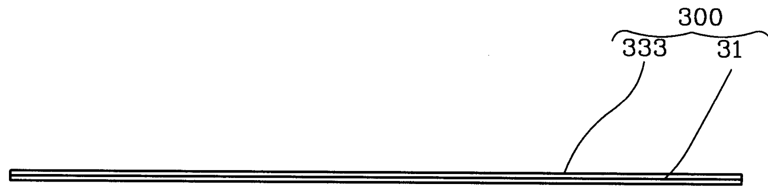
도면3b



도면3c



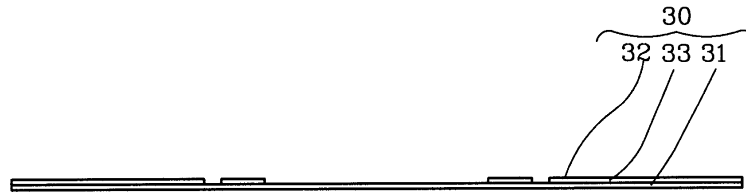
도면4a



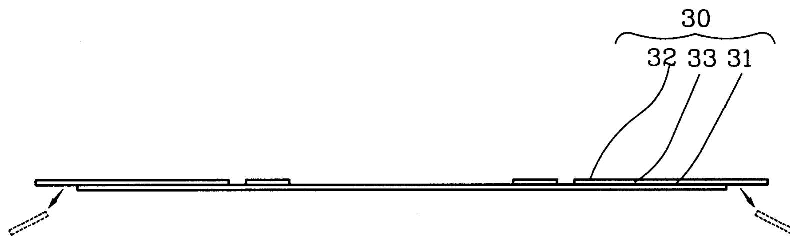
도면4b

도면4c

도면4d



도면4e



도면4f