

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 4 月 29 日(29.04.2010)

PCT

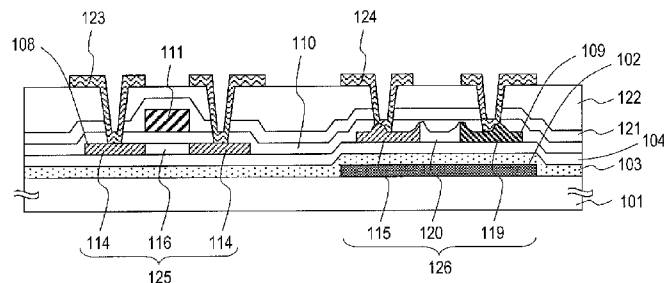
(10) 国際公開番号
WO 2010/047086 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
G09F 9/33 (2006.01) H01L 31/10 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005478
- (22) 国際出願日: 2009 年 10 月 20 日(20.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-273525 2008 年 10 月 23 日(23.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 牧田直樹
(MAKITA, Naoki), 中辻広志(NAKATSUJI, Hiroshi).
- (74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪
府大阪府中央区北浜一丁目 8 番 1 6 号 大阪証券
取引所ビル 1 0 階 奥田国際特許事務所 Osaka
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置およびその製造方法ならびに表示装置

[図1]



(57) Abstract: A semiconductor device comprising a thin-film transistor (125) and a thin-film diode (126). A semiconductor layer (108) of the thin-film transistor (125) and a semiconductor layer (109) of the thin-film diode (126) are crystalline semiconductor layers formed by crystallizing a same crystalline semiconductor film. The surface of the semiconductor layer (109) of the thin-film diode (126) is provided with a ridge. The surface roughness of the semiconductor layer (109) of the thin-film diode (126) is larger than the surface roughness of the semiconductor layer (108) of the thin-film transistor (125).

(57) 要約: 半導体装置は、薄膜トランジスタ 125 および薄膜ダイオード 126 を備え、薄膜トランジスタ 125 の半導体層 108 および薄膜ダイオード 126 の半導体層 109 は、同一の結晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、薄膜ダイオード 125 の半導体層 109 の表面にはリッジが形成されており、薄膜ダイオード 125 の半導体層 109 の表面粗さは、薄膜トランジスタ 125 の半導体層 108 の表面粗さよりも大きい。

WO 2010/047086 A1

明 細 書

発明の名称：半導体装置およびその製造方法ならびに表示装置 技術分野

[0001] 本発明は、薄膜トランジスタ（Thin Film Transistor：TFT）と薄膜ダイオード（Thin Film Diode：TFD）とを備える半導体装置及びその製造方法、ならびに表示装置に関する。

背景技術

[0002] 近年、同一基板上に形成された薄膜トランジスタ（TFT）および薄膜ダイオード（TFD）を備えた半導体装置や、そのような半導体装置を有する電子機器の開発が進められている。このような半導体装置の製造方法としては、基板上に形成された同一の結晶質半導体膜を用いてTFTおよびTFDの半導体層を形成する方法が提案されている。

[0003] 特許文献1には、TFDを利用した光センサー部と、TFTを利用した駆動回路とを同一基板上に備えたイメージセンサーが開示されている。特許文献1では、基板上に形成された非晶質半導体膜を結晶化させてTFTおよびTFDの半導体層を形成している。

[0004] このように、TFTとTFDとを同一基板上に一体的に形成すると、半導体装置を小型化できるだけでなく、部品点数を低減できる等の大きなコストメリットが得られる。さらに、従来の部品の組み合わせでは得られない新たな機能が付加された商品の実現も可能になる。

[0005] 一方、特許文献2は、同一の半導体膜（非晶質シリコン膜）を用いて、結晶質シリコンを用いたTFT（結晶質シリコンTFT）と、非晶質シリコンを用いたTFD（非晶質シリコンTFD）とを同一基板上に形成することを開示している。具体的には、基板上に形成された非晶質シリコン膜のうちTFTの活性領域を形成しようとする領域のみに、非晶質シリコンの結晶化を促進する触媒元素を添加する。この後、加熱処理を行うことにより、TFTの活性領域を形成しようとする領域のみが結晶化され、TFDとなる領域が

アモルファス状態であるシリコン膜を形成する。このシリコン膜を用いると、結晶質シリコンＴＦＴと、非晶質シリコンＴＦＤとを同一基板上に簡便に作製することができる。

- [0006] さらに、特許文献３は、同一の半導体膜（非晶質シリコン膜）を用いて、光センサーとして機能する光センサーＴＦＴとスイッチング素子として機能するスイッチングＴＦＴとを形成している。光センサーＴＦＴのチャネル領域のシリコン膜を、ソース・ドレイン領域やスイッチングＴＦＴの活性領域のシリコン膜よりも厚くすることで、光センサー感度の向上を図っている。ここでは、これらのＴＦＴのシリコン膜の厚さを異ならせるために、非晶質シリコン膜をアイランド化する際のフォトリソグラフィにおいて、グレートーンマスクを用いたハーフ露光技術を利用して、非晶質シリコン膜を部分的に薄膜化している。また、非晶質シリコン膜にレーザー光を照射することにより、非晶質シリコン膜のうち薄膜化された領域（光センサーＴＦＴのソース・ドレイン領域およびスイッチングＴＦＴの活性領域となる領域）を結晶化するとともに、薄膜化されなかった領域（光センサーＴＦＴのチャネル領域となる領域）を非晶質のまま残すことも開示されている。

先行技術文献

特許文献

- [0007] 特許文献１：特開平６－２７５８０８号公報
特許文献２：特開平６－２７５８０７号公報
特許文献３：特開２００５－７２１２６号公報

発明の概要

発明が解決しようとする課題

- [0008] 特許文献１では、同一の結晶質半導体膜を結晶化させて、ＴＦＴの半導体層およびＴＦＤの半導体層の両方を形成している。ＴＦＴおよびＴＦＤでは、それぞれの用途に応じて求められるデバイス特性は異なるが、この方法によると、ＴＦＴおよびＴＦＤに要求されるそれぞれのデバイス特性を同時に

満足することが難しいという問題がある。

[0009] 特許文献2および特許文献3に開示された方法では、同一の非晶質半導体膜から結晶状態の異なるTFTおよびTFDの半導体層を形成している。しかしながら、半導体層ごとに結晶状態を最適化することは製造プロセス上、困難である。また、特許文献2および3に開示された方法でも、以下に説明するように、優れた特性を有するTFTおよびTFDを得ることは難しい。

[0010] 特許文献2の方法では、同一の非晶質半導体膜の一部を結晶化させて、結晶化させた部分からTFT（結晶質シリコンTFT）を形成し、非晶質のまま残された部分からTFD（非晶質シリコンTFD）を形成している。この方法によると、結晶化条件を制御することにより結晶質シリコンTFTの特性を向上させることは可能になる。しかしながら、非晶質シリコン膜の一部を結晶質シリコンへと結晶化させる熱処理工程において、元々の非晶質シリコン膜に含まれていた水素が抜けてしまう。このため、熱処理工程後に非晶質のまま残された部分を用いて、電氣的に良好な非晶質シリコンTFDを作製することができないという問題がある。成膜直後の非晶質シリコン膜では、シリコン原子が水素と結合して、その結合手を埋めているが（終端化）、結晶化のための熱処理工程では、シリコン元素と水素との結合が切れて水素が抜けてしまい、シリコンの不對結合手（ダングリングボンド）だらけの劣悪な非晶質シリコンとなってしまうからである。同様の理由から、特許文献3の方法では、電氣的に良好な光センサーTFT（非晶質シリコンTFT）を得ることは困難である。

[0011] このように、従来、同一の非晶質半導体膜を用いてTFTおよびTFDを作りこむことによって半導体装置を製造すると、TFTおよびTFDにそれぞれ要求された特性を両立させることは困難であり、その結果、高性能な半導体装置を得られないおそれがある。

[0012] 本発明は上記の問題を鑑みてなされたものであり、その目的は、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、薄膜トランジスタおよび薄膜ダイオードに要求されるそれぞれの特性を実現

することにある。

課題を解決するための手段

- [0013] 本発明の半導体装置は、チャネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタ、および、少なくとも n 型領域と p 型領域とを含む半導体層を有する薄膜ダイオードを備えた半導体装置であって、前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記薄膜ダイオードの半導体層の表面にはリッジが形成されており、前記薄膜ダイオードの半導体層の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きい。
- [0014] ある好ましい実施形態において、前記薄膜トランジスタの半導体層の結晶性と、前記薄膜ダイオードの半導体層の結晶性とは、略同等である。
- [0015] ある好ましい実施形態において、前記薄膜トランジスタの半導体層の平均結晶粒径と、前記薄膜ダイオードの半導体層の平均結晶粒径とは、略同等である。
- [0016] ある好ましい実施形態において、前記薄膜ダイオードの半導体層の表面の算術平均粗さ R_a は、前記薄膜トランジスタの半導体層の表面の算術平均粗さ R_a よりも大きい。
- [0017] ある好ましい実施形態において、前記薄膜ダイオードの半導体層の表面の最大高さ R_z は、前記薄膜トランジスタの半導体層の表面の最大高さ R_z よりも大きい。
- [0018] ある好ましい実施形態において、前記薄膜トランジスタの半導体層の表面にはリッジが形成されており、前記薄膜トランジスタの半導体層の表面に形成されているリッジの平均高さは、前記薄膜ダイオードの半導体層の表面に形成されているリッジの平均高さよりも小さい。
- [0019] ある好ましい実施形態において、前記薄膜トランジスタの半導体層の表面

は実質的に平坦である。

- [0020] ある好ましい実施形態において、前記リッジは、前記半導体層に含まれる結晶粒の境界上に存在する。
- [0021] 前記リッジは、前記半導体層における3つ以上の結晶粒の境界となる点に形成された、山状に盛り上がった部分を含んでもよい。
- [0022] 前記薄膜トランジスタの半導体層の表面全体に亘って、表面粗さは均一であることが好ましい。
- [0023] 前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層の少なくとも一部の領域は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでもよい。
- [0024] 前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記n型領域と前記p型領域との間に位置する真性領域をさらに含み、前記薄膜ダイオードの半導体層において、少なくとも前記真性領域の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きくてもよい。
- [0025] 前記薄膜トランジスタは、nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタを含む複数の薄膜トランジスタであってもよい。
- [0026] 本発明の半導体装置の製造方法は、(a1) 表面に非晶質半導体膜が形成された基板を用意する工程と、(b) 前記非晶質半導体膜の一部上に酸化物層を形成する工程と、(c) 前記酸化物層の上方から前記非晶質半導体膜にレーザー光を照射して結晶化させることにより、前記非晶質半導体膜のうち前記酸化物層で覆われていない部分を結晶化させた第1結晶化領域と、前記酸化物層で覆われた部分を結晶化させた、前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域とを含む結晶質半導体膜を得る工程と、(d) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層と、後に薄膜ダイオードの活性領域となる第2の島状半導体層とを形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程とを包含する。

[0027] 本発明の他の半導体装置の製造方法は、（a 1）表面に非晶質半導体膜が形成された基板を用意する工程と、（a 2）前記非晶質半導体膜にレーザー光を照射して、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、（b）前記結晶質半導体膜の一部上に酸化物層を形成する工程と、（c）前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分の表面粗さを小さくすることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分から第1結晶化領域を形成し、前記酸化物層で覆われた部分から前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域を形成する工程と、（d）前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程とを包含する。

[0028] 本発明のさらに他の半導体装置の製造方法は、（a 1）表面に非晶質半導体膜が形成された基板を用意する工程と、（a 2'）前記非晶質半導体膜の少なくとも一部に結晶化を促進する触媒元素を添加した後、加熱処理を行って、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、（b）前記結晶質半導体膜の一部上に酸化物層を形成する工程と、（c）前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射してさらに結晶化させる、あるいは再結晶化させることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分を結晶化させた第1結晶化領域と、前記酸化物層で覆われた部分を結晶化させた、前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域とを含む結晶質半導体膜を得る工程と、（d）前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程

とを包含する。

[0029] 本発明のさらに他の半導体装置の製造方法は、（a 1）表面に非晶質半導体膜が形成された基板を用意する工程と、（a 2'）前記非晶質半導体膜の少なくとも一部に結晶化を促進する触媒元素を添加した後、加熱処理を行って、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、（a 3'）前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜をさらに結晶化させる、あるいは再結晶化させる工程と、（b）前記結晶質半導体膜の一部上に酸化物層を形成する工程と、（c）前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分の表面粗さを小さくすることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分から第1結晶化領域を形成し、前記酸化物層で覆われた部分から前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域を形成する工程と、（d）前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程とを包含する。

[0030] ある好ましい実施形態において、前記工程（c）の前に、前記非晶質半導体膜のうち前記酸化物層で覆われていない部分上に形成された自然酸化膜を除去する工程をさらに含む。

[0031] ある好ましい実施形態において、前記工程（c）は、窒素などの不活性ガス雰囲気中にて行われる。

[0032] ある好ましい実施形態において、前記基板は透光性を有する基板であり、前記工程（a）は、前記基板のうち、後に薄膜ダイオードの活性領域となる第2の島状半導体層が形成される領域の下部となる部分に、前記基板の反対側の表面から入射する光を遮光するための遮光層を形成する工程と、前記遮光層が形成された基板上に前記非晶質半導体膜を形成する工程とを含み、前

記工程（b）は、前記非晶質半導体膜あるいは前記結晶質半導体膜上に酸化膜を形成する工程（b 1）と、前記酸化膜上にレジスト膜を形成し、これを露光・現像してレジスト層を形成する工程（b 2）と、前記レジスト層をマスクとして前記酸化膜をエッチングすることにより、前記酸化物層を得る工程（b 3）とを含み、前記工程（b 2）は、前記遮光層をマスクとして、前記基板の前記反対側の表面から前記レジスト膜を露光する工程を含む。

[0033] 前記工程（b）において、前記酸化物層の厚さD（単位：nm）は、前記酸化物層の屈折率をn、前記工程（c）における前記レーザー光の波長をλ（単位：nm）とすると、 $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように設定されることが好ましい。

[0034] ある好ましい実施形態において、前記工程（a 2）の前に、前記非晶質半導体膜の表面を薄膜酸化する工程をさらに含む。

[0035] ある好ましい実施形態において、前記工程（a 2）は、酸素を含む雰囲気中にて行われる。

[0036] ある好ましい実施形態において、前記工程（c）において、前記工程（a 2）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う。

[0037] ある好ましい実施形態において、前記工程（c）において、前記工程（a 2'）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う。

[0038] ある好ましい実施形態において、前記工程（a 3'）の前に、前記非晶質半導体膜の表面を薄膜酸化する工程をさらに含む。

[0039] ある好ましい実施形態において、前記工程（a 3'）は、酸素を含む雰囲気中にて行われる。

[0040] ある好ましい実施形態において、前記工程（c）において、前記工程（a 3'）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う。

[0041] ある好ましい実施形態において、前記工程（a 3'）において、前記工程

(a 2') で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う。

[0042] 前記工程 (a 2') で使用される前記触媒元素はニッケルであってもよい。

[0043] ある好ましい実施形態において、前記工程 (d) は、前記第 2 結晶化領域を用いて、前記第 2 の島状半導体層のうち後に薄膜ダイオードの真性領域となる領域を形成する工程を含む。あるいは、前記第 2 結晶化領域を用いて、前記第 2 の島状半導体層全体を形成する工程を含んでもよい。

[0044] ある好ましい実施形態において、前記工程 (d) は、前記第 1 結晶化領域を用いて、前記第 1 の島状半導体層全体を形成する工程を含む。また、前記工程 (d) は、前記第 1 結晶化領域を用いて、後にコンデンサーの片方の電極となる半導体層を形成する工程をさらに含んでもよい。

[0045] 上記方法は、(h) 前記第 1 の島状半導体層の上にゲート絶縁膜を形成する工程と、(i) 前記ゲート絶縁膜上に、前記第 1 の島状半導体層のうちチャネル領域となる領域と重なるようにゲート電極を形成する工程と、(j) 前記第 1 の島状半導体層のうち後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程と、(k) 前記第 2 の島状半導体層のうち後の n 型領域となる領域に、n 型不純物元素をドーピングする工程と、(l) 前記第 2 の島状半導体層のうち後の p 型領域となる領域に、p 型不純物元素をドーピングする工程とを包含してもよい。

[0046] 本発明の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された薄膜トランジスタを有し、前記薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、前記薄膜トランジスタは、チャネル領域、ソース領域およびドレイン領域を含む結晶質半導体層と、前記結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャネル領域の導電性を制御するゲート電極とを含み、前記薄膜

ダイオードは、少なくとも n 型領域と p 型領域とを含む結晶質半導体層を含み、前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記薄膜ダイオードの半導体層の表面にはリッジが形成されており、前記薄膜ダイオードの半導体層の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きい。

[0047] ある好ましい実施形態において、前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさらに備え、前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する。

[0048] ある好ましい実施形態において、それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または 2 以上の表示部からなるセットに対応して前記表示領域に配置されている。

発明の効果

[0049] 本発明によると、同一基板上に形成された TFT および TFD を備えた半導体装置において、TFT および TFD の半導体層を、それぞれ、要求されるデバイス特性に応じて最適化できる。従って、TFT および TFD に要求されるそれぞれのデバイス特性を両立させることが可能になる。

[0050] 特に、TFD を光センサーとして用いる場合、TFD の半導体層の表面粗さを TFT の半導体層の表面粗さよりも大きくすることにより、光センサーの光利用効率を高めつつ、TFT の信頼性（ゲート耐圧）を向上できるので好ましい。

[0051] また、本発明の製造方法によると、上記の半導体装置を、製造工程や製造コストを増大させることなく簡便に製造でき、製品のコンパクト化、高性能化、低コスト化を図ることができる。

図面の簡単な説明

[0052] [図1] 本発明による第 1 実施形態の半導体装置を示す模式的な断面図である。

[図2] (A) から (D) は、本発明による第 1 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図3] (E) から (H) は、本発明による第 1 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図4] (A) から (D) は、本発明による第 2 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図5] (E) から (G) は、本発明による第 2 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図6] (H) から (J) は、本発明による第 2 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図7] (A) から (C) は、本発明による第 3 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図8] (D) から (F) は、本発明による第 3 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図9] (A) から (D) は、本発明による第 4 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図10] (A) から (C) は、本発明による第 5 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図11] (D) および (E) は、本発明による第 5 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図12] (A) から (C) は、本発明による第 6 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図13] (D) から (F) は、本発明による第 6 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図14] (G) から (I) は、本発明による第 6 実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図15] 本発明による第 7 実施形態の光センサー T F D の回路図である。

[図16] 本発明による第 7 実施形態の光センサー方式のタッチパネルの構成図

である。

[図17]本発明による第7実施形態のタッチパネル方式の液晶表示装置における背面基板を例示する模式的な平面図である。

[図18]本発明による第7実施形態のアンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。

発明を実施するための形態

[0053] 本願発明者は、同一基板上に形成されたTFTおよびTFDのデバイス特性をそれぞれ最適化するために、TFTおよびTFDの半導体層の構造とデバイス特性との関係について、様々な角度から検討を行った。その結果、TFTおよびTFDの半導体層の表面粗さを制御することにより、これらの半導体層の結晶状態にかかわらず、それぞれに要求されるデバイス特性を両立できることを見出した。

[0054] 具体的には、TFD（光センサーとして用いる光センサーTFD）では、半導体層の表面凹凸を大きくすることにより、半導体層に入射する光の反射を抑制して、明電流を増加させることができる。その結果、外光に対する感度、すなわち光に対するSN比（明暗での電流値比）を向上できる。一方、TFTでは、半導体層の表面凹凸が大きいと、信頼性（特にゲート耐圧）を低下させる要因となる。従って、半導体層の表面凹凸をより低減することが望ましい。

[0055] 本願発明は、上記知見に基づいてなされたものであり、TFDの半導体層の表面粗さをTFTの半導体層の表面粗さよりも大きくすることを特徴とする。これにより、TFDにおいては、明電流を増加させて、光の利用効率を高めることができ、TFTにおいては、高い信頼性を確保できる。本願発明の半導体装置は、特許文献2、3のように、各半導体層の結晶状態を異ならせる必要がないので、より簡便なプロセスで作製され得る。特に、非晶質半導体膜を結晶化させる際に生じる表面凹凸（結晶粒界部におけるリッジ）を利用してTFDの半導体層の表面粗さを増大させると、製造プロセスを簡略化できるので好ましい。

[0056] なお、上記表面凹凸は、レーザー光照射により半導体膜が一旦溶融した後、結晶核が生じ、その結晶核から順次固化する際に、溶融状態と固体状態の体積の違いにより、最後に固化が行なわれる結晶粒界部が山脈状に盛り上がったたり、三つ以上の結晶の境界となる三重点以上の点（多重点）では山状に盛り上がったたりすることにより形成される。本明細書では、半導体膜表面における、上記の山脈状または山状に盛り上がった部分を「リッジ」と称する。TF Tでは、従来、このようなリッジが半導体層表面（チャネル界面）に存在すると、界面特性や電界効果移動度の低下を引き起こしたり、リッジ先端部に電界が集中するため、ゲート絶縁膜の耐压特性が低下して信頼性が確保できなくなると考えられていた。このため、リッジを低減することは重要な課題と位置づけられ、リッジの低減を目的とした種々の試みが行われてきた。これに対し、本願発明では、このようなリッジを利用して、TF Dの特性を向上させるものである。

[0057] 具体的には、次のような方法（第1の方法）で、TF Tの半導体層の表面粗さの大きさとTF Dの半導体層の表面粗さの大きさとを異ならせる。

[0058] まず、基板上に非晶質半導体膜を形成する。次いで、非晶質半導体膜のうち後にTF Dの活性領域となる領域上のみを選択的に酸化膜（酸化物層）を設ける。続いて、基板の上方からレーザーを照射して、非晶質半導体膜の結晶化を行う。この結果、酸化物層で覆われた領域では、酸化物層で覆われていない領域よりも表面粗さが大きくなる。

[0059] なお、酸化物層で覆った状態でレーザー結晶化を行うと表面粗さが増大することは、本願発明者が、レーザー光照射における結晶質半導体膜の結晶性改善を目的として、種々のプロセスパラメータを検討している際に見出した知見である。表面凹凸が増大する理由は、完全には解明できていないが、レーザー照射における溶融固化の結晶成長過程において、酸素が半導体膜中に取り込まれることが、何らかの影響を与えていると考えている。なぜならば、酸化物層が無い状態でレーザー結晶化を行う場合に、レーザー照射時の雰囲気酸素を混入すると、同様に表面凹凸が大きくなる現象が見られ、酸素

の分圧を高めるにしたがって表面凹凸は大きくなっていくからである。

[0060] 上記の第1の方法の代わりに、次のような方法（第2の方法）を用いることもできる。まず、基板上に非晶質半導体膜を形成し、レーザー照射により非晶質半導体膜の全体を結晶化する。この後、後にTFDの活性領域となる領域上のみを選択的に酸化膜を設け、それ以外の領域上の自然酸化膜を除去する。次いで、不活性ガス雰囲気中でレーザー照射を行う。これにより、酸化膜で覆われていない領域のみが平坦化される。一方、酸化膜で覆われた領域では結晶化後の表面状態が維持されるか、あるいは表面粗さがより大きくなる。

[0061] 本明細書において、「表面粗さ」は、JIS B 0601-2001で規定されている算術平均粗さ R_a または最大高さ R_z を指すものとする。従って、少なくとも、TFDの半導体層の算術平均粗さ R_a がTFEの半導体層の算術平均粗さ R_a よりも大きいか、あるいは、TFDの半導体層の最大高さ R_z がTFEの半導体層の最大高さ R_z よりも大きければよい。これにより、TFDの半導体層の表面による光の反射を、TFEの半導体層の表面よりも低減できる。

[0062] より詳しく説明すると、本実施形態では、最大高さ R_z は、その表面に含まれるリッジの数（密度）にかかわらず、最も高いリッジの高さによって決まる。一方、算術平均粗さ R_a は、リッジが低い場合であっても、リッジの密度が高ければ大きくなる。なお、リッジの成長メカニズムを考慮すると、一般的に、リッジの密度が小さくなると（結晶粒径が大きくなると）リッジが高くなる傾向にある。

[0063] ここで、半導体層の表面に形成される個々のリッジが高くなるほど、そのリッジによる光の反射を抑制する効果が高くなるので、光センサーTFDの特性を高めることができる。従って、TFDの半導体層の表面の最大高さ R_z がTFEの半導体層の表面の最大高さ R_z よりも大きければ、算術平均粗さ R_a の大きさにかかわらず、上述したような効果を得ることができる。

[0064] また、半導体層の表面に形成されるリッジの密度が高くなるほど、すなわ

ち、算術平均粗さ R_a が大きくなるほど、光の反射を抑制する効果は高くなる。従って、TFDの半導体層の表面の算術平均粗さ R_a がTFTの半導体層の表面の算術平均粗さ R_a よりも大きければ、最大高さ R_z の大きさにかかわらず、上述したような効果を得ることができる。

[0065] ただし、TFDの半導体層の表面の算術平均粗さ R_a がTFTの半導体層の表面の算術平均粗さ R_a よりも大きく、かつ、TFDの半導体層の表面の最大高さ R_z がTFTの半導体層の表面の最大高さ R_z よりも大きいことがより好ましい。より確実に光の反射を抑制し、TFDのSN比を改善しつつ、TFTの信頼性を確保できるからである。

[0066] 上記第1および第2の方法で用いる酸化物層は、レーザー光に対して反射防止効果を有さないような厚さに設定されることが好ましい。反射防止効果を有する厚さに設定されると、半導体膜のうち酸化物層の下に位置する領域の表面に照射される実質的なエネルギーが大きくなる。このため、実質的なエネルギーの増加に起因して、半導体膜のうち酸化物層で覆われていない領域と酸化物層で覆われた領域とにおいて、結晶状態が異なってくる。このとき、酸化物層で覆われた領域に対してレーザー光の照射エネルギーを適正にすれば、酸化物層で覆われていない領域はエネルギー不足となり、良好な結晶状態が得られない。その結果、TFTの活性領域となる半導体層の結晶性は、TFDの活性領域となる半導体層に対して大きく劣ってしまい、所望のTFT性能が得られない。逆に、酸化物層で覆われていない領域に対してレーザー光の照射エネルギーを適正にすれば、酸化物層で覆われた領域はエネルギー過剰となり、良好な結晶状態のエネルギー域を超え、微結晶成分が混じった極端に劣悪な結晶状態となる。その結果、TFDの活性領域となる半導体層の結晶性は、TFTの活性領域となる半導体層に対して大きく劣ってしまい、所望のTFD性能が得られない。従って、酸化物層が反射防止膜として作用してしまうと、TFTの活性領域となる半導体層とTFDの活性領域となる半導体層とにおいて、その表面粗さを異ならせることはできるが、同時に結晶性も変化してしまい、結晶性と表面粗さとを別個に制御すること

は困難である。これに対し、反射防止効果を有さない厚さの酸化物層を用いると、酸化物層で覆われた領域に照射される実質的なエネルギーを増大させることなく、表面粗さのみを他の領域よりも大きくできる。従って、T F T およびT F Dの活性領域となる半導体層の結晶性を略同等としつつ、表面粗さのみを異ならせることが可能になる。

[0067] 一方、非晶質半導体膜上にキャップ層を設けてレーザー照射を行い、結晶化させる際にレーザー照射に起因して半導体膜に生じる表面凹凸を低減させる手法も提案されている（例えば特開2005-347560号公報など）。また、半導体膜上にキャップ層を設けた状態でレーザーを照射して、半導体膜を平坦化する手法も提案されている（例えば特開2007-288159号公報）。このような手法では、キャップ層の剛性を利用し、半導体膜の溶融固化による体積膨張によって形成されるリッジを無理やりに押さえようとするものであり、リッジを大きくするために利用される本発明の酸化物層とは目的が全く異なる。特に、これらのキャップ層においては、リッジを押さえ込むための剛性が大きなポイントであり、そのため、出来る限り硬い膜であること、膜厚が大きいことが望まれる。例えば、これらの手法では、キャップ層として、厚さが2 μ mや100nm~300nmといった非常に厚い膜を用いている。これに対し、本願発明における酸化物層は、リッジを押さえ込む効果を生じさせないことが重要であり、そのため、酸化物層の厚さは例えば30nm以下に設定される。また、酸化物層の剛性は低いほど良く、従って、その下の半導体膜の表面粗さの増大効果さえ得られれば、酸化物層は薄ければ薄いほど良い。

[0068] 第1および第2の何れの方法でも、非晶質半導体膜を形成する前に、T F Dの半導体層に基板裏面からの光を遮るように遮光層を形成してもよい。その場合、酸化膜のパターニングを、遮光層をマスクとして利用して基板の裏面から露光することによって自己整合的に行うことができる。これにより、フォトリソを削減できる。

[0069] 上述した第1の方法によってT F TおよびT F Dの半導体層が形成された

場合、TFTの半導体層の表面にもリッジが形成される。TFTの半導体層の表面に形成されているリッジの平均高さは、TFDの半導体層の表面に形成されているリッジの平均高さよりも小さい。

[0070] 第2の方法によってTFTおよびTFDの半導体層が形成された場合、TFTの半導体層の表面は実質的に平坦である。「実質的に平坦な表面」とは、平坦化処理を施された表面を指し、その表面粗さ（算術平均粗さ）Raは例えば3nm以下である。

[0071] 本実施形態では、TFTの半導体層の表面全体に亘って、表面粗さは略均一であることが好ましい。これにより、TFTの信頼性をより高めることができる。

[0072] また、TFTおよびTFDの半導体層の少なくとも一部の領域は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでいてもよい。

[0073] TFDは、TFDの半導体層のうちn型領域とp型領域との間に位置する真性領域をさらに含んでいてもよい。この場合、TFDの半導体層のうち少なくとも真性領域の表面粗さは、TFTの半導体層の表面粗さ（特にチャネル領域の表面粗さ）よりも大きいことが好ましい。

[0074] （第1実施形態）

以下、図面を参照しながら、本発明による半導体装置の第1の実施形態を説明する。本実施形態の半導体装置は、同一の基板上に形成されたnチャネル型TFTとTFDとを備えており、例えばセンサー部を備えたアクティブマトリクス型の表示装置として用いられる。

[0075] 図1は、本実施形態の半導体装置の一例を示す模式的な断面図である。本実施形態の半導体装置は、典型的には、同一基板上に設けられた複数のTFTおよび複数のTFDを有するが、ここでは、簡単のため、単一のTFTおよび単一のTFDのみの構成を図示している。また、TFTとして、シングルドレイン構造を有するnチャネル型TFTを例示しているが、TFTの構造はこれに限定されない。例えば、LDD構造またはGOLD構造のTFTを備えていてもよいし、nチャネル型TFTおよびpチャネル型TFTを有

む複数のＴＦＴを備えていてもよい。

[0076] 本実施形態の半導体装置は、基板１０１の上に下地膜１０３、１０４を介して形成された薄膜トランジスタ１２５と薄膜ダイオード１２６とを備えている。薄膜トランジスタ１２５は、チャネル領域１１６、ソース領域およびドレイン領域１１４を含む半導体層１０８と、半導体層１０８の上に設けられたゲート絶縁膜１１０と、チャネル領域１１６の導電性を制御するゲート電極１１１と、ソース領域およびドレイン領域１１４にそれぞれ接続された電極・配線１２３を有する。また、薄膜ダイオード１２６は、少なくともｎ型領域１１５とｐ型領域１１９とを含む半導体層１０９と、ｎ型領域１１５およびｐ型領域１１９にそれぞれ接続された電極・配線１２４とを有する。図示する例では、半導体層１０９におけるｎ型領域１１５とｐ型領域１１９との間に真性領域１２０が設けられている。

[0077] 薄膜トランジスタ１２５および薄膜ダイオード１２６の上には、層間絶縁膜として、窒化ケイ素膜１２１および酸化ケイ素膜１２２が形成されている。また、基板１０１として透光性を有する基板を用いる場合には、基板１０１の裏面から半導体層１０９に光が入射することを防止するために、薄膜ダイオード１２６の半導体層１０９と基板１０１との間に遮光膜１０２が設けられていてもよい。

[0078] 薄膜トランジスタ１２５の半導体層１０８および薄膜ダイオード１２６の半導体層１０９は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層である。また、薄膜ダイオード１２６の半導体層１０９の表面にはリッジが形成されている。リッジは、非晶質半導体膜にレーザー光を照射することによって結晶化させる際に、非晶質半導体膜が熔融固化する過程で生じたものであり、典型的には、半導体層１０９に含まれる結晶粒の境界上に存在する。

[0079] また、薄膜ダイオード１２６の半導体層１０９の表面粗さは、薄膜トランジスタ１２５の半導体層１０８の表面粗さよりも大きい。これにより、次のようなメリットがある。

- [0080] 薄膜ダイオード126の半導体層109の表面では、表面粗さが大きいので、入射光の反射が抑制され、光に対する感度が高まる。その結果、明電流が増加し、S/N比である明暗比を向上できる。なお、薄膜ダイオード126の半導体層109の算術平均粗さ R_a が例えば6nm以上および／または最大高さ R_z が60nm以上であれば、より効果的にS/N比を高めることができる。一方、薄膜トランジスタ125では、半導体層108の表面粗さを小さく抑えることにより（例えば算術平均粗さ R_a ：5nm以下および／または最大高さ R_z ：50nm以下）、ゲート絶縁膜の耐压特性やゲートバイアスストレスに対する信頼性を高めることができ、電界効果移動度も向上できる。
- [0081] このように、本実施形態によると、薄膜トランジスタ125の半導体層108と薄膜ダイオード126（特に光センサーTFD）の半導体層109との間で、結晶性を大きく異ならせることなく、表面粗さのみを異ならせることができる。従って、それぞれの素子特性を、それぞれの要求に応じて最適化できる。
- [0082] 半導体層108、109の表面粗さは特に限定されないが、例えば厚さが50nmの非晶質ケイ素半導体膜を用いて半導体層108、109を形成する場合、薄膜トランジスタ125の半導体層108の算術平均粗さ R_a は3～5nm、薄膜ダイオード126の半導体層109の算術平均粗さ R_a は6～10nmである。また、本実施形態における薄膜トランジスタ125の半導体層108の最大高さ（JIS B 0601-2001で規定されている最大高さ） R_z は30～50nm、薄膜ダイオード126の半導体層109の最大高さ R_z は60～100nmである。半導体層108、109の表面粗さが上記範囲内のとき、薄膜ダイオード126の光感度（明電流値）は、薄膜トランジスタ125と同等の表面粗さを有する半導体層を用いて形成された薄膜ダイオードの光感度よりも約1.3倍向上する。
- [0083] 本実施形態では、半導体層108、109の結晶性は互いに異なってもよいし、略同等であってもよい。薄膜トランジスタ125の半導体層10

8の結晶性と薄膜ダイオード126の半導体層109の結晶性とは略同等であれば、半導体層108、109の結晶状態を別個に制御する必要がないので、製造工程を複雑にすることなく、高信頼性および高性能の半導体装置が得られる。同様に、これらの半導体層108、109の平均結晶粒径は互いに異なってもよいし、略同等であってもよい。

[0084] 本実施形態の半導体装置は、例えば次のような方法で作製される。

[0085] まず、図2(A)に示すように、基板101上に遮光層102を形成し、続いて、下地膜として、窒化ケイ素膜103および酸化ケイ素膜104を形成する。この後、非晶質半導体膜（ここでは非晶質ケイ素膜）105を形成する。

[0086] 基板101として、低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いる。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。

[0087] 遮光層102は、TFDに対する基板裏面方向からの光を遮ることができるように配置される。遮光層102の材料としては、金属膜あるいはケイ素膜等を用いることができる。金属膜を用いる場合は、後の製造工程における熱処理を考慮し、高融点金属であるタンタル（Ta）やタングステン（W）、モリブデン（Mo）等が好ましい。本実施形態では、Mo膜をスパッタリングにより成膜し、パターニングして、遮光層102を形成する。遮光層102の厚さは20～200nm、好ましくは30～150nmである。本実施形態では、例えば100nmとする。

[0088] 窒化ケイ素膜103および酸化ケイ素膜104は、基板101からの不純物拡散を防ぐために設けられる。本実施形態では、これらの下地膜103、104をプラズマCVD法を用いて形成する。これらの下地膜103、104の合計厚さは100～600nm、好ましくは150～450nmである。本実施形態では、2層の下地膜を使用した。例えば酸化ケイ素膜の単層でも問題はない。

[0089] 非晶質ケイ素膜105は、プラズマCVD法やスパッタ法などの公知の方

法で形成される。本実施形態では、プラズマCVD法で厚さが50nmの非晶質ケイ素膜を形成する。下地膜103、104と非晶質ケイ素膜105とを同じ成膜法で形成する場合には、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

[0090] 次いで、図2(B)に示すように、非晶質ケイ素膜105のうちTFTの活性領域となる領域上のみには酸化ケイ素層（ここでは酸化ケイ素層）106を形成する。酸化ケイ素層106は、基板101全面に例えばプラズマCVD法を用いて酸化ケイ素膜を堆積し、これをパターニングすることによって得られる。ここでは、例えば厚さDが20nmの酸化ケイ素層106を形成する。

[0091] 続いて、図2(C)に示すように、基板101の上方から、非晶質ケイ素膜105にレーザー光107を照射することにより、非晶質ケイ素膜105を結晶化させる。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）やKrFエキシマレーザー（波長248nm）を適用できる。本実施形態では、波長が308nmのXeClエキシマレーザー光を利用する。レーザー光のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の結晶化を行う。このとき、ビームの一部が重なるようにして走査することが好ましい。これにより、非晶質ケイ素膜105の任意の一点において、複数回のレーザー照射が行われ、結晶状態の均一性を向上できる。

[0092] これにより、非晶質ケイ素膜105は瞬間的に熔融し固化する過程で結晶化されて結晶質ケイ素膜となる。結晶質ケイ素膜のうち酸化ケイ素層106で覆われた領域105bでは、酸化ケイ素層106で覆われていない領域105aよりも表面粗さが大きくなる。結晶質ケイ素膜の表面には、熔融固化過程で生じたリッジが形成されているが、酸化ケイ素層106で覆われた領

域 105b のリッジは領域 105a のリッジよりも高くなるからである。なお、領域 105b および領域 105a の結晶性や結晶粒の大きさは略同等である。

[0093] レーザー光 107 を照射する前に、酸化ケイ素層 106 で覆われていない領域の自然酸化膜を除去しておくことが好ましい。これにより、領域 105a のリッジの増大を抑制でき、表面粗さをより低減できる。また、レーザー光 107 の照射を、窒素等の不活性雰囲気中で行うと、領域 105a の表面粗さをより低減できるので好ましい。

[0094] 次いで、図 2 (D) に示すように、酸化ケイ素層 106 を除去した後、結晶質ケイ素膜の不要な領域を除去して素子間分離を行う。これにより、領域 105a を用いて後の TFT の活性領域（ソース・ドレイン領域、チャネル領域）となる半導体層 108 を形成し、領域 105b を用いて後の TFT の活性領域（ n^+ 型/ p^+ 型領域、真性領域）となる半導体層 109 を形成する。

[0095] 続いて、図 3 (E) に示すように、これらの島状半導体層 108 および 109 を覆うゲート絶縁膜 110 を形成した後、ゲート絶縁膜 110 の上に後の TFT のゲート電極 111 を形成する。

[0096] ゲート絶縁膜 110 としては、厚さ 20 ~ 150 nm の酸化ケイ素膜が好ましく、ここでは 100 nm の酸化ケイ素膜を用いた。

[0097] ゲート電極 111 は、スパッタ法または CVD 法などを用いてゲート絶縁膜 110 上に導電膜を堆積し、これをパターニングすることによって形成される。導電膜としては、高融点金属の W、Ta、Ti、Mo またはその合金材料のいずれかが望ましい。また、導電膜の厚さは 300 ~ 600 nm であることが好ましい。本実施形態では、窒素が微量に添加されたタンタル（厚さ：450 nm）を用いる。

[0098] 次に、図 3 (F) に示すように、後に TFT の活性領域となる半導体層 109 の一部を覆うように、ゲート絶縁膜 110 上にレジストからなるマスク 112 を形成する。そして、この状態で、基板 101 上方より n 型不純物（リン）113 を全面にイオンドーピングする。リン 113 は、ゲート絶縁膜

110をスルーして、半導体層108、109に注入される。この工程により、TFDの半導体層109において、レジストマスク112より露出している領域と、TFTの半導体層108において、ゲート電極111より露出している領域にリン113が注入される。レジストマスク112またはゲート電極111によって覆われている領域には、リン113はドーピングされない。これにより、TFTの半導体層108のうちリン113が注入された領域は、後のTFTのソース領域およびド레인領域114となり、ゲート電極111にマスクされてリン113が注入されない領域は、後にTFTのチャネル領域116となる。また、TFDの半導体層109のうちリン113が注入された領域は、後のTFDの n^+ 型領域115となる。

[0099] レジストマスク112を除去した後、図3（G）に示すように、後にTFDの活性領域となる半導体層109の一部と、後にTFTの活性領域となる半導体層108の全体とを覆うように、ゲート絶縁膜110上にレジストからなるマスク117を形成する。この状態で、基板101上方よりp型不純物（ボロン）118を全面にイオンドーピングする。このときのボロン118のイオンドーピングは、ゲート絶縁膜110をスルーし、半導体層109に注入される。この工程により、TFDの半導体層109において、レジストマスク117より露出している領域にボロン118が注入される。マスク117によって覆われている領域には、ボロン118はドーピングされない。これにより、TFDの半導体層109のうちボロン118が注入された領域は、後のTFDの p^+ 型領域119となり、ボロンもリンも注入されなかった領域が、後の真性領域120となる。

[0100] レジストマスク117を除去した後、不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。この熱処理により、TFTのソース・ド레인領域114やTFDの n^+ 型領域115及び p^+ 型領域119では、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンが活性化される。この熱処理は、一般的な加熱炉を用いてもよいが、RTA（Rapid Thermal Annealing）を用

いて行うことが好ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。

[0101] 続いて、図3（H）に示すように、層間絶縁膜として、窒化ケイ素膜121と酸化ケイ素膜122とをこの順で形成する。必要に応じて、半導体層108、109を水素化するための熱処理、例えば1気圧の窒素雰囲気あるいは水素混合雰囲気で350～450℃のアニールを行ってもよい。この後、層間絶縁膜121、122にコンタクトホールを形成する。次いで、層間絶縁膜122上およびコンタクトホール内部に金属材料からなる膜（例えば窒化チタンとアルミニウムとの二層膜）を堆積し、パターニングすることによりTFTの電極・配線123とTFD電極・配線124とを形成する。このようにして、薄膜トランジスタ125と薄膜ダイオード126とが得られる。なお、これらを保護する目的で、薄膜トランジスタ125と薄膜ダイオード126上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0102] 上記方法によると、製造工程を複雑化することなく、表面粗さの異なる半導体層108、109を形成できる。

[0103] 上記方法において、図2（B）に示す工程で形成される酸化物層（ここでは酸化ケイ素層106）の厚さ D （nm）は、酸化物層の屈折率を n 、レーザー光の波長を λ （nm）とすると、 $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように設定されていることが好ましい。これにより、酸化物層の反射防止効果を抑えて、酸化物層で覆われた領域105bと酸化物層で覆われていない領域105aとの結晶性の差を小さく抑えることができる。すなわち、これらの領域105a、105bの結晶状態は略同等とし、主に表面粗さのみを異ならせることが可能になる。本実施形態で用いた酸化ケイ素膜の屈折率 n は1.46であり、レーザー光の波長 λ は308nmなので、酸化ケイ素層106の厚さ D は26nm以下であることが好ましい。一方、酸化物層が薄すぎると、酸化物層で覆われた領域105bの表面粗さを十分に増大できないおそれがあるので、酸化物層の厚さ D は3nm以上であることが好ましい。

[0104] また、上記方法では、酸化物層として酸化ケイ素層 106 を形成しているが、酸化ケイ素層 106 の代わりに、酸化窒化ケイ素層などの他の酸化物からなる層を用いても同様の効果が得られる。

[0105] (第2実施形態)

以下、図面を参照しながら、本発明による第2実施形態を説明する。本実施形態の半導体装置の製造方法は、非晶質半導体膜を結晶化する際に触媒元素を用いる点、および、結晶化後に触媒元素をゲッタリングする工程を有する点で第1実施形態の製造方法と異なっている。

[0106] まず、図4(A)に示すように、基板201上に遮光層202、窒化ケイ素膜203、酸化ケイ素膜204および非晶質半導体膜(非晶質ケイ素膜)205をこの順で形成する。形成方法は、図2(A)を参照しながら前述した方法と同様である。次いで、非晶質ケイ素膜205の表面に触媒元素206を添加する。

[0107] 触媒元素206の添加は、例えば非晶質ケイ素膜205に対して、重量換算で例えば5ppmの触媒元素(本実施形態ではニッケル)を含む水溶液(酢酸ニッケル水溶液)をスピコート法で塗布することによって行う。触媒元素206としては、ニッケル(Ni)以外に、鉄(Fe)、コバルト(Co)、スズ(Sn)、鉛(Pb)、パラジウム(Pd)、銅(Cu)から選ばれた一種または複数種の元素を用いてもよい。これらの元素よりも触媒効果は小さいが、ルテニウム(Ru)、ロジウム(Rh)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、金(Au)等も触媒元素として機能する。このとき、ドーピングする触媒元素206の量は極微量であり、非晶質ケイ素膜205の表面上の触媒元素濃度は、全反射蛍光X線分析(TRXRF)法により、管理される。本実施形態では、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度である。本工程に先立って、スピコート時の非晶質ケイ素膜205表面の濡れ性向上のため、オゾン水等で非晶質ケイ素膜205表面をわずかに酸化させてもよい。

[0108] なお、本実施形態ではスピコート法でニッケルをドーピングする方法を用い

たが、蒸着法やスパッタ法などにより触媒元素 206 からなる薄膜（本実施形態の場合はニッケル膜）を非晶質ケイ素膜 205 上に形成してもよい。

[0109] 続いて、図 4（B）に示すように、非晶質ケイ素膜 205 の加熱処理を行い、触媒元素 206 を核として非晶質ケイ素膜 205 を固相結晶成長させる。これにより、第 1 の結晶質ケイ素膜 205 a を得る。

[0110] 加熱処理は、不活性雰囲気下、例えば窒素雰囲気にて、550～620℃の温度で30分～4時間行うことが好ましい。本実施形態では、一例として590℃にて1時間の加熱処理を行った。この加熱処理において、非晶質ケイ素膜 205 の表面に添加されたニッケル 206 が非晶質ケイ素膜 205 中に拡散すると共に、シリサイド化が起こり、それを核として非晶質ケイ素膜 205 の結晶化が進行する。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いる RTA（Rapid Thermal Annealing）装置で結晶化を行ってもよい。

[0111] 続いて、図 4（C）に示すように、第 1 の結晶質ケイ素膜 205 a のうち TFD の活性領域となる部分上だけに酸化ケイ素層 207 を形成する。酸化ケイ素層 207 の形成方法は、図 2（B）を参照しながら前述した方法と同様である。ここでは、酸化ケイ素層 207 の厚さ D を 15 nm とする。

[0112] 次いで、図 4（D）に示すように、第 1 の結晶質ケイ素膜 205 a にレーザー光 208 を照射する。ここでは、波長が 308 nm の XeCl エキシマレーザー光を用い、第 1 実施形態におけるレーザー照射（図 2（C））と同様の方法で行う。これにより、第 1 の結晶質ケイ素膜 205 a は再結晶化され、より高品質な第 2 の結晶質ケイ素膜となる。このとき、第 2 の結晶質ケイ素膜のうち酸化ケイ素層 207 で覆われた領域 205 c では、酸化ケイ素層 207 で覆われていない領域 205 b よりも表面粗さが大きくなる。

[0113] なお、第 1 の結晶質ケイ素膜 205 a のうち酸化ケイ素層 207 で覆われていない部分上に少しでも酸化膜が存在すると、レーザー光 208 の照射により、領域 205 b の表面粗さが大きくなってしまう。そこで、レーザー光 208 を照射する前に、酸化ケイ素層 207 で覆われていない部分上の自然

酸化膜を除去しておくことが好ましい。これにより、領域 205b の表面粗さがレーザー照射によって増大することを抑制できる。また、レーザー光 208 の照射を窒素等の不活性雰囲気中で行うと、領域 205b の表面粗さをより低減できるので好ましい。また、このときのレーザー光 208 の照射エネルギー密度は、第 1 の結晶質ケイ素膜 205a (図 4 (B)) の結晶状態がリセットされない範囲に設定されることが好ましい。これにより、レーザー光 208 は第 1 の結晶質ケイ素膜 205a に残留する非晶質領域や結晶欠陥のみに効果的に作用し、それらの結晶性を高めることができる。従って、結晶性に優れた均質な第 2 の結晶質ケイ素膜が得られる。

[0114] 次いで、図 5 (E) に示すように、酸化ケイ素層 207 を除去した後、第 2 の結晶質ケイ素膜のうち領域 205b を用いて後の TFT の活性領域となる半導体層 209 を形成し、領域 205c を用いて後の TFT の活性領域となる半導体層 210 を形成する。

[0115] この後、図 5 (F) に示すように、半導体層 209、210 上にゲート絶縁膜 211 を形成した後、半導体層 209 の一部と重なるように、TFT のゲート電極 212 を形成する。ゲート絶縁膜 211 およびゲート電極 212 の形成方法は、図 3 (E) を参照しながら前述した方法と同様である。

[0116] 続いて、図 5 (G) に示すように、ゲート絶縁膜 211 上に、半導体層 210 の一部と重なるようにフォトリソットによるマスク 213 を形成する。この状態で、半導体層 209、210 に n 型不純物（ここではリン）214 をドーピングする。ドーピング方法および条件は、図 3 (F) を参照しながら前述した方法および条件と同じである。これにより、半導体層 209 のうちゲート電極 212 と重なっていない部分にソース・ドレイン領域 215 が形成される。ゲート電極 212 と重なっていてリン 214 が注入されなかった領域はチャネル領域 217 となる。また、半導体層 210 のうちマスク 213 で覆われていない部分には n 型領域 216 が形成される。

[0117] この後、マスク 213 を除去し、図 6 (H) に示すように、新たに、半導体層 209 の全体と半導体層 210 の一部を覆うマスク 218 を形成する。

この状態で、半導体層 210 に対して p 型不純物（ホウ素）219 をドーピングする。ドーピング方法および条件は、図 3（G）を参照しながら前述した方法および条件と同じである。これにより、半導体層 210 のうちマスク 218 で覆われていない部分に p 型領域 220 が形成され、ホウ素もリンも注入されなかった領域は真性領域 221 となる。

[0118] 次いで、マスク 218 を除去し、熱処理を行う。この熱処理により、半導体層 209、210 のうち不純物（リン、ホウ素）が注入された領域を活性化させるとともに、図 6（I）に示すように、チャネル領域 217 および真性領域 221 に存在する触媒元素（ニッケル）を、矢印 222 に沿って、それぞれ、ゲッタリング作用を有するリンを含むソース・ドレイン領域 215 および n 型領域 216 へ移動させる（ゲッタリング）。従って、半導体層 209 のチャネル領域 217 および半導体層 210 の真性領域 221 におけるニッケル濃度は、それぞれ、ソース・ドレイン領域 215 および n 型領域 216 のニッケル濃度よりも低くなる。

[0119] 上記熱処理として、基板を一枚毎に高温雰囲気に移動し高温の窒素ガスを吹き付けることで高速昇降温を行う方式の RTA 処理を行うことが好ましい。処理条件としては、200℃/分を超える昇降温速度で昇降温を行い、例えば 650℃で 10 分の加熱処理を行なった。なお、上記方式以外に、一般的な拡散炉（ファーネス炉）やランプ加熱方式の RTA を用いてもよい。

[0120] 次いで、図 6（J）に示すように、層間絶縁膜として、プラズマ CVD 法を用いて窒化ケイ素膜 223 および酸化ケイ素膜 224 をこの順で形成する。ここで、必要に応じて、300～500℃で 30 分～4 時間程度の熱処理を行い、半導体層を水素化する工程を行ってもよい。この工程は、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFT 特性を劣化させる不對結合手（ダングリングボンド）を終端化し不活性化する工程である。例えば水素を約 3% 含む窒素雰囲気下で 410℃、1 時間の熱処理を行う。あるいは、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。この後、図 3（H）を参照しながら前述したように、層間絶縁膜 223

、２２４にコンタクトホールを形成し、電極・配線２２５、２２６を形成する。このようにして、薄膜トランジスタ２２７と薄膜ダイオード２２８とを得る。必要に応じて、薄膜トランジスタ２２７および薄膜ダイオード２２８上に保護膜を設けてもよい。

[0121] 本実施形態でも、前述の実施形態と同様に、酸化ケイ素層２０７の厚さ D （ nm ）は、酸化ケイ素層２０７の屈折率を n 、レーザー光の波長を λ （ nm ）とすると、 $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように設定されていることが好ましい。これにより、結晶質ケイ素膜の領域２０５ｂ、２０５ｃの結晶状態を略同等に保ちつつ、表面粗さのみを異ならせることが可能になる。本実施形態で用いた酸化ケイ素膜の屈折率 n は１．４６であり、レーザー光の波長 λ は３０８ nm なので、酸化ケイ素層２０７の厚さ D は２６ nm 以下であることが好ましい。

[0122] 本実施形態の半導体装置は、上記方法で形成されているので、薄膜ダイオード２２８の半導体層２１０の表面粗さを薄膜トランジスタ２２７の半導体層２０９の表面粗さよりも大きくすることができる。従って、例えば光センサーＴＦＤとして使用される薄膜ダイオード２２８では、半導体層２１０の表面による反射が抑制され、光に対する感度が高まる。その結果、明電流が増加し、ＳＮ比である明暗比が向上する。一方、薄膜トランジスタ２２７の半導体層２０９の表面粗さは小さく抑えられているので、ゲート絶縁膜の耐圧特性やゲートバイアスストレスに対する信頼性を高めることができ、電界効果移動度も向上できる。このように、薄膜トランジスタ２２７の半導体層２０９および薄膜ダイオード２２８の半導体層２１０の結晶性を大きく異ならせることなく、表面粗さのみを異ならせることによって、それぞれの素子特性を最適化することができる。

[0123] さらに、本実施形態では、半導体層２０９、２１０は触媒元素を利用して結晶化された結晶質半導体層である。このため、第１実施形態の半導体装置よりもトランジスタ特性を高めることができる。従って、薄膜ダイオード２２８を用いて回路を形成する場合には、回路部の集積化およびコンパクト化

を実現できる。また、表示装置において、薄膜ダイオード 228 を画素用のスイッチング素子として使用する場合には、画素部の開口率を改善できる。

[0124] (第 3 実施形態)

以下、図面を参照しながら、本発明による半導体装置の第 3 実施形態を説明する。本実施形態の半導体装置は、第 1 実施形態の半導体装置 (図 1) と同様の構成を有する。ただし、遮光層のパターンを利用して製造プロセスをより簡略化している点で第 1 実施形態と異なっている。

[0125] まず、図 7 (A) に示すように、基板 301 上に遮光層 302 をパターン形成し、下地膜として窒化ケイ素膜 303 と酸化ケイ素膜 304 とを形成する。続いて、非晶質ケイ素膜 305 を形成する。形成方法は、図 2 (A) を参照しながら前述した方法と同様である。

[0126] 続いて、図 7 (B) に示すように、非晶質ケイ素膜 305 の上に、例えばプラズマ CVD 法を用いて酸化ケイ素膜 (厚さ: 20 nm) 306 を堆積した後、フォトリソスト 307 を塗布する。次いで、フォトリソスト 307 に対して、基板 301 の裏面側から露光 308 を行う。このとき、フォトリソスト 307 のうち遮光層 302 と重なる部分は露光されない。

[0127] 露光後、フォトリソスト 307 を現像すると、図 7 (C) に示すように、遮光層 302 と同一のパターンを有するレジストマスク 309 が得られる。

[0128] 続いて、図 8 (D) に示すように、レジストマスク 309 を用いて酸化ケイ素膜 306 のパターニングを行うことにより、遮光層 302 と同一のパターンを有する島状の酸化ケイ素層 310 が得られる。この後、レジストマスク 309 を除去する。

[0129] 次いで、図 8 (E) に示すように、酸化ケイ素層 310 の上方からレーザー光 311 を照射する。このときのレーザー光 311 としては、波長 308 nm の XeCl エキシマレーザー光を利用する。また、レーザー光 311 のビームサイズは、基板 301 表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の結晶化を行う。これにより、非晶質ケイ素膜 305 は結晶化され、結晶質ケイ素膜が得

られる。結晶質ケイ素膜のうち酸化ケイ素層 310 で覆われた領域 305 b では、酸化ケイ素層 310 で覆われていない領域 305 a よりも表面粗さが大きくなる。なお、領域 305 b および領域 305 a の結晶性や結晶粒の大きさは略同等である。

[0130] 前述の実施形態と同様に、レーザー光 311 を照射する前に、非晶質ケイ素膜 305 のうち酸化ケイ素層 310 で覆われていない領域上の自然酸化膜を除去しておくことが好ましい。また、レーザー光 311 の照射は、窒素等の不活性雰囲気中で行うことが好ましい。これにより、領域 305 a の表面粗さをより低減することができる。

[0131] 続いて、酸化ケイ素層 310 を除去した後、図 8 (F) に示すように、結晶質ケイ素膜の領域 305 a を用いて後の TFT の活性領域となる半導体層 312 を形成し、領域 305 b を用いて後の TFT の活性領域となる半導体層 313 を形成する。

[0132] 図示しないが、この後、第 1 実施形態の図 3 (E) ~ 図 3 (H) を参照しながら前述した方法と同様の方法で、半導体層 312、313 を用いて、それぞれ TFT および TFT を作製する。

[0133] 本実施形態によると、第 1 実施形態と同様の効果が得られる。また、結晶質ケイ素膜の表面粗さを部分的に異ならせるために利用する酸化膜（酸化ケイ素膜）306 のパターニングを、遮光層 302 のパターンを利用して裏面露光により行うので、製造工程を短縮できる。具体的には、第 1 実施形態の方法よりもフォトマスクの使用枚数を 1 枚減らすことができる。従って、従来のプロセスと比べて、製造工程を大幅に増加することなく、本発明の効果が得られる。

[0134] (第 4 実施形態)

以下、本発明による第 4 実施形態を説明する。本実施形態の半導体装置の製造方法は、レーザー照射により非晶質半導体膜全体を結晶化させた後、得られた結晶質半導体膜のうち TFT の活性領域となる部分の表面のみを平坦化する点で、第 1 実施形態の製造方法と異なっている。

- [0135] 本実施形態では、まず、1回目のレーザー照射によって、非晶質ケイ素膜を全面的に一旦結晶化させて結晶質ケイ素膜を形成する。この時点では、結晶質ケイ素膜の表面全体に亘って略均一にリッジが存在する。続いて、結晶質ケイ素膜のうちTFDの活性領域となる部分上に酸化物層を設け、TFTの活性領域となる部分の表面のみにレーザー光を照射（2回目のレーザー照射）する。これにより、結晶質ケイ素膜のうちレーザー光によって照射された部分の表面が平坦化される。2回目のレーザー照射工程は、照射前の結晶状態を維持した状態で行われることが好ましい。これにより、TFTおよびTFDの半導体層の結晶性を略同等に制御しつつ、これらの半導体層の表面粗さのみを異ならせることが可能になる。また、2回目のレーザー照射によって結晶質ケイ素膜の表面を平坦化するので、第1実施形態におけるTFTの半導体層よりも表面粗さの小さい半導体層を形成できる。従って、TFTの電界効果移動度をさらに向上でき、かつ、信頼性も高めることができる。
- [0136] 本実施形態の製造方法の一例を、図面を参照しながら具体的に説明する。
- [0137] まず、図9（A）に示すように、基板401上に、遮光層402を形成した後、下地膜として窒化ケイ素膜403および酸化ケイ素膜404を形成する。続いて、非晶質半導体膜（ここでは非晶質ケイ素膜）405を形成する。形成方法は、図2（A）を参照しながら前述した方法と同様である。
- [0138] 次に、基板401の上方から、レーザー光406を照射して、非晶質ケイ素膜405を結晶化し、結晶質ケイ素膜405aを得る（1回目のレーザー照射）。図示するように、結晶質ケイ素膜405aの表面には、非晶質ケイ素膜405が溶融固化する過程で生じたリッジが存在する。
- [0139] レーザー光406を照射する前に、非晶質ケイ素膜405の表面をオゾン水等で薄膜酸化することが好ましい。これにより、表面粗さがより大きく、かつ、結晶性が良好な（例えば結晶粒径が大きい）結晶質ケイ素膜405aを得ることができる。薄膜酸化処理は、オゾン水を用いて非晶質ケイ素膜405の表面を洗浄する程度でもよい。また、レーザー光406の照射は、酸素を含む雰囲気で行うことが好ましい、これにより、結晶質半導体膜405

aの結晶性をより高める（結晶粒径をより大きくする）ことができる。

[0140] 続いて、図9（C）に示すように、結晶質ケイ素膜405aのうちTFDの活性領域となる部分上に島状の酸化物層（酸化ケイ素層）407を形成する。酸化ケイ素層407の形成は、図2（B）を参照しながら前述した方法と同様の方法で、酸化ケイ素膜を堆積し、これをパターニングすることによって行う。なお、酸化ケイ素膜のパターニングは、図7（B）～図8（D）を参照しながら前述した方法と同様に、遮光層402のパターンを利用した自己整合プロセスによって行ってもよい。酸化ケイ素層407の厚さは例えば20nmとする。

[0141] この状態で、基板401の上方から、結晶質ケイ素膜405aにレーザー光408を照射する（2回目のレーザー照射）。これにより、結晶質ケイ素膜405aのうち酸化ケイ素層407で覆われていない領域405bは、表面粗さが低減され、平坦化される。一方、酸化ケイ素層407で覆われた領域405cでは、1回目のレーザー照射後の表面粗さが維持される。あるいは、レーザー光408の照射エネルギーによっては、酸化ケイ素層407は、第1実施形態における酸化物層と同様の効果を発揮するため、領域405cの表面粗さをさらに増大させることができる。

[0142] 本実施形態では、レーザー光408として、波長が308nmのXeClエキシマレーザー光を利用する。また、レーザー光408のビームサイズは、基板401表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面を照射する。また、本工程における平坦化を目的とするレーザー光408の照射エネルギーは、結晶化を行うための1回目のレーザー照射の際の照射エネルギーと同等か、それよりも大きくなるように設定される。これよりも低いと、十分な平坦化効果が得られない。しかし、逆に高すぎると、1回目のレーザー照射により得られた結晶性がリセットされるため、1回目のレーザー照射の際の照射エネルギーに対して、 $+0\text{ mJ/cm}^2 \sim +30\text{ mJ/cm}^2$ であることが好ましい。

[0143] なお、前述の実施形態と同様に、酸化ケイ素層407の厚さD（nm）は

、酸化ケイ素層 407 の屈折率を n 、レーザー光の波長を λ (nm) とすると、 $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように設定されていることが好ましい。これにより、酸化ケイ素層 407 の反射防止効果を抑え、2 回目のレーザー照射による結晶性への影響を小さく抑えることができる。その結果、結晶質ケイ素膜の領域 405b、405c の結晶状態を略同等に保ちつつ、表面粗さのみを異ならせることが可能になる。本実施形態で用いた酸化ケイ素膜の屈折率 n は 1.46 であり、レーザー光の波長 λ は 308 nm なので、厚さ D は 26 nm 以下であることが好ましい。

[0144] 2 回目のレーザー光 408 を照射する前に、結晶質ケイ素膜 405a のうち酸化ケイ素層 407 で覆われていない領域上の自然酸化膜を除去しておくことが好ましい。これにより、領域 405b の表面粗さをより低減できる。また、2 回目のレーザー光 408 の照射を、窒素等の不活性雰囲気中で行うと、領域 405b の表面粗さをより低減できるので好ましい。

[0145] さらに、このときのレーザー光 408 のエネルギー密度は、結晶質ケイ素膜 405a の結晶状態が完全にリセットされない範囲に設定されることが好ましい。これにより、領域 405b および領域 405c の結晶性を略同等に、かつ、より高くできる。

[0146] 次に、酸化ケイ素層 407 を除去した後、図 9 (D) に示すように、結晶質ケイ素膜を島状分離し、領域 405b を用いて後の TFT の活性領域となる半導体層 409 を形成し、領域 405c を用いて後の TFT の活性領域となる半導体層 410 を形成する。

[0147] この後、図示しないが、第 1 実施形態の図 3 (E) ~ 図 3 (H) を参照しながら前述した方法と同様の方法で、半導体層 409、410 とを用いて、それぞれ TFT および TFT (光センサー TFT) を作製する。

[0148] 本実施形態によると、第 1 実施形態と同様の効果が得られる。すなわち、光センサー TFT では、半導体層 410 の表面による反射が抑制され、光に対する感度が高まる。その結果、明電流が増加し、SN 比である明暗比が向上する。TFT では、半導体層 409 の表面が平坦化されているので、ゲー

ト絶縁膜の耐压特性やゲートバイアスストレスに対する信頼性を高めることができ、電界効果移動度も向上できる。従って、TFTおよびTFDの素子特性をそれぞれの要求に応じて最適化できる。

[0149] また、本実施形態では、第1実施形態と異なり、一旦、表面粗さが大きく、かつ、結晶性に優れた結晶質ケイ素膜405aを形成した後、必要な部分だけを平坦化する。この方法によると、1回目のレーザー照射によって基板401全面にわたって均一かつ高い結晶性を有する結晶質ケイ素膜405aを形成し、この結晶質ケイ素膜405aを用いてTFTおよびTFDの半導体層409、410を得る。従って、これらの半導体層409、410の結晶性を略同等に制御できる。さらに、結晶性および表面粗さの2つのパラメータを、プロセス的に別々の工程で制御することができるので、工程制御や品質管理を行いやすいという利点もある。

[0150] このように、TFTおよびTFDの半導体層409、410の結晶状態を略同等に制御しつつ、表面粗さのみを異ならせることができるので、TFTおよびTFDの素子特性をそれぞれに要求される特性にさらに近づけることが可能になる。

[0151] 半導体層409、410の表面粗さは特に限定されないが、例えば厚さが50nmの非晶質ケイ素膜を用いる場合、TFTの活性領域となる半導体層409の算術平均粗さRaは1~3nm、最大高さRzは10~20nm、TFDの活性領域となる半導体層410の算術平均粗さRaは6~10nm、最大高さRzは60~100nmである。半導体層409、410の表面粗さが上記範囲内のとき、半導体層410を用いて形成されたTFDの光感度（明電流値）は、TFTと同等の表面粗さを有する半導体層を用いて形成された薄膜ダイオードの光感度よりも約1.5倍向上する。

[0152] （第5実施形態）

以下、本発明による第5実施形態を説明する。本実施形態の半導体装置の製造方法は、触媒元素を用いて結晶化させた結晶質半導体膜全体にレーザー光を照射して再結晶化させる点、および、再結晶化後の結晶質半導体膜のう

ちTF Tの活性領域となる部分の表面のみを平坦化する点で、第2実施形態の製造方法と異なっている。

[0153] 本実施形態では、非晶質ケイ素膜に触媒元素を用いて固相結晶化を行い、第1の結晶質ケイ素膜を得た後、レーザー光を照射し（1回目のレーザー照射）、第1の結晶質ケイ素膜の全体を一旦再結晶化させる。得られた第2の結晶質ケイ素膜は略均一な結晶性を有し、かつ、その表面全体に亘ってリッジが形成されている。この後、第2の結晶質ケイ素膜のうちTF Tの活性領域となる部分の表面のみにレーザー光を照射して平坦化する（2回目のレーザー照射）。2回目のレーザー照射工程は、照射前の結晶状態を維持した状態で行われることが好ましい。これにより、TF TおよびTF Dの半導体層の結晶性を略同等に制御しつつ、これらの半導体層の表面粗さのみを異ならせることが可能になる。また、2回目のレーザー照射によって結晶質ケイ素膜の表面を平坦化するので、第2実施形態におけるTF Tの半導体層よりも表面粗さの小さい半導体層を形成できる。従って、TF Tの電界効果移動度をさらに向上でき、かつ、信頼性も高めることができる。

[0154] 本実施形態の製造方法の一例を、図面を参照しながら具体的に説明する。

[0155] まず、図10（A）に示すように、基板501上に遮光層502をパターン形成した後、下地膜として、窒化ケイ素膜503および酸化ケイ素膜504を形成する。次いで、非晶質半導体膜（非晶質ケイ素膜）505を形成し、その表面に触媒元素（ここではニッケル）506を添加する。遮光層502、下地膜503、504、非晶質ケイ素膜505の形成方法、およびニッケル506の添加方法は、図4（A）を参照しながら前述した方法と同様である。

[0156] 次いで、図10（B）に示すように、非晶質ケイ素膜505に対して加熱処理を行い、ニッケル506を核として固相結晶成長させる。加熱処理は、図4（B）を参照しながら前述した方法と同様の方法で行う。これにより、第1の結晶質ケイ素膜505aを得る。

[0157] 続いて、図10（C）に示すように、基板501の上方から、第1の結晶

質ケイ素膜505aにレーザー光507を照射する（1回目のレーザー照射）。これにより、第1の結晶質ケイ素膜505aは再結晶化され、より高品質な第2の結晶質ケイ素膜505bとなる。第2の結晶質ケイ素膜505bの表面全体にはリッジ状の凹凸が存在する。レーザー光507としては、例えば波長が308nmのXeClエキシマレーザー光を用いることができる。レーザー光507のビームサイズは、基板501表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことにより、基板全面の再結晶化を行うことができる。

[0158] レーザー光507を照射する前に、結晶質ケイ素膜505aの表面をオゾン水等で薄膜酸化することが好ましい。これにより、表面粗さが大きく、かつ、より高い結晶性を有する（例えば結晶粒径が大きい）結晶質ケイ素膜505bを得ることができる。薄膜酸化処理は、オゾン水を用いて結晶質ケイ素膜505aの表面を洗浄する程度でもよい。また、レーザー光507の照射は、酸素を含む雰囲気中で行うことが好ましい、これにより、結晶質半導体膜505bの結晶性をより高める（結晶粒径をより大きくする）ことができる。

[0159] この後、図11（D）に示すように、第2の結晶質ケイ素膜505bのうちTFDの活性領域となる領域上に島状の酸化物層（ここでは酸化ケイ素層）508を形成する。酸化ケイ素層508の厚さDは20nmとする。酸化ケイ素層508の形成は、図2（B）を参照しながら前述した方法と同様の方法で、酸化ケイ素膜を堆積し、これをパターニングすることによって行う。なお、酸化ケイ素膜のパターニングは、図7（B）～図8（D）を参照しながら前述した方法と同様に、遮光層502のパターンを利用した自己整合プロセスによって行ってもよい。

[0160] この状態で、基板501の上方から、結晶質ケイ素膜505bにレーザー光509を照射する（2回目のレーザー照射）。これにより、結晶質ケイ素膜505bのうち酸化ケイ素層508で覆われていない領域505cでは、表面粗さが低減され、平坦化される。一方、酸化ケイ素層508で覆われた

領域505dでは、1回目のレーザー照射後の表面粗さが維持されるか、あるいは、レーザー光509の照射エネルギーによっては、表面粗さがさらに大きくなる。

[0161] 本工程における平坦化を目的とするレーザー光509の照射エネルギーは、1回目のレーザー照射の際の照射エネルギーと同等か、それよりも大きくなるように設定される。これよりも低いと、十分な平坦化効果が得られない。しかし、逆に高すぎると、1回目のレーザー照射により得られた結晶性がリセットされるため、1回目のレーザー照射の際の照射エネルギーに対して、 $+0\text{ mJ}/\text{cm}^2 \sim +30\text{ mJ}/\text{cm}^2$ であることが好ましい。

[0162] 本実施形態では、レーザー光509として、波長が308 nmのXeClエキシマレーザー光を利用する。また、レーザー光509のビームサイズは、基板501表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面を照射する。

[0163] なお、前述の実施形態と同様に、酸化ケイ素層508の厚さD (nm)、酸化ケイ素層508の屈折率nおよびレーザー光の波長 λ (nm)が $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように、厚さDを設定することが好ましい。これにより、酸化ケイ素層508の反射防止効果を抑え、2回目のレーザー照射による結晶性への影響を小さく抑えることができる。その結果、結晶質ケイ素膜の領域505c、505dの結晶状態を略同等に保ちつつ、表面粗さのみを異ならせることが可能になる。本実施形態で用いた酸化ケイ素膜の屈折率nは1.46であり、レーザー光の波長 λ は308 nmなので、厚さDは26 nm以下であることが好ましい。

[0164] 2回目のレーザー光509を照射する前に、結晶質ケイ素膜505bのうち酸化ケイ素層508で覆われていない領域上の自然酸化膜を除去しておくことが好ましい。これにより、領域505cの表面粗さをより低減できる。また、2回目のレーザー光509の照射を、窒素等の不活性雰囲気中で行うと、領域505cの表面粗さをより低減できるので好ましい。

[0165] さらに、このときのレーザー光509のエネルギー密度は、結晶質ケイ素

膜 5 0 5 b の結晶状態が完全にリセットされない範囲に設定されることが好ましい。これにより、領域 5 0 5 c および領域 5 0 5 d の結晶性を略同等に、かつ、より高くできる。

[0166] 酸化ケイ素層 5 0 8 を除去した後、図 1 1 (E) に示すように、結晶質ケイ素膜を島状分離し、領域 5 0 5 c を用いて後の T F T の活性領域となる半導体層 5 1 0 を形成し、領域 5 0 5 d を用いて後の T F D の活性領域となる半導体層 5 1 1 を形成する。

[0167] この後、図示しないが、第 2 実施形態における図 5 (F) ~ 図 6 (J) を参照しながら前述した方法と同様の方法で、半導体層 5 1 0、5 1 1 とを用いて、それぞれ T F T および T F D (光センサー T F D) を作製する。

[0168] 本実施形態によると、第 2 実施形態と同様の効果が得られる。すなわち、光センサー T F D では、半導体層 5 1 1 の表面による反射が抑制され、光に対する感度が高まる。その結果、明電流が増加し、S N 比である明暗比が向上する。T F T では、半導体層 5 1 0 の表面が平坦化されているので、ゲート絶縁膜の耐压特性やゲートバイアスストレスに対する信頼性を高めることができ、電界効果移動度も向上できる。従って、T F T および T F D の素子特性をそれぞれの要求に応じて最適化できる。さらに、半導体層 5 1 0、5 1 1 は触媒元素を利用して結晶化された結晶質半導体層である。このため、第 1 実施形態の半導体装置よりもトランジスタ特性を高めることができる。従って、本実施形態における T F T を用いて回路を形成する場合には、回路部の集積化およびコンパクト化を実現できる。また、表示装置において、本実施形態における T F T を画素用のスイッチング素子として使用する場合には、画素部の開口率を改善できる。

[0169] また、本実施形態では、第 2 実施形態と異なり、一旦、リッジによる表面粗さが大きく、かつ、結晶性に優れた結晶質ケイ素膜 5 0 5 b を形成した後、必要な部分だけを平坦化する。この方法によると、1 回目のレーザー照射によって基板 5 0 1 全面にわたって均一な結晶性を有する結晶質ケイ素膜 5 0 5 b を形成し、この結晶質ケイ素膜 5 0 5 b を用いて T F T および T F D

の半導体層 510、511を得る。従って、これらの半導体層 510、511の結晶性を略同等に制御できる。さらに、結晶性および表面粗さの2つのパラメータを、プロセス的に別々の工程で制御することができるので、工程制御や品質管理を行いやすいという利点もある。

[0170] このように、TFTおよびTFDの半導体層 510、511の結晶状態を略同等に制御しつつ、表面粗さのみを異ならせることができるので、TFTおよびTFDの素子特性をそれぞれに要求される特性にさらに近づけることが可能になる。

[0171] (第6実施形態)

以下、本発明による半導体装置の第6実施形態を説明する。前述の第1～第5実施形態では、本発明の基本形態をわかりやすく説明するために、Nチャネル型TFTと光センサーTFDとを同一基板上に形成する方法を例に、最もシンプルな構造の半導体装置の製造方法を説明した。ここでは、導電型や構成の異なる複数のTFTやTFDを同一基板上に備え、光センサー部と表示部とを有する電子機器に適用可能な半導体装置の製造方法を説明する。

[0172] 本実施形態の半導体装置は、光センサー機能を有する表示装置のアクティブマトリクス基板であり、複数のTFTを含む回路部と、複数の画素を含む画素部（表示領域ともいう）と、光センサーTFDを含む光センサー部とを同一基板上に備える。

[0173] 回路部は、Nチャネル型TFTおよびPチャネル型TFTを含む。本実施形態では、Nチャネル型TFTとして、ホットキャリア劣化に対する信頼性の高いGOLD（Gate overlapped LDD）構造のTFTを用いる。Pチャネル型TFTとしては、LDD領域を有さない、いわゆるシングルドレイン構造のTFTを用いる。

[0174] 画素部は、各画素に設けられ、スイッチング素子として機能するTFT（画素TFT）とそれに接続された補助容量とを含む。画素TFTとしては、オフ電流を低減するために、ゲート電極よりもソース・ドレイン領域側にオフセットして設けられたLDD領域を有するLDD構造のTFTを用いる。

また、ソース・ドレイン間に加わる電圧を分散させ、オフ電流をより効果的に抑制するためには、1つの半導体層に対して、2つのゲート電極を直列に配置する構造（デュアルゲート構造）を有することが好ましい。

[0175] 本実施形態では、同一の非晶質半導体膜を結晶化して得られた結晶質半導体膜を用いて、上記のTF₂TおよびTF₂Dの半導体層（活性領域）を形成している。また、非晶質半導体膜の結晶化工程あるいは結晶質半導体膜の平坦化工程において、結晶質半導体膜のうち光センサーTF₂Dの半導体層となる領域の表面粗さを他の領域よりも大きくする。従って、Nチャネル型TF₂Tの半導体層、Pチャネル型TF₂Tの半導体層、画素TF₂Tの半導体層及び補助容量部の下部電極となる半導体層の表面粗さは、何れも光センサーTF₂Dの半導体層の表面粗さよりも小さい。

[0176] 表面粗さの異なる半導体層の形成には、前述の第1～第5実施形態の方法の何れかを適用することができる。以下、一例として、第4実施形態の方法（図9）を適用して上記半導体装置を製造する方法を具体的に説明する。

[0177] まず、図12（A）に示すように、基板601上に遮光層602をパターン形成した後、下地膜として、窒化ケイ素膜603と酸化ケイ素膜604とを形成する。次いで、非晶質半導体膜（非晶質ケイ素膜）605を形成する。これらの膜の形成方法は、図2（A）を参照しながら前述した方法と同様である。

[0178] 続いて、図12（B）に示すように、基板601の上方から、非晶質ケイ素膜605にレーザー光606を照射して結晶化させ、結晶質ケイ素膜605aを得る（1回目のレーザー照射）。図示するように、結晶質ケイ素膜605aの表面には、リッジ状の表面凹凸が均一に形成されている。1回目のレーザー照射の方法および条件は、第4実施形態（図9（B））で説明した方法および条件と同様である。

[0179] 本実施形態でも、第4実施形態と同様に、レーザー光606を照射する前に、非晶質ケイ素膜605の表面をオゾン水等で薄膜酸化することが好ましい。また、レーザー光606の照射を酸素を含む雰囲気中で行うことが好ま

しい。これにより、結晶質ケイ素膜 605 a の結晶性をより高める（結晶粒径を大きくする）ことができる。

[0180] 次いで、図 12 (C) に示すように、結晶質ケイ素膜 605 a のうち TFD の活性領域となる部分上のみ島状の酸化物層（ここでは酸化ケイ素層）607 を形成する。ここでは、基板 601 全面に酸化ケイ素膜を形成し、これをパターニングすることにより酸化ケイ素層 607 を形成する。酸化ケイ素膜のパターニングは、図 7 (B) ~ 図 8 (D) を参照しながら前述した方法と同様に、遮光層 602 のパターンを利用した裏面露光を用いて行ってもよい。酸化ケイ素層 607 の厚さは例えば 20 nm とする。

[0181] この状態で、基板 601 の上方から結晶質ケイ素膜 605 a にレーザー光 608 を照射する（2 回目のレーザー照射）。これにより、結晶質ケイ素膜 605 a のうち酸化ケイ素層 607 で覆われていない部分では、表面粗さが低減（平坦化）された領域 605 b が形成される。一方、酸化ケイ素層 607 で覆われた部分では、1 回目のレーザー照射後の表面粗さが維持されるか、あるいは、レーザー光 608 の照射エネルギーによっては、表面粗さがさらに大きくなり、領域 605 b よりも表面粗さの大きい領域 605 c が形成される。

[0182] 本実施形態では、レーザー光 608 として、波長が 308 nm の XeCl エキシマレーザー光を利用する。また、レーザー光 608 のビームサイズは、基板 601 表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面を照射する。

[0183] 前述した第 4 実施形態と同様に、2 回目のレーザー光 608 を照射する前に、結晶質ケイ素膜 605 a のうち酸化ケイ素層 607 で覆われていない領域上の自然酸化膜を除去しておくことが好ましい。これにより、領域 605 b の表面粗さをより低減できる。また、2 回目のレーザー光 608 の照射を窒素等の不活性雰囲気中で行うと、領域 605 b の表面粗さをより低減できるので好ましい。

[0184] 次いで、酸化ケイ素層 607 を除去した後、図 13 (D) に示すように、

結晶質ケイ素膜のうち領域605bを用いて、後のNチャネル型TFETの活性領域となる半導体層609nと、後のPチャネル型TFETの活性領域となる半導体層609pと、後の画素TFETの活性領域となる半導体層と補助容量の下部電極となる半導体層609gとを形成する。また、領域605cを用いて、後の光センサーTFDの活性領域となる半導体層609dを形成する。

[0185] 続いて、図13(E)に示すように、これらの半導体層609n、609p、609g、609dを覆うようにゲート絶縁膜610を形成する。この後、ゲート絶縁膜610上に、フォトリソットによるドーピングマスク611n、611p、611g、611dを形成する。ドーピングマスク611nは、半導体層609nのうちチャネル領域となる部分を覆うように配置される。ドーピングマスク611gは、半導体層609gのうち補助容量となる部分以外を覆うように配置される。ドーピングマスク611p、611dは、それぞれ、半導体層609p、609dの全体を覆うように配置される。

[0186] この状態で、半導体層609n、609gのうちドーピングマスク611n、611gで覆われていない部分に第1の低濃度n型不純物（リン）612をドーピングする。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば70kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $2 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、Nチャネル型TFETの活性領域となる半導体層609nの一部（ソース・ドレイン領域およびLDD領域となる部分）に第1の低濃度n型領域613nが形成される。また、画素TFETの活性領域および補助容量となる半導体層609gの一部（補助容量となる部分）に第1の低濃度n型領域613gが形成される。それ以外の領域には低濃度のリン612は注入されない。

[0187] 続いて、ドーピングマスク611n、611p、611g、611dを除去した後、図13(F)に示すように、半導体層609n、609p上に、それぞれ、ゲート電極614n、614pを形成するとともに、半導体層6

09 g上に、2つのゲート電極614 gと、補助容量部の上部電極614 sとを形成する。この後、TFDの半導体層609 dの全体を覆うようにレジストマスク615を設ける。

[0188] ゲート電極614 nは、半導体層609 nのうちチャネル領域となる部分と、その両側の低濃度n型領域613 nの一部と重なるように配置される。ゲート電極614 pは、半導体層609 pのうちチャネル領域となる部分と重なるように配置される。ゲート電極614 gは、半導体層609 gのうちチャネル領域となる2つの部分とそれぞれ重なるように配置される。

[0189] この状態で、半導体層609 n、609 p、609 gに第2のn型不純物（リン）616を低濃度でドーピングする。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90 kV、例えば70 kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $2 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、これらの半導体層609 n、609 p、609 gのうちゲート電極614 n、614 p、614 gおよび上部電極614 sで覆われていない部分に、それぞれ、第2の低濃度n型領域617 n、617 p、617 gが形成される。

[0190] レジストマスク615を除去した後、図14（G）に示すように、半導体層609 p、609 g、609 d上に、それぞれ、新たにレジストマスク618 p、618 g、618 dを形成する。レジストマスク618 pは、半導体層609 pの全体を覆うように形成される。レジストマスク618 gは、半導体層609 g上の各ゲート電極614 g、および、第2の低濃度n型領域617 gのうち各ゲート電極614 gの両端に位置する部分を覆うように配置される。レジストマスク618 dは、半導体層609 dのうちn型領域となる部分以外を覆うように配置される。

[0191] この状態で、n型不純物（リン）619を高濃度でドーピングする。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90 kV、例えば70 kV、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、Nチャネル型TFETの活性領域となる半導体

層609nのうちゲート電極614nで覆われていない部分にソース・ドレイン領域620nが形成され、第2の低濃度n型領域のうちゲート電極614nで覆われてリン619が注入されなかった部分はGOLD領域621nとなる。GOLD領域621nに挟まれ、リンもホウ素も注入されていない部分はチャネル領域626nとなる。また、Pチャネル型TFETの活性領域となる半導体層609pにはリン619は注入されない。一方、画素TFETの活性領域および補助容量となる半導体層609gのうちレジストマスク618gで覆われておらず、高濃度でリン619が注入された部分は、ソース・ドレイン領域620gとなる。第2の低濃度n型領域のうちレジストマスク618gで覆われてリン619が注入されなかった部分はLDD領域622gとなる。また、半導体層609gのうちゲート電極614gで覆われた部分はチャネル領域626gとなり、上部電極614sで覆われた部分は第1の低濃度n型領域として残り、補助容量の下部電極621gとなる。さらに、TFETの活性領域となる半導体層609dのうちレジストマスク618dで覆われていない部分にはn型領域620dが形成される。

[0192] なお、本明細書では、ゲート電極によってオーバーラップされたLDD領域を「GOLD領域」と呼び、ゲート電極によってオーバーラップされていない（オフセットされている）LDD領域（単に「LDD領域」と呼ぶ）と区別する。

[0193] この後、レジストマスク618p、618g、618dを除去し、図14（H）に示すように、半導体層609n、609g、609d上に、それぞれ、新たにレジストマスク623n、623g、623dを形成する。レジストマスク623n、623gは、半導体層609n、609gの全体を覆うように形成される。レジストマスク623dは、半導体層609dのうちp型領域となる部分以外を覆うように配置される。

[0194] この状態で、p型不純物（ホウ素）624を高濃度でドーピングする。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を40kV～90kV、例えば75kVとし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば

$3 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、Pチャネル型TFTの活性領域となる半導体層609pでは、ゲート電極614pで覆われていない部分にソース・ドレイン領域625pが形成される。半導体層609pのうちゲート電極614pで覆われており、ホウ素624が注入されなかった部分はチャネル領域626pとなる。半導体層609n、609gには、高濃度のホウ素624は注入されない。TFDの半導体層609dでは、一部に高濃度のホウ素624が注入され、p型領域625dが形成される。半導体層609dのうちリンもホウ素も注入されていない部分は真性領域626dとなる。

[0195] 次いで、レジストマスク623n、623g、623dを除去した後、各半導体層に注入された不純物（リン、ホウ素）を活性化させるための熱処理を施す。活性化処理の方法および条件は、例えば第1実施形態（図3（G））で説明した方法および条件と同様であってもよい。

[0196] 続いて、図14（I）に示すように、層間絶縁膜として、窒化ケイ素膜627および酸化ケイ素膜628をこの順で形成する。必要であれば、水素化のための熱処理を行ってもよい。この後、図3（H）を参照しながら前述した方法と同様の方法で、層間絶縁膜627、628にコンタクトホールを形成し、電極・配線629n、629p、629g、629dを形成する。

[0197] このようにして、nチャネル型薄膜トランジスタ630、pチャネル型薄膜トランジスタ631、画素用の薄膜トランジスタ632、補助容量633、および薄膜ダイオード634が得られる。なお、回路を構成する薄膜トランジスタ630、631のゲート電極上にもコンタクトホールを設けて、基板上の他のTFTのソース・ドレイン領域またはゲート電極と、ソース・ドレイン配線を利用して接続してもよい。また、必要に応じて、これらの素子の上に保護膜を設けてもよい。

[0198] 本実施形態によると、前述した実施形態と同様に、薄膜ダイオード634の半導体層の表面粗さを薄膜トランジスタ630～632の半導体層の表面粗さよりも大きくできる。従って、薄膜ダイオード634では、光に対する感度を高くでき、SN比を向上できる。薄膜トランジスタ630～632で

は、信頼性を高めるとともに、電界効果移動度を向上できる。

[0199] また、補助容量 633 の下部電極 621g を構成する半導体層の表面粗さが小さく抑えられているので、容量部の耐圧特性を向上でき、その結果、容量のリークに起因する不良率の低減を図ることができる。

[0200] さらに、各半導体層の結晶性をほぼ同等に保ったまま、表面粗さのみを異ならせることが可能になるので、薄膜トランジスタ 630～632 および薄膜ダイオード 634 の素子特性を、それぞれの用途に応じて最適化することができる。

[0201] 本実施形態における半導体層 609n、609p、609g、609d の表面粗さは特に限定されないが、例えば厚さが 50nm の非晶質ケイ素膜を用いる場合、TFET の活性領域および容量部となる半導体層 609n、609p、609g の算術平均粗さ Ra は 1～3nm、最大高さ Rz は 10～20nm、TFD の活性領域となる半導体層 609d の算術平均粗さ Ra は 6～10nm、最大高さ Rz は 60～100nm である。これらの半導体層の表面粗さが上記範囲内のとき、半導体層 609d を用いて形成された薄膜ダイオード 634 の光感度（明電流値）は、薄膜トランジスタ 630～632 と同等の表面粗さを有する半導体層を用いて形成された薄膜ダイオードの光感度よりも約 1.5 倍向上する。

[0202] 上記方法のように、薄膜トランジスタ 630～632 のソース・ドレイン領域を形成するためのドーピング工程と、薄膜ダイオード 634 の n 型または p 型領域を形成するためのドーピング工程とを同時に行うと、製造工程をより簡略化できるので好ましい。特に、本実施形態のように、p チャネル型および n チャネル型の薄膜トランジスタ 630、631 を同時に形成する場合（CMOS 構成の TFET）、薄膜ダイオード 634 および薄膜トランジスタ 630 に対する n 型不純物のドーピング工程を同時に行い、かつ、薄膜ダイオード 634 および薄膜トランジスタ 631 に対する p 型不純物のドーピング工程を同時に行うことができるので、より有利である。

[0203] （第 7 実施形態）

本実施形態では、センサー機能を備えた表示装置を説明する。これらの表示装置は、上述した何れかの実施形態の半導体装置を用いて構成されている。

[0204] 本実施形態のセンサー機能を備えた表示装置は、例えば、タッチセンサー付きの液晶表示装置であり、表示領域と、表示領域の周辺に位置する額縁領域とを有している。表示領域は、複数の表示部（画素）と、複数の光センサー部とを有している。各表示部は、画素電極と、画素スイッチング用 T F T とを含んでおり、各光センサー部は T F D を含んでいる。額縁領域には、各表示部を駆動するための表示用の駆動回路が設けられており、駆動回路には駆動回路用 T F T が利用されている。画素スイッチング用 T F T および駆動回路用 T F T と、光センサー部の T F D とは、第 1 ～ 第 6 実施形態で説明したような方法により、同一基板上に形成されている。なお、本発明の表示装置では、表示装置に使用される T F T のうち少なくとも画素スイッチング用 T F T が、上記方法により、光センサー部の T F D と同一基板上に形成されていればよく、例えば駆動回路は、他の基板上に別途設けてもよい。

[0205] 本実施形態では、光センサー部は、対応する表示部（例えば原色の画素）に隣接して配置されている。1つの表示部に対して1つの光センサー部を配置してもよいし、複数の光センサー部を配置してもよい。または、複数の表示部のセットに対して光センサー部を1個ずつ配置してもよい。例えば、3つの原色（R G B）の画素からなるカラー表示画素に対して、1個の光センサー部を設けることができる。このように、表示部の数に対する光センサー部の数は（密度）は、分解能に応じて適宜選択できる。

[0206] 光センサー部の観察者側にカラーフィルターが設けられていると、光センサー部を構成する T F D の感度が低下するおそれがあるため、光センサー部の観察者側にはカラーフィルターが設けられていないことが好ましい。

[0207] なお、本実施形態の表示装置の構成は、上記に限定されない。例えば、光センサー用の T F D を額縁領域に配置して、外光の照度に応じて表示の明るさを制御するアンビニエントライトセンサーが付加された表示装置を構成す

ることにもできる。また、光センサー部の観察者側にカラーフィルターを配置して、カラーフィルターを介した光を光センサー部で受光することにより、光センサー部をカラーイメージセンサーとして機能させることもできる。

[0208] 以下、図面を参照しながら、本実施形態の表示装置の構成を、タッチパネルセンサーを備えたタッチパネル液晶表示装置を例に説明する。

[0209] 図15は、表示領域に配置される光センサー部の構成の一例を示す回路図である。光センサー部は、光センサー用薄膜ダイオード701と、信号蓄積用のコンデンサー702と、コンデンサー702に蓄積された信号を取り出すための薄膜トランジスタ703とを有する。RST信号が入り、ノード704にRST電位が書き込まれた後、光によるリークでノード704の電位が低下すると、薄膜トランジスタ703のゲート電位が変動してTFTゲートが開閉する。これにより、信号VDDを取り出すことができる。

[0210] 図16は、アクティブマトリクス方式のタッチパネル液晶表示装置の一例を示す模式的な断面図である。この例では、各画素に対して光センサー部を含む光タッチセンサー部が1個ずつ配置されている。

[0211] 図示する液晶表示装置は、液晶モジュール802と、液晶モジュール802の背面側に配置されたバックライト801とを備えている。ここでは図示していないが、液晶モジュール802は、例えば、光透性を有する背面基板と、背面基板に対向するように配置された前面基板と、これらの基板の間に設けられる液晶層とによって構成される。液晶モジュール802は、複数の表示部（原色の画素）を有しており、各表示部は、画素電極（図示せず）と、画素電極に接続された画素スイッチング用薄膜トランジスタ805とを有している。また、各表示部に隣接して、薄膜ダイオード806を含む光タッチセンサー部が配置されている。図示していないが、各表示部の観察者側にはカラーフィルターが配置されているが、光タッチセンサー部の観察者側にはカラーフィルターが設けられていない。薄膜ダイオード806およびバックライト801の間には遮光層807が配置されており、バックライト801からの光は遮光層807により遮光されて薄膜ダイオード806には入ら

ず、外光 804 のみが薄膜ダイオード 806 に入射する。この外光 804 の入射を薄膜ダイオード 806 でセンシングし、光センシング方式のタッチパネルが実現される。なお、遮光層 807 は、少なくとも、バックライト 801 の光が、薄膜ダイオード 806 のうち真性領域に入らないように配置されていけばよい。

[0212] 図 17 は、アクティブマトリクス方式のタッチパネル液晶表示装置における背面基板の一例を示す模式的な平面図である。本実施形態の液晶表示装置は、多数の画素（R、G、B 画素）から構成されるが、ここでは、簡略化のため 2 画素分のみを示す。

[0213] 背面基板 1000 は、それぞれが、画素電極 22 および画素スイッチング用薄膜トランジスタ 24 を有する複数の表示部（画素）と、各表示部に隣接して配置され、光センサーフォトダイオード 26、信号蓄積用のコンデンサー 28 および光センサー用フォロアー（*follower*）薄膜トランジスタ 29 を含む光タッチセンサー部とを備えている。

[0214] 薄膜トランジスタ 24 は、例えば第 3 実施形態で説明した TFT と同様の構成、すなわち 2 つのゲート電極および LDD 領域を有するデュアルゲート LDD 構造を有している。薄膜トランジスタ 24 のソース領域は画素用ソースバスライン 34 に接続され、ドレイン領域は画素電極 22 に接続されている。薄膜トランジスタ 24 は、画素用ゲートバスライン 32 からの信号によってオンオフされる。これにより、画素電極 22 と、背面基板 1000 に対向して配置された前面基板に形成された対向電極とによって液晶層に電圧を印加し、液晶層の配向状態を変化させることによって表示を行う。

[0215] 一方、光センサーフォトダイオード 26 は、例えば第 3 実施形態で説明した TFD と同様の構成を有し、 p^+ 型領域 26p、 n^+ 型領域 26n、およびそれらの領域 26p、26n の間に位置する真性領域 26i とを備えている。信号蓄積用のコンデンサー 28 は、ゲート電極層と Si 層とを電極とし、ゲート絶縁膜で容量を形成している。光センサーフォトダイオード 26 における p^+ 型領域 26p は、光センサー用 RST 信号ライン 36 に接続され、 n^+ 型

領域 26 n は、信号蓄積用のコンデンサー 28 における下部電極（S i 層）に接続され、このコンデンサー 28 を経て光センサー用 RWS 信号ライン 38 に接続されている。さらに、n⁺型領域 26 n は、光センサー用フォロアー薄膜トランジスタ 29 におけるゲート電極層に接続されている。光センサー用フォロアー薄膜トランジスタ 29 のソースおよびドレイン領域は、それぞれ、光センサー用 VDD 信号ライン 40、光センサー用 COL 信号ライン 42 に接続されている。

[0216] このように、光センサーフォトダイオード 26、信号蓄積用のコンデンサー 28、および光センサー用フォロアー薄膜トランジスタ 29 は、それぞれ、図 15 に示す駆動回路の薄膜ダイオード 701、コンデンサー 702、薄膜トランジスタ 703 に対応しており、光センサーの駆動回路を構成している。この駆動回路による光センシング時の動作を以下に説明する。

[0217] （１）まず、RWS 信号ライン 38 により、信号蓄積用のコンデンサー 28 に RWS 信号が書き込まれる。これにより、光センサーフォトダイオード 26 における n⁺型領域 26 n の側にプラス電界が生じ、光センサーフォトダイオード 26 に関して逆バイアス状態となる。（２）基板表面のうち光が照射されている領域に存在する光センサーフォトダイオード 26 では、光リークが生じて RST 信号ライン 36 の側に電荷が抜ける。（３）これにより、n⁺型領域 26 n の側の電位が低下し、その電位変化により光センサー用フォロアー薄膜トランジスタ 29 に印加されているゲート電圧が変化する。（４）光センサー用フォロアー薄膜トランジスタ 29 のソース側には VDD 信号ライン 40 より VDD 信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続された COL 信号ライン 42 へ流れる電流値が変化するため、その電気信号を COL 信号ライン 42 から取り出すことができる。（５）COL 信号ライン 42 から RST 信号を光センサーフォトダイオード 26 に書き込み、信号蓄積用のコンデンサー 28 の電位をリセットする。上記（１）～（５）の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。

- [0218] 本実施形態のタッチパネル液晶表示装置における背面基板の構成は図１７に示す構成に限定されない。例えば、各画素スイッチング用ＴＦＴに補助容量（ C_s ）が設けられていてもよい。また、図示する例では、ＲＧＢ画素のそれぞれに隣接して光タッチセンサー部が設けられているが、上述したように、ＲＧＢ画素からなる３つの画素セット（カラー表示画素）に対して１つの光タッチセンサー部が配置されていてもよい。
- [0219] ここで、再び図１６を参照する。上述してきた例では、図１６に示す断面図からわかるように、薄膜ダイオード８０６を表示領域に配置して、タッチセンサーとして利用しているが、薄膜ダイオード８０６を表示領域の外に形成し、バックライト８０１の輝度を、外光８０４の照度に合わせてコントロールするためのアンビニエントライトセンサーとして利用することもできる。
- [0220] 図１８は、アンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。液晶表示装置２０００は、表示領域５２、ゲートドライバ５６、ソースドライバ５８および光センサー部５４を有するＬＣＤ基板５０と、ＬＣＤ基板５０の背面側に配置されたバックライト６０とを備えている。ＬＣＤ基板５０のうち表示領域５２の周辺に位置し、ドライバ５６、５８や光センサー部５４が設けられている領域を「額縁領域」と呼ぶこともある。
- [0221] バックライト６０の輝度は、バックライト制御回路（図示せず）によって制御されている。また、図示しないが、表示領域５２およびドライバ５６、５８には、ＴＦＴが利用されており、光センサー部５４にはＴＦＤが利用されている。光センサー部５４は、外光の照度に基づく照度信号を生成し、フレキシブル基板を用いた接続を利用してバックライト制御回路に入力する。バックライト制御回路では、この照度信号に基づいてバックライト制御信号を生成し、バックライト６０に出力する。
- [0222] なお、本発明を適用すると、アンビニエントライトセンサー付き有機ＥＬ表示装置を構成することもできる。そのような有機ＥＬ表示装置は、図１８に示す液晶表示装置と同様に、同一の基板上に表示部と光センサー部とが配

置された構成を有することができるが、基板の背面側にバックライト 60 を設ける必要がない。この場合には、光センサー部 54 を、基板 50 に設けられた配線によってソースドライバ 58 に接続し、光センサー部 54 からの照度信号をソースドライバ 58 に入力する。ソースドライバ 58 は、照度信号に基づいて表示部 52 の輝度を変化させる。

[0223] 以上、本発明の具体的な実施形態について説明を行なったが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明の T F T を用いて、ガラス基板上にアナログ駆動を行うための回路やデジタル駆動を行うための回路も同時構成できる。例えば、アナログ駆動を行なう回路の場合、ソース側駆動回路、画素部およびゲート側駆動回路を有し、ソース側駆動回路は、シフトレジスタ、バッファ、サンプリング回路（トランスファゲート）、また、ゲート側駆動回路は、シフトレジスタ、レベルシフタ、バッファが設けられる。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。また、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成し得る。

[0224] 本発明によると、それぞれの半導体素子に最適な半導体膜を用いて、良好な特性を有する T F T と T F D とを同一基板上に備える半導体装置が得られる。従って、駆動回路に用いられる T F T と画素電極をスイッチングするための T F T として、高い電界効果移動度及び ON / OFF 比を有する T F T と、光センサーとして用いられる、暗電流値が低く、光に対する S N 比（明暗での電流値比）の高い T F D とを、同一の製造工程で作製できる。特に、これらの半導体層の中でも、T F T の電界効果移動度を大きく左右するチャネル領域と、T F D の光感度に大きく影響する真性領域との表面凹凸をそれぞれ最適化することにより、それぞれの半導体素子に最適な素子特性を実現できる。さらに、このような高性能な半導体装置をより簡便な方法で製造でき、製品のコンパクト化、高性能化だけでなく、低コスト化も実現できる。

産業上の利用可能性

[0225] 本発明は、TFTおよびTFDを備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に広く適用できる。例えば、本発明を、アクティブマトリクス型液晶表示装置や有機EL表示装置におけるCMOS回路や画素部に適用してもよい。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、本発明は、液晶表示装置や有機EL表示装置が組み込まれた電子機器全てに適用され得る。

[0226] 本発明は、特に、アクティブマトリクス型の液晶表示装置および有機EL表示装置などの表示装置、イメージセンサー、光センサー、またはそれらを組み合わせた電子機器に好適に利用できる。特に、TFDを利用した光センサー機能付きの表示装置、またはそのような表示装置を備えた電子機器に本発明を適用すると有利である。また、TFDを利用した光センサーと、TFTを利用した駆動回路とを備えたイメージセンサーに適用することもできる。

符号の説明

[0227]	101	基板
	102	遮光層
	103、104	下地膜
	105	非晶質ケイ素膜
	105a、105b	結晶質ケイ素膜の領域（結晶化領域）
	108、109	島状半導体層
	110	ゲート絶縁膜
	111	ゲート電極
	112、117	マスク
	113	n型不純物（リン）
	114	ソース・ドレイン領域
	115	n ⁺ 型領域
	116	チャネル領域

1 1 8	p 型不純物（ホウ素）
1 1 9	p ⁺ 型領域
1 2 0	真性領域
1 2 1、1 2 2	層間絶縁膜
1 2 3	薄膜トランジスタの電極・配線
1 2 4	薄膜ダイオードの電極・配線
1 2 5	薄膜トランジスタ
1 2 6	薄膜ダイオード

請求の範囲

- [請求項1] チャネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタ、および
- 少なくとも n 型領域と p 型領域とを含む半導体層を有する薄膜ダイオード
- を備えた半導体装置であって、
- 前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、
- 前記薄膜ダイオードの半導体層の表面にはリッジが形成されており、
- 前記薄膜ダイオードの半導体層の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きい半導体装置。
- [請求項2] 前記薄膜トランジスタの半導体層の結晶性と、前記薄膜ダイオードの半導体層の結晶性とは、略同等である請求項 1 に記載の半導体装置。
- [請求項3] 前記薄膜トランジスタの半導体層の平均結晶粒径と、前記薄膜ダイオードの半導体層の平均結晶粒径とは、略同等である請求項 1 または 2 に記載の半導体装置。
- [請求項4] 前記薄膜ダイオードの半導体層の表面の算術平均粗さ R_a は、前記薄膜トランジスタの半導体層の表面の算術平均粗さ R_a よりも大きい請求項 1 から 3 のいずれかに記載の半導体装置。
- [請求項5] 前記薄膜ダイオードの半導体層の表面の最大高さ R_z は、前記薄膜トランジスタの半導体層の表面の最大高さ R_z よりも大きい請求項 1 から 4 のいずれかに記載の半導体装置。
- [請求項6] 前記薄膜トランジスタの半導体層の表面にはリッジが形成されてお

り、

前記薄膜トランジスタの半導体層の表面に形成されているリッジの平均高さは、前記薄膜ダイオードの半導体層の表面に形成されているリッジの平均高さよりも小さい請求項 1 から 5 のいずれかに記載の半導体装置。

[請求項7] 前記薄膜トランジスタの半導体層の表面は実質的に平坦である請求項 1 から 5 のいずれかに記載の半導体装置。

[請求項8] 前記リッジは、前記半導体層に含まれる結晶粒の境界上に存在する請求項 1 から 7 のいずれかに記載の半導体装置。

[請求項9] 前記リッジは、前記半導体層における 3 つ以上の結晶粒の境界となる点に形成された、山状に盛り上がった部分を含む請求項 8 に記載の半導体装置。

[請求項10] 前記薄膜トランジスタの半導体層の表面全体に亘って、表面粗さは均一である請求項 1 から 9 のいずれかに記載の半導体装置。

[請求項11] 前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層の少なくとも一部の領域は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含む請求項 1 から 10 のいずれかに記載の半導体装置。

[請求項12] 前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記 n 型領域と前記 p 型領域との間に位置する真性領域をさらに含み、

前記薄膜ダイオードの半導体層において、少なくとも前記真性領域の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きい請求項 1 から 11 のいずれかに記載の半導体装置。

[請求項13] 前記薄膜トランジスタは、n チャネル型薄膜トランジスタおよび p チャネル型薄膜トランジスタを含む複数の薄膜トランジスタである請求項 1 から 12 のいずれかに記載の半導体装置。

[請求項14] (a 1) 表面に非晶質半導体膜が形成された基板を用意する工程と

、

(b) 前記非晶質半導体膜の一部上に酸化物層を形成する工程と、
(c) 前記酸化物層の上方から前記非晶質半導体膜にレーザー光を照射して結晶化させることにより、前記非晶質半導体膜のうち前記酸化物層で覆われていない部分を結晶化させた第1結晶化領域と、前記酸化物層で覆われた部分を結晶化させた、前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域とを含む結晶質半導体膜を得る工程と、
(d) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層と、後に薄膜ダイオードの活性領域となる第2の島状半導体層とを形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程と
を包含する半導体装置の製造方法。

[請求項15]

(a 1) 表面に非晶質半導体膜が形成された基板を用意する工程と、
(a 2) 前記非晶質半導体膜にレーザー光を照射して、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、
(b) 前記結晶質半導体膜の一部上に酸化物層を形成する工程と、
(c) 前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分の表面粗さを小さくすることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分から第1結晶化領域を形成し、前記酸化物層で覆われた部分から前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域を形成する工程と、
(d) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半

導体層は前記第2結晶化領域を含む工程と
を包含する半導体装置の製造方法。

- [請求項16] (a 1) 表面に非晶質半導体膜が形成された基板を用意する工程と、
、
 (a 2') 前記非晶質半導体膜の少なくとも一部に結晶化を促進する触媒元素を添加した後、加熱処理を行って、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、
 (b) 前記結晶質半導体膜の一部上に酸化物層を形成する工程と、
 (c) 前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射してさらに結晶化させる、あるいは再結晶化させることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分を結晶化させた第1結晶化領域と、前記酸化物層で覆われた部分を結晶化させた、前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域とを含む結晶質半導体膜を得る工程と、
 (d) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程と
を包含する半導体装置の製造方法。

- [請求項17] (a 1) 表面に非晶質半導体膜が形成された基板を用意する工程と、
、
 (a 2') 前記非晶質半導体膜の少なくとも一部に結晶化を促進する触媒元素を添加した後、加熱処理を行って、前記非晶質半導体膜を結晶化させて結晶質半導体膜を得る工程と、
 (a 3') 前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜をさらに結晶化させる、あるいは再結晶化させる工程と、
 (b) 前記結晶質半導体膜の一部上に酸化物層を形成する工程と、

(c) 前記酸化物層の上方から前記結晶質半導体膜にレーザー光を照射して、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分の表面粗さを小さくすることにより、前記結晶質半導体膜のうち前記酸化物層で覆われていない部分から第1結晶化領域を形成し、前記酸化物層で覆われた部分から前記第1結晶化領域よりも表面粗さの大きい第2結晶化領域を形成する工程と、

(d) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記第1結晶化領域を含み、前記第2の島状半導体層は前記第2結晶化領域を含む工程と
を包含する半導体装置の製造方法。

[請求項18] 前記工程(c)の前に、前記非晶質半導体膜のうち前記酸化物層で覆われていない部分上に形成された自然酸化膜を除去する工程をさらに含む請求項14から17のいずれかに記載の半導体装置の製造方法。

[請求項19] 前記工程(c)は、窒素などの不活性ガス雰囲気中にて行われる請求項14から18のいずれかに記載の半導体装置の製造方法。

[請求項20] 前記基板は透光性を有する基板であり、
前記工程(a)は、
前記基板のうち、後に薄膜ダイオードの活性領域となる第2の島状半導体層が形成される領域の下部となる部分に、前記基板の反対側の表面から入射する光を遮光するための遮光層を形成する工程と、
前記遮光層が形成された基板上に前記非晶質半導体膜を形成する工程と
を含み、
前記工程(b)は、
前記非晶質半導体膜あるいは前記結晶質半導体膜上に酸化膜を形

成する工程（b 1）と、

前記酸化膜上にレジスト膜を形成し、これを露光・現像してレジスト層を形成する工程（b 2）と、

前記レジスト層をマスクとして前記酸化膜をエッチングすることにより、前記酸化物層を得る工程（b 3）と

を含み、

前記工程（b 2）は、前記遮光層をマスクとして、前記基板の前記反対側の表面から前記レジスト膜を露光する工程を含む請求項 14 から 19 のいずれかに記載の半導体装置の製造方法。

[請求項21] 前記工程（b）において、前記酸化物層の厚さ D （単位：nm）は、前記酸化物層の屈折率を n 、前記工程（c）における前記レーザー光の波長を λ （単位：nm）とすると、 $D \leq \lambda / (4 \times n) \times 0.5$ を満足するように設定される請求項 14 から 20 のいずれかに記載の半導体装置の製造方法。

[請求項22] 前記工程（a 2）の前に、前記非晶質半導体膜の表面を薄膜酸化する工程をさらに含む請求項 15 に記載の半導体装置の製造方法。

[請求項23] 前記工程（a 2）は、酸素を含む雰囲気中にて行われる請求項 15 または 22 に記載の半導体装置の製造方法。

[請求項24] 前記工程（c）において、前記工程（a 2）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う請求項 15、22 または 23 に記載の半導体装置の製造方法。

[請求項25] 前記工程（c）において、前記工程（a 2'）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う請求項 16 に記載の半導体装置の製造方法。

[請求項26] 前記工程（a 3'）の前に、前記非晶質半導体膜の表面を薄膜酸化する工程をさらに含む請求項 17 に記載の半導体装置の製造方法。

- [請求項27] 前記工程（a 3'）は、酸素を含む雰囲気中にて行われる請求項 17 または 26 に記載の半導体装置の製造方法。
- [請求項28] 前記工程（c）において、前記工程（a 3'）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う請求項 17、26 または 27 に記載の半導体装置の製造方法。
- [請求項29] 前記工程（a 3'）において、前記工程（a 2'）で得られた前記結晶質半導体膜の結晶状態が完全にリセットされない照射エネルギー密度で、前記レーザー光の照射を行う請求項 17、26、27 または 28 に記載の半導体装置の製造方法。
- [請求項30] 前記工程（a 2'）で使用される前記触媒元素はニッケルである請求項 16 または 17 に記載の半導体装置の製造方法。
- [請求項31] 複数の表示部を有する表示領域と、
前記表示領域の周辺に位置する額縁領域と
を備えた表示装置であって、
薄膜ダイオードを含む光センサー部をさらに備え、
各表示部は電極および前記電極に接続された薄膜トランジスタを有し、
前記薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、
前記薄膜トランジスタは、チャネル領域、ソース領域およびドレイン領域を含む結晶質半導体層と、前記結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャネル領域の導電性を制御するゲート電極とを含み、
前記薄膜ダイオードは、少なくとも n 型領域と p 型領域とを含む結晶質半導体層を含み、
前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された

結晶質半導体層であり、

前記薄膜ダイオードの半導体層の表面にはリッジが形成されており

、

前記薄膜ダイオードの半導体層の表面粗さは、前記薄膜トランジスタの半導体層の表面粗さよりも大きい表示装置。

[請求項32]

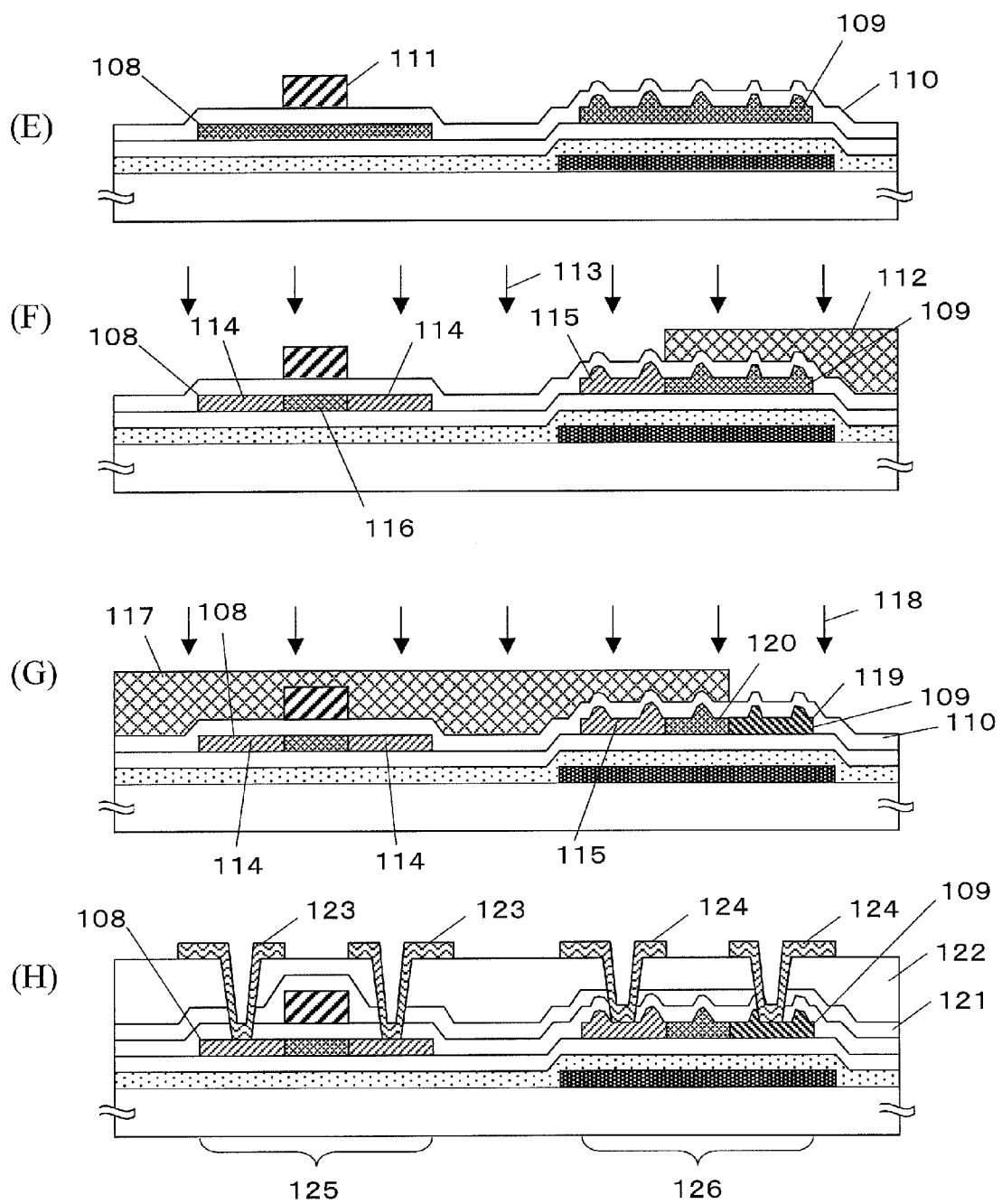
前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさらに備え、

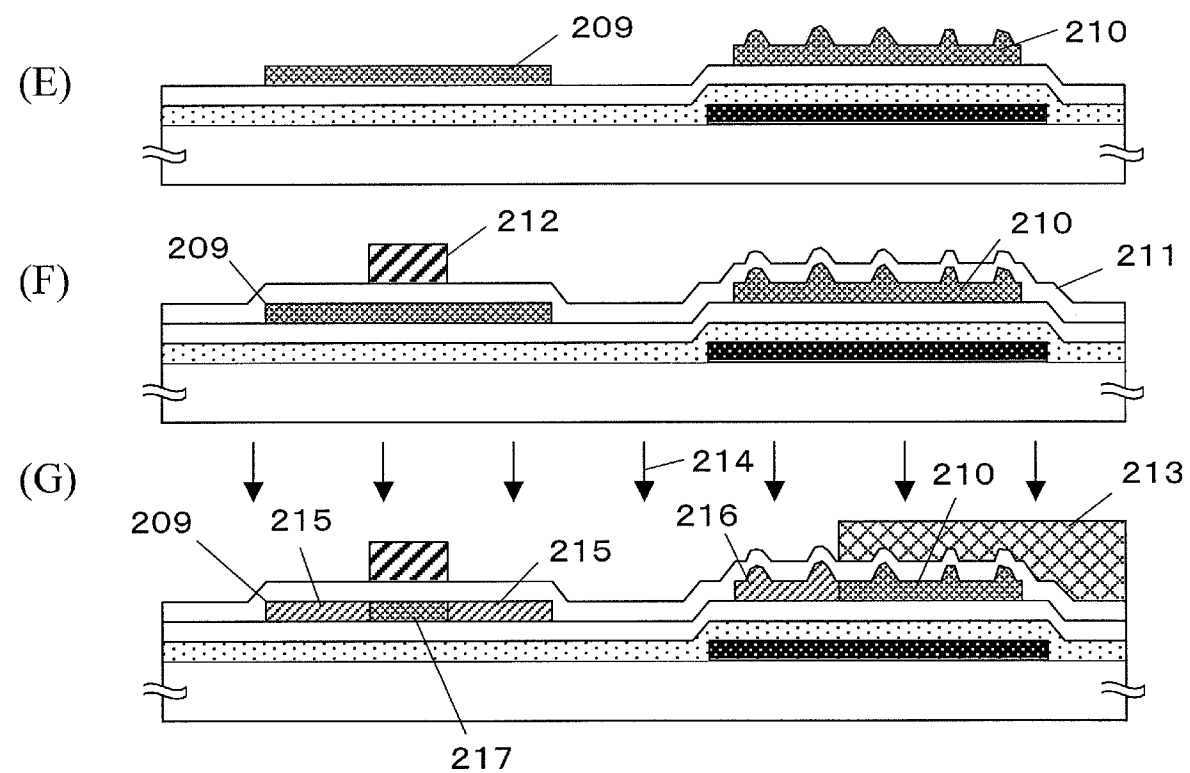
前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する請求項31に記載の表示装置。

[請求項33]

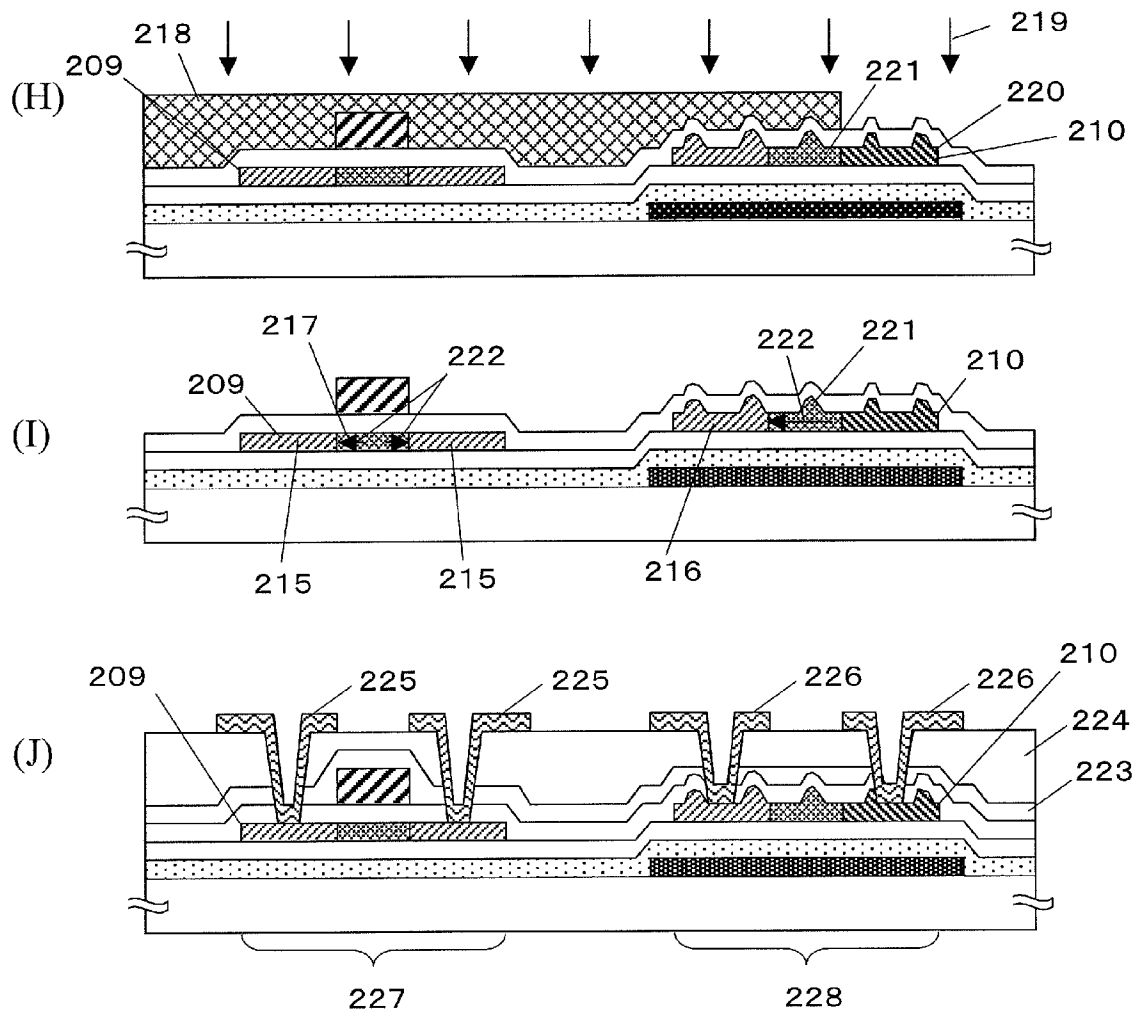
それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または2以上の表示部からなるセットに対応して前記表示領域に配置されている請求項31に記載の表示装置。

[図3]

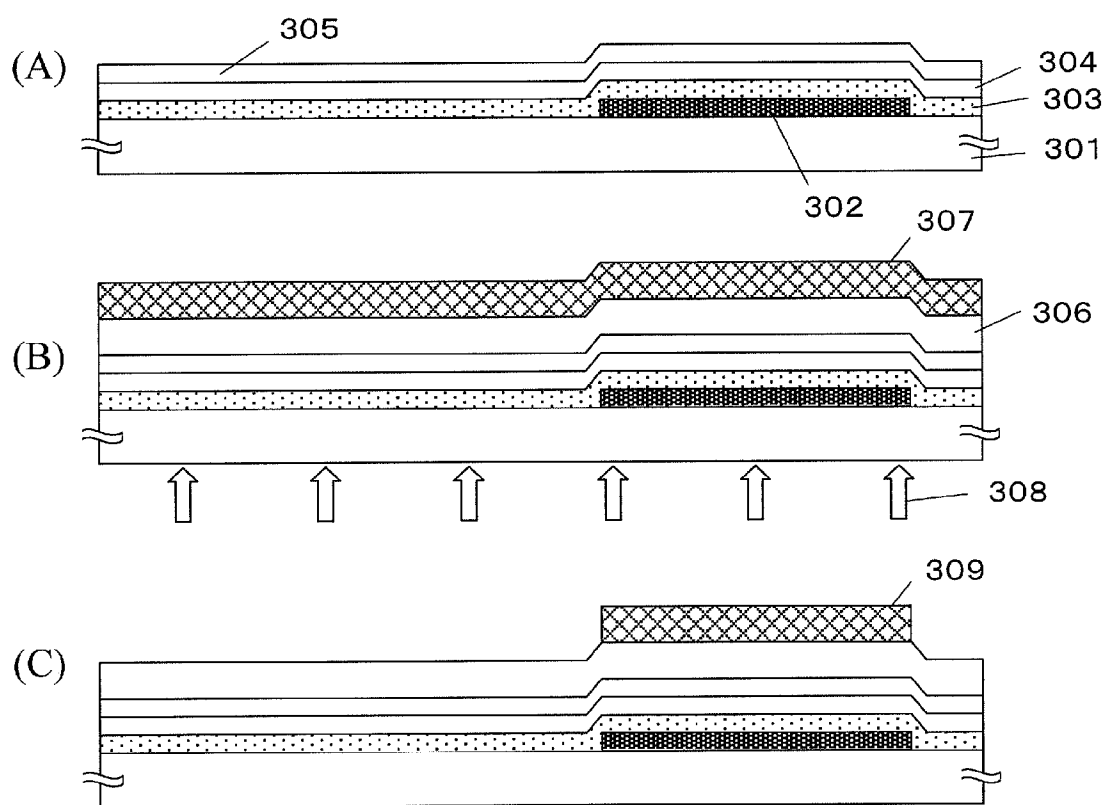




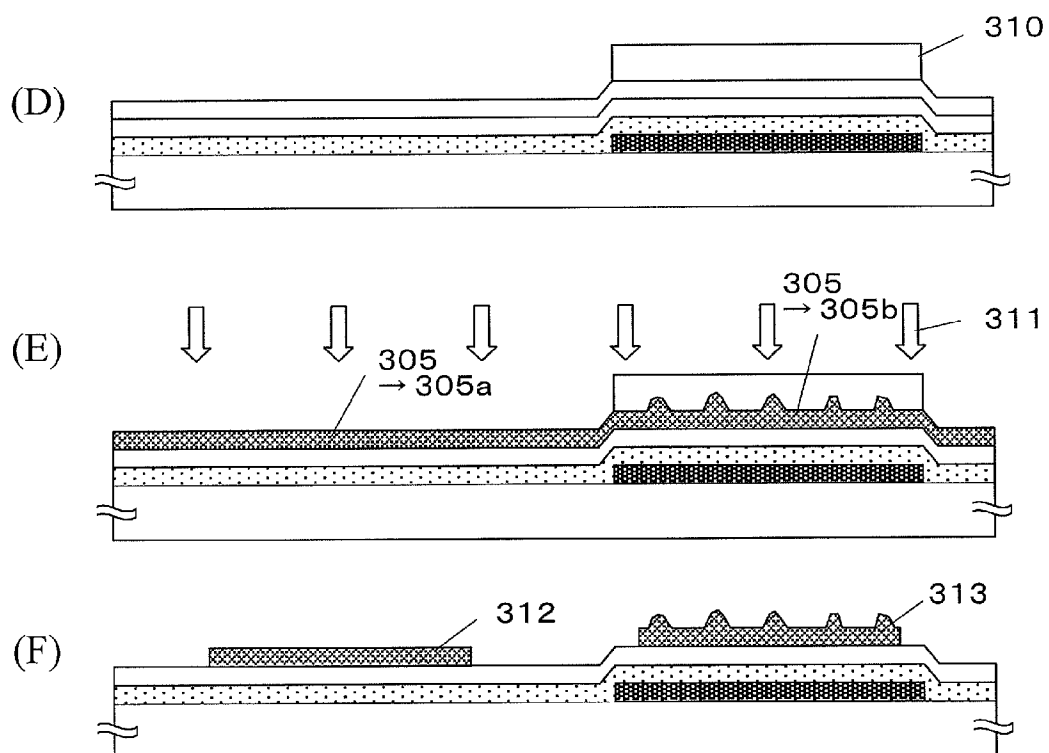
[図6]

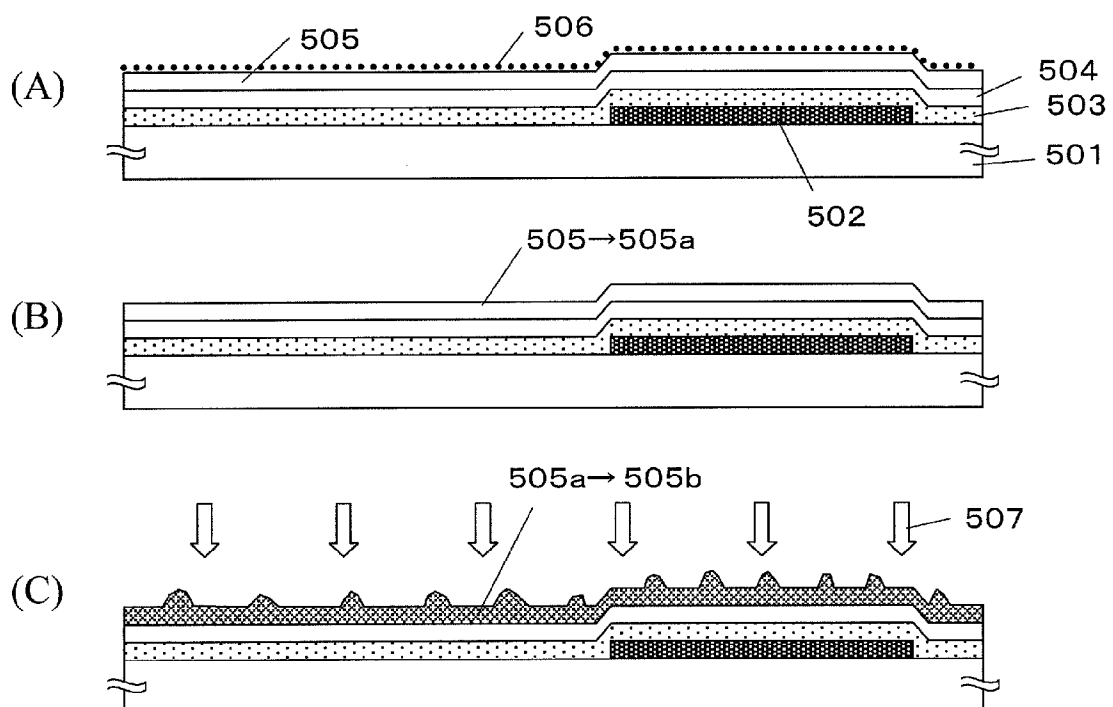
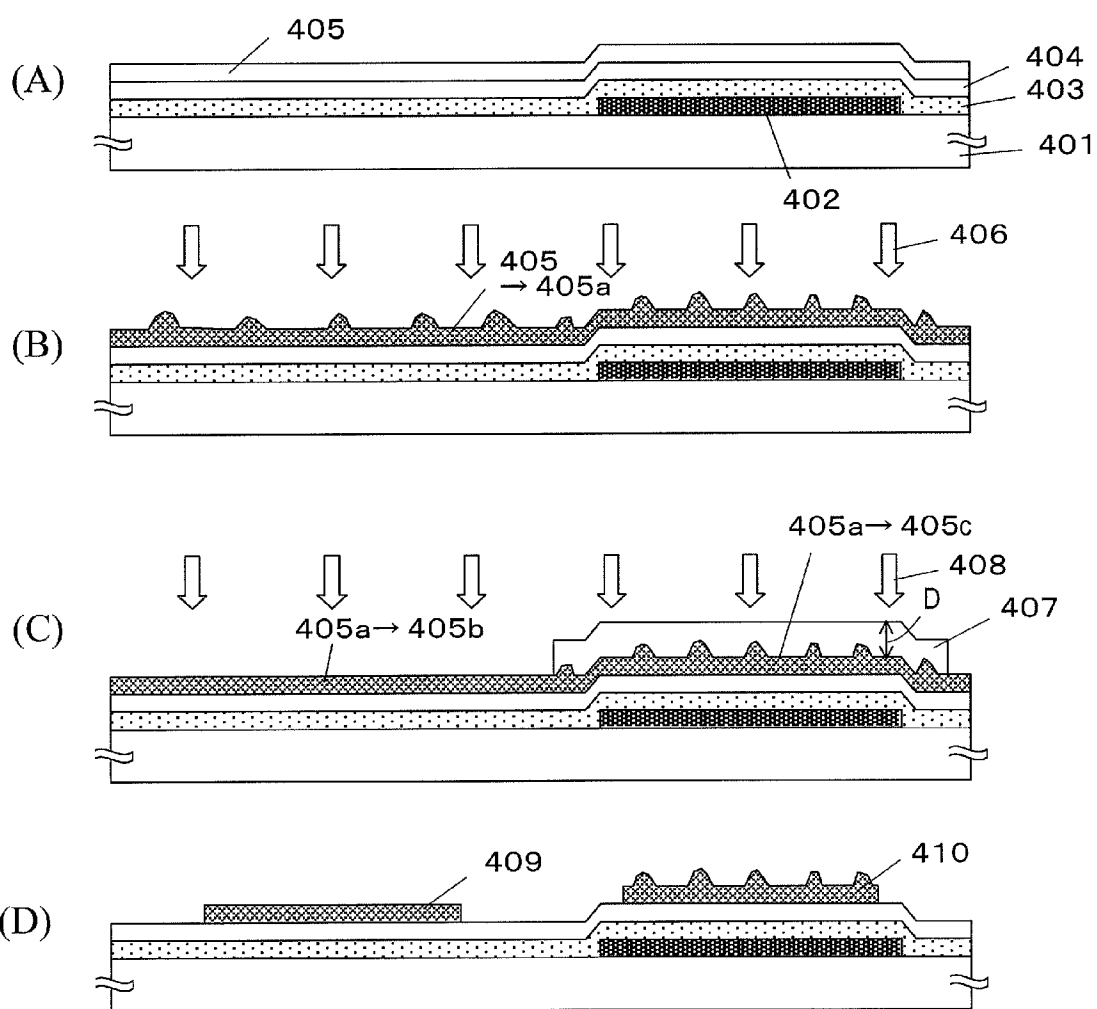


[図7]

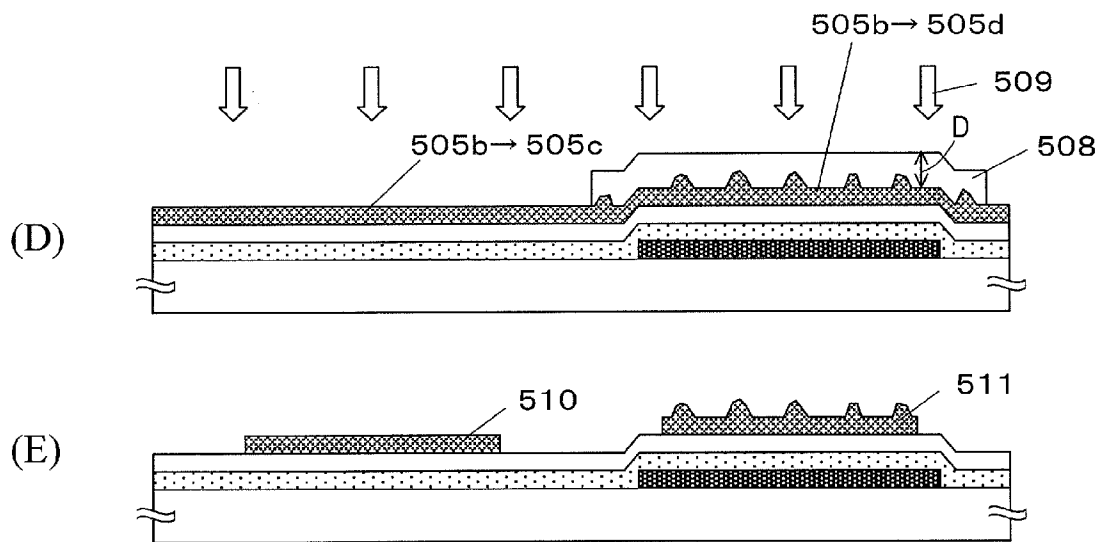


[図8]

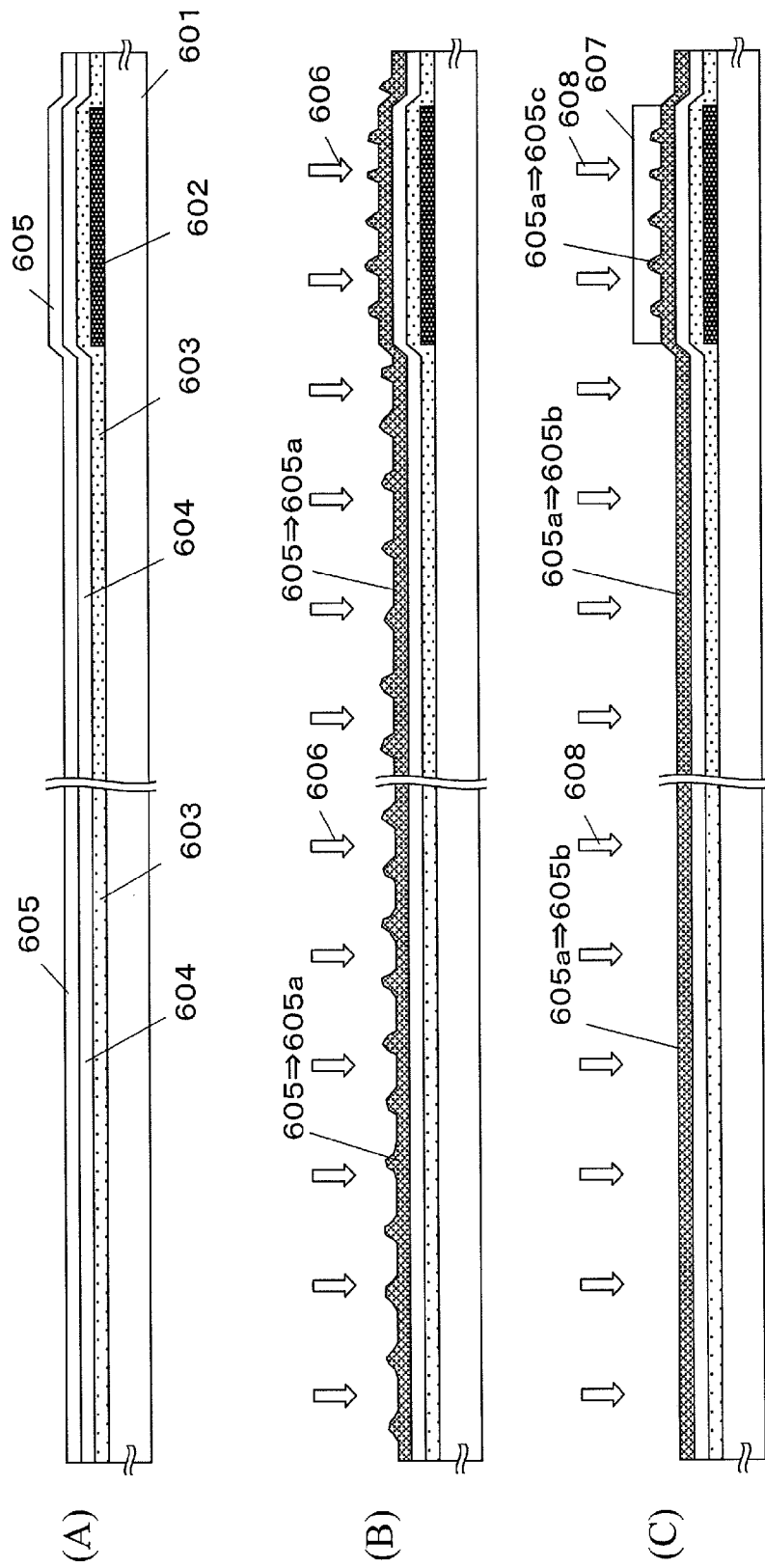




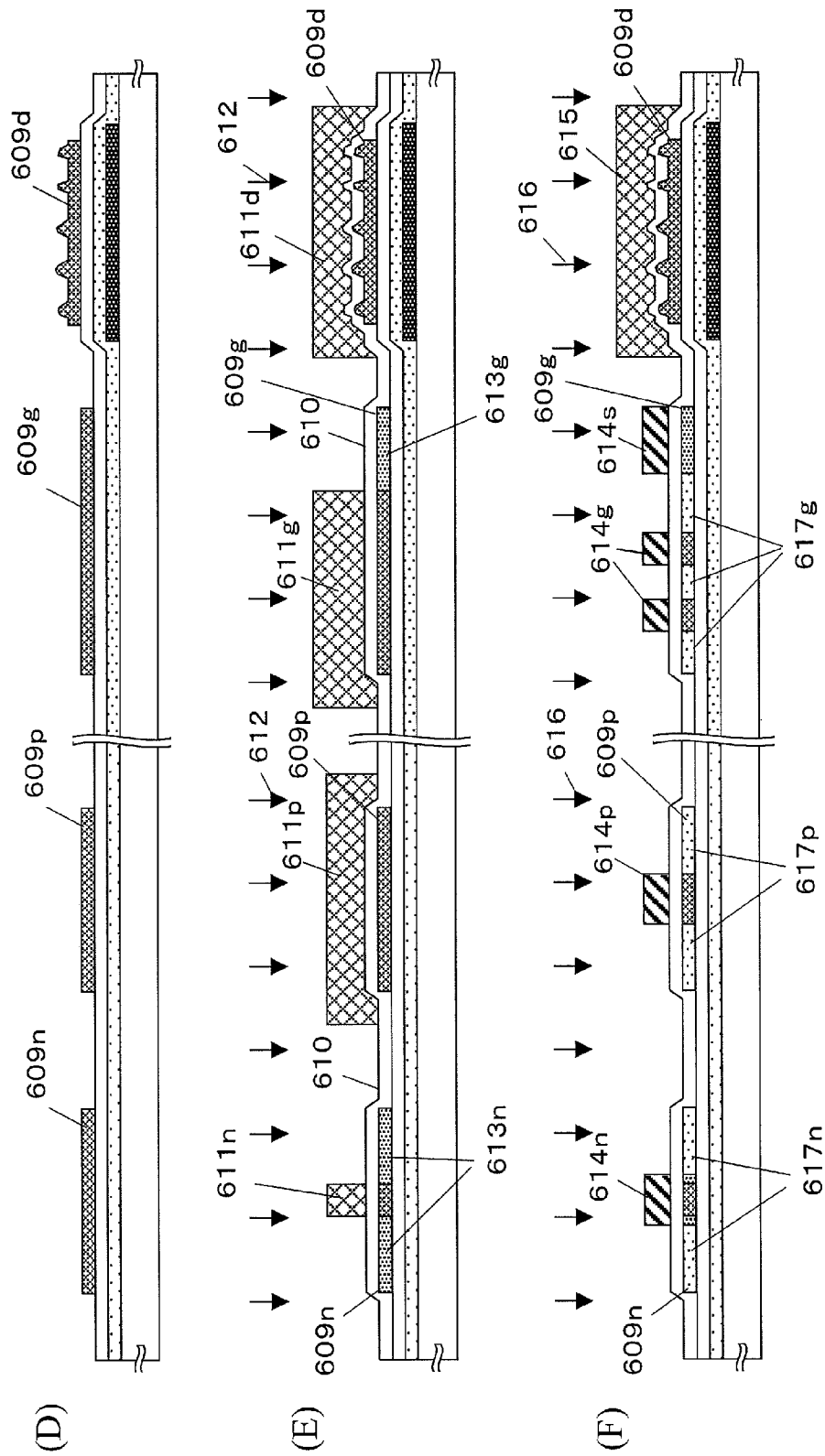
[図11]



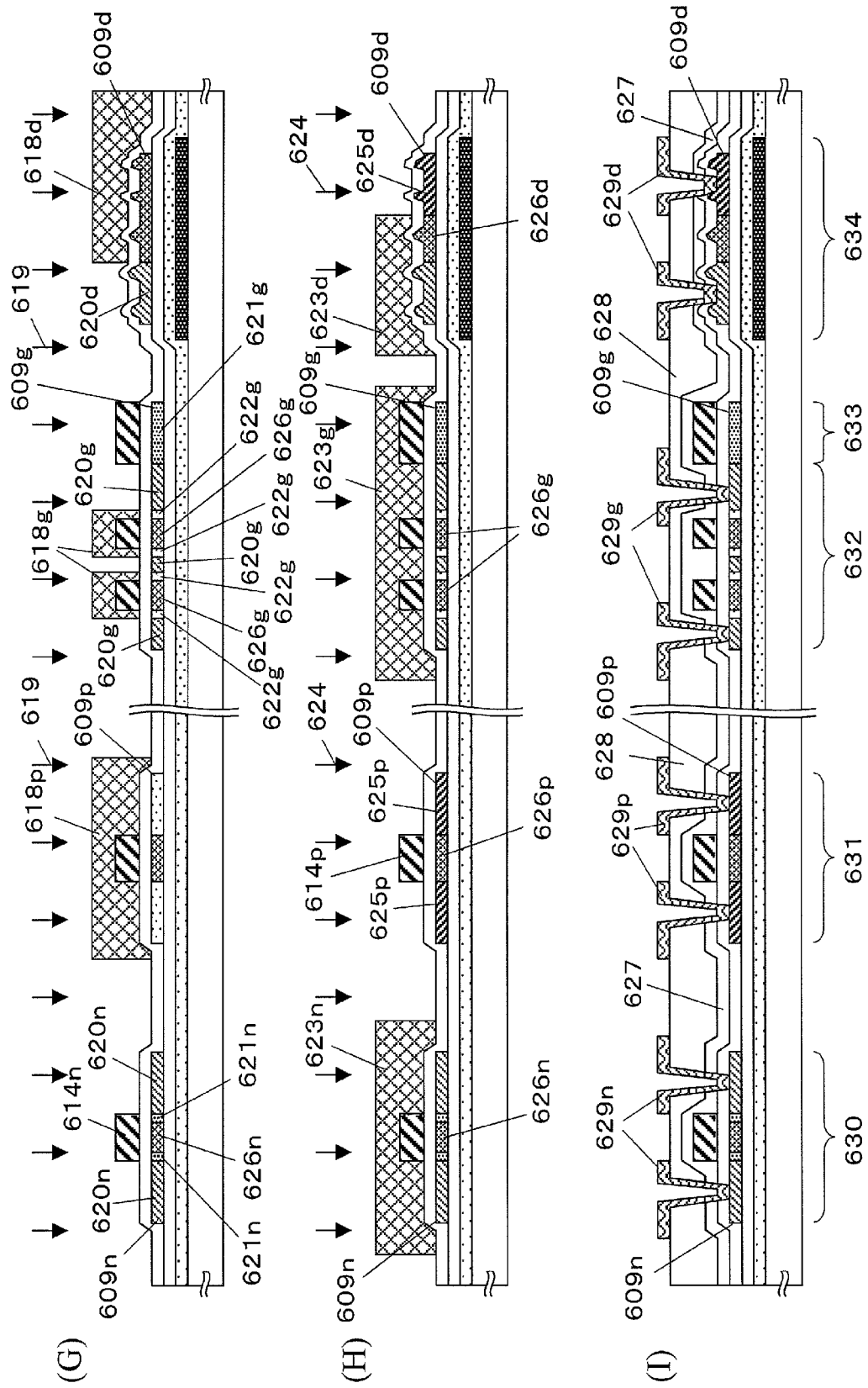
[図12]



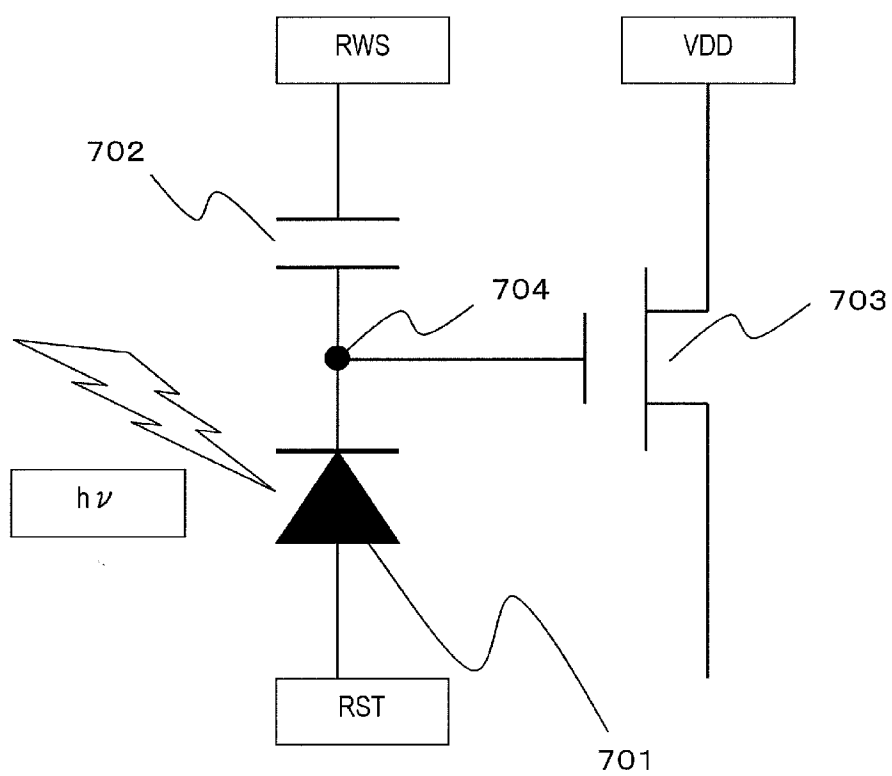
[図13]



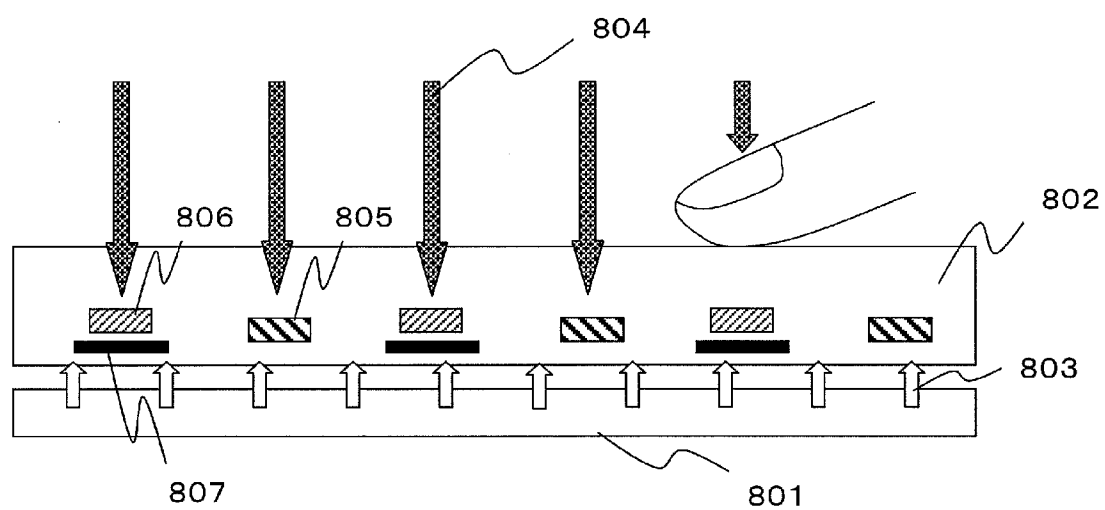
[図14]



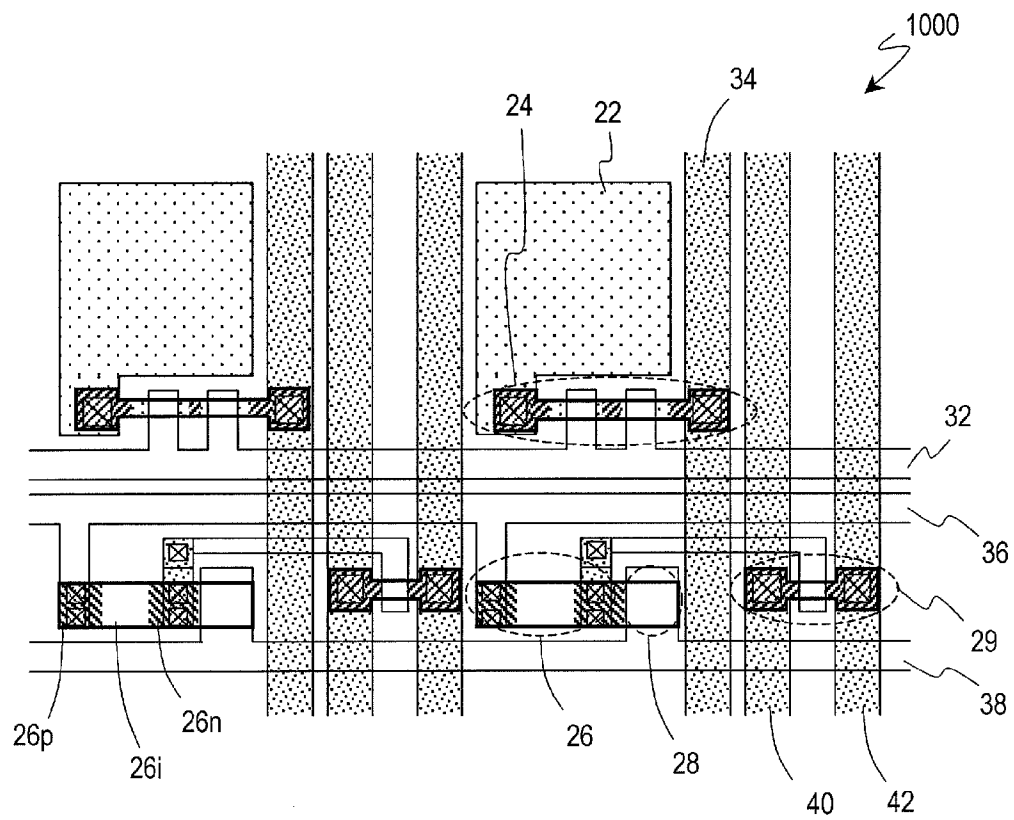
[図15]



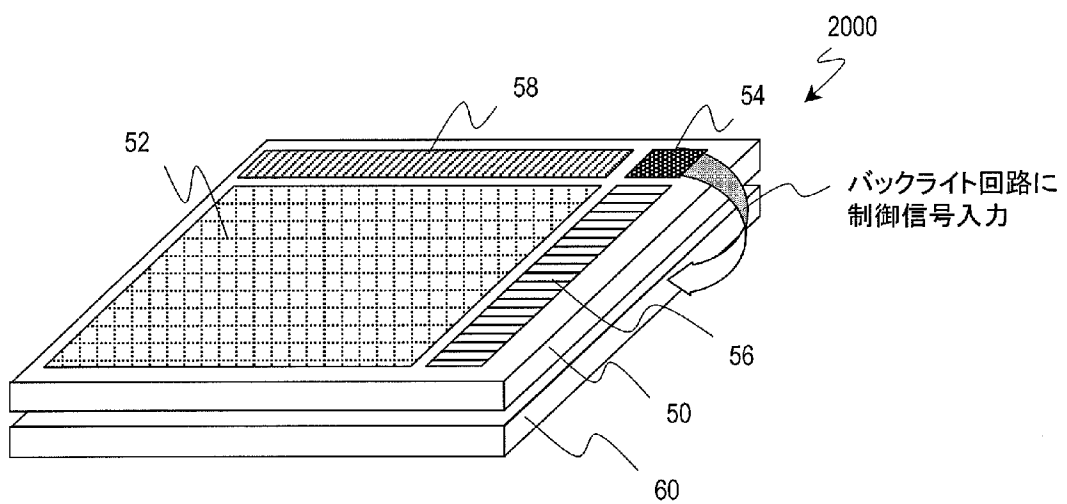
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005478

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-3857 A (Toshiba Matsushita Display Technology Co., Ltd.), 05 January 2006 (05.01.2006), entire text; all drawings & US 2005/0045881 A1 & EP 1511084 A2 & KR 10-2005-0022358 A & CN 1624556 A & TW 288266 B & SG 109571 A	1-13, 31-33 14-30
Y	JP 2003-249639 A (Sony Corp.), 05 September 2003 (05.09.2003), entire text; all drawings (Family: none)	1-13, 31-33

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 December, 2009 (14.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 119399/1986 (Laid-open No. 27066/1988) (Oki Electric Industry Co., Ltd.), 22 February 1988 (22.02.1988), entire text; all drawings (Family: none)	1-13, 31-33
Y	JP 6-275807 A (Semiconductor Energy Laboratory Co., Ltd.), 30 September 1994 (30.09.1994), entire text; all drawings & US 5501989 A & US 5589694 A & US 5744822 A	11
Y	WO 2006/129428 A1 (Sharp Corp.), 07 December 2006 (07.12.2006), paragraph [0023] & US 2009/0050891 A1	32

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i,
H01L29/786(2006.01)i, H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-3857 A (東芝松下ディスプレイテクノロジー株式会社) 2006.01.05, 全文, 全図 & US 2005/0045881 A1 & EP 1511084 A2	1-13, 31-33
A	& KR 10-2005-0022358 A & CN 1624556 A & TW 288266 B & SG 109571 A	14-30
Y	JP 2003-249639 A (ソニー株式会社) 2003.09.05, 全文, 全図 (ファミリーなし)	1-13, 31-33

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4 M

3 0 3 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願61-119399号(日本国実用新案登録出願公開63-27066号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(沖電気工業株式会社) 1988.02.22, 全文, 全図(ファミリーなし)	1-13, 31-33
Y	JP 6-275807 A (株式会社半導体エネルギー研究所) 1994.09.30, 全文, 全図 & US 5501989 A & US 5589694 A & US 5744822 A	11
Y	WO 2006/129428 A1 (シャープ株式会社) 2006.12.07, 段落【0023】 & US 2009/0050891 A1	32