

(21)申請案號：098107209

(22)申請日：中華民國 98 (2009) 年 03 月 06 日

(51)Int. Cl. : H01L21/76 (2006.01)

(30)優先權：2008/12/30 南韓 10-2008-0137358

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：蔡光基 CHAE, KWANG KEE (KR) ; 劉載善 YU, JAE SEON (KR) ; 李在均 LEE, JAE KYUN (KR)

(74)代理人：鄭再欽

申請實體審查：無 申請專利範圍項數：33 項 圖式數：4 共 44 頁

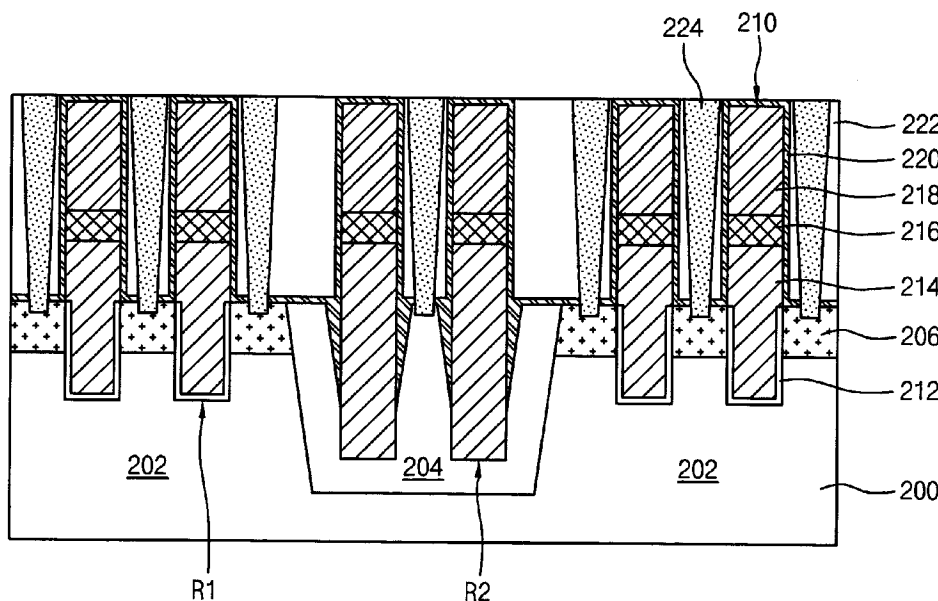
(54)名稱

具有鞍鏟形通道之半導體元件及其製造方法

SEMICONDUCTOR DEVICE HAVING SADDLE FIN-SHAPED CHANNEL AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明提供一種半導體元件，包括：一半導體基板，一絕緣層形成於該半導體基板之內，用以限定作用區。閘極之凹入圖案定義於作用區與絕緣層。閘極圖案形成於閘極之凹入圖案內與其上，一閘極間隔器並形成以覆蓋閘極圖案。閘極之凹入圖案在作用區具有一第一個深度，並在絕緣層有一個大於該第一個深度之第二個深度。在閘極圖案與定義於絕緣層之閘極之凹入圖案之上部間產生有間隙。閘極間隔器填充於該間隙中，並使閘極間隔器因而受到保護，以避免連結之發生。



R1：第一凹入圖案

R2：第二凹入圖案

200：半導體基板

202：作用區

204：絕緣層

206：接合區

210：閘極圖案

212：閘極絕緣層

214：第一閘極導電層

216：第二閘極導電層

218：硬遮罩層

220：閘極間隔器

222：層間電介質

224：插塞

六、發明說明：

【發明所屬之技術領域】

本發明係有關一半導體元件，特別是關於一具有鞍鰭形通道之半導體元件及其製造方法。

【先前技術】

半導體產業的趨勢正朝向半導體元件設計規則之減少而發展。此設計規則之減少使藉由習知的平面通道結構以達到所要求的目標臨界電壓變得困難。一種具有三度空間(3D)之通道結構的半導體元件因此而被提出，以解決與習知平面通道結構相關的問題。具有3D通道結構的半導體元件的實例包括具有凹入通道或突起通道的半導體元件。另一此類的半導體元件即為結合了凹入通道及突起通道之具有鞍鰭形通道的半導體元件。

與習知具平面通道結構的半導體元件相較，具有鞍鰭形通道的半導體元件實現了有效的通道長度之增加，以及可得目標臨界電壓的增強。由於有效的通道寬度之增加，電流驅動能力亦可得到改善。

具有鞍鰭形通道之半導體元件，其構造為：作用區之閘極形成區域凹陷成第一個深度，並且，絕緣層從作用區之閘極形成區域開始延伸的部份，凹陷成大於第一個深度之第二個深度，以曝露閘極形成區域凹陷成第一個深度的前後表面。

然而，該具有一鞍鰭形通道之半導體元件之絕緣層係由一氧化物層構成，而因此，一使用氟化氫（HF）溶液之預洗程序常緊接著在閘極氧化物層形成之前實施。有鑑於此，定義於絕緣層內之凹入圖案，可能因預洗程序之過程中所產生之蝕刻耗損而擴大。

因此，在隨後之著陸插塞接觸（landing plug contact, LPC）程序，該作用區與絕緣層之蝕刻可同時在位元線節點之插塞所形成之區域為之。而由於此原因，自我對準接觸（self-align contact, SAC）之失敗可能發生，例如閘極圖案與 LPC 插塞間可能產生連結，因而導致生產量之下降。

因此，為了製造具有鞍鰭形通道的半導體元件，避免閘極圖案與 LPC 插塞兩者間的連結是必要的。

【發明內容】

本發明包含一半導體元件及其製造方法，該半導體元件可避免在鞍鰭形通道形成過程中，發生閘極圖案與 LPC 插塞之連結。

本發明並包含一半導體元件及其製造方法，該半導體元件的生產量，係藉由避免一閘極圖案與一 LPC 插塞兩者間發生連結而增加。

本發明一態樣之半導體元件，包括一半導體基板；一絕緣層，其形成於半導體基板，用以限定作

用區；閘極之凹入圖案，其係定義於作用區與絕緣層內；閘極圖案，其形成於閘極之凹入圖案之內和之上；以及一閘極間隔器，其形成目的係為了覆蓋閘極圖案。該閘極之凹入圖案在作用區內具有一第一個深度，並在絕緣層內有一大於第一個深度之第二個深度。閘極圖案與定義於絕緣層內之閘極之凹入圖案之上部之間具有間隙，該間隙並由閘極間隔器所填充。

該閘極間隔器可包括一氮化物層。

該定義於絕緣層內之閘極之凹入圖案，具有一寬度，該寬度之上部大於下部之寬度。

該半導體元件更進一步包括了接合區，該接合區形成於閘極圖案兩側之作用區的表面上；一層間電介質形成於閘極間隔器上；以及插塞，其形成於層間電介質中，用以接觸接合區。

該插塞包括形成來接觸作用區與絕緣層之插塞。

該閘極圖案係形成為線狀閘極圖案，持續延伸而跨過作用區與絕緣層。

該閘極圖案包含鞍鰭閘極，該鞍鰭閘極覆蓋了作用區的前後表面。

本發明另一態樣之半導體元件之製造方法，其包括以下步驟：在半導體基板上形成作用區與絕緣層，以絕緣層限定作用區；蝕刻作用區及絕緣層以形成第一個深度；定義閘極之凹入圖案，其方式為再進

一步蝕刻絕緣層已具有第一個深度之部份，以形成第二個深度；擴大定義於絕緣層內之閘極之凹入圖案上部的寬度；於閘極之凹入圖案其內和其上形成閘極圖案；以及，形成閘極間隔器，用以覆蓋閘極圖案。該閘極圖案形成的寬度，小於定義於絕緣層內、已被擴大的閘極之凹入圖案之上部的寬度。閘極圖案與定義於絕緣層內、已被擴大的閘極之凹入圖案之上部間所產生的間隙，由閘極間隔器所填充。

定義該閘極之凹入圖案包含以下步驟：在作用區與絕緣層上形成祭祀層；在祭祀層上形成硬遮罩層；蝕刻硬遮罩層致使形成硬遮罩圖案，以曝露部份的祭祀層，祭祀層下為將要被定義的閘極之凹入圖案；利用硬遮罩圖案蝕刻祭祀層、作用區、及絕緣層以形成第一個深度；進一步蝕刻絕緣層已具有第一個深度之部份，以形成大於第一個深度之第二個深度；然後移除硬遮罩圖案。

該祭祀層可包含一氧化物層。

該氧化物層形成的厚度範圍為 50~500 安(Å)。

該硬遮罩層可包含一非晶系碳層。

蝕刻作用區及絕緣層以形成第一個深度，其步驟之實行得使用至少一主氣體以蝕刻矽，該主氣體係從 Cl_2 、 HBr 與 BCl_3 中選出；並至少一主氣體來蝕刻一氧化物層，該主氣體係從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $\text{C}_x\text{H}_y\text{F}_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 及 SF_6 中挑選

出。另外，蝕刻作用區及絕緣層以形成第一個深度，其步驟之實行得同時使用至少一添加劑氣體，該氣體從 He、Ar、 H_2 、 N_2 與 O_2 中選出。

第二次蝕刻絕緣層 204 已凹陷形成第一個深度之部份，其步驟之實行得使用至少一主氣體來蝕刻一氧化物層，該主氣體係從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $C_xH_yF_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 與 SF_6 中挑選出；並至少一添加劑氣體，該氣體從 He、Ar、 H_2 、 N_2 與 O_2 中選出。

擴大定義於絕緣層內之閘極之凹入圖案上部的寬度，其步驟之實行得透過乾洗法。

該乾洗程序之實施，係採用含有氮、氫、或氟至少其一的氣體。

該乾洗程序得在不施加電漿的狀態下實施，其方式為在 60~120 毫托 (mTorr) 之壓力與 30~60°C 之氣溫下，使用 NH_3 、HF 與 Ar 氣體。 NH_3 氣體以 10~60 sccm 的速率流動，HF 氣體以 10~60 sccm 的速率流動，而 Ar 氣體則以 0~40 sccm 之速率流動。

或者，該乾蝕刻程序亦得於施加直接電漿的狀態下實施，其方式為在 500~1,000 毫托 (mTorr) 的壓力與 500~3,000 瓦的電壓下，使用 N_2 與 H_2 氣體，以及 NF_3 或 HF 擇一之氣體。 N_2 氣體以 500~1,000 sccm 的速率流動， H_2 氣體以 200~500

sccm 的速率流動， NF_3 或 HF 氣體則以 50~400 sccm 的速率流動。

或者，該乾蝕刻程序亦得於施加遠距電漿的狀態下實施，其方式為在 200~400 帕 (Pa) 的壓力與 1,000~4,000 瓦 (W) 的電壓下，使用 NH_3 與 NF_3 氣體，以及 N_2 或 H_2 擇一之氣體。 NH_3 氣體以 500~1,000 sccm 的速率流動， NF_3 氣體以 1,000~3,000 sccm 的速率流動， N_2 或 H_2 氣體則以 500~3,000 sccm 的速率流動。

在形成閘極圖案的步驟之後、而在形成閘極間隔器的步驟之前，該方法進一步包括了在閘極圖案兩側的作用區表面形成接合區的步驟。

該閘極間隔器得包含一氮化物層。

該定義於絕緣層內之閘極之凹入圖案，具有一寬度，其寬度之上部大於下部之寬度。

於形成閘極間隔器的步驟之後，該方法進一步包括於閘極間隔器上形成一層間電介質的步驟；以及於層間電介質中形成插塞，用以接觸在作用區上的接合區。

該插塞包括形成來接觸作用區與絕緣層之插塞。

該閘極圖案係形成為線狀閘極圖案，持續延伸而跨過作用區與絕緣層。

該閘極圖案包含鞍鰭閘極，該鞍鰭閘極覆蓋了作用區的前後表面。

本發明又一態樣之半導體元件之製造方法，其包括以下步驟：在半導體基板形成作用區與絕緣層，以絕緣層限定作用區；利用祭祀層圖案與硬遮罩圖案而蝕刻作用區及絕緣層，藉以定義閘極之凹入圖案；於閘極之凹入圖案內和其上形成閘極圖案；以及，形成閘極間隔器，用以覆蓋閘極圖案。定義閘極之凹入圖案包含以下步驟：利用硬遮罩圖案蝕刻作用區與絕緣層以形成第一個深度，再透過圍包蝕刻法利用祭祀層圖案，進一步蝕刻絕緣層以形成第二個深度，並同時擴大閘極之凹入圖案上部。該閘極圖案形成的寬度，小於定義於絕緣層內、已被擴大之閘極之凹入圖案之上部。而閘極圖案與定義於絕緣層內、已被擴大之閘極之凹入圖案之上部間所產生的間隙，由閘極間隔器所填充。

該祭祀層得包含一氧化物層。

該氧化物層之形成厚度得為 100~1,000 安 (Å)。

該祭祀層圖案與硬遮罩圖案之形成，包括以下步驟：在作用區與絕緣層上形成祭祀層；在祭祀層上形成硬遮罩層；並且，蝕刻祭祀層與硬遮罩層，以曝露將要被定義為閘極之凹入圖案之區域。

該硬遮罩層得包含一非晶系碳層。

該非晶系碳層形成之厚度得為 1,000~3,000 安 (Å)。

蝕刻作用區與絕緣層之實施，得採用至少一主氣

體以蝕刻矽，該主氣體係從 Cl_2 、 HBr 與 BCl_3 中選出；並至少一主氣體來蝕刻一氧化物層，該主氣體係從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $\text{C}_x\text{H}_y\text{F}_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 及 SF_6 中挑選出；並至少一添加劑氣體，該氣體從 He 、 Ar 、 H_2 、 N_2 與 O_2 中選出。

該圍包蝕刻法之實施，得一併移去部份或全部祭祀層圖案之厚度。

該圍包蝕刻法之實施，得保留祭祀層圖案 50~200 安 (Å) 之厚度。

該圍包蝕刻法之實施，得使用至少一主要蝕刻氣，該主要蝕刻氣從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $\text{C}_x\text{H}_y\text{F}_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 與 SF_6 中挑選出，以及至少一添加劑氣體，該氣體從 O_2 、 Ar 、 He 、 HBr 、 N_2 與 COS 中挑選出。

該圍包蝕刻法，得在 2~50 毫托 (mTorr) 之壓力、300~1,500 瓦 (W) 之電源功率、與 30~1,000 瓦 (W) 之偏壓功率之狀態下實施。

該於圍包蝕刻法實施後餘留的祭祀層圖案，得透過使用含有氟化氫 (HF) 的化學製品之溼洗法去除之。

或者，該於圍包蝕刻法實施後餘留的祭祀層圖案，得透過使用含有氮、氫或氟至少其一之氣體之乾洗法去除之。

在形成閘極圖案的步驟之後、而在形成閘極間隔

器的步驟之前，該方法進一步包含了在閘極圖案兩側的作用區表面形成接合區的步驟。

於形成閘極間隔器的步驟之後，該方法進一步包含於閘極間隔器上形成一層間電介質的步驟；以及於層間電介質中形成插塞，用以接觸在作用區上的接合區。

該插塞包括形成來接觸作用區與絕緣層之插塞。

定義於絕緣層內的閘極之凹入圖案具有一寬度，其寬度之上部大於下部之寬度。

該閘極圖案係形成為線狀閘極圖案，持續延伸而跨過作用區與絕緣層。

該閘極圖案包含鞍鰭閘極，該鞍鰭閘極覆蓋了作用區的前、後表面。

【實施方式】

以下，將參考附圖詳細說明本發明之具體實施方式。

第 1 圖顯示本發明一實施例之半導體元件的平面圖，而第 2 圖係沿著第 1 圖中 A-A' 線的剖面圖。

如第 1 圖及第 2 圖所示，一絕緣層 204 在半導體基板 200 內形成，用以限定作用區 202。複數之第一閘極圖案 R1，其被定義為在作用區 202 的閘極形成區域形成第一個深度，第二閘極圖案 R2，則被定義為在絕緣層 204 從作用區 202 的閘極形成區域開始

延伸的部份，形成大於第一個深度之第二個深度，使閘極形成區域的前、後表面因而曝露（例如，作用區在作用區 202 的閘極形成區域之前與之後的部份即被曝露），進而形成鞍鰭形通道。如第 2 圖所示，被定義於絕緣層 204 的第二閘極圖案 R2，其具有一正型的凹入剖面，該凹陷上部的寬度大於下部的寬度。

閘極圖案 210，其形成於第一凹入圖案 R1 所被定義之作用區 202 的閘極形成區域，以及於第二凹入圖案 R2 所被定義之絕緣層 204 從作用區 202 的閘極形成區域所開始延伸之部份。閘極圖案係形成為線狀閘極圖案，持續延伸而跨過作用區 202 與絕緣層 204。閘極圖案 210 具有一結構，該結構包括一閘極絕緣層 212 的堆疊，一由多晶矽組成之第一閘極導電層 214，一由如鎢之金屬物質所組成之第二閘極導電層 216，以及一由氮化物所組成之硬遮罩層 218。該閘極圖案 210 形成為具有一小於第二凹入圖案 R2 上部寬度之寬度，如此使第二凹入圖案 R2 之上部與閘極圖案 210 間產生間隙。並且，各個閘極圖案 210 之形成，均具有覆蓋閘極形成區域之前、後表面的鞍鰭形狀。

接合區 206 形成於閘極圖案 210 兩側之作用區 202 的表面，一閘極間隔器 220 並於包括閘極圖案 210 與絕緣層 204 在內之半導體基板 200 上形成。該閘極間隔器 220 之組成以包含一氮化物層為最佳，且其形

成之厚度能夠填充第二凹入圖案 R2 之上部與閘極圖案 210 間產生之間隙。位於絕緣層 204 內的第二凹入圖案 R2 之上部與閘極圖案 210 間產生的間隙，因此而被閘極間隔器 220 完全填滿。

一層間電介質 222 形成於閘極間隔器 220，並且插塞 224 形成於層間電介質 222 中，用以接觸接合區 206。在本發明之一實施例中，插塞 224 係透過 LPC 程序形成，各個插塞延伸於整個層間電介質、並延伸至作用區 202 或絕緣層 204 中。如第 2 圖所示，部份之閘極間隔器 220，在插塞 224 形成並接觸接合區 206 或部份絕緣層 204 之處被移除。該插塞 224 包含插塞，其形成係用以接觸作用區 402 與絕緣層 404；亦即為位元線節點之插塞。

從而，在依據本發明一實施例之半導體元件中，閘極圖案 210 形成於絕緣層 204 之部份受到閘極間隔器 220 之保護，此所指之閘極間隔器 220 包括其完全填充於第二凹入圖案 R2 之上部與閘極圖案 210 間產生之間隙之部份；也因此，位元線節點之插塞 224 與閘極圖案 210 間之連結得以被避免。於是，依據本實施例之半導體元件，其自動對準接觸（SAC）之失敗得以被避免；且由此，依據本實施例之半導體元件，其生產量得以增加，可信賴度亦得以改進。

第 3A 圖至第 3F 圖顯示說明本發明另一實施例之半導體元件之製造方法的剖面圖。茲將該方法敘述

如下。

如第 3A 圖所示，一絕緣層 204 形成於半導體基板 200（該基板之形成得以，例如：塊狀矽為之）內，用以限定作用區 202。絕緣層 204 形成之最佳方法，係藉由利用淺渠溝隔離 (STI) 法，以氧化物層填充溝渠。

如第 3B 圖所示，一由氧化物層構成之祭祀層 302 形成於包含絕緣層 204 在內之半導體基板 200 上，其形成之厚度範圍為 50~500 安 (Å)；一由非晶系碳層所構成之硬遮罩層並形成於祭祀層 302 上。該硬遮罩層被蝕刻而形成硬遮罩圖案 304，以曝露祭祀層 302 位於作用區 202 之閘極形成區域的部份，以及絕緣層 204 從作用區 202 之閘極形成區域開始延伸的部份。

該祭祀層 302 之蝕刻係利用硬遮罩圖案 304 作為一蝕刻障礙。接著，作用區 202 之閘極形成區域與絕緣層 204 從閘極形成區域開始延伸的部份被蝕刻成第一個深度，以在作用區 202 之閘極形成區域定義第一凹入圖案 R1，以及定義在絕緣層 204 內之（第一個深度的）凹陷。然後，絕緣層 204（已凹陷具有第一個深度之處）又再一次被蝕刻（第二次蝕刻），以定義第二凹入圖案 R2，該第二凹入圖案 R2 在絕緣層 204 從作用區 202 之閘極形成區域開始延伸的部份，具有一大於第一個深度之第二個深度。

在本發明之一實施例中，定義第一凹入圖案 R1 與第二凹入圖案 R2 之蝕刻程序之實施係使用至少一主氣體以蝕刻矽，該主氣體係從 Cl_2 、 HBr 與 BCl_3 中所挑選出；並至少一主氣體來蝕刻一氧化物層，該主氣體係從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $\text{C}_x\text{H}_y\text{F}_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 及 SF_6 中挑選出；並至少一添加劑氣體，該氣體從 He 、 Ar 、 H_2 、 N_2 與 O_2 中選出。

如第 3C 圖所示，由非晶系碳層所構成之硬遮罩圖案 304 被移除。接著，在硬遮罩圖案 304 被移除後的半導體基板 200 上實施乾洗程序，用以去除剩餘之祭祀層 302；於此同時，絕緣層 204 凹陷成為第二個深度其部份之上部，亦即，第二凹入圖案 R2 側壁之上部，被部份移除，以使第二凹入圖案 R2 具有一正型的凹入剖面，其凹陷上部的寬度大於其下部的寬度。在本發明之一實施例中，該乾洗程序係在氧化物層除去 50~600 安 (\AA) 之厚度的條件下實施，因此，在第二凹入圖案 R2 間所餘留之絕緣層 204 之寬度變為 10~40 奈米 (nm)。另外，在本發明之一實施例中，該乾洗程序之實施係使用一含有至少氮、氫或氟之氣體。

詳言之，該乾洗程序之實施係在不施加電漿之狀態下為之，其方式為在範圍為 60~120 毫托 (mTorr) 的壓力與 30~60°C 的氣溫下，使用 NH_3 、 HF 與 Ar

氣體。同時， NH_3 氣體以 10~60 sccm 的速率流動， HF 氣體以 10~60 sccm 的速率流動，而 Ar 氣體則以 0~40 sccm 之速率流動。

或者，亦得設想該乾蝕刻程序於施加直接電漿的狀態下實施，其方式為在 500~1,000 毫托 (mTorr) 的壓力與 500~3,000 瓦 (W) 的電壓下，使用 N_2 與 H_2 氣體，以及 NF_3 或 HF 擇一之氣體。同時， N_2 氣體以 500~1,000 sccm 的速率流動， H_2 氣體以 200~500 sccm 的速率流動， NF_3 或 HF 氣體則以 50~400 sccm 的速率流動。

另外，亦得設想該乾蝕刻程序於施加遠距電漿的狀態下實施，其方式為在 200~400 帕 (Pa) 的壓力與 1,000~4,000 瓦 (W) 的電壓下，使用 NH_3 與 NF_3 氣體，以及 N_2 或 H_2 擇一之氣體。同時， NH_3 氣體以 500~1,000 sccm 的速率流動， NF_3 氣體以 1,000~3,000 sccm 的速率流動， N_2 或 H_2 氣體則以 500~3,000 sccm 的速率流動。

於乾洗程序實施之後，實施使用含有氟化氫 (HF) 的化學製品之溼洗法，以除去餘留在第一凹入圖案 R1 與第二凹入圖案 R2 底部之氧化物層。

如第 3D 圖所示，一閘極絕緣層 212、一由多晶矽組成之第一閘極導電層 214、一第二閘極導電層 216、與一閘極硬遮罩層 218，相繼在包括第一凹入圖案 R1 與具有正型的凹入剖面之第二凹入圖案 R2

在內之整個半導體基板 200 其上（與其內，在該閘極絕緣層 212 與第一閘極導電層之情形）形成。在本發明之一實施例中，第一閘極導電層 214 之形成係採用多晶矽，第二閘極導電層 216 之形成係採用金屬物質，例如鎢，而閘極硬遮罩層 218 則使用一氮化物形成。

蝕刻閘極硬遮罩層 218，接著以蝕刻後的硬遮罩層 218 作為蝕刻障礙，蝕刻第二閘極導電層 216、第一閘極導電層 214、與閘極絕緣層 212；閘極圖案 210 因而形成於已定義有第一閘極圖案 R1 之作用區 202 之閘極形成區域，以及於絕緣層 204 已定義有第二凹入圖案 R2、從閘極形成區域開始延伸的部份。各個閘極圖案 210 均形成為線狀閘極圖案，其在作用區 202 與絕緣層 204 以線狀延伸。該閘極圖案 210 之形成具有一寬度，該寬度小於第二凹入圖案 R2 上部的寬度，因此雖然第二凹入圖案 R2 之下部完全被閘極圖案 210 所填充，但於第二凹入圖案 R2 之上部與閘極圖案 210 間產生了間隙。閘極圖案 210 之形成係用以覆蓋作用區 202 之閘極形成區域的前、後表面。接合區 206 在閘極圖案 210 兩側之作用區 202 表面形成。

如第 3E 圖所示，一閘極間隔器 220 在包括閘極圖案 210 在內之半導體基板 200 上形成。該閘極間隔器 220 之組成以包含一氮化物層為最佳，且其形成之

厚度能夠填充第二凹入圖案 R2 之上部與閘極圖案 210 間所產生之間隙。換言之，閘極間隔器 220 之形成使第二凹入圖案 R2 之上部與閘極圖案 210 間之間隙，被閘極間隔器 220 完全填滿。填充於第二凹入圖案 R2 之上部與閘極圖案 210 間之間隙之閘極間隔器 220，其作用為在隨後之 LPC 程序中保護閘極圖案 210（例如，保護該元件以避免可能之連結發生）。

如第 3F 圖所示，一層間電介質 222 在包括閘極間隔器 220 在內之半導體基板上形成。隨後，插塞 224 透過一 LPC 程序，形成於閘極圖案 210 兩側之層間電介質 222 中，以接觸接合區 206。

如第 1 圖所示，當實施該 LPC 程序時，作用區 202 與絕緣層 204 在位元線節點之插塞 224 形成之位置被蝕刻（例如，同時被蝕刻）。因此，當對準偏誤發生時，閘極圖案 210 與插塞 224 間可能在 B 所指示之區域發生連結。有鑑於此，在本發明中，閘極圖案 210 藉著在第二凹入圖案 R2 之上部與閘極圖案 210 間填充閘極間隔器 220 而受到保護，以免發生連結。因此，在本發明中，縱然對準偏誤發生，閘極圖案 210 與插塞 224 間在 B 區域之連結亦得以避免。

從而，在本發明之一實施例中，由於閘極圖案 210 與插塞 224 間之連結得以避免，其半導體元件之生產量得以增加，且所製造之半導體元件之可信賴度亦得以改進。

之後，雖然未於圖式中顯示，藉著其後一連串之程序相繼地實施，依據該實施例之半導體元件之製造即為完成。

第 4A 圖至第 4F 圖係依據本發明又一實施例說明一半導體元件製造方法之程序的剖面圖。

如第 4A 圖所示，一絕緣層 404 形成於半導體基板 400（該基板之形成得以，例如：塊狀矽為之）內，用以限定作用區 402。在本發明之一實施例中，絕緣層 404 之形成係利用淺渠溝隔離 (STI) 法，以氧化物層填充溝渠之方法為之。一由氧化物層構成之祭祀層 432 形成於包括絕緣層 404 在內之半導體基板 400 上，其形成之厚度範圍為 100~1,000 安 (Å)，並且，一由非晶系碳層構成之硬遮罩層形成於祭祀層 432 上。由於作用區 402 在隨後之圍包蝕刻法受到祭祀層 432 之保護，因此於此處，由氧化物層構成之祭祀層 432，其形成之厚度大於在之前之實施例所實施之祭祀層的厚度。該硬遮罩層被蝕刻而形成硬遮罩圖案 434，以曝露祭祀層 432 位於作用區 402 之閘極形成區域的部份，以及絕緣層 404 從作用區 402 之閘極形成區域開始延伸的部份。其後，以該硬遮罩圖案 434 作為蝕刻障礙蝕刻祭祀層 432 所曝露的部份，以曝露作用區 402 之閘極形成區域、以及絕緣層 404 從閘極形成區域開始延伸的部份。

於此處，蝕刻以非晶系碳層構成之硬遮罩層，其

程序之實施，係先於硬遮罩層上形成一氮氧化矽層作為一抗反射層；之後，於氮氧化矽層上形成一光阻圖案，接著利用該光阻圖案作為蝕刻障礙蝕刻該氮氧化矽層與該硬遮罩層。最後，除去餘留之光阻圖案與氮氧化矽層。

如第 4B 圖所示，使用硬遮罩圖案 434 作為蝕刻障礙，蝕刻作用區 402 之被曝露之閘極形成區域、以及絕緣層 404 從閘極形成區域延伸而被曝露的部份，以形成第一個深度，因而第一凹入圖案 R1 即被定義於作用區 402 之閘極形成區域。在此同時，第一凹入圖案 R1 亦定義於絕緣層 404 中。

在本發明之一實施例中，定義第一凹入圖案 R1 之程序之實施係使用至少一主氣體以蝕刻矽，該主氣體係從 Cl_2 、 HBr 與 BCl_3 中所挑選出；並至少一主氣體來蝕刻一氧化物層，該主氣體係從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $\text{C}_x\text{H}_y\text{F}_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 及 SF_6 中挑選出；並至少一添加劑氣體，該氣體從 He 、 Ar 、 H_2 、 N_2 與 O_2 中選出。

如第 4C 圖所示，由非晶系碳層構成之硬遮罩圖案 434 被除去。接著，在已除去硬遮罩圖案 434 之半導體基板 400 實施圍包蝕刻法。實施圍包蝕刻法的結果使絕緣層 404 已凹陷形成第一個深度的部份又再一次被蝕刻（第二次蝕刻），以使具有大於第一個深度之第二個深度的第二凹入圖案 R2，定義在絕緣層

404 從作用區 402 之閘極形成區域開始延伸之部份，用以曝露閘極形成區域已凹陷成第一個深度處之前、後表面。在此之同時，由於第二凹入圖案 R2 側壁之上部被蝕刻，使得第二凹入圖案 R2 具有一正型的凹入剖面，其中，該凹陷上部的寬度大於其下部的寬度。另外，圍包蝕刻法實施之結果，部份或全部祭祀層 432 之厚度會被移除。較理想之狀況為，該圍包蝕刻法之實施使 50~200Å 之厚度範圍之祭祀層 432 被移除。

詳言之，該圍包蝕刻法之實施，係在 2~50 毫托 (mTorr) 之壓力、300~1,500 瓦 (W) 之電源功率、與 30~1,000 瓦 (W) 之偏壓功率之狀態下，使用從 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $C_xH_yF_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 及 SF_6 中選出至少其一之主要蝕刻氣；並至少一從 O_2 、Ar、He、HBr、 N_2 與 COS 中選出之添加劑氣體。

如第 4D 圖所示，剩餘之祭祀層 432 被移除。在本發明之一實施例中，除去餘留之祭祀層 432，其程序之實施係經由使用含有氟化氫 (HF) 之化學製品之溼洗法，或透過使用含有氮、氫或氟至少其一氣體之乾洗法。在清洗程序實施之同時，該在第一凹入圖案 R1 與第二凹入圖案 R2 底部剩餘之氧化物層亦一併被除去。

一閘極絕緣層 412、一第一閘極導電層 414、一

第二閘極導電層 416、與一閘極硬遮罩層 418，相繼形成在包括第一凹入圖案 R1 與具有正型的凹入剖面之第二凹入圖案 R2 在內之整個半導體基板 400 之表面。第一閘極導電層 414 之形成係採用多晶矽，第二閘極導電層 416 之形成係採用金屬物質，例如鎢，而閘極硬遮罩層 418 則使用一氮化物形成。蝕刻閘極硬遮罩層 418，接著以蝕刻後的硬遮罩層 418 作為蝕刻障礙，蝕刻第二閘極導電層 416、第一閘極導電層 414、與閘極絕緣層 412；複數的閘極圖案 410 因而形成於已定義有第一凹入圖案 R1 之作用區 402 之閘極形成區域，以及於絕緣層 404 從閘極形成區域開始延伸、已定義有第二凹入圖案 R2 的部份。各個閘極圖案 410 均形成為線狀閘極圖案，其在作用區 402 與絕緣層 404 以線狀延伸。接合區 406 在閘極圖案 410 兩側之作用區 402 表面形成。

在此處，該閘極圖案 410 之形成具有一寬度，該寬度小於第二凹入圖案 R2 上部的寬度，因此雖然第二凹入圖案 R2 之下部完全被閘極圖案 410 所填充，但第二凹入圖案 R2 之上部與閘極圖案 410 間產生了間隙。該閘極圖案 410 形成鞍鰭狀，係用以覆蓋作用區 402 之閘極形成區域的前、後表面。在本發明之一實施例中，閘極硬遮罩層 418 與由金屬物質製成之第二閘極導電層 416 之蝕刻，其實施係使用諸如 CF_4 、 SF_6 、 NF_6 、 Cl_2 、 O_2 、Ar、He、HBr 與 N_2 等

氣體。若由多晶矽組成之第一閘極導電層 414 之蝕刻以垂直方向實施則更為理想，因為如此，可以使第二凹入圖案 R2 上部之寬度擴大。為此，由多晶矽組成之第一閘極導電層 414 之蝕刻，其實施係在 0~100 瓦 (W) 之偏壓功率與範圍為 2~10 毫托 (mTorr) 之壓力下，使用 Cl_2 、 O_2 、 HBr 、 N_2 、 NF_3 、 O_2 、 CH_2F_2 與 CHF_3 適當混合之氣體。

如第 4E 圖所示，一由氮化物構成之閘極間隔器 420 在包括閘極圖案 410 在內之半導體基板 400 上形成。該閘極間隔器 420 形成之厚度能夠完全填充第二凹入圖案 R2 之上部與閘極圖案 410 間產生之間隙。換言之，閘極間隔器 420 之形成使第二凹入圖案 R2 之上部與閘極圖案 410 間之間隙，被閘極間隔器 420 完全填滿。因此，閘極圖案 410 填充於絕緣層 404 之第二凹入圖案 R2 之部份，受到完全將間隙填滿之閘極間隔器 420 之保護。

如第 4F 圖所示，一層間電介質 422 在包括閘極間隔器 420 在內之半導體基板 400 上形成。隨後，插塞 424 經由一 LPC 程序，形成於閘極圖案 410 兩側之層間電介質 422 中，以接觸接合區 406。該插塞 424 包含插塞，其之形成係用以接觸作用區 402 與絕緣層 404 (參照第 1 圖)，亦即為位元線節點之插塞。

於此處，當實施 LPC 程序時，由於位元線節點之插塞 424 受到閘極間隔器 420 之保護，閘極圖案

410 與插塞 424 間之連結乃被避免。從而，在本發明之一實施例中，由於閘極圖案 410 與插塞 424 間所形成之連結得以被避免，其半導體元件之生產量得以增加，且所製造之半導體元件之可信賴度亦得以改進。

之後，雖然未於圖式中顯示，藉著其後一連串之程序相繼地實施，依據該實施例之半導體元件之製造即為完成。

從以上敘述明顯可見，在本發明中，絕緣層上部在定義於絕緣層之凹陷的兩側壁被進一步移除，以使該凹陷上部的寬度大於其下部的寬度，並且，一閘極圖案形成於凹陷中，其具有一小於凹陷上部寬度之寬度。另外，定義於凹陷的絕緣層之上部與閘極圖案間之空間，由一閘極間隔器所填充。

從而，在本發明中，閘極圖案之側壁受到閘極間隔器之保護；而因此，在其後之 LPC 程序中，閘極圖案與 LPC 插塞間所發生之連結得以被避免，該半導體元件之生產量亦藉此而得以增加。

雖然本發明具體之實施例為了說明與解釋的目的敘述如上，熟稔本技術領域之人將能評斷，在未背離申請專利範圍所揭露之本發明之精神範圍內，各種不同之修改、添加與替換時，仍然應該在本發明之權利範圍內。

【圖式簡單說明】

第 1 圖顯示本發明一實施例之半導體元件的平面圖。

第 2 圖係沿第 1 圖 A-A' 線的剖面圖，顯示本發明一實施例之半導體元件。

第 3A~3F 圖係說明本發明另一實施例之半導體元件之製造方法的剖面圖。

第 4A~4F 圖係說明本發明又一實施例之半導體元件之製造方法的剖面圖。

【主要元件符號說明】

200：半導體基板

210：閘極圖案

202：作用區

204：絕緣層

R1：第一閘極圖案

R2：第二閘極圖案

224：插塞

206：接合區

212：閘極絕緣層

214：第一閘極導電層

216：第二閘極導電層

218：閘極硬遮罩層

220：閘極間隔器

- 222 : 層間介電質
- 224 : 插塞
- 302 : 祭祀層
- 304 : 硬遮罩層圖案
- 400 : 半導體基板
- 402 : 作用區
- 404 : 絕緣層
- 432 : 祭祀層
- 434 : 硬遮罩層
- 406 : 接合區
- 410 : 閘極圖案
- 412 : 閘極絕緣層
- 414 : 第一閘極導電層
- 416 : 第二閘極導電層
- 418 : 閘極硬遮罩層
- 420 : 閘極間隔器
- 422 : 層間電介質
- 424 : 插塞

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98107209

※申請日：98.3.6

※IPC 分類：H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

具有鞍鰭形通道之半導體元件及其製造方法／

SEMICONDUCTOR DEVICE HAVING SADDLE FIN-SHAPED
CHANNEL AND METHOD FOR MANUFACTURING THE SAME

二、中文發明摘要：

本發明提供一種半導體元件，包括：一半導體基板，一絕緣層形成於該半導體基板之內，用以限定作用區。閘極之凹入圖案定義於作用區與絕緣層。閘極圖案形成於閘極之凹入圖案內與其上，一閘極間隔器並形成以覆蓋閘極圖案。閘極之凹入圖案在作用區具有一第一個深度，並在絕緣層有一個大於該第一個深度之第二個深度。在閘極圖案與定義於絕緣層之閘極之凹入圖案之上部間產生有間隙。閘極間隔器填充於該間隙中，並使閘極間隔器因而受到保護，以避免連結之發生。

三、英文發明摘要：

A semiconductor device includes a semiconductor substrate with an isolation layer formed in the semiconductor substrate to delimit active regions. Recess patterns for gates are defined in the active regions and the isolation layer. Gate patterns are formed in and over the recess patterns for gates, and a gate spacer is formed to cover the gate patterns. The recess patterns for gates have a first depth in the active regions and a second depth, which is greater than the first depth, in the isolation layer. Gaps are created between the gate patterns and upper parts of the recess patterns for gates that are defined in the isolation layer. The gate spacer fills the gaps and protects the gate spacer so as to prevent bridging.

七、申請專利範圍：

1. 一種半導體元件，包含：

一半導體基板；

一絕緣層，其形成於半導體基板內，用以限定作用區；

複數的閘極之凹入圖案，其定義於作用區與絕緣層，其中，該凹入圖案在作用區具有第一個深度，並在絕緣層具有第二個深度，該第二個深度大於第一個深度；

閘極圖案，形成在閘極之凹入圖案內與其上；

間隙，其產生於閘極圖案與定義於絕緣層之凹入圖案之側壁間；與

一閘極間隔器，其覆蓋了閘極圖案，並填充了閘極圖案與至少凹入圖案側壁之上部間之間隙。

2. 如申請專利範圍第 1 項之半導體元件，其中，該閘極間隔器係由一氮化物層所構成。

3. 如申請專利範圍第 1 項之半導體元件，其中，定義於絕緣層之凹入圖案，其上部的寬度大於其下部的寬度，從而使閘極圖案與在絕緣層之凹入圖案側壁之上部間產生了間隙。

4. 如申請專利範圍第 1 項之半導體元件，進一步包含：

接合區，其形成在閘極圖案兩側之作用區表

面；

一層間介電質，其形成在包括閘極間隔器與接合區在內之半導體基板上；以及

插塞，其形成於層間電介質中，用以接觸接合區。

5. 如申請專利範圍第 4 項之半導體元件，其中，該插塞包含形成來接觸作用區與絕緣層之插塞。
6. 一種半導體元件之製造方法，包含以下步驟：

在半導體基板上形成一絕緣層，用以限定作用區；

蝕刻作用區與絕緣層，以定義具有第一個深度的凹陷；

蝕刻定義於絕緣層、已具有第一個深度之凹陷，使之形成具有第二個深度之凹陷，因此，在作用具有第一個深度、並在絕緣層具有第二個深度之閘極之凹入圖案即定義完成；

擴大定義於絕緣層之閘極之凹入圖案其上部的寬度；

在閘極之凹入圖案其內與其上形成閘極圖案，該各個閘極圖案均具有一寬度，該寬度小於位於絕緣層之各個凹入圖案已擴大的上部的寬度，因此，在至少閘極圖案與定義於絕緣層之閘極之凹入圖案已擴大的上部間產生了間隙；以及形成一閘極間隔器以覆蓋閘極圖案，並填充

間隙。

7. 如申請專利範圍第 6 項之方法，其中，定義閘極之凹入圖案之方法包含以下步驟：

在作用區與絕緣層形成一祭祀層；

在祭祀層上形成一硬遮罩層；

蝕刻硬遮罩層以使之形成硬遮罩圖案，用以曝露祭祀層，該祭祀層底下為將被定義之閘極之凹入圖案；

利用硬遮罩圖案蝕刻祭祀層、作用區與絕緣層，以形成具有第一個深度之凹陷；

蝕刻定義於絕緣層、已具有第一個深度之凹陷，以在絕緣層內形成具有第二個深度之凹陷，該第二個深度大於第一個深度；以及

除去硬遮罩圖案。

8. 如申請專利範圍第 7 項之方法，其中，該祭祀層係由一氧化物層所構成。
9. 如申請專利範圍第 7 項之方法，其中，該氧化物層形成之厚度範圍為 50~500 安 (Å)。
10. 如申請專利範圍第 7 項之方法，其中，該硬遮罩層係由一非晶系碳層所構成。
11. 如申請專利範圍第 6 項之方法，其中，擴大定義於絕緣層之閘極之凹入圖案上部之寬度，其步驟之實行係透過乾洗法。
12. 如申請專利範圍第 11 項之方法，其中，該乾洗程

序係在不施加電漿之狀態下實施，其方式為在範圍為 60~120 毫托 (mTorr) 之壓力與 30~60°C 之溫度下，使用 NH_3 、 HF 與 Ar 氣體。

13. 如申請專利範圍第 11 項之方法，其中，該乾蝕刻程序係在施加直接電漿之狀態下實施，其方式為在範圍為 500~1,000 毫托 (mTorr) 之壓力與 500~3,000 瓦 (W) 之電壓下，使用 N_2 與 H_2 以及 NF_3 或 HF 其一之氣體。

14. 如申請專利範圍第 11 項之方法，其中，該乾蝕刻程序係在施加遠距電漿之狀態下實施，其方式為在範圍為 200~400 帕 (Pa) 之壓力與 1,000~4,000 瓦 (W) 之電壓下，使用 NH_3 與 NF_3 、以及 N_2 或 H_2 其一之氣體。

15. 如申請專利範圍第 6 項之方法，進一步包含以下步驟：

於形成閘極圖案之步驟之後、而在形成閘極間隔器之步驟之前，在閘極圖案兩側之作用區表面形成接合區。

16. 如申請專利範圍第 6 項之方法，其中，該閘極間隔器之係由一氮化物層所構成。

17. 如申請專利範圍第 6 項之方法，其中，定義於絕緣層中之閘極之凹入圖案，其上部之寬度大於其下部之寬度，因此，閘極圖案與位於絕緣層閘極之凹入圖案之上部之間產生了間隙。

18. 如申請專利範圍第 6 項之方法，其中：

於形成閘極間隔器之步驟之後：

在包括閘極間隔器在內之半導體基板上形成一層間電介質；以及

在層間電介質中形成插塞，用以接觸在作用區中之接合區。

19. 如申請專利範圍第 18 項之方法，其中，該插塞包含形成來接觸作用區與絕緣層之插塞。

20. 一種半導體元件之製造方法，其包含以下步驟：

在半導體基板內形成一絕緣層，用以限定作用區；

利用祭祀層圖案與硬遮罩圖案蝕刻作用區與絕緣層，以定義閘極之凹入圖案；

在閘極之凹入圖案內與其上，形成閘極圖案；以及

形成一閘極間隔器以覆蓋閘極圖案，

其中，定義閘極之凹入圖案之方法，包含以下步驟：

利用硬遮罩圖案蝕刻作用區與絕緣層，以定義具有第一個深度之凹陷；以及

透過圍包蝕刻法，利用祭祀層圖案蝕刻在絕緣層已具有第一個深度的凹陷，以在絕緣層形成具有第二個深度的凹陷，同時並擴大閘極之凹入圖案之上部的寬度；

其中，該閘極圖案之形成具有一寬度，該寬度小於閘極之凹入圖案已擴大之上部的寬度，因此，至少於閘極圖案與定義於絕緣層之閘極之凹入圖案已擴大之上部之間，產生了間隙，而且

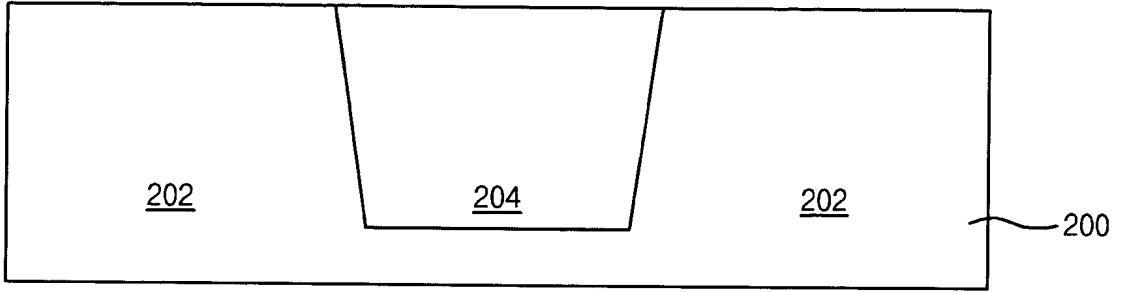
其中，該閘極間隔器填充於閘極圖案與定義於絕緣層之閘極之凹入圖案已擴大之上部間之間隙。

21. 如申請專利範圍第 20 項之方法，其中，該祭祀層圖案係由一氧化物層所構成。
22. 如申請專利範圍第 21 項之方法，其中，該氧化物層所形成之厚度範圍為 100~1,000 安 (Å)。
23. 如申請專利範圍第 20 項之方法，進一步包含：
 - 在作用區與絕緣層形成一祭祀層；
 - 在祭祀層上形成一硬遮罩層；以及
 - 蝕刻祭祀層與硬遮罩層以形成祭祀層圖案與硬遮罩層圖案，從而使祭祀層圖案與硬遮罩層圖案曝露閘極之凹入圖案將被形成的區域。
24. 如申請專利範圍第 23 項之方法，其中，該硬遮罩層由一非晶系碳層所構成。
25. 如申請專利範圍第 24 項之方法，其中，該非晶系碳層形成之厚度範圍為 1,000~3,000 安 (Å)。
26. 如申請專利範圍第 20 項之方法，其中，該圍包蝕刻法之實施，將使祭祀層圖案厚度之一部或全部，隨著具有第一個深度之凹陷之蝕刻而被移除。

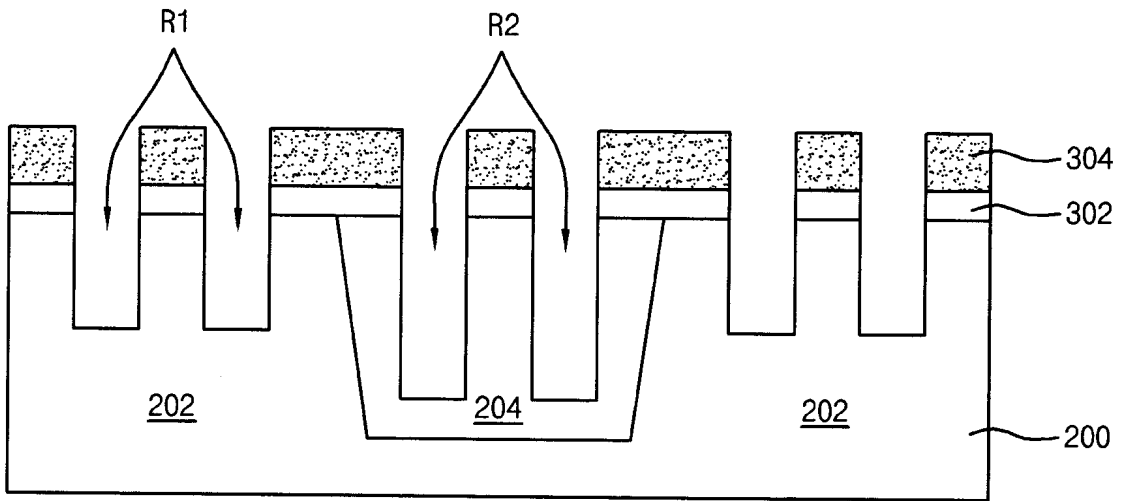
27. 如申請專利範圍第 20 項之方法，其中，該圍包蝕刻法之實施結果，餘留了厚度範圍為 50~200 安 (Å) 之祭祀層圖案。
28. 如申請專利範圍第 20 項之方法，其中，該圍包蝕刻法之實施，係使用 C_xF_y ($1 \leq x \leq 5$, $4 \leq y \leq 8$)、 $C_xH_yF_z$ ($1 \leq x \leq 3$, $1 \leq y \leq 3$, $1 \leq z \leq 3$)、 NF_3 與 SF_6 至少其一之主要蝕刻氣體，以及 O_2 、Ar、He、HBr、 N_2 與 COS 至少其一之添加劑氣體。
29. 如申請專利範圍第 28 項之方法，其中，該圍包蝕刻法，係在壓力 2~50 毫托 (mTorr)、電源功率 300~1,500 瓦 (W)、偏壓率 30~1,000 瓦 (W) 之狀態下為之。
30. 如申請專利範圍第 20 項之方法，進一步包含以下之步驟：
在閘極圖案形成之步驟之後、而在閘極間隔器形成之步驟之前，在閘極圖案兩側之作用區表面形成接合區。
31. 如申請專利範圍第 20 項之方法，進一步包含以下步驟：
在閘極間隔器形成之步驟之後：
形成一層間電介質於閘極間隔器；以及
在層間電介質形成插塞，用以接觸在作用區之接合區。
32. 如申請專利範圍第 31 項之方法，其中，該插塞包

含插塞，其形成係用以接觸作用區與絕緣層。

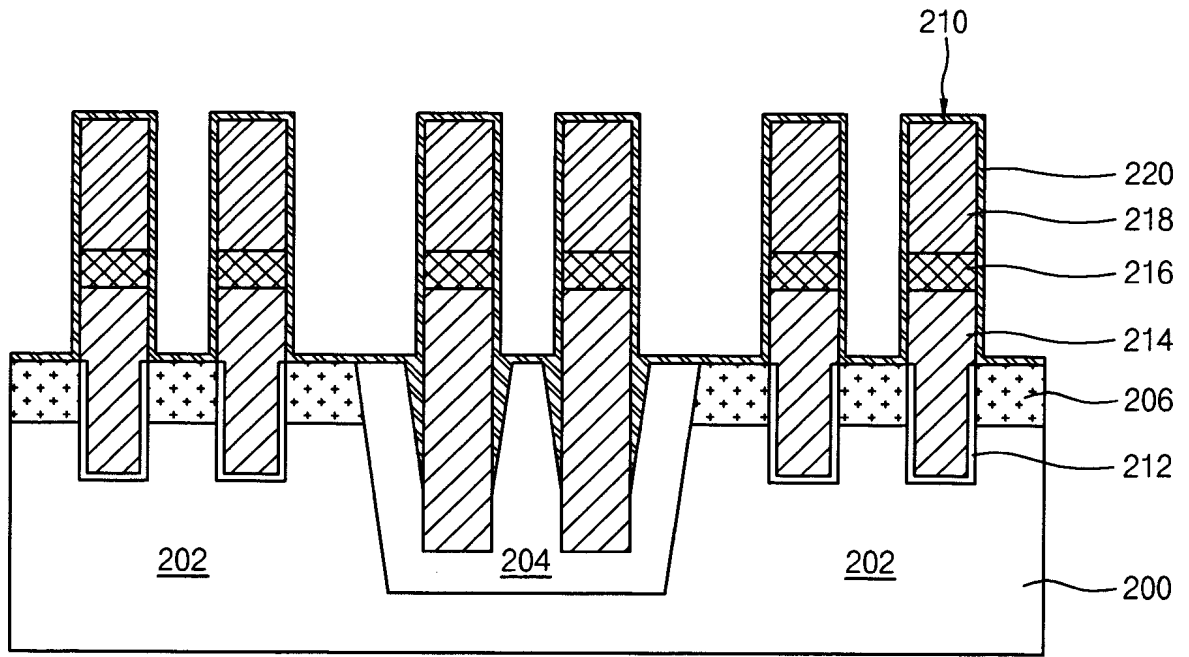
33. 如申請專利範圍第 20 項之方法，其中，定義於絕緣層之閘極之凹入圖案，其上部之寬度大於其下部之寬度，從而，閘極圖案與在絕緣層之閘極之凹入圖案之上部間產生了間隙。



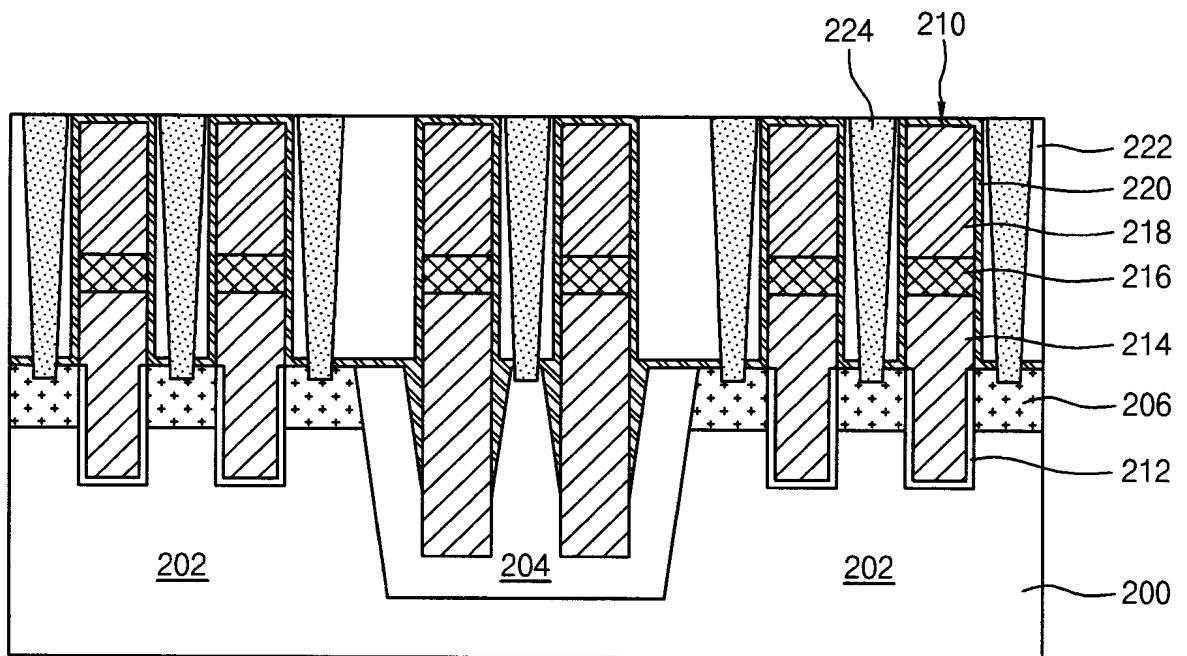
第 3A 圖



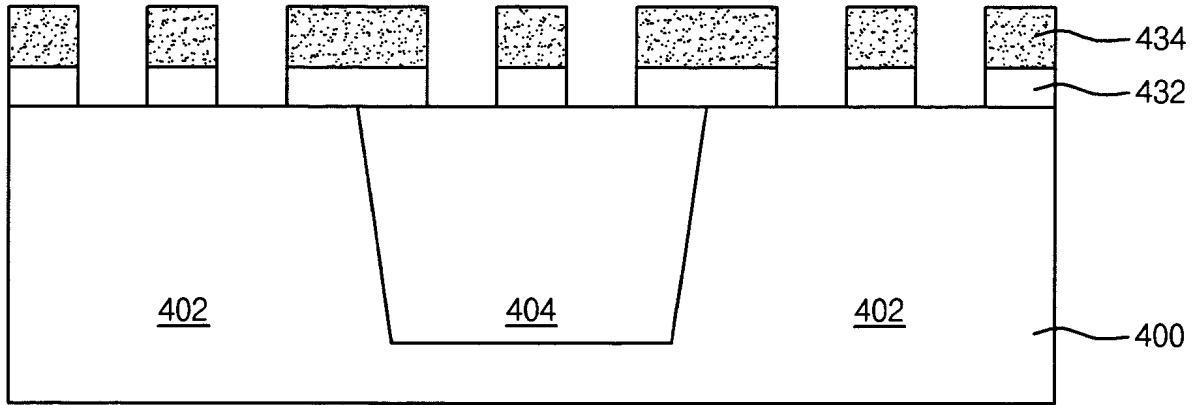
第 3B 圖



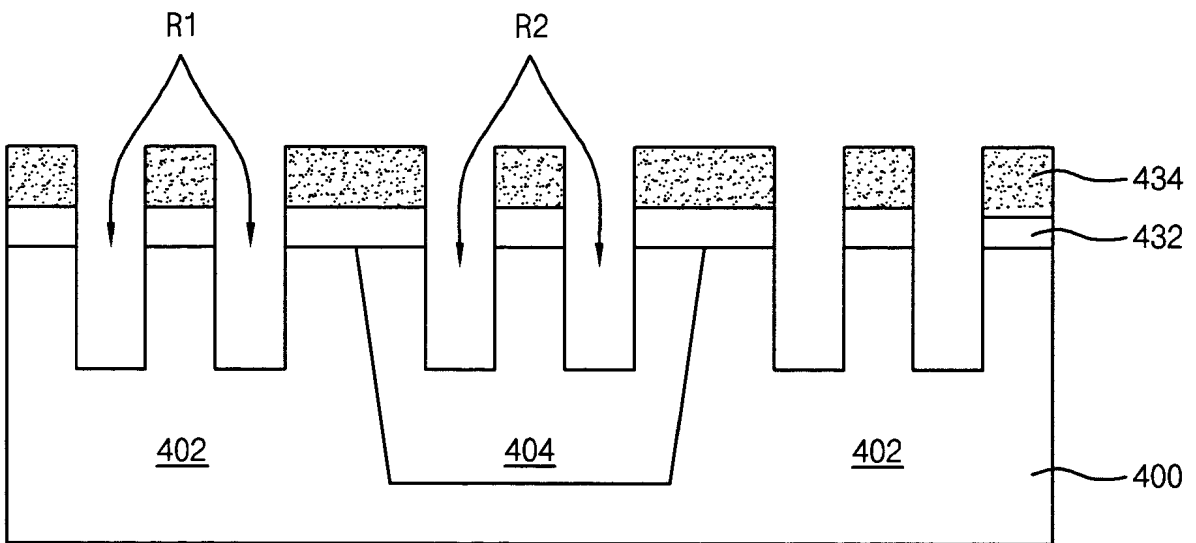
第 3E 圖



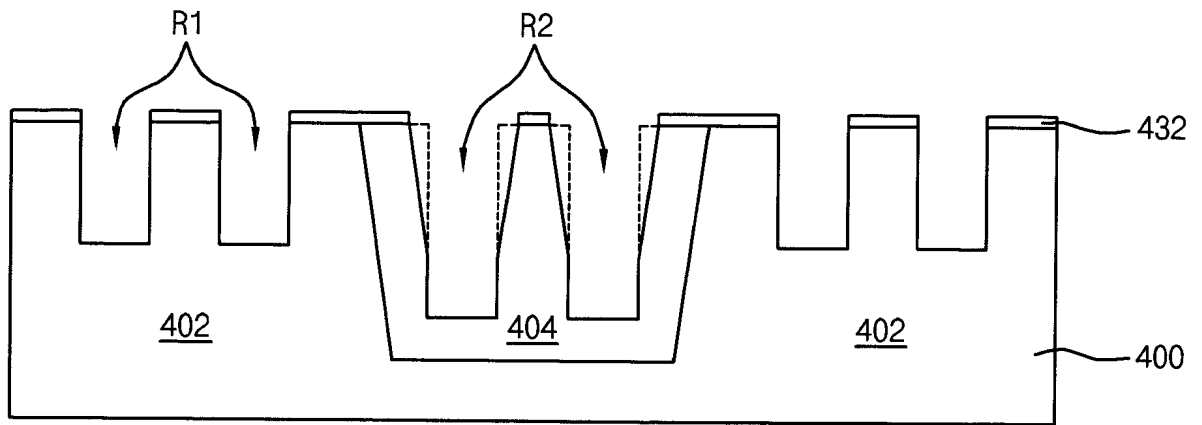
第 3F 圖



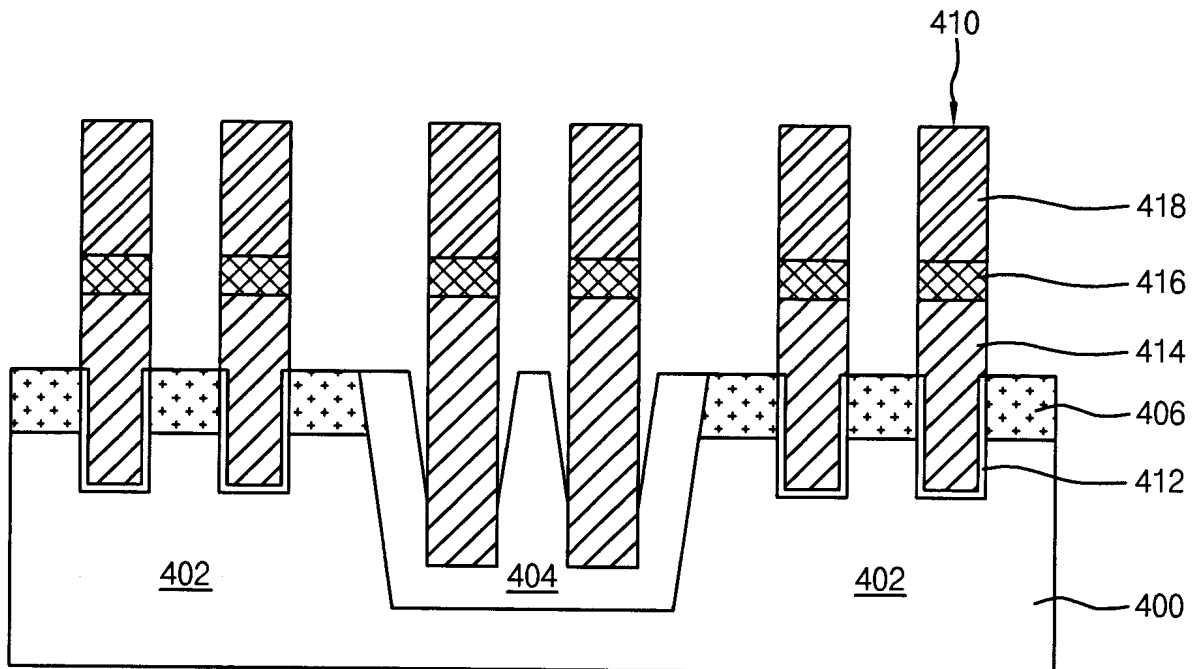
第 4A 圖



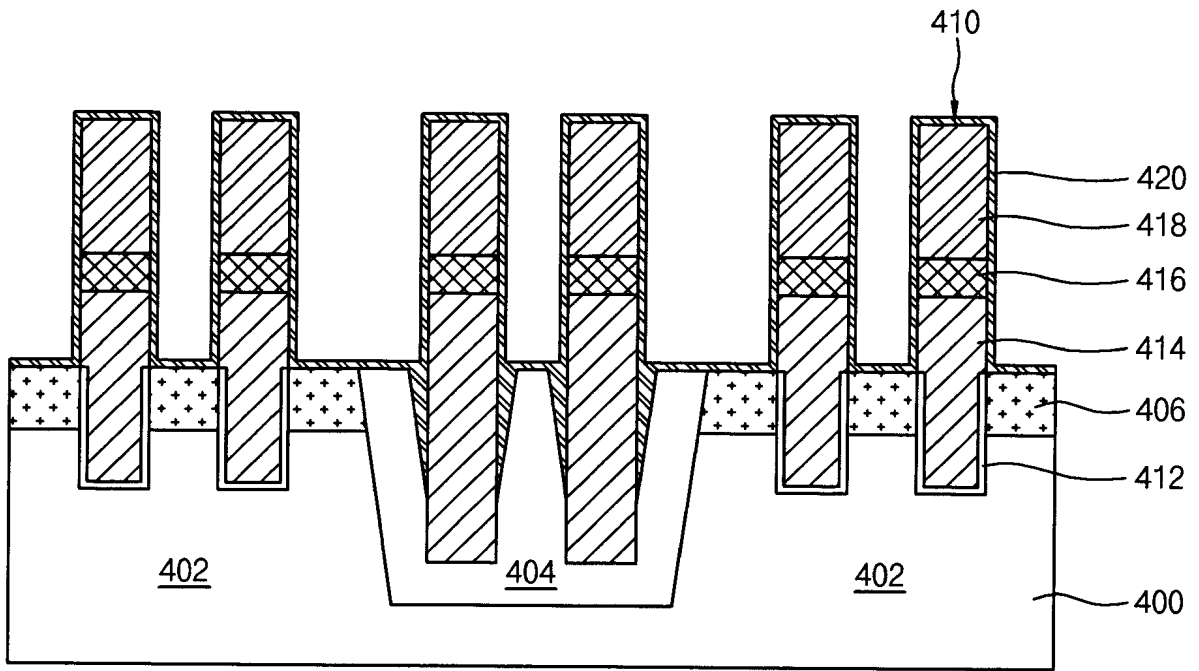
第 4B 圖



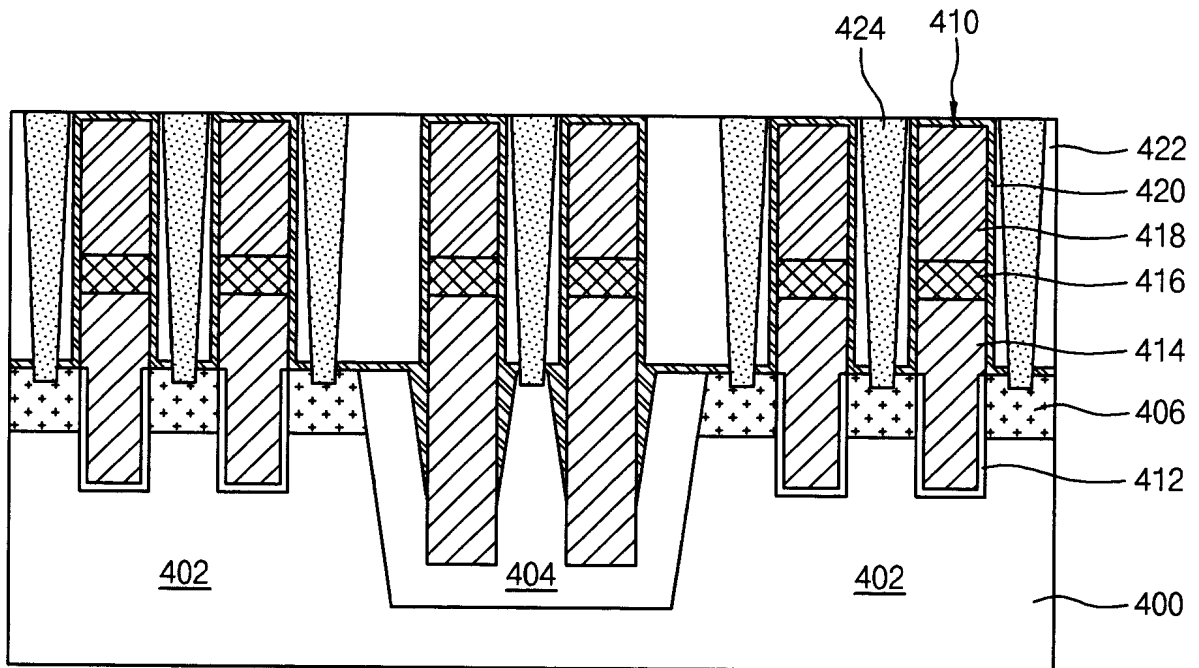
第 4C 圖



第 4D 圖



第 4E 圖



第 4F 圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

R1：第一凹入圖案

R2：第二凹入圖案

200：半導體基板

202：作用區

204：絕緣層

206：接合區

210：閘極圖案

212：閘極絕緣層

214：第一閘極導電層

216：第二閘極導電層

218：硬遮罩層

220：閘極間隔器

222：層間電介質

224：插塞

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：