

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5396599号
(P5396599)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl. F I
HO 3M 13/27 (2006.01) HO 3M 13/27
HO 3M 13/29 (2006.01) HO 3M 13/29

請求項の数 2 (全 22 頁)

| | | | |
|--------------|-------------------------------------|-----------|--|
| (21) 出願番号 | 特願2011-97251 (P2011-97251) | (73) 特許権者 | 510284071 |
| (22) 出願日 | 平成23年4月25日 (2011.4.25) | | モトローラ モビリティ エルエルシー |
| (62) 分割の表示 | 特願2007-308343 (P2007-308343) の分割 | | MOTOROLA MOBILITY L LC |
| 原出願日 | 平成19年11月29日 (2007.11.29) | | アメリカ合衆国 60048 イリノイ州 |
| (65) 公開番号 | 特開2011-147188 (P2011-147188A) | | リバティービル ノース ユーエス ハ イウェイ 45 600 |
| (43) 公開日 | 平成23年7月28日 (2011.7.28) | (74) 代理人 | 100142907 |
| 審査請求日 | 平成23年4月25日 (2011.4.25) | | 弁理士 本田 淳 |
| (31) 優先権主張番号 | 60/867,899 | (72) 発明者 | アジト ニンバルカー |
| (32) 優先日 | 平成18年11月30日 (2006.11.30) | | アメリカ合衆国 60173 イリノイ州 |
| (33) 優先権主張国 | 米国 (US) | | シャンバーグ イー. アルゴンクイン ロード 1120 アパートメント 3イ ー |
| (31) 優先権主張番号 | 11/683,024 | | |
| (32) 優先日 | 平成19年3月7日 (2007.3.7) | | |
| (33) 優先権主張国 | 米国 (US) | | |

最終頁に続く

(54) 【発明の名称】 データを符号化および復号するための方法および装置

(57) 【特許請求の範囲】

【請求項1】

ターボ符号器を操作するための方法であって、
 サイズKの情報ブロックを受信するステップと、
 一組のサイズからのK'に関連するインターリーブ・サイズK'を決定するステップであって、前記一組のサイズが、 $K' = a^p \times f$ 、 $p_{min} \leq p \leq p_{max}$ 、 $f_{min} \leq f \leq f_{max}$ を含み、aは整数であり、fは、 f_{min} と f_{max} の間の連続している整数であり、pは、 p_{min} と p_{max} の間の整数値であり、 $a > 1$ 、 $p_{max} > p_{min}$ 、 $p_{min} > 1$ であり、 $f_{min} = 2^b$ 、 $f_{max} = 2^{b+1} - 1$ であり、bは整数であり、p及びfは、

【数1】

$$p = \lfloor \log_2(K) \rfloor - b \quad \text{および}$$

$$f = \left\lceil \frac{K}{2^p} \right\rceil$$

により計算される、前記決定するステップと、

サイズKの情報ブロックをサイズK'の入力ブロック内に詰め込むステップと、
 サイズK'のインターリーブにより前記入力ブロックをインターリーブするステップであって、前記入力ブロックをインターリーブする前記ステップが、並べ替え (i) = (

$(f_1 \times i + f_2 \times i^2) \bmod K'$) を使用するステップを含み、 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、記号内の前記インターリーブのサイズであり、 f_1 および f_2 は、インターリーブを定義する係数であるステップと、

符号語ブロックを入手するためにもとの入力ブロックおよび前記インターリーブした入力ブロックを符号化するステップと、

チャンネルを通して前記符号語ブロックを送信するステップと、を含む方法。

【請求項 2】

ターボ符号器を操作するための装置であって、

K'' に関連するインターリーブ・サイズ K' を決定するインターリーブ・サイズ決定回路であって、 K'' が一組のサイズからのものであり、前記一組のサイズは、 $K'' = a^p \times f$ 、 $p_{\min} \leq p \leq p_{\max}$ ； $f_{\min} \leq f \leq f_{\max}$ を含み、 a は、整数であり、 f は、 f_{\min} と f_{\max} の間の連続している整数であり、 p は、 p_{\min} と p_{\max} の間の整数値であり、 $a > 1$ 、 $p_{\max} > p_{\min}$ 、 $p_{\min} > 1$ であり、 $f_{\min} = 2^b$ 、 $f_{\max} = 2^{b+1} - 1$ であり、 b は整数であり、 p 及び f は、

【数 2】

$$p = \lfloor \log_2(K) \rfloor - b \quad \text{および}$$

$$f = \left\lfloor \frac{K}{2^p} \right\rfloor$$

により計算される、前記インターリーブ・サイズ決定回路と、

サイズ K の情報ブロックを受信し、サイズ K の前記情報ブロックをサイズ K' の入力ブロック内に詰め込むフィル挿入回路と、

サイズ K' の前記入力ブロックをインターリーブするインターリーブであって、インターリーブが並べ替え $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ を使用し、 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、記号内のインターリーブのサイズであり、 f_1 および f_2 は、インターリーブを定義する係数であるインターリーブと、

符号語ブロックを入手するために、前記もとの入力ブロックおよび前記インターリーブした入力ブロックを符号化する符号器と、

を備える装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、データの符号化および復号に関し、特に、ターボ符号化および復号のための方法および装置に関する。

【背景技術】

【0002】

有線および無線リンクを通してのデジタル・データの送信は、例えば、リンクまたはチャンネル内のノイズ、他の送信からの干渉、または他の環境的要因により劣化する場合がある。チャンネルにより導入されたエラーを解決するために、多くの通信システムは、通信中の補助のための誤り訂正技術を使用している。

【0003】

誤り訂正のために使用される 1 つの技術は、チャンネルを通して送信する前に情報ブロックをターボ符号化する方法である。このような技術を使用して、通信システムの送信機内の符号器は、長さ K' ビットの入力ブロック u を N ビットの符号語ブロック x に符号化する。次に、符号語ブロックは、IEEE 802.16e 仕様に定義されているように、チ

10

20

30

40

50

チャンネル・インターリーブのような他の処理の後でチャンネルを通して送信される。受信機のところでは、ターボ復号器が、長さ N の受信した信号ベクトル y を入力として取り入れ、ベクトル u の推定値 \hat{u} を生成する。

【0004】

通常、ターボ符号器は、2つの構成畳み込み符号器から構成される。第1の構成符号器は、入力ブロック u をそのもとの順序で入力として受け入れ、第2の構成符号器は、 u をターボ・インターリーブに通した後にそのインターリーブした順序で入力ブロック u を受け入れる。ターボ符号器出力 x は、(入力ブロック u に等しい)システマティック・ビット、第1の構成符号器からのパリティ・ビット、および第2の構成符号器からのパリティ・ビットから構成される。

10

【0005】

それに対応して、通信システムの受信機内のターボ復号器は、一方は、各構成符号に対して1つずつ、2つの構成畳み込み復号器から構成される。構成復号器は、インターリーブおよび対応するデインターリーブにより分離されている。対数尤度比(LLR)のフォーマットのメッセージは、構成復号器間を反復して通過する。決定 \hat{u} は数回の反復の後で行われる。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】 Designing good permutations for turbo codes: towards a single model, IEEE Communications Society 0-7803-8533-0/04/\$20.00(c)2004 IEEE

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

ターボ・インターリーブは、ターボ符号設計の際の重要な構成要素である。このターボ・インターリーブは、擬似ランダム方法で入力ブロック u をスクランブルし、それ故、優れた重み分布を含む符号語 x を提供する。それ故、優れた誤り訂正機能を提供する。復号性能の他に、ターボ・インターリーブの定義は、受信機内のターボ復号器の実施に大きな影響を与える。メモリ・アクセス競合なしで高レベル並列処理ができるように、ターボ・インターリーブは、競合を起こさない特性を有する必要がある。

30

【課題を解決するための手段】

【0008】

競合のないインターリーブに上記ニーズを満たすために、以下にターボ符号のインターリーブ・サイズを選択するための方法および装置について説明する。動作中、サイズ K の情報ブロックが受信される。インターリーブ・サイズ K' は、 K' が K'' に関連している、 K'' が一組のサイズからのものである場合に決定される。一組のサイズは、 $K'' = a^p \times f$ 、 $p_{min} \leq p \leq p_{max}$; $f_{min} \leq f \leq f_{max}$ を含み、 a は整数であり、 f は f_{min} と f_{max} の間の連続している整数であり、 p は p_{min} と p_{max} の間の整数値であり、 $a > 1$ 、 $p_{max} > p_{min}$ 、 $p_{min} > 1$ である。サイズ K の情報ブロックは、サイズ K' の入力ブロック内に詰め込まれる。入力ブロックは、サイズ K' のインターリーブによりインターリーブされる。もとの入力ブロックおよびインターリーブされた入力ブロックは、符号語ブロックを入手するために符号化される。符号語ブロックは、チャンネルを通して送信される。

40

【0009】

本発明の他の実施形態の場合には、 K'' に関連するインターリーブ・サイズ K' を決定するステップは、 $K' = K''$ を使用するステップを含む。

さらに他の実施形態の場合には、 K'' に関連するインターリーブ・サイズ K' を決定するステップは、 K'' が $(2^m - 1)$ の倍数でない場合に、 $K' = K''$ を使用するステップ

50

を含み、そうでない場合で K'' が $(2^m - 1)$ の倍数である場合には、 $K' = K'' + (K'')$ を使用するステップを含む。ここで、 m は、構成畳み込み符号器のメモリ長であり、 (K'') は、 $(2^m - 1)$ の倍数に等しくない小さな正の整数または負の整数である。一実施形態の場合には、 $m = 3$ である。

【0010】

本発明のさらに他の実施形態の場合、入力ブロックをインターリーブするステップは、並べ替え $(i) = (i P_0 + A + d(i)) \bmod K'$ を使用するステップを含む。 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、記号のインターリーブのサイズであり、 P_0 は、 K' に相対的に素数である数であり、 A は定数であり、 C は、 K' を割る小さな数であり、 $d(i)$ は、形式 $d(i) = (i \bmod C) + P_0 \times (i \bmod C)$ のディザ・ベクトルである。 (\cdot) および (\cdot) は、 $0 \leq i < K' - 1$ に対して周期的に適用されるそれぞれが長さ C のベクトルである。

10

【0011】

本発明のさらに他の実施形態の場合には、入力ブロックをインターリーブするステップは、並べ替え $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ を使用するステップを含む。 $0 \leq i < K' - 1$ は、インターリーブした後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、記号のインターリーブのサイズであり、 f_1 および f_2 は、インターリーブを定義する係数である。

20

【0012】

データの符号化および復号を説明する前に、必要な背景を設定するために、定義について説明する。

- ・ K は、情報ブロックのサイズである。

【0013】

・ K' は、インターリーブのサイズ（すなわち、それに対してターボ符号インターリーブが定義される入力ブロック・サイズ）である。

・ K'' は、インターリーブのサイズを決定する際に使用することができる補助変数である。

30

【0014】

- ・ K_{filler} は、情報ブロックに追加されるフィラー・ビットの数である。
- ・ $\lfloor \cdot \rfloor$ は、ターボ符号の内部インターリーブである。
- ・ フローリング動作

【0015】

【数1】

$$\lfloor x \rfloor$$

【0016】

は、 x より小さいか、等しい最大の整数であり、シーリング動作

40

【0017】

【数2】

$$\lceil x \rceil$$

【0018】

は、 x より大きいか、等しい最小の整数である。

・ u は、 K' の長さを有し、送信機のところのターボ符号器に送信される入力ブロックである。 \hat{u} は、 K' の長さを有し、受信機のところのターボ復号器により生成される推定入力ブロックである。復号エラーがない場合には $\hat{u} = u$ であることに留意されたい。そうでない場合には、 $\hat{u} \neq u$ である。

50

【図面の簡単な説明】

【0019】

【図1】送信機のブロック図。

【図2】図1のターボ符号器のブロック図。

【図3】受信機のブロック図。

【図4】図4のターボ復号器のブロック図。

【図5】図1の送信機の動作を示すフローチャート。

【図6】図3の受信機の動作を示すフローチャート。

【発明を実施するための形態】

【0020】

類似の参照番号が類似の構成要素を示す図面を参照すると、図1は、送信機100のブロック図である。図に示すように、送信機100は、フィルタ挿入回路109と、ターボ符号器101と、インターリーブ・サイズ決定回路103と、インターリーブ・パラメータ・テーブル105と、送信機107とを備える。好適には、符号器101は、レート-1/3 3GPPターボ符号器であることが好ましいが、符号器101を動作するための本明細書に記載する技術を、テール・ビットによりまたはテール・ビットを使用しないターボ符号化を実行するターボ符号器、テール・ビットティング、バイナリまたはデュオバイナリ・ターボ符号器、異なるレート・マッチングおよびパンクチャリング技術を使用するターボ符号器等を含むがこれらに限定されない他の符号器に適用することができる。回路103は、 K'' に関連するインターリーブ・サイズ K' を決定する。 K'' は一組のサイズからのものである。一組のサイズは、 $K'' = a^p \times f$ 、 $p_{min} \leq p \leq p_{max}$ ； $f_{min} \leq f \leq f_{max}$ を含む。 a は、整数であり、 f は、 f_{min} と f_{max} の間の連続している整数であり、 p は、 p_{min} と p_{max} の間の整数値をとり、 $a > 1$ 、 $p_{max} > p_{min}$ 、 $p_{min} > 1$ である。

【0021】

送信機100の動作中、サイズ K の情報ブロックをターボ符号器101で符号化する必要がある。多数の異なる K を使用しているある通信システムの場合には、各情報ブロック・サイズ K に対する競合を起こさない(CF)インターリーブを定義するのは効率的ではない(多くの場合不可能である)。好適には、少数の組(K')のうまく設計されたCFインターリーブがすべての情報ブロック・サイズをカバーすることができることが好ましい。情報ブロック・サイズが K である場合には、適当なインターリーブ・サイズ K' は、回路103により一組の使用できるサイズ(例えば、テーブル105内に記載されているインターリーブ・サイズ)から選択することができる。次に、情報ブロックは、回路109によりサイズ K' の入力ブロック内に詰め込まれ、入力としてターボ符号器101に送られる。典型的な配置は、(フィルタ挿入回路109を介して) K_{filter} フィルタ・ビットと一緒に情報ブロックを詰め込む。「サイズ」および「長さ」という用語は、ブロックまたはベクトルの素子の数を示すために同義語として使用されることに留意されたい。

【0022】

回路103により K' を選択すると、 K' はターボ符号器101に送られる。符号化中、競合のないインターリーブを(図1に図示せず)使用することができる。例えば、インターリーブは、並べ替え $(i) = (iP_0 + A + d(i)) \bmod K'$ を使用することができる。 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブ前の記号インデックスであり、 K' は、記号のインターリーブ・サイズであり、 P_0 は、 K' に相対的に素数である数であり、 A は、定数であり、 C は、 K' を割る小さな数であり、 $d(i)$ は、形式 $d(i) = (i \bmod C) + P_0 \times (i \bmod C)$ の「ディザ」ベクトルである。 (\cdot) および (\cdot) は、 $0 \leq i < K' - 1$ に対して周期的に適用されるそれぞれが長さ C のベクトルである。他の例としては、インターリーブは、並べ替え $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ を使用することができる。 $0 \leq i < K' - 1$ は、インタ

10

20

30

40

50

ーリーピング後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーピング前の記号インデックスであり、 K' は、記号のインターリーバ・サイズであり、 f_1 および f_2 は、インターリーバを定義する係数である。一般に、記号は、複数のビットから構成することができ、インターリーピングのステップは、記号内でビットを並べ替える追加のステップを使用することができる。一般性を失わないで、下記の説明は、記号が1つのビットだけから構成され、(それ故、記号内でビットを並べ替える必要がない) 通常のケースを考慮し、「ビット」および「記号」という用語は、同義語として使用することができる。

【0023】

ターボ符号器101の出力は、符号語ブロック x を含み、 x は送信機107に送られ、チャンネルを通して送信される。送信機は、チャンネルを通して符号語ブロック x を送信する前に、レート・マッチング、チャンネル・インターリーピング、変調等のような追加の処理を行う。

10

【0024】

図2は、図1の符号器101のブロック図である。図に示すように、符号器101は、インターリーバ201と、符号化回路202と、符号化回路203とを備える。符号器の一例としては、3GPP仕様に定義されているターボ符号器がある。3GPPに定義されているターボ符号器のマザー・コード・レートは、 $R = 1/3$ の本来のコード・レートを有する。ターボ符号器の出力のところで、入力ブロック内で各ビットに対して3つのビット、すなわち(入力ブロック内のビットに等しい)1つのシステムティック・ビット、構成符号器1からの1つのパリティ・ビット、構成符号器2からの1つのパリティ・ビットが生成される。さらに、ターボ符号器の出力は、また、構成符号のトレリスを終了させるために使用される N_{TB} テール・ビットを含むことができる。例えば、3GPPターボ符号の場合には、ターボ符号器6の出力のところで $N_{TB} = 12$ ビット、構成符号当たりの6テール・ビットである。一方、テール・ビットング構成畳み込み符号を使用することができる。それ故、 $N_{TB} = 0$ になる。

20

【0025】

インターリーバ201は、競合しないインターリーバであってもよい。インターリーバ (i) ($0 \leq i < K'$) は、それが $=$ (インターリーバ) および $= -1$ (ディインターリーバ) に対する下記の制約を満たした場合だけ、ウィンドウ・サイズ W に対して競合しないインターリーバであるといわれる。

30

【0026】

【数3】

$$\left\lfloor \frac{\psi(j+iW)}{W} \right\rfloor \neq \left\lfloor \frac{\psi(j+vW)}{W} \right\rfloor \quad (1)$$

【0027】

ここで、 $0 \leq j < W$ 、 $0 \leq t, v < M (= K' / W)$ であり、 $t \neq v$ である。いつでもそれが必要なわけではないが、効率的なターボ復号器設計の場合には、通常、 M 個のウィンドウがすべて満杯である。 $K' = MW$ である。(1)の項は、反復復号中に出力メモリ・バンクに外因値を書き込む場合に、 M 個のプロセッサにより同時にアクセスされるメモリ・バンク・アドレスである。これらすべてのメモリ・バンク・アドレスが、各読出および書込動作中一意のものである場合には、メモリ・アクセス中に競合が起こらないので、(デ)インターリーピング待ち時間を避けることができ、復号器の実施が高速になる。

40

【0028】

ターボ符号器101の動作中、長さ K' ビットの入力ブロックはインターリーバ201および符号化回路202の両方に入る。インターリーバ201は、サイズが K' の競合しないインターリーバであってもよい。

【0029】

インターリーバ201は、入力ブロックをインターリーブし、入力ブロックをインター

50

リーブした順序で符号化回路 203 に送る。次に、符号化回路 203 は、インターリーブした入力ブロックを符号化する。同じような方法で、符号化回路 202 は、もとの入力ブロックを符号化する。符号語ブロック x は、(入力ブロックに等しい) システムティック・ブロック、符号化回路 202 の出力、および符号化回路 203 の出力から構成される。次に、符号語ブロック x は、入力ブロックのコピーを直接受信することもできる送信機 107 に送られる。

【0030】

競合しないインターリーブの一例として、下式により表されるほぼ正規の並べ替え (ARP) インターリーブがある。

【0031】

【数 4】

$$\pi(i) = (iP_0 + A + d(i)) \bmod K'$$

【0032】

ここで、 $0 \leq i < K' - 1$ は、インターリーブ後のビット位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブ前のビット・インデックスであり、 K' は、インターリーブ・サイズであり、 P_0 は、 K' に相対的に素数である数であり、 A は、定数であり、 C は、 K' を割る小さな数であり、 $d(i)$ は、形式 $d(i) = (i \bmod C) + P_0 \times (i \bmod C)$ のディザ・ベクトルである。

(\cdot) および (\cdot) は、 $0 \leq i < K' - 1$ に対して周期的に適用されるそれぞれが長さ C のベクトルである。 (\cdot) および (\cdot) の両方は、複数の C から構成される。このように構成された全インターリーブ (\cdot) は、周期 C を有する準サイクリック (すなわち、周期的な) 特性を有し、テール・ビットング・ターボ符号で使用した場合には、ターボ符号自身が、準サイクリックになり、符号設計の手順が簡単になる。

【0033】

競合しないインターリーブの他の例としては、二次元多項式の並べ替え (QPP) インターリーブが、下式 $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ により表される。ここで、 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブ前の記号インデックスであり、 K' は記号内のインターリーブ・サイズであり、 f_1 および f_2 は、インターリーブを定義する要因である。ARP インターリーブと同様に、テール・ビットングである場合には、ターボ符号は同様に準サイクリックである。

【0034】

インターリーブ 201 が M の種々の値に対して (1) を満たす場合には、(各 M に対して 1 つずつ) 種々の程度の類似を使用して復号器を実施することができる。それ故、種々の係数を有する K' を選択することが望ましい。長さ K' の ARP インターリーブの場合には、任意のウィンドウ・サイズ W を、メモリ・アクセス競合なしで高速復号に使用することができる。 W は、 C の倍数および K' の係数である。並列ウィンドウの異なる定義を使用して、 K の任意の係数を並列ウィンドウの数として使用することができる。QPP インターリーブの場合には、インターリーブ・サイズ K' の各係数が、類似 M の可能なレベルである。これにより類似係数 M の範囲が広くなり、復号器設計を柔軟に行うことができ、スケーラビリティが向上する。それ故、システム (またはユーザ素子のクラス) 要件に基づいて復号速度と複雑さの間をうまく妥協することができる。

インターリーブ・サイズ K' の選択

すでに説明したように、インターリーブ・サイズ決定回路 103 は、所与の K に対するインターリーブ・サイズ K' を決定しなければならない。この節においては、それに対してターボ符号インターリーブを定義することができる限定された数のサイズ (すなわち、 K') を選択する方法について説明する。すでに説明したように、フィル挿入回路は (バンクチャリングまたはレート・マッチング方法と一緒に) 任意の情報ブロック・サイズ

10

20

30

40

50

Kを処理するために使用することができる。一般に、インターリーブ・サイズの選択は、フィルタ・ビットによる復号負担および性能の劣化を考慮に入れなければならない。

【0035】

入力ブロックを形成するために情報ブロックに詰め込まれたフィルタ・ビット K_{filter} の数は、情報ブロック・サイズKの低い百分率（例えば、約10～13%）に制限することが望ましい。このことは、（すべての使用できる K' 値が昇順にソートされていると仮定して）隣接するインターリーブ・サイズ、すなわち隣接する K' 値間の差を制限することにより達成される。フィルタ・ビットの数は、 $K' - K$ になるような使用可能な最小の K' を選択することにより最小にすることができる。フィルタ・ビットの数は、 $K_{filter} = K' - K$ である。しかし、必要に応じて、 $K' - K$ の他の使用できる値も選択することができる。

10

【0036】

K_{min} と K_{max} の間の情報サイズをカバーするように定義した下記の一組のサイズについて考えてみよう。

【0037】

【数5】

$$K'' = a^p \times f, \quad p_{min} \leq p \leq p_{max}; f_{min} \leq f \leq f_{max}, \quad (2)$$

【0038】

ここで、 a は整数であり、 f は f_{min} と f_{max} の間の連続している整数であり、 p は、 p_{min} と p_{max} の間の整数値をとり、 $a > 1$ 、 $p_{max} > p_{min}$ 、 $p_{min} > 1$ である。必要ではないけれども、必要でない任意のサイズを捨てながら、 $K_{min} = a^{p_{min}} \times f_{min}$ および $K_{max} = a^{p_{max}} \times f_{max}$ となるようにこれらのパラメータを選択することができる。情報ブロック・サイズのある範囲をカバーするためにサイズの限定した組を選択する方法は、片対数スライシングと呼ばれる。サイズKの所与の情報ブロックの場合には、サイズ K' は、片対数スライシング・テーブルに基づく K'' および入力ブロック・サイズKに関連する。

20

【0039】

片対数スライシングは、音声コーデックで使用される $A-law$ および $\mu-law$ 圧縮伸長器のような広い動的範囲の信号を圧縮する際に使用する圧伸動作に似ている。片対数スライシング規則を使用すれば、広い範囲の情報ブロック・サイズをカバーするために効率的な設計を行うことができる。

30

【0040】

パラメータを選択するためのいくつかの方法のうちの f_{min} と f_{max} を選択するための1つの方法は、隣接する p からの K'' 値を相互にラインナップさせる方法、すなわち $a^p \times (f_{max} + 1) = a^{p+1} \times f_{min}$ にする方法である。それ故、下式のようになる。

【0041】

【数6】

$$a^p \times (f_{max} + 1) = a^{p+1} \times f_{min}, \text{ thus}$$

$$f_{max} = a \times f_{min} - 1$$

40

【0042】

p の所与の値の場合には、2つの隣接するブロック・サイズ K'' 間の距離は、 a^p で示される。このことは、情報ブロック・サイズKがグループP内に存在し、インターリーブ・サイズが K'' に等しい場合には、 a^{p-1} フィルタ・ビットの最大値が加算されることを意味する。それ故、情報ブロック・サイズK上のフィルタ・ビットの一部が以下に示すように囲まれている。このようなことは、ブロック・サイズKが (p, f_{min}) で表され

50

るサイズより若干大きく、下式に対して $(p, f_{\min} + 1)$ で表される $K' = K''$ を使用する場合に起こる。

【0043】

【数7】

$$\begin{aligned} \max\left(\frac{K_{\text{filter}}}{K}\right) &= \frac{a^p - 1}{a^p \times f_{\min} + 1} \\ &\leq \frac{1}{f_{\min}} \\ &= \frac{1}{(f_{\max} + 1)} \end{aligned}$$

10

【0044】

別の方法としては、隣接する p からの K'' 値を、 $a^p \times f_{\max} = a^{p+1} \times (f_{\min} - 1)$ を介して相互にラインナップすることができる。その結果 $f_{\max} = a \times (f_{\min} - 1)$ となる。これにより類似の K_{filter} / K 境界が得られる。それ故、片対数スライシングに対するパラメータを、支持するブロック・サイズの範囲により、またフィルター・ビットの許容できる部分上で同調させることができる。 f_{\min} を選択するには、下記の2つの要件の間でバランスをとる必要がある。

【0045】

20

・ f_{\min} は、フィルター・ビットの一部を低減するために大きなものでなければならない。

・ f_{\min} は、インターリーバ・テーブルのサイズを制限するために小さなものでなければならない。何故なら、各 p に対して定義したブロック・サイズは、 $f_{\max} = a \times f_{\min} - 1$ と仮定した場合、 $f_{\max} - f_{\min} + 1 = (a - 1) \times f_{\min}$ であるからである。

【0046】

片対数スライシング方法は、任意のブロック・サイズに対して、使用するインターリーバ・サイズ K' を(2)により計算した K'' に基づいて容易に決定することができるという点で非常に簡単なものである。片対数スライス・サイズが定義されると(K'')、インターリーバ・サイズ K' を例えば下記により、(ほとんど逸脱することなしに)片対数スライス・サイズから入手することができる。

30

【0047】

1. $K' = K''$ を使用する。すなわち片対数スライス・サイズを直接有効なインターリーバ・サイズとして使用することができる。

2. K' が $(2^m - 1)$ の倍数でない場合には、 $K' = K''$ を使用して、そうでない場合で K'' が $(2^m - 1)$ の倍数である場合には、 $K' = K'' + (K'')$ を使用して、ここで、 m は、構成畳み込み符号器のメモリ長であり、 (K'') は、 $(2^m - 1)$ の倍数に等しくない小さな正の整数または負の整数である。このことは構成畳み込み符号がテール・ビットングである場合に役に立つ。この場合、 $(2^m - 1)$ の倍数は無効である。

40

(2) の片対数スライシング方法により定義したサイズは、場合により、ターボ符号化に対して適していないインターリーバ・サイズであるサイズを含んでいる場合がある。例えば、8状態GPPターボ符号器のテール・ビットング・バージョンは、7の倍数(すなわち、 $(2^m - 1)$ である入力ブロック・サイズ(すなわち、インターリーバ・サイズ)をサポートしない。このような場合、式(2)が $(2^m - 1)$ の倍数になる場合はいつでも、結果として得られるサイズが、もはや $(2^m - 1)$ の倍数にならないように小さな値がそれに加算または減算される。

【0048】

例えば、 $a = 2$ 、 $f_{\min} = 8$ 、および $f_{\max} = 15$ の場合には、形式 $K' = K'' = 2^p \times 14$ のインターリーバ・サイズは7の倍数であり、それ故、テール・ビットング

50

3 G P P T Cを使用する場合には、無効なインターリーバ・サイズである。それ故、この場合は、 K'' が7の倍数でない場合には、例えば、 $K' = K''$ を使用して、少し変更して処理しなければならない。そうでない場合で、 K'' が7の倍数である場合には、 $K' = K'' + (K'')$ を使用して処理しなければならない。 (K'') は7の倍数に等しくない小さな正の整数または負の整数である。

【0049】

テール・ビットング・インターリーバに対する無効な選択である K'' サイズの場合には、関連するインターリーバ・サイズ K' を決定する簡単な1つの方法は、 K'' から $d \times C$ を減算（有効として加算）する方法である。ここで、 d は小さな正の整数であり、 d は7の倍数ではない。A R Pインターリーバの場合には、 C は、一組の使用可能なサイズの K' の隣のブロック・サイズに対して使用したA R Pインターリーバ・サイクル長であってもよい。（A R Pインターリーバのブロック・サイズは、サイクル長さ C の倍数であることを思い出されたい。） すなわち、 K'' が7の倍数である場合には下式のようになる。

10

【0050】

【数8】

$$K' = K'' - dC \quad (3)$$

or

$$K' = K'' + dC \quad (4)$$

20

【0051】

C は4、8、12または16のような偶数の整数であるので、このような調整を行うと2つの利点がある。すなわち、(a) K' は7の倍数でないこと、および(b) K' は C の倍数であり、それ故サイズ K' に対するA R Pインターリーバを設計することができることである。

【0052】

簡単にするために、調整する必要があるすべての K'' に対して同じ d を選択することができる。 d を選択する際の1つの重要な考慮事項は、式(3)または(4)により入手したすべてのサイズが、このように定義したC Fインターリーバに対して広い範囲の類似をサポートすることができる係数の実質的な数を有していることである。

30

インターリーバ・サイズ選択の例

3 G P P L T Eの場合には、40～5114ビットの間の各ブロック・サイズに対してC Fインターリーバを定義するのは重要なことではない。うまく設計されたC Fインターリーバの限定されたまたは小さな一組は、すべてのブロック・サイズをカバーするのに十分である。定義されていない（すなわち、それに対してC Fインターリーバが定義されていない）ブロック・サイズの場合には、ゼロパディング（すなわち、追加フィルタ・ビット）を、すでに説明したように効率的に使用することができる。

【0053】

第1の例としては、テーブル105内の3 G P P長期展開（L T E : L o n g T e r m E v o l u t i o n）に対する情報ブロック・サイズをカバーするのに適している一組のインターリーバを上記片対数スライシング方法に基づいて定義される場合がある。より詳細に説明すると、下式のようになる。

40

【0054】

【数9】

$$K'' = 2^p \times f, \quad p = 4, 5, \dots, 9; f = 8, 9, \dots, 15, \quad (5)$$

【0055】

および K' は、 K'' から決定される。インターリーバ・サイズは、下記のように決定され

50

る。すなわち、 $K' = K''$ を使用して、および $p = 4, 5, 6, 7, 8, 9$ の場合には、および $f = 8, 9, 10, 11, 12, 13, 15$ の場合には、および $K' = K'' - dC$ を使用して、および $f = 14$ の場合には、 $128 \sim 7680$ の K をカバーして、 $p = 9$ に対応する最後の3つのサイズ ($f = 13, 14, 15$) は、 $K_{\min} = 128$ により $K_{\max} = 6144$ になるように除去することができる。式(3)は、テール・ビットイングTCを処理するために、 $f = 14$ (すなわち7の倍数であるインターリーバ・サイズを避けるために) $d = 2$ と一緒に使用される。 105 内のインターリーバ・サイズが決定されると、各インターリーバ・サイズに対してCFインターリーバを設計することができる。

【0056】

任意の情報ブロック・サイズ K の場合には、回路 103 が、 105 から K より大きいかまたは等しい K' の最小値を選択することにより、 K に対して使用するインターリーバ・サイズを決定することができる。既知の K により、 $f_{\min} = 2^b$ 、 $f_{\max} = 2^{b+1} - 1$ により (ここで、 b は整数)、パラメータ p および f を下式により計算することができる。

10

【0057】

【数10】

$$p = \lfloor \log_2(K) \rfloor - b \quad (6)$$

$$f = \left\lceil \frac{K}{2^p} \right\rceil \quad (7)$$

20

【0058】

より詳細に説明すると、式(5)のパラメータに対して、 $b = 3$ であり、 p は下式により表される。

【0059】

【数11】

$$p = \lfloor \log_2(K) \rfloor - 3 \quad (8)$$

【0060】

パラメータ p および f により、式(2)または(5)を使用してブロック・サイズ K' を計算することができるし、さらに f が7の倍数であり、テール・ビットイング符号化を使用する場合には、式(3)または(4)を使用して計算したインターリーバ・サイズを加算の際に使用することができる。次に、サイズ K' のインターリーバに関連するパラメータが、通常、通信装置用のメモリ内に格納しているインターリーバ・パラメータ 105 用の格納手段からルックアップされる。

30

【0061】

第2の例としては、 $40 \sim 8192$ ビットの K をカバーするための示唆した一組の完全なインターリーバ・サイズ K' は下記の通りである。

$K' \in [264, 8192]$ の場合には、 $K' = 2^p \times f$ 、 $p = 3, \dots, 7$ 、 $f = 33, 34, \dots, 64$ である。

40

【0062】

264 以下の K' の場合には、8のステップ・サイズは、 $K' = 40, 48, \dots, 256$ となるように使用される。

下記テーブルはこれらのサイズを示す。

【0063】

【表 1】

| | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|
| 40 | 48 | 56 | 64 | 72 | 80 | 88 | 96 | 104 | 112 |
| 120 | 128 | 136 | 144 | 152 | 160 | 168 | 176 | 184 | 192 |
| 200 | 208 | 216 | 224 | 232 | 240 | 248 | 256 | 264 | 272 |
| 280 | 288 | 296 | 304 | 312 | 320 | 328 | 336 | 344 | 352 |
| 360 | 368 | 376 | 384 | 392 | 400 | 408 | 416 | 424 | 432 |
| 440 | 448 | 456 | 464 | 472 | 480 | 488 | 496 | 504 | 512 |
| 528 | 544 | 560 | 576 | 592 | 608 | 624 | 640 | 656 | 672 |
| 688 | 704 | 720 | 736 | 752 | 768 | 784 | 800 | 816 | 832 |
| 848 | 864 | 880 | 896 | 912 | 928 | 944 | 960 | 976 | 992 |
| 1008 | 1024 | 1056 | 1088 | 1120 | 1152 | 1184 | 1216 | 1248 | 1280 |
| 1312 | 1344 | 1376 | 1408 | 1440 | 1472 | 1504 | 1536 | 1568 | 1600 |
| 1632 | 1664 | 1696 | 1728 | 1760 | 1792 | 1824 | 1856 | 1888 | 1920 |
| 1952 | 1984 | 2016 | 2048 | 2112 | 2176 | 2240 | 2304 | 2368 | 2432 |
| 2496 | 2560 | 2624 | 2688 | 2752 | 2816 | 2880 | 2944 | 3008 | 3072 |
| 3136 | 3200 | 3264 | 3328 | 3392 | 3456 | 3520 | 3584 | 3648 | 3712 |
| 3776 | 3840 | 3904 | 3968 | 4032 | 4096 | 4224 | 4352 | 4480 | 4608 |
| 4736 | 4864 | 4992 | 5120 | 5248 | 5376 | 5504 | 5632 | 5760 | 5888 |
| 6016 | 6144 | 6272 | 6400 | 6528 | 6656 | 6784 | 6912 | 7040 | 7168 |
| 7296 | 7424 | 7552 | 7680 | 7808 | 7936 | 8064 | 8192 | | |

10

【 0 0 6 4 】

20

上記テーブルに示すサイズは、8192ビットの最大K'のために定義した一例にしか過ぎず、42の情報ブロック・サイズに比較チェックの際に使用されることに留意されたい。6144ビットのような他の最大値を使用する場合には、最大値より大きい任意のK'がリストから除去される。また、簡単にするために、サイズは、末尾を切った構成符号を使用する場合と、テール・ビットング構成符号を使用する場合との違いを考慮に入れなかった。ターボ符号器がテール・ビットングからできている場合には、7の倍数であるK'を使用することができない。これらのものは、すでに説明したように、除去されるか修正される。最後に、追加のインターリーバ・サイズを、インターリーバ間のスペースを小さくするために上記のものに追加することができる。例えば、64の最大スペースを使用する場合には、テーブル内のスペース128を含むインターリーバ間に定義される。次に、テール・ビットングが使用され、7のK'倍数が除去される場合には、最大スペースは再度128になる。

30

【 0 0 6 5 】

インターリーバ・サイズ選択の他の例として、システムは、トランスポート・ブロック(TB)(分割する前の情報ビットに数)がある値より大きい場合に限って、CFインターリーバを使用することができる。例えば、最大の定義したサイズが5114である場合で、トランスポート・ブロックが5114より大きい場合には、ARPまたはQPPのようなCFインターリーバを使用することができる。これらの場合、分割を行うと、2114より小さいK'を生成することができるが、CFインターリーバはそのK'に対して使用される。それ故、Kは、第1のインターリーバ(3gpp、非CFインターリーバまたは他のインターリーバ)および、分割前のトランスポート・ブロック・サイズにより第2のインターリーバ(競合しないインターリーバ)を使用してターボ・インターリーブすることができる。第1および第2のインターリーバは、異なる組のK'を有することができる。例えば、第1のインターリーバをすべてのK=K'に対して実質的に定義することができ、一方、第2のインターリーバをすでに説明したように、K'で定義することができる。ある場合には、第1のインターリーバに対して1個または数個のプロセッサを使用することができる。

40

ARPインターリーバの例

テーブル1は、3GPP長期展開(LTE)のための情報ブロック・サイズをカバーするのに適している42CF ARPインターリーバのサブセットを示す。サイクル長さC

50

= 4 は、 $K < 1024$ 、 $K = 1024$ に対する $C = 8$ のために使用される。もっと大きなサイクル長を使用すれば、もっと大きなブロック・サイズのところでもっとよい最少距離が得られる。また、 $A = 3$ の代わりに、 $A = 0$ がすべてのサイズに対して使用される。さらに、各 K は異なる (\cdot) および (\cdot) ベクトルを有することができ、小さな一組の α および β 値を、インターリーブの定義の格納装置を小さくするために使用することができる。許可された α および β の一組について以下に定義する。

【0066】

サイクル長さ $C = 4$ の場合、

【0067】

【数12】

$$\alpha = \begin{bmatrix} 0 & 0 & 4 & 4 \\ 0 & 4 & 4 & 0 \end{bmatrix};$$

$$\beta = \begin{bmatrix} 0 & 4 & 12 & 8 \\ 0 & 12 & 24 & 8 \\ 0 & 24 & 8 & 12 \\ 0 & 16 & 8 & 4 \\ 0 & 12 & 24 & 4 \\ 0 & 12 & 16 & 24 \\ 0 & 8 & 20 & 24 \\ 0 & 4 & 8 & 12 \end{bmatrix};$$

10

20

【0068】

サイクル長さ $C = 8$ の場合、

【0069】

【数13】

$$\alpha = \begin{bmatrix} 0 & 0 & 8 & 0 & 8 & 0 & 8 & 8 \\ 8 & 0 & 8 & 8 & 8 & 0 & 0 & 0 \end{bmatrix};$$

$$\beta = \begin{bmatrix} 0 & 16 & 24 & 88 & 64 & 8 & 32 & 40 \\ 0 & 64 & 136 & 160 & 48 & 192 & 24 & 120 \\ 0 & 24 & 80 & 40 & 16 & 96 & 64 & 32 \\ 0 & 8 & 72 & 40 & 88 & 48 & 32 & 96 \\ 0 & 16 & 88 & 96 & 56 & 24 & 48 & 64 \\ 0 & 8 & 48 & 32 & 64 & 88 & 40 & 56 \\ 0 & 32 & 8 & 56 & 80 & 16 & 72 & 48 \\ 0 & 72 & 64 & 48 & 88 & 8 & 184 & 248 \\ 0 & 16 & 48 & 24 & 8 & 32 & 40 & 88 \\ 0 & 16 & 120 & 152 & 24 & 216 & 64 & 240 \\ 0 & 32 & 176 & 216 & 136 & 64 & 224 & 248 \\ 0 & 16 & 40 & 96 & 88 & 80 & 32 & 48 \\ 0 & 24 & 208 & 112 & 224 & 168 & 184 & 48 \\ 0 & 8 & 16 & 64 & 24 & 48 & 80 & 32 \\ 0 & 8 & 40 & 16 & 96 & 80 & 56 & 88 \end{bmatrix};$$

30

40

【0070】

それ故、 α の各列を α ベクトルとして使用することができ、 β の各列は β ベクトルとして使用することができる。それ故、インデックス a および b が、 α および β の列を索引するために各 K に対して定義される。ここで、 $1 \leq a < 2$ 、 $1 \leq b < 2C$ である。この索引方法により ARP インターリーブの格納装置がかなり小さくなる。何故なら、 P_0 (8ビット)、インデックス a (1ビット) および b (3~4ビット) だけをインターリーブ毎に格納しさえすればよいからである。サイクル長さ C は、 K が 1024 ビットよりも小さいか否かに基づいて決定することができる。さらに、 $C = 8$ 対 $C = 4$ を使用するためのパ

50

ラメータ格納装置の量は、__および__マトリックスのサイズの違いにすぎない。これは些細なことであり、それ故、必要な場合には、もっと大きなCを自由に使用することができる。

【0071】

インターリーバ・パラメータの格納手段105は、テーブル1の少なくとも1つの列から入手した $K' C$ 、 P_0 、 (\cdot) および (\cdot) の値を使用してARPインターリーバ・パラメータを格納することができる。インターリーバ201は、下記のテーブルの少なくとも1つの列から入手する $K' C$ 、 P_0 、 (\cdot) および (\cdot) の値と一緒にARPインターリーバを使用することができる。

【0072】

テーブル1 . LTEのために定義した一組のARインターリーバのパラメータ。一定のオフセット $A = 0$ はすべてのサイズに使用される。32より少ないかまたは等しい並列ウィンドウを当然使用する可能な類似Mを示す。

【0073】

【表 2】

テーブル1

| K情報 | K | C | P0 | インデックスa | インデックスb | 使用できる類似 |
|------|------|---|-----|---------|---------|------------------------------|
| 40 | 40 | 4 | 41 | 1 | 6 | 1,2,5,10 |
| 52 | 56 | 4 | 13 | 1 | 1 | 1,2,7,14 |
| 67 | 72 | 4 | 13 | 1 | 4 | 1,2,3,6,9,18 |
| 87 | 88 | 4 | 75 | 2 | 3 | 1,2,11,22 |
| 99 | 104 | 4 | 23 | 1 | 1 | 1,2,13,26 |
| 113 | 120 | 4 | 73 | 1 | 8 | 1,2,3,5,6,10,15,30 |
| 129 | 136 | 4 | 11 | 1 | 6 | 1,2,17 |
| 146 | 152 | 4 | 129 | 1 | 5 | 1,2,19 |
| 167 | 168 | 4 | 25 | 1 | 4 | 1,2,3,6,7,14,21 |
| 190 | 192 | 4 | 43 | 1 | 1 | 1,2,3,4,6,8,12,16,24 |
| 216 | 216 | 4 | 133 | 1 | 1 | 1,2,3,6,9,18,27 |
| 246 | 248 | 4 | 57 | 2 | 6 | 1,2,31 |
| 280 | 280 | 4 | 33 | 2 | 1 | 1,2,5,7,10,14 |
| 319 | 320 | 4 | 207 | 1 | 4 | 1,2,4,5,8,10,16,20 |
| 363 | 368 | 4 | 87 | 2 | 3 | 1,2,4,23 |
| 384 | 384 | 4 | 91 | 1 | 1 | 1,2,3,4,6,8,12,16,24,32 |
| 414 | 416 | 4 | 77 | 1 | 1 | 1,2,4,8,13,26 |
| 471 | 472 | 4 | 61 | 1 | 4 | 1,2 |
| 536 | 544 | 4 | 237 | 1 | 1 | 1,2,4,8,17 |
| 611 | 624 | 4 | 49 | 1 | 7 | 1,2,3,4,6,12,13,26 |
| 695 | 704 | 4 | 43 | 1 | 4 | 1,2,4,8,11,16,22 |
| 792 | 800 | 4 | 151 | 1 | 1 | 1,2,4,5,8,10,20,25 |
| 902 | 912 | 4 | 49 | 1 | 1 | 1,2,3,4,6,12,19 |
| 1027 | 1056 | 8 | 217 | 2 | 1 | 1,2,3,4,6,11,12,22 |
| 1169 | 1184 | 8 | 49 | 1 | 11 | 1,2,4 |
| 1331 | 1344 | 8 | 253 | 2 | 2 | 1,2,3,4,6,7,8,12,14,21,24,28 |
| 1536 | 1536 | 8 | 187 | 2 | 8 | 1,2,3,4,6,8,12,16,24,32 |
| 1725 | 1728 | 8 | 65 | 1 | 3 | 1,2,3,4,6,8,9,12,18,24,27 |
| 1965 | 1984 | 8 | 121 | 1 | 14 | 1,2,4,8,31 |
| 2237 | 2240 | 8 | 137 | 2 | 6 | 1,2,4,5,7,8,10,14,20,28 |
| 2304 | 2304 | 8 | 193 | 1 | 4 | 1,2,3,4,6,8,9,12,16,18,24,32 |
| 2547 | 2560 | 8 | 157 | 1 | 3 | 1,2,4,5,8,10,16,20,32 |
| 2900 | 2944 | 8 | 121 | 1 | 7 | 1,2,4,8,16,23 |
| 3302 | 3328 | 8 | 137 | 2 | 1 | 1,2,4,8,13,16,26,32 |
| 3760 | 3776 | 8 | 119 | 1 | 3 | 1,2,4,8 |
| 4096 | 4096 | 8 | 169 | 2 | 11 | 1,2,4,8,16,32 |
| 4281 | 4352 | 8 | 179 | 1 | 3 | 1,2,4,8,16,17,32 |
| 4874 | 4992 | 8 | 211 | 1 | 3 | 1,2,3,4,6,8,12,13,16,24,26 |
| 5550 | 5632 | 8 | 237 | 1 | 7 | 1,2,4,8,11,16,22,32 |
| 6144 | 6144 | 8 | 253 | 2 | 13 | 1,2,3,4,6,8,12,16,24,32 |
| 7195 | 7296 | 8 | 181 | 1 | 7 | 1,2,3,4,6,8,12,16,19,24 |
| 8192 | 8192 | 8 | 203 | 1 | 7 | 1,2,4,8,16,32 |

10

20

30

【0074】

ARPインターリーブの特性

インターリーブ・テーブルを修正するための方法がいくつかある。例えば、2つ以上のインターリーブ・サイズに適用する一組のARPパラメータを使用することにより格納装置を小さくすることができる、例えば、1024ビット、2048ビット、4096ビットのインターリーブは、すべて同じARPパラメータを使用することができる。他の修正実施形態の場合には、そうしたい場合には、テーブルの列のいくつかを異なるC値に基づいて設計することができる。他の改良実施形態の場合には、パラメータ(例えば、(0)および(0))のエントリのいくつかを固定する(例えば、いつもゼロ)ことができる。

40

【0075】

50

下記の記述は、テーブル 1 を入手するために使用したインターリーバ選択手順についての他のいくつかのコメントである。

1. 格納装置を小さくするための一定のオフセット値、 $A = 3$ または $A = 0$ が選ばれる。

【0076】

2. 性能チェックおよび格納装置に基づいて、 $K' < 1024$ 、 $K' = 1024$ に対する $C = 8$ に対してサイクル長さ $C = 4$ が使用される。

3. 各ブロック・サイズに対して、(テール・ビットング符号化による) ARP インターリーバ性能が 3 GPP ターボ符号に対する仕様に定義されているインターリーバを含む性能に近いまたはそれより優れていることを確認するためにシミュレーションを行った。

10

【0077】

4. テーブル 1 を特定の一組のインターリーバ・サイズ (例えば、 $40 \sim 8192$) をカバーするように定義した。そうしたい場合には、他のインターリーバ・サイズを削除または追加することもできる。

【0078】

5. 7 の倍数でない 105 で定義したすべてのインターリーバを、許容できる性能劣化により、末尾を切ったまたはテール・ビットング・ターボ符号に対して使用することができる。7 の倍数であるこれらのものも末尾を切って使用することができる。

QPP インターリーバの例

20

テーブル 2 は、3 GPP 長期展開 (LTE) に対する情報ブロック・サイズをカバーするのに適している 42 の CF QPP インターリーバのサブセットを示す。これらのインターリーバは、デインターリーバも同様に QPP であるような二次の逆多項式を有する。

【0079】

インターリーバ・パラメータの格納手段 105 は、テーブル 2 の少なくとも 1 つの列から入手する $K' f_1$ 、 f_2 の値を使用して QPP インターリーバ・パラメータを格納することができる。インターリーバ 201 は、下記のテーブルの少なくとも 1 つの列から入手する $K' f_1$ 、 F_2 の値と一緒に QPP インターリーバを使用することができる。

テーブル 2. LTE のために定義した一組の QPP インターリーバのパラメータ。32 より少ないかまたは等しい可能な類似を示す。

30

【0080】

【表3】

テーブル2

| K情報 | K | f1 | f2 | 使用できる類似 |
|------|------|-----|-----|------------------------------------|
| 40 | 40 | 37 | 20 | 1,2,4,5,8,10,20 |
| 52 | 56 | 19 | 42 | 1,2,4,7,8,14,28 |
| 67 | 72 | 19 | 60 | 1,2,3,4,6,8,9,12,18,24 |
| 87 | 88 | 5 | 22 | 1,2,4,8,11,22 |
| 99 | 104 | 45 | 26 | 1,2,4,8,13,26 |
| 113 | 120 | 103 | 90 | 1,2,3,4,5,6,8,10,12,15,20,24,30 |
| 129 | 136 | 19 | 102 | 1,2,4,8,17 |
| 146 | 152 | 135 | 38 | 1,2,4,8,19 |
| 167 | 168 | 101 | 84 | 1,2,3,4,6,7,8,12,14,21,24,28 |
| 190 | 192 | 85 | 24 | 1,2,3,4,6,8,12,16,24,32 |
| 216 | 216 | 13 | 36 | 1,2,3,4,6,8,9,12,18,24,27 |
| 246 | 248 | 33 | 62 | 1,2,4,8,31 |
| 280 | 280 | 103 | 210 | 1,2,4,5,7,8,10,14,20,28 |
| 319 | 320 | 21 | 120 | 1,2,4,5,8,10,16,20,32 |
| 363 | 368 | 25 | 138 | 1,2,4,8,16,23 |
| 384 | 384 | 25 | 240 | 1,2,3,4,6,8,12,16,24,32 |
| 414 | 416 | 77 | 52 | 1,2,4,8,13,16,26,32 |
| 471 | 472 | 175 | 118 | 1,2,4,8 |
| 536 | 544 | 35 | 68 | 1,2,4,8,16,17,32 |
| 611 | 624 | 41 | 234 | 1,2,3,4,6,8,12,13,16,24,26 |
| 695 | 704 | 155 | 44 | 1,2,4,8,11,16,22,32 |
| 792 | 800 | 207 | 80 | 1,2,4,5,8,10,16,20,25,32 |
| 902 | 912 | 85 | 114 | 1,2,3,4,6,8,12,16,19,24 |
| 1027 | 1056 | 229 | 132 | 1,2,3,4,6,8,11,12,16,22,24,32 |
| 1169 | 1184 | 217 | 148 | 1,2,4,8,16,32 |
| 1331 | 1344 | 211 | 252 | 1,2,3,4,6,7,8,12,14,16,21,24,28,32 |
| 1536 | 1536 | 71 | 48 | 1,2,3,4,6,8,12,16,24,32 |
| 1725 | 1728 | 127 | 96 | 1,2,3,4,6,8,9,12,16,18,24,27,32 |
| 1965 | 1984 | 185 | 124 | 1,2,4,8,16,31,32 |
| 2237 | 2240 | 209 | 420 | 1,2,4,5,7,8,10,14,16,20,28,32 |
| 2304 | 2304 | 253 | 216 | 1,2,3,4,6,8,9,12,16,18,24,32 |
| 2547 | 2560 | 39 | 240 | 1,2,4,5,8,10,16,20,32 |
| 2900 | 2944 | 231 | 184 | 1,2,4,8,16,23,32 |
| 3302 | 3328 | 51 | 104 | 1,2,4,8,13,16,26,32 |
| 3760 | 3776 | 179 | 236 | 1,2,4,8,16,32 |
| 4096 | 4096 | 95 | 192 | 1,2,4,8,16,32 |
| 4281 | 4352 | 477 | 408 | 1,2,4,8,16,17,32 |
| 4874 | 4992 | 233 | 312 | 1,2,3,4,6,8,12,13,16,24,26,32 |
| 5550 | 5632 | 45 | 176 | 1,2,4,8,11,16,22,32 |
| 6144 | 6144 | 263 | 480 | 1,2,3,4,6,8,12,16,24,32 |
| 7195 | 7296 | 137 | 456 | 1,2,3,4,6,8,12,16,19,24,32 |
| 8192 | 8192 | 417 | 448 | 1,2,4,8,16,32 |

10

20

30

【0081】

図3は、受信機300のブロック図である。入力のところで、フィルタ処理回路302は、チャンネル（例えば、無線）を通して送信された信号ベクトルを受信する。次に、回路306は、例えば、格納装置308テーブルをルックアップすることにより、または式(7)、(8)および(2)のような計算を行うことにより、上記と類似の方法で行うことができるインターリーバ・サイズK'を決定する。それ故、情報ブロック・サイズKの場合には、復号器304は、符号器101で使用したのと同じインターリーバ・サイズK'を使用する。フィルタ処理回路302は、受信した信号ベクトルおよびフィルタ・ビット位置を正しく処理するために使用される（例えば、フィルタ・ビット位置が分かっている場合には、対応するLLR振幅を復号中に非常に大きな振幅に設定することができる）。次に、ターボ復号器304は、復号を行い、長さK'の入力ブロックの推定値 \hat{u} を入

40

50

手する。最後に、情報ブロック抽出物回路310は、 $\wedge u$ から推定した情報ブロックを抽出する。フィルア処理回路302は、説明を分かり易くするためにターボ復号器の外側に図示してあるが、これら2つのものは、結合して実施することもできる。

【0082】

図4は、図3のターボ復号器のブロック図である。図を見れば分かるように、インターリーバ402およびデインターリーバ401は、復号回路403と復号回路404の間に位置する。反復復号は、当業者であれば周知のように行われるが、従来技術の復号器とは異なり、インターリーバ・サイズ K' は K'' と関連する。この場合、 K'' は一組のサイズからのものである。この一組のサイズは、 $K'' = a^p \times f$ 、 $p_{\min} \leq p \leq p_{\max}$ ； $f_{\min} \leq f \leq f_{\max}$ を含む。 a は整数であり、 f は、 f_{\min} と f_{\max} の間の連続している整数であり、 p は、 p_{\min} と p_{\max} の間の整数値であり、 $a > 1$ 、 $p_{\max} > p_{\min}$ 、 $p_{\min} > 1$ である。パラメータ $K \text{ filer}$ は、ターボ復号器が必要とする場合もあるし、必要としない場合もあるので、図4においては鎖線により示してある。

10

【0083】

すでに説明したように、一実施形態の場合には、 $K' = K''$ である。さらに他の実施形態の場合には、 K'' が $(2^m - 1)$ の倍数でない場合に、 $K' = K''$ であり、そうでない場合で K'' が $(2^m - 1)$ の倍数である場合には、 $K' = K'' + (K'')$ を使用する。ここで、 m は、構成畳み込み符号器のメモリ長であり、 (K'') は、 $(2^m - 1)$ の倍数に等しくない負の整数である。一実施形態の場合には、 $m = 3$ である。

【0084】

インターリーバ402は、並べ替え $(i) = (i P_0 + A + d(i)) \bmod K'$ を使用することができる。 $0 \leq i < K' - 1$ は、インターリーピング後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーピングする前の記号インデックスであり、 K' は、記号内のインターリーバのサイズであり、 P_0 は、 K' に相対的に素数である数であり、 A は、定数であり、 C は、 K' を割る小さな数であり、 $d(i)$ は、形式 $d(i) = (i \bmod C) + P_0 \times (i \bmod C)$ のディザ・ベクトルである。 (\cdot) および (\cdot) は、 $0 \leq i < K' - 1$ に対して周期的に適用されるそれぞれが長さ C のベクトルである。好適には、 K' 、 C 、 P_0 、 (\cdot) および (\cdot) の値は、テーブル1の1つの列から取ることが好ましい。デインターリーバ401はインターリーバ402とは逆の機能を実行する。

20

30

【0085】

インターリーバ402は、並べ替え $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ を使用することができる。 $0 \leq i < K' - 1$ は、インターリーピングした後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーピングする前の記号インデックスであり、 K' は、記号内のインターリーバのサイズであり、 f_1 および f_2 は、インターリーバを定義する係数である。好適には、 K' 、 f_1 、 f_2 は、テーブル2の1つの列から取ることが好ましい。デインターリーバ401は、インターリーバ402とは逆の機能を実行する。

【0086】

図5は、送信機100の動作を示すフローチャートである。ロジックの流れは、ステップ501からスタートする。回路103は、 K'' に関連するインターリーバ・サイズ K' を決定する。 K'' は、一組のサイズからのものである。この一組のサイズは、 $K'' = a^p \times f$ 、 $p_{\min} \leq p \leq p_{\max}$ ； $f_{\min} \leq f \leq f_{\max}$ を含み、ここで、 a は整数であり、 f は、 f_{\min} と f_{\max} の間の連続している整数であり、 p は、 p_{\min} と p_{\max} の間の整数値であり、 $a > 1$ 、 $p_{\max} > p_{\min}$ 、 $p_{\min} > 1$ である。すでに説明したように、一実施形態の場合には、 $K' = K''$ である。さらに他の実施形態の場合には、 K'' が $(2^m - 1)$ の倍数でない場合に、 $K' = K''$ であり、そうでない場合で K'' が $(2^m - 1)$ の倍数である場合には、 $K' = K'' + (K'')$ を使用する。 m は、構成畳み込み符号器のメモリ長であり、 (K'') は、 $(2^m - 1)$ の倍数に等しくない小さな正の整数または負の整数である。一実施形態の場合には、 $m = 3$ である。

40

50

【0087】

ステップ503において、フィルア挿入回路109は、サイズKの情報ブロックを受信し、サイズKの情報ブロックをサイズK'の入力ブロックu内に詰め込み、入力ブロックuを出力する。次に、インターリーブ201は、サイズKの入力ブロックを(好適には、競合しないインターリーブにより)インターリーブし(ステップ507)、符号化回路203にサイズK'のインターリーブしたブロックを送る(ステップ509)。最後に、ステップ511において、元の入力ブロックおよびインターリーブした入力ブロックが符号化される。

【0088】

すでに説明したように、入力ブロックをインターリーブするステップは、並べ替え $(i) = (i P_0 + A + d(i)) \bmod K'$ を使用するステップを含むことができる。 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、ビット内のインターリーブのサイズであり、 P_0 は、 K' に相対的に素数である数であり、 A は、定数であり、 C は、 K' を割る小さな数であり、 $d(i)$ は、形式 $d(i) = (i \bmod C) + P_0 \times (i \bmod C)$ のディザ・ベクトルである。 (\cdot) および (\cdot) は、 $0 \leq i < K' - 1$ に対して周期的に適用されるそれぞれが長さ C のベクトルである。好適には、 K' 、 C 、 P_0 、 (\cdot) および (\cdot) の値は、テーブル1の1つの列から取ることが好ましい。入力ブロックをインターリーブするステップは、また、並べ替え $(i) = (f_1 \times i + f_2 \times i^2) \bmod K'$ を使用するステップを含むことができる。 $0 \leq i < K' - 1$ は、インターリーブ後の記号位置のシーケンシャルなインデックスであり、 (i) は、位置 i に対応するインターリーブする前の記号インデックスであり、 K' は、記号内のインターリーブのサイズであり、 f_1 および f_2 は、インターリーブを定義する係数である。好適には、 K' 、 f_1 、 f_2 はテーブル2の1つの列から取ることが好ましい。

【0089】

図6は、図3の受信機の動作のフローチャートである。ロジックの流れは、ステップ601からスタートする。回路306は、インターリーブ・サイズ K' を決定する。ステップ603において、回路302は、受信した信号ベクトルにフィルア・ビット情報を追加する。例えば、フィルア・ビットおよびフィルア・ビット位置が分かっている場合には、回路302は、ターボ復号器入力これらの位置の対数尤度比(LLR)を大きな振幅に設定することができる。ステップ607において、ターボ復号器は、インターリーブおよびサイズ K' のデインターリーブを使用して、復号器入力ブロックを復号し、長さ K' の入力ブロックの推定した \hat{u} を出力する。ステップ609において、情報ブロック抽出回路310は、長さ K の情報ブロックを入手するためにフィルア・ビットを除去する。最後に、ステップ611において、推定した情報ブロックが出力される。

【0090】

特定の実施形態を参照しながら本発明を詳細に図示し説明してきたが、当業者であれば、本発明の精神および範囲から逸脱することなしに、その形式および詳細を種々に変更することができることを理解することができるだろう。ある例においては、(a)例えば、フィルア・ビットを使用しないで、またはもっと少ないフィルア・ビットを使用して、処理しなければならない任意の特殊なサイズをカバーするために定義されたインターリーブの追加の組の使用、(b)片対数スライス・サイズに小さな値を追加することにより、または片対数スライス・サイズから小さな値を抽出することにより、インターリーブ・サイズの若干の調整を含む特殊な場合を処理するために、インターリーブ・テーブルをさらに改善することができる。他の例の場合には、今までバイナリ入力ターボ符号器を仮定して本発明を説明してきたが、ターボ符号器が入力として記号をとった場合には、同じ原理を適用することができる。例えば、デュオバイナリ・ターボ符号は、2つのバイナリビットを同時に取り入れることができ、ターボ・インターリーブは、記号を並べ替える(さらに、記号内でのビットの変更のようなスクランプリングを行うことができる)。そのような

10

20

30

40

50

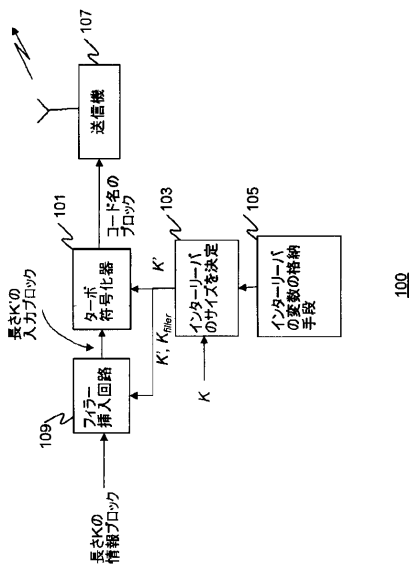
場合、入力ブロック・サイズは、記号で測定され、インターリーブ・サイズは入力ブロック内の記号の数に等しい。他の例の場合には、上記説明は、インターリーブ・サイズおよびインターリーブ・パラメータがルックアップ・テーブル内に格納されていると仮定しているが、これらのものを代数計算のような他の手段で決定することもできる。他の例においては、上記説明はターボ符号を仮定しているが、本発明の方法は、例えば、低密度パリティ・チェック(LDPC)符号、リード・ソロモン(RS)符号等を含む他のFECスキームにも適用することができる。このような変更も添付の特許請求の範囲内に含まれる。

【符号の説明】

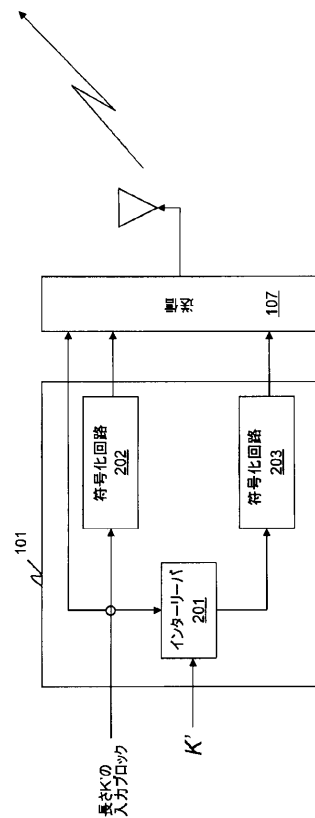
【0091】

- K サイズ
- u 入力ブロック
- 101 ターボ符号器
- 103 インターリーブ・サイズ決定回路
- 109 フィラー挿入回路
- 201, 402 インターリーブ

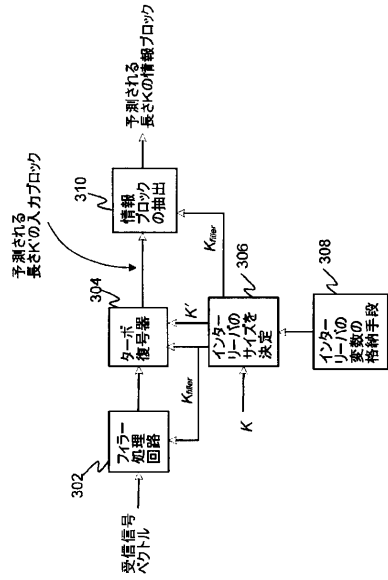
【図1】



【図2】

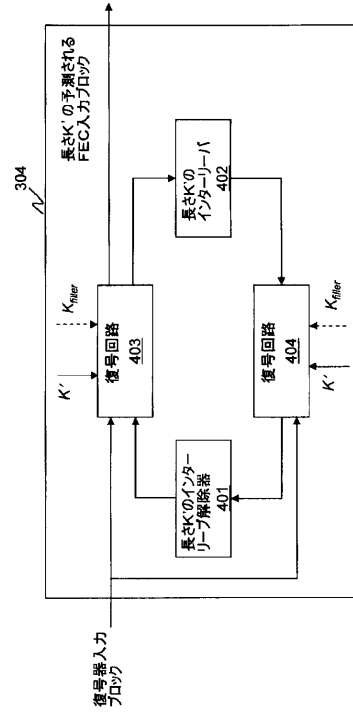


【図3】

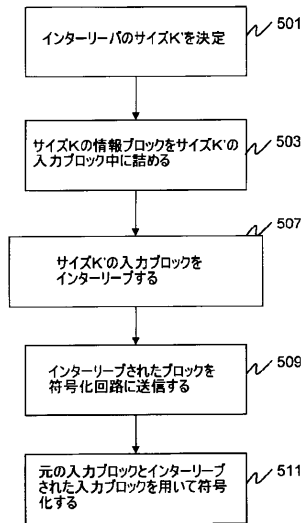


300

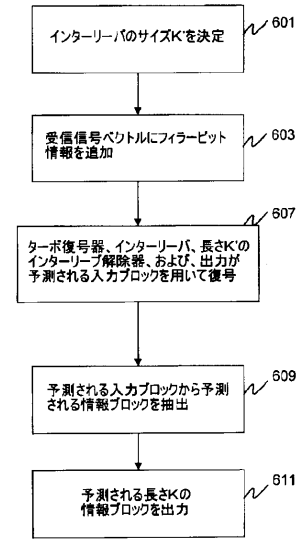
【図4】



【図5】



【図6】



600

フロントページの続き

(72)発明者 ユフェイ ダブリュ . ブランケンシップ

アメリカ合衆国 60047 イリノイ州 キルデア パイン レイク サークル 21910

(72)発明者 ブライアン ケイ . クラッソン

アメリカ合衆国 60067 イリノイ州 パラタイン ダブリュ . ブルームフィールド コート
756

審査官 岡 裕之

(56)参考文献 特許第4858991(JP, B2)

欧州特許第02102989(EP, B1)

特開2008-092571(JP, A)

特表2010-508790(JP, A)

Motorola et al., EUTRA FEC Enhancement, 3GPP R1-061050, 2006年 3月27日

Motorola, A Contention-free Interleaver design for LTE Turbo Codes, 3GPP R1-063061,
2006年11月10日

Motorola, Code Block Segmentation for Contention-free Turbo, 3GPP R1-070059, 2007
年 1月19日

Motorola, Code Block Segmentation for LTE Channel coding, 3GPP R1-071196, 2007年
2月16日

Motorola, Code Block Segmentation for Contention-free Turbo Interleavers, 3GPP R1-063
062, 2006年11月10日

(58)調査した分野(Int.Cl., DB名)

H03M 13/27

H03M 13/29

IEEE Explore

CiNii