



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I613661 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：103100934 (22)申請日：中華民國 103 (2014) 年 01 月 10 日

(51)Int. Cl. : G11C16/26 (2006.01) G11C16/12 (2006.01)

(30)優先權：2013/02/01 美國 13/757,027

(71)申請人：L S I 公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：阿爾胡席恩 阿比戴爾 哈金 S ALHUSSIEN, ABDEL-HAKIM S. (JO) ; 吳運祥
WU, YUNXIANG (US) ; 哈拉曲 艾瑞希 F HARATSCH, ERICH F. (DE) ; 里阿尼
賈麥爾 RIANI, JAMAL (NL)

(74)代理人：陳長文

(56)參考文獻：

US 2006/0034121A1 US 2011/0041005A1

US 2012/0008401A1 US 2012/0134213A1

審查人員：蕭明椿

申請專利範圍項數：20 項 圖式數：6 共 22 頁

(54)名稱

用於補償快閃裝置之標稱電壓變化之系統及方法

SYSTEMS AND METHODS OF COMPENSATING NOMINAL VOLTAGE VARIATIONS OF A
FLASH DEVICE

(57)摘要

本發明係有關於一種用於一快閃裝置之標稱讀取電壓變化的系統及方法。執行 N 次讀取，每一讀取係在自一初始讀取電壓之一選定電壓偏移下執行。針對該 N 次讀取來產生與該等選定電壓偏移相關聯之一 N 位元數位型樣。將藉由該 N 次讀取而產生之該 N 位元數位型樣映射至一帶正負號表示。應用基於該帶正負號表示之一電壓調整以至少部分地補償該標稱讀取電壓之一變化，以縮減該快閃裝置之位元錯誤率。

The disclosure is directed to a system and method for nominal read voltage variations of a flash device. N reads are performed, each at a selected voltage offset from an initial read voltage. An N bit digital pattern associated with the selected voltage offsets is generated for the N reads. The N bit digital pattern generated by the N reads is mapped to a signed representation. A voltage adjustment based upon the signed representation is applied to at least partially compensate for a variation of the nominal read voltage to reduce bit error rate of the flash device.

指定代表圖：

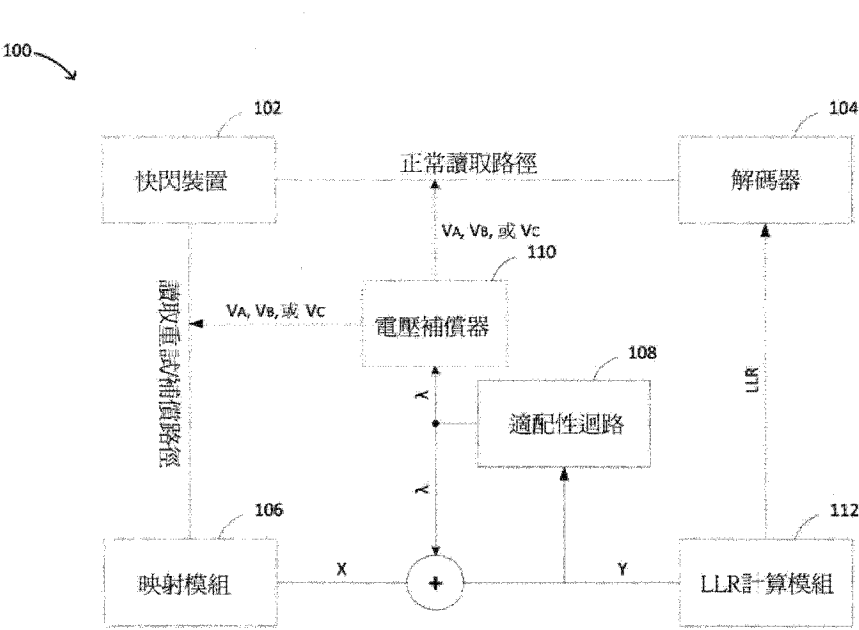


圖1

符號簡單說明：

- 100 . . . 系統
- 102 . . . 快閃裝置
- 104 . . . 解碼器
- 106 . . . 映射模組
- 108 . . . 適配性迴路
- 110 . . . 電壓補償器
- 112 . . . 對數似然比 (LLR)計算模組

申請專利範圍

1. 一種用於補償一快閃裝置之標稱電壓變化的系統，其包含：

一快閃裝置，其經組態以執行 N 次讀取，該等 N 次讀取中每一者具有自一初始標稱讀取電壓之一選定電壓偏移，該等 N 次讀取產生與該等選定電壓偏移相關聯之一 N 位元數位型樣；

一映射模組，其經組態以接收藉由該等 N 次讀取而產生之該 N 位元數位型樣，該映射模組經進一步組態以將該 N 位元數位型樣映射至一帶正負號表示；及

一電壓補償器，其經組態以基於該帶正負號表示而提供一電壓調整，以至少部分地補償該標稱讀取電壓之一變化。

2. 如申請專利範圍第 1 項之系統，其中該快閃裝置包括經組態以產生與該等 N 次讀取相關聯之該 N 位元數位型樣的一快閃類比轉數位轉換器。

3. 如申請專利範圍第 1 項之系統，其中該系統經組態以在發生預定數目個記憶體循環之後或在發生一讀取失敗之後補償標稱電壓變化。

4. 如申請專利範圍第 1 項之系統，其進一步包含：

一適配性迴路，其經組態以自該映射模組接收該帶正負號表示，該適配性迴路經進一步組態以基於該帶正負號表示之量值及正負號而適配性地提供一或多個數值調整，其中利用來自該適配性迴路之該一或多個數值調整來判定該電壓調整。

5. 一種用於補償一快閃裝置之標稱電壓變化的系統，其包含：

一快閃裝置，其經組態以執行 N 次讀取，該等 N 次讀取中每一者具有自一初始標稱讀取電壓之一選定電壓偏移，該等 N 次讀取產生與該等選定電壓偏移相關聯之一 N 位元數位型樣；

一映射模組，其經組態以接收藉由該等 N 次讀取而產生之該 N 位元數位型樣，該映射模組經進一步組態以將該 N 位元數位型樣映射至一帶正負

號表示；

一適配性迴路，其經組態以自該映射模組接收該帶正負號表示，該適配性迴路經進一步組態以基於該帶正負號表示之量值及正負號而適配性地提供一或多個數值調整；

一電壓補償器，其經組態以基於來自該適配性迴路之該一或多個數值調整而提供一電壓調整，以至少部分地補償該標稱讀取電壓之一變化；及

一計算模組，其經組態以基於一經調整標稱讀取電壓而判定一對數似然比。

6. 如申請專利範圍第 5 項之系統，其中根據以下方程式來判定該對數似然比 (LLR)：

$$LLR = K(y) * y,$$

其中 y 為該經調整讀取電壓，且 $K(y)$ 為基於 y 之一常數。

7. 如申請專利範圍第 6 項之系統，其中：

當 y 不小於 0 時 $K(y) = K_p$ ，且

當 y 小於 0 時 $K(y) = K_n$ ，

其中 K_p 及 K_n 為選定常數。

8. 如申請專利範圍第 7 項之系統，其中利用用於 y 之值之一分佈來判定 K_p 及 K_n 。

9. 如申請專利範圍第 5 項之系統，其中該系統經組態以在發生一讀取失敗之後補償標稱電壓變化。

10. 如申請專利範圍第 5 項之系統，其中該快閃裝置包括經組態以產生與該等 N 次讀取相關聯之該 N 位元數位型樣的一快閃類比轉數位轉換器。

11. 如申請專利範圍第 5 項之系統，其中該帶正負號表示包括一個三位元帶正負號二進位表示。

12. 如申請專利範圍第 5 項之系統，其中該系統包括一讀取重試路徑之

至少一部分。

13. 一種補償一快閃裝置之標稱電壓變化的方法，其包含：

執行 N 次讀取，該等 N 次讀取中每一者具有自一初始標稱讀取電壓之一選定電壓偏移；

產生與該等選定電壓偏移相關聯之一 N 位元數位型樣；

將該 N 位元數位型樣映射至一帶正負號表示；及

基於該帶正負號表示而提供一電壓調整，以至少部分地補償該標稱讀取電壓之一變化。

14. 如申請專利範圍第 13 項之方法，其進一步包含：

基於該帶正負號表示之量值及正負號而適配性地提供一或多個數值調整，其中利用該一或多個數值調整來判定該電壓調整。

15. 如申請專利範圍第 13 項之方法，其進一步包含：

偵測選定數目個記憶體循環或一讀取失敗中至少一者。

16. 如申請專利範圍第 13 項之方法，其中該 N 位元數位型樣為來自一快閃類比轉數位轉換器之一輸出。

17. 如申請專利範圍第 13 項之方法，其進一步包含：

基於一經調整標稱讀取電壓而判定一對數似然比。

18. 如申請專利範圍第 17 項之方法，其中根據以下方程式來判定該對數似然比 (LLR)：

$$LLR = K(y) * y,$$

其中 y 為該經調整讀取電壓，且 K(y) 為基於 y 之一常數。

19. 如申請專利範圍第 18 項之方法，其中：

當 y 不小於 0 時 $K(y) = K_p$ ，且

當 y 小於 0 時 $K(y) = K_n$ ，

其中 K_p 及 K_n 為選定常數。

20. 如申請專利範圍第 19 項之方法，其中利用用於 y 之值之一分佈來判定 K_p 及 K_n 。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於補償快閃裝置之標稱電壓變化之系統及方法

SYSTEMS AND METHODS OF COMPENSATING NOMINAL VOLTAGE
VARIATIONS OF A FLASH DEVICE

【技術領域】

【0001】 本發明係關於快閃裝置 (flash device) 之領域，且係關於控制用於快閃裝置之電壓位準。

【先前技術】

【0002】 快閃裝置可經歷由保持 (retention)、耐寫性 (write endurance) 或其他因素造成的快閃單元之標稱電壓之漂移或其他變化。在此等狀況下，沒有可能運用類比電壓調節器來偵測及校正最佳讀取電壓之對應改變。因而，標稱電壓偏移及隨機變化可使快閃儲存系統效能及使用期限降級。

【發明內容】

【0003】 本發明之一具體實例包括一種用於藉由追蹤讀取電壓偏移來補償標稱電壓變化之系統。在一選定時間時或在發生一預定事件後，一快閃裝置即經組態以執行 N 次讀取。該 N 次讀取中每一者係在自一初始標稱讀取電壓之一選定電壓偏移下執行。不斷地追蹤此標稱電壓以確保所得位元錯誤率在快閃裝置壽命之各種階段時縮減。該 N 次讀取產生與該等選定電壓偏移相關聯之一各別 N 位元數位型樣。一映射模組經組態以接收藉由該 N 次讀取而產生之該 N 位元數位型樣。該映射模組經進一步組態以將

該 N 位元數位型樣映射至一帶正負號表示。一電壓補償器經組態以基於所觀測之帶正負號表示的統計而提供對該標稱讀取電壓之一電壓調整，以至少部分地補償該標稱電壓之確定性變化及隨機變化。

【0004】 應理解，前述一般描述及以下詳細描述兩者未必限定本發明。併入本說明書中且構成本說明書之部分的隨附圖式說明本發明之具體實例。

【圖式簡單說明】

【0005】 本發明之具體實例可由熟習此項技術者藉由參看附圖而較好地理解，在該等圖中：

圖 1 為根據本發明之一具體實例的說明用於補償標稱讀取電壓變化之系統的方塊圖；

圖 2 包括根據本發明之一具體實例的說明最低有效位元(least significant bit, LSB)關注區之第一曲線圖，及說明兩個最高有效位元(most significant bit, MSB)關注區之第二曲線圖；

圖 3 為根據本發明之一具體實例的說明該系統之適配性迴路的方塊圖；

圖 4 包括根據本發明之一具體實例的說明兩個最高有效位元（MSB）關注區之曲線圖，其中數位型樣被指派至第一 MSB 關注區及第二 MSB 關注區；

圖 5 為根據本發明之一具體實例的說明該系統之適配性迴路的方塊圖，該適配性迴路經組態以針對屬於第一 MSB 關注區之標稱電壓應用第一適配性路徑，且針對屬於第二 MSB 關注區之標稱電壓應用第二適配性路徑；及

圖 6 為根據本發明之一具體實例的說明補償標稱讀取電壓變化之方法的流程圖。

【實施方式】

【0006】 現在將詳細地參考所揭示具體實例，該等具體實例係在隨附圖式中予以說明。

【0007】 圖 1 至圖 6 說明用於利用數位適配性補償迴路來補償標稱讀取電壓變化之系統及方法的具體實例。快閃裝置之標稱讀取電壓的移位或偏移引起基於快閃記憶體組件之磁碟機及其他儲存系統的效能降級且引起其使用期限較短。在一些具體實例中，全盲式補償方案（無需經預儲存偏移資料）調整橫越不同頁面、區塊或晶粒之讀取電壓變化。此外，因為啟用補償迴路以在無需經預儲存值的情況下自動地獲取用於頁面或區塊集合之偏移，所以可控制獲取時間。

【0008】 在一具體實例中，如圖 1 所說明，用於補償用於快閃裝置 102 之標稱讀取電壓變化的系統 100 包括至少兩個讀取路徑。當未啟用補償迴路時，快閃裝置 102 經組態以利用正常讀取路徑來執行讀取，該正常讀取路徑鏈接諸如但不限於軟式或硬式錯誤校正編碼（error correction coding, ECC）解碼器之解碼器 104。在一些具體實例中，解碼器 104 為低密度同位檢查（low-density parity-check, LDPC）解碼器。正常讀取路徑使用標稱讀取電壓，該標稱讀取電壓係使用數位補償迴路之輸出予以追蹤。

【0009】 在一些具體實例中，補償迴路係與讀取通道之讀取重試路徑整合。在其他具體實例中，補償迴路係在相異於或代替讀取重試路徑之補償路徑中。因此，當發生諸如但不限於啟動、讀取失敗或偏移偵測之預定事件時啟用補償迴路。在一些具體實例中，週期性地、手動地或在一或多個選定或經程式化時間時（諸如，在發生選定數目個程式化/抹除記憶體循環（例如，每隔 2000 個 P/E 循環）之後）啟用補償迴路。

【0010】 當啟用補償迴路時，快閃裝置 102 經組態以執行選定數目次

讀取（N 次讀取）。N 次讀取中每一者係在自快閃裝置 102 之初始標稱讀取電壓的各別電壓偏移下執行。快閃裝置 102 經進一步組態以針對 N 次讀取來輸出具有選定數目個位元之數位型樣。在一些具體實例中，讀取之數目等於輸出數位型樣中之位元之數目（亦即，N 次讀取=N 位元型樣）。在一些具體實例中，快閃裝置 102 進一步包括經組態以針對 N 次讀取重試來提供 N 位元型樣之類比轉數位轉換器（analog-to-digital converter, ADC），諸如，快閃 ADC。

【0011】 N 位元型樣係與選定電壓偏移之型樣相關聯。在一些具體實例中，N 位元型樣包括如下各者之序列：表示單元之標稱電壓係在讀取電壓左側之例子之數目的 0，其後接著為 1，以完成 N 位元序列。舉例而言，在四次讀取-四位元組態中，每一讀取將引起以下輸出序列中之一者：「0000」、「0001」、「0011」、「0111」，及「1111」。因為可並行地比較標稱電壓與讀取電壓，所以經簡化表示允許快速轉換。此外，循序位元型樣簡化無效型樣（例如，「0101」）之偵測。

【0012】 系統 100 進一步包括經組態以接收與 N 次讀取相關聯之 N 位元型樣的映射模組 106。映射模組 106 經進一步組態以將該等 N 位元型樣中每一者映射成標稱電壓之帶正負號 M 位元表示。在一些具體實例中，帶正負號 M 位元二進位表示為三位元帶正負號表示。在一些具體實例中，若至最近有效型樣之對應漢明（Hamming）距離小於選定臨限值，則映射模組 106 經進一步組態以藉由映射至最近有效型樣來處置無效型樣。若對應漢明距離不小於選定臨限值，則映射模組 106 可經進一步組態以將無效型樣宣告為抹除。在一些具體實例中，映射模組 106 經進一步組態以將抹除型樣之各別對數似然比（log-likelihood ratio, LLR）設定至選定值（例如，LLR=0）。

【0013】 系統 100 進一步包括經組態以將數值調整（ λ ）適配性地提供至對應於每一單元之 N 次讀取之帶正負號表示的適配性迴路 108。數值調

整 λ 係由電壓補償器 110（諸如，可調整 DC 源）使用，以將電壓調整提供至正常讀取路徑及讀取重試/補償路徑之標稱讀取電壓。在一些具體實例中，適配性迴路 108 經組態用於將快閃裝置之標稱讀取電壓鎖定至對應於足夠縮減之位元錯誤率的值。

【0014】 電壓補償器 110 遍及多次單元讀取而監視數值調整 λ ，以便追蹤讀取參考電壓 V_A 、 V_B 及 V_C 。在一些具體實例中，讀取參考電壓 V_A 、 V_B 及 V_C 為最佳值，或與足夠縮減之位元錯誤率相關聯的值。對於 LSB 參考電壓 V_B 補償，若 $\lambda > 1$ ，則將讀取電壓縮減一個電壓階躍，且若 $\lambda < 0$ ，則將 V_B 增加一個電壓偏移階躍。對於 MSB 參考電壓補償， λ_A 控制 V_A 且 λ_C 控制 V_C 。實務上，可將 λ_A 設定為等於 λ_C ，在此狀況下， V_A 及 V_C 繫結在一起。

【0015】 圖 2 至圖 5 說明最高有效位元(MSB)及最低有效位元(LSB)關注區，以及經設計用於處理 MSB 及 LSB 區塊或頁面之適配性迴路 108。如圖 2 所展示，通常，存在位於狀態「00」與狀態「01」之間的一個 LSB 關注區，且存在兩個 MSB 關注區，一個 MSB 關注區位於「11」與「10」（亦即，下部狀態）之間且另一 MSB 關注區位於狀態「00」與「10」（亦即，上部狀態）之間。圖 3 說明經組態用於 LSB 狀態之適配性迴路 108。在一些具體實例中，藉由使用圖 3 所說明之適配性迴路 108 以產生針對 LSB 及 MSB 區之調整來簡化系統 100。此操作提供較不複雜之系統 100；然而，可藉由運用各別電壓調整 V_A （下部 MSB）、 V_B （LSB）及 V_C （上部 MSB）來獨立地調整 LSB 及 MSB 關注區中每一者而達成較好效能。

【0016】 圖 3 所說明之適配性迴路 108 經組態以將初始數值調整（ λ_{old} ）應用於與 N 次讀取相關聯之帶正負號表示（ x ）。在一些具體實例中，以預設或預定初始值（例如，0）來起始初始數值調整（ λ_{old} ）。在一些具體實例中，以用於選定區塊或區塊集合之一或多個經預儲存值來起始初始數

值調整 (λ_{old})。適配性迴路 108 經進一步組態以基於帶正負號表示 (y) 之經調整值而判定連續數值調整 (λ_{new})。在一些具體實例中，根據以下方程式來判定數值調整 (λ)： $\lambda_{new} = \lambda_{old} + \mu * \text{sgn}(y)$ ，其中 μ 為適配性步長，且 λ_{new} 僅在 $|y| \leq T$ 之情況下被調整，其中 T 為選定臨限值。

【0017】 圖 4 說明用於 MSB 頁面或區塊之不同關注區。第一區 ($R_{select}=0$) 係與下部 MSB 狀態「11」及「10」相關聯，且第二區 ($R_{select}=1$) 係與上部 MSB 狀態「00」及「10」相關聯。所有其他區 ($R_{select}=2$) 係可靠的，或屬於 LSB 頁面或區塊，因此可忽略屬於用於 MSB 頁面或區塊之 $R_{select}=2$ 區域的電壓。在一些具體實例中，如圖 5 所說明，適配性迴路 108 經設計成運用不同適配性路徑來處置 $R_{select}=1$ 輸入及 $R_{select}=2$ 。在一些具體實例中，每一適配性路徑具有各別數值調整 (λ_A 及 λ_C) 及各別適配性步長 (μ_A 及 μ_B)。藉由允許用於 LSB 關注區及每一 MSB 關注區之不同適配性迴路，有可能達成位元錯誤率之較好縮減，此係因為標稱讀取電壓調整 (V_A 、 V_B 及 V_C) 適應於每一關注區。

【0018】 在一些具體實例中，適配性迴路 108 經進一步組態以使 LLR 值之分佈中的零交叉點達到標稱讀取電壓。在一些具體實例中，補償迴路經進一步組態以隨著時間而追蹤每頁面或區塊之偏移變化。可在讀取重試模式期間或在選定時間時啟用補償迴路（如先前所論述）。在一些具體實例中，有利的是在選定時間（例如，週期性地、閒置時刻、啟動等等）時啟用補償迴路，以控制用於選定區塊或頁面之讀取電壓或測試耐久性電壓保持。

【0019】 在一些具體實例中，在補償迴路係與讀取通道（參見圖 1）之讀取重試路徑整合的情況下，LLR 計算模組 112 經組態以接收與 N 次讀取相關聯之經調整帶正負號表示值 (y)。LLR 計算模組 112 經進一步組態以基於經調整值 (y) 而判定 LLR 值。在一些具體實例中，根據以下方程式

而針對 N 次讀取來判定 LLR 值： $LLR=K(y)*y$ ，其中 $K(y)$ 為基於經調整值 (y) 之常數。在一些具體實例中， $K(y)$ 之特徵為包括第一常數 (K_p) 及第二常數 (K_n) 之至少兩個常數，使得當 $y \geq 0$ 時 $K(y)=K_p$ ，且當 $y \leq 0$ 時 $K(y)=K_n$ 。基於各種關注狀態之分佈而選擇常數 (K_p) 及 (K_n)。在一些具體實例中，對於 LSB 區塊或頁面，在狀態「00」與狀態「01」之間進行區分，且基於每一狀態之各別分佈而選擇 K_p 及 K_n 。對於 MSB 區塊或頁面，在狀態「11」與狀態「10」(亦即，下部狀態) 及狀態「00」與狀態「10」(亦即，上部狀態) 之間進行相似區分及選擇。因此，LLR 計算模組 112 針對原始位元錯誤率 (BER) 來使用對應於關注尾值之六個 K_p 、 K_n 增益值，即，分別在狀態「11」與狀態「01」(下部 MSB 狀態)、狀態「01」與狀態「00」(LSB 狀態) 及狀態「00」與狀態「10」(上部 MSB 狀態) 之間的左側及右側尾值。在一些具體實例中，六個 K_p 、 K_n 增益係在縮減集中以進一步簡化 LLR 計算。

【0020】 在一些具體實例中，利用經調整 (y) 值之分佈來判定 K_p 或 K_n 值。利用一或多個正值及負值 (V) 之分佈以拾取 K_p 或 K_n 。考慮 $V=2$ 之具體實例。在選定時間窗內對 $y==+2$ 及 $y==-2$ 時之命中之數目 $N(2)$ 進行計數，且將該數目 $N(2)$ 與選定計數臨限值 (Th) 進行比較。接著，若 $N(2)>Th$ ，則 $K_p=1$ ，否則， $K_p=2$ 。相似地，若 $N(-2)>Th$ ，則 $K_n=1$ ，否則， $K_n=2$ 。前述具體實例說明用於選擇 K_p 及 K_n 常數之概念。因此，所使用之值意欲作為實例，而不限制本發明。

【0021】 在一些具體實例中，將補償迴路併入至讀取重試 (及 LLR 產生) 路徑中會允許 LLR 判定中之自動偏移補償，此係因為補償迴路經啟用以盲收斂於縮減原始 BER 之偏移。在一些具體實例中，補償迴路進一步包括控制器或係與控制器通信，該控制器經組態以追蹤用於選定頁面或區塊之讀取電壓。因此，補償迴路可用於保持測試及保持電壓移位偵測。

【0022】 上文所描述之映射模組 106、適配性迴路 108 及 LLR 計算模組 112 包括經啟用以執行本文所描述之功能或步驟的硬體、軟體及/或韌體之任何組合式或分離式組態。在一些具體實例中，由經組態以執行來自載體媒體之程式指令的一或多個處理器實施系統 100 之前述組件中任一者。在一些具體實例中，進一步使用電子電路系統。尤其預期用於實施系統 100 之前述組件的許多硬體、軟體及韌體組合。因此，本文所描述之具體實例中任一者不應被認作限制。

【0023】 圖 6 為說明用於補償快閃裝置 102 之標稱讀取電壓變化的方法 200 之具體實例的流程圖。系統 100 為方法 200 之表現形式，且關於系統 100 或方法 200 之具體實例所描述的所有步驟或特徵適用於系統 100 及方法 200 兩者。然而，應注意，可經由為此項技術所知之其他手段而執行方法 200 之一或多個步驟。因此，方法 200 應被廣泛地認作涵蓋用於進行下文所描述之步驟的任何可接受手段。

【0024】 在步驟 202 處，作為補償或讀取重試路徑之部分而執行 N 次讀取。N 次讀取中每一者係在自初始讀取電壓之選定電壓偏移下執行。步驟 202 係在選定時間（例如，週期性地、預設定時間、手動地起始）時或在發生指定事件（例如，讀取失敗、損毀讀取、系統閒置、啟動）後即被初始化。在步驟 204 處，針對 N 次讀取來產生 N 位元數位型樣。N 位元數位型樣係與 N 次讀取之各別電壓偏移相關聯。在步驟 206 處，將 N 位元數位型樣映射至標稱讀取電壓（亦即，選定或預定電壓）之 M 位元帶正負號表示。在步驟 208 處，基於帶正負號表示而應用電壓調整。在一些具體實例中，補償迴路適配性地產生電壓調整偏移以上調或下調標稱讀取電壓。補償迴路適配性地提供新電壓調整歷時選定數目個循環或直至達成臨限電壓為止。因此，在先前不知道最佳或理想偏移值之情況下數位地補償標稱讀取電壓變化。

【0025】 應認識到，在一些具體實例中，可由硬體、軟體或韌體之任何組合進行貫穿本發明而描述之各種功能或步驟。在一些具體實例中，由以下各者中之一或多者進行各種步驟或功能：電子電路、邏輯閘、場可程式化閘陣列、多工器，或計算系統。計算系統可包括但不限於個人計算系統、大型主機計算系統、工作站、影像電腦、並行處理器，或此項技術中所知之任何其他裝置。一般而言，術語「計算系統」被廣泛地定義為涵蓋具有執行來自記憶體媒體之指令之一或多個處理器的任何裝置。

【0026】 實施方法（諸如，由本文所描述之具體實例表現的方法）之程式指令可經由載體媒體而傳輸，或儲存於載體媒體上。載體媒體可為諸如但不限於電線、纜線或無線傳輸鏈路之傳輸媒體。載體媒體亦可包括諸如但不限於唯讀記憶體、隨機存取記憶體、磁碟或光碟或磁帶之儲存媒體。

【0027】 表現本文所描述之方法的具體實例可包括將結果儲存於儲存媒體中。在已儲存結果之後，可在儲存媒體中存取結果，且由本文所描述之方法或系統具體實例中任一者使用結果、使結果格式化以顯示給使用者、由另一軟體模組、方法或系統使用顯示，等等。此外，可「永久性地」儲存結果、「半永久性地」儲存結果、臨時地儲存結果，或儲存結果歷時某一時段。舉例而言，儲存媒體可為隨機存取記憶體（random access memory, RAM），且結果可能未必無限期地保存於儲存媒體中。

【0028】 進一步預期到，上文表現為系統或方法之本發明之任何具體實例可包括本文所描述之任何其他具體實例之至少一部分。熟習此項技術者應瞭解，存在可供實現本文所描述之系統及方法之各種具體實例，且實施將隨著本發明之一具體實例被部署的上下文而變化。

【0029】 此外，應理解，本發明係由附加申請專利範圍定義。儘管已說明本發明之具體實例，但顯而易見，熟習此項技術者可在不脫離本發明之範疇及精神的情況下進行各種修改。

【符號說明】**【0030】**

100：系統

102：快閃裝置

104：解碼器

106：映射模組

108：適配性迴路

110：電壓補償器

112：對數似然比（LLR）計算模組

200：方法

202：步驟

204：步驟

206：步驟

208：步驟



發明摘要

※ 申請案號：103100934

※ 申請日：103 年 1 月 10 日

※IPC 分類：

G11C 16/26 (2006.01)**G11C 16/12** (2006.01)

【發明名稱】(中文/英文)

用於補償快閃裝置之標稱電壓變化之系統及方法

SYSTEMS AND METHODS OF COMPENSATING NOMINAL VOLTAGE

VARIATIONS OF A FLASH DEVICE

【中文】

本發明係有關於一種用於一快閃裝置之標稱讀取電壓變化的系統及方法。執行 N 次讀取，每一讀取係在自一初始讀取電壓之一選定電壓偏移下執行。針對該 N 次讀取來產生與該等選定電壓偏移相關聯之一 N 位元數位型樣。將藉由該 N 次讀取而產生之該 N 位元數位型樣映射至一帶正負號表示。應用基於該帶正負號表示之一電壓調整以至少部分地補償該標稱讀取電壓之一變化，以縮減該快閃裝置之位元錯誤率。

【英文】

The disclosure is directed to a system and method for nominal read voltage variations of a flash device. N reads are performed, each at a selected voltage offset from an initial read voltage. An N bit digital pattern associated with the selected voltage offsets is generated for the N reads. The N bit digital pattern generated by the N reads is mapped to a signed representation. A voltage adjustment based upon the signed representation is applied to at least partially compensate for a variation of the nominal read voltage to reduce bit error rate of the flash device.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100：系統

102：快閃裝置

104：解碼器

106：映射模組

108：適配性迴路

110：電壓補償器

112：對數似然比（LLR）計算模組

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無