

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/043141 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
H03M 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2017/029495
- (22) 国際出願日: 2017年8月17日(17.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-167592 2016年8月30日(30.08.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

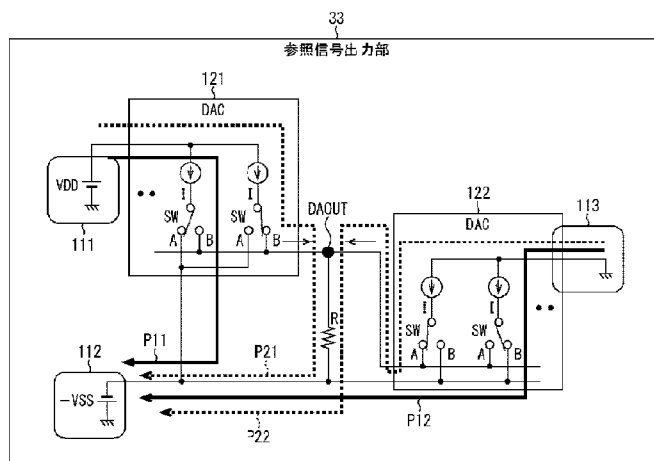
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 田中 輝和 (TANAKA Terukazu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 榊原 雅樹(SAKAKIBARA Masaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(54) Title: IMAGE SENSOR AND ELECTRONIC DEVICE

(54) 発明の名称: イメージセンサ、及び、電子機器



33 Reference signal output unit

(57) **Abstract:** This technology relates to an image sensor and an electronic device that enable suppression of power consumption. A reference signal output unit that outputs a reference signal the level of which changes comprises: a plurality of DACs each including a plurality of current sources, and a plurality of switches for controlling currents passed by the current sources; and a load resistance for outputting the reference signal. Further, the reference signal output unit is connected to three or more power sources, and among combinations of two power sources out of the three or more

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

power sources, each of two or more combinations of the power sources has a first path over which a current controlled by the switch flows, and a second path over which a current in the same direction flows through the load resistance. This technology is applicable, for example, to an image sensor that performs reference signal comparison-type AD conversion.

(57) 要約: 本技術は、消費電力を抑制することができるようにするイメージセンサ、及び、電子機器に関する。レベルが変化する参照信号を出力する参照信号出力部は、複数の電流源と、電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、参照信号を出力するための負荷抵抗とを有する。さらに、参照信号出力部は、3個以上の電源に接続され、3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、スイッチで制御された電流が流れる第1経路と、負荷抵抗に同一方向の電流を流す第2経路とを有する。本技術は、例えば、参照信号比較型のAD変換を行うイメージセンサ等に適用することができる。

明 細 書

発明の名称： イメージセンサ、及び、電子機器

技術分野

[0001] 本技術は、イメージセンサ、及び、電子機器に関し、特に、例えば、消費電力を抑制することができるようにするイメージセンサ、及び、電子機器に関する。

背景技術

[0002] 近年、デジタル（スチル／ビデオ）カメラその他の電子機器では、画像を撮像する固体撮像装置として、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサが用いられる。

[0003] CMOSイメージセンサでは、ADC(Analog to Digital Converter)において、例えば、画素から得られる電気信号と、レベルが変化する参照信号とが比較され、その電気信号と参照信号との比較結果を用いて、画素から得られる電気信号のAD(Analog to Digital)変換が行われる。

[0004] 以上のように、参照信号との比較結果を用いて行うAD変換は、参照信号比較型のAD変換と呼ばれる。参照信号比較型のAD変換では、参照信号が用いられるため、その参照信号を生成するDAC(Digital to Analog Converter)が必要となる。参照信号を生成するDACとしては、例えば、電流出力型DACが用いられる（例えば、特許文献1を参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2015-053708号公報

発明の概要

発明が解決しようとする課題

[0006] 参照信号として出力する電圧の範囲が正電圧の範囲である場合、DACには、正電圧の電源（正電源）とGND(ground)（グラウンド）とを接続することで、正電圧の範囲の参照信号を生成することができる。

[0007] また、参照信号として出力する電圧の範囲が正電圧から負電圧にまで及ぶ場合には、DACに、正電源と、負電圧の電源（負電源）とを接続することで、正電圧から負電圧に亘る範囲の参照信号を生成することができる。

[0008] ところで、1個のDACに、正電源及び負電源を接続した場合、正電源から負電源に向かって、定常的に、電流が流れるため、DACに、正電源及びGNDを接続した場合に比較して、消費電力が大きく増加する。

[0009] 本技術は、このような状況に鑑みてなされたものであり、消費電力を抑制することができるようにするものである。

課題を解決するための手段

[0010] 本技術のイメージセンサは、光電変換を行う光電変換素子を有し、電気信号を出力する画素と、レベルが変化する参照信号を出力する参照信号出力部と、前記画素から出力される前記電気信号と、前記参照信号とを比較し、前記電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to Digital)変換を行うAD変換部とを備え、前記参照信号出力部は、複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、前記電流が流れることで、前記参照信号を出力する負荷抵抗とを有し、3個以上の電源に接続され、前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、前記スイッチで制御された電流が流れる第1経路と、前記負荷抵抗に同一方向の電流を流す第2経路とを有するイメージセンサである。

[0011] 本技術の電子機器は、光を集光する光学系と、光を受光し、前記光の受光量に対応する信号を出力するイメージセンサとを備え、前記イメージセンサは、光電変換を行う光電変換素子を有し、電気信号を出力する画素と、レベルが変化する参照信号を出力する参照信号出力部と、前記画素から出力される前記電気信号と、前記参照信号とを比較し、前記電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to Digital)変換を行うAD変換部とを備え、前記参照信号出力部は、複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、前記電流が流れるこ

とで、前記参照信号を出力する負荷抵抗とを有し、3個以上の電源に接続され、前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、前記スイッチで制御された電流が流れる第1経路と、前記負荷抵抗に同一方向の電流を流す第2経路とを有する電子機器である。

[0012] 本技術のイメージセンサ及び電子機器においては、前記電気信号と、前記参照信号とを比較した比較結果を用いて、前記電気信号のAD変換が行われる。前記参照信号を出力する前記参照信号出力部では、複数のDACにおいて、複数の電流源が流す電流が複数のスイッチにより制御され、負荷抵抗に、前記電流が流れることで、前記参照信号が出力される。前記参照信号出力部は、3個以上の電源に接続され、前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれには、前記スイッチで制御された電流が流れる第1経路と、前記負荷抵抗に同一方向の電流を流す第2経路とが存在する。

[0013] なお、イメージセンサは、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0014] 本技術によれば、消費電力を抑制することが可能となる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[図2]イメージセンサ2の構成例を示すブロック図である。

[図3]参照信号出力部33の構成例の概要を示す回路図である。

[図4]参照信号出力部33の第1の構成例を示す回路図である。

[図5]参照信号出力部33の第1の構成例の動作の例を説明するタイミングチャートである。

[図6]参照信号出力部33の第1の構成例の動作の他の例を説明するタイミングチャートである。

[図7]参照信号出力部33の第2の構成例を示す回路図である。

[図8]参照信号出力部33の第2の構成例の動作の例を説明するタイミングチャートである。

[図9]参照信号出力部33の第3の構成例を示す回路図である。

[図10]参照信号出力部33の第3の構成例の動作の例を説明するタイミングチャートである。

[図11]参照信号出力部33の第4の構成例を示す回路図である。

[図12]参照信号出力部33の第4の構成例の動作の例を説明するタイミングチャートである。

[図13]参照信号出力部33の第5の構成例を示す回路図である。

[図14]参照信号出力部33の第6の構成例を示す回路図である。

[図15]参照信号出力部33の第6の構成例の動作の例を説明するタイミングチャートである。

[図16]イメージセンサ2を使用する使用例を示す図である。

発明を実施するための形態

[0017] <本技術を適用したデジタルカメラの一実施の形態>

[0018] 図1は、本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[0019] なお、デジタルカメラは、静止画、及び、動画のいずれも撮像することができる。

[0020] 図1において、デジタルカメラは、光学系1、イメージセンサ2、メモリ3、信号処理部4、出力部5、及び、制御部6を有する。

[0021] 光学系1は、例えば、図示せぬズームレンズや、フォーカスレンズ、絞り等を有し、外部からの光を、イメージセンサ2に入射させる。

[0022] イメージセンサ2は、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサであり、光学系1からの入射光を受光し、光電変換を

行って、光学系 1 からの入射光に対応する画像データを出力する。

[0023] メモリ 3 は、イメージセンサ 2 が出力する画像データを一時記憶する。

[0024] 信号処理部 4 は、メモリ 3 に記憶された画像データを用いた信号処理としての、例えば、ノイズの除去や、ホワイトバランスの調整等の処理を行い、出力部 5 に供給する。

[0025] 出力部 5 は、信号処理部 4 からの画像データを出力する。

[0026] すなわち、出力部 5 は、例えば、液晶等で構成されるディスプレイ（図示せず）を有し、信号処理部 4 からの画像データに対応する画像を、いわゆるスルー画として表示する。

[0027] また、出力部 5 は、例えば、半導体メモリや、磁気ディスク、光ディスク等の記録媒体を駆動するドライバ（図示せず）を有し、信号処理部 4 からの画像データを記録媒体に記録する。

[0028] 制御部 6 は、ユーザの操作等に従い、デジタルカメラを構成する各ブロックを制御する。

[0029] 以上のように構成されるデジタルカメラでは、イメージセンサ 2 が、光学系 1 からの入射光を受光し、その入射光に応じて、画像データを出力する。

[0030] イメージセンサ 2 が出力する画像データは、メモリ 3 に供給されて記憶される。メモリ 3 に記憶された画像データについては、信号処理部 4 による信号処理が施され、その結果得られる画像データは、出力部 5 に供給されて出力される。

[0031] <イメージセンサ 2 の構成例>

[0032] 図 2 は、図 1 のイメージセンサ 2 の構成例を示すブロック図である。

[0033] 図 2 において、イメージセンサ 2 は、画素アレイ 10、制御部 20、画素駆動部 21、列並列 AD 変換装置 22、及び、出力部 23 を有する。

[0034] 画素アレイ 10 は、光電変換を行う $M \times N$ 個（ M 及び N は、1 以上の整数）の画素 $11_{1,1}$, $11_{1,2}$, $\dots$, $11_{1,N}$, $11_{2,1}$, $11_{2,2}$, $\dots$, $11_{2,N}$, $\dots$, $11_{M,1}$, $11_{M,2}$, $\dots$, $11_{M,N}$ を有し、画像を撮像する撮像部（撮像素

子)として機能する。

[0035] $M \times N$ 個の画素 $1\ 1_{1,1}$ ないし $1\ 1_{M,N}$ は、2次元平面上に、 M 行 N 列の行列(格子)状に配置されている。

[0036] 画素アレイ $1\ 0$ の、(上から) m 行目($m=1, 2, \dots, M$)の行方向(横方向)に並ぶ N 個の画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ には、行方向に延びる画素制御線 $4\ 1_m$ が接続されている。

[0037] また、(左から) n 列目($n=1, 2, \dots, N$)の列方向(縦方向)に並ぶ M 個の画素 $1\ 1_{1,n}$ ないし $1\ 1_{M,n}$ には、列方向に延びるVSL(Vertical Signal Line) $4\ 2_n$ が接続されている。VSL $4\ 2_n$ には、画素 $1\ 1_{1,n}$ ないし $1\ 1_{M,n}$ の他、電流源 $4\ 3_n$ が接続されている。

[0038] 画素 $1\ 1_{m,n}$ は、そこに入射する光(入射光)の光電変換を行う。さらに、画素 $1\ 1_{m,n}$ は、光電変換によって得られる電荷に対応する電圧(電気信号)を、画素駆動部 $2\ 1$ からの、画素制御線 $4\ 1_m$ を介しての制御に従い、VSL $4\ 2_n$ 上に出力する。

[0039] なお、画素 $1\ 1_{m,n}$ は、例えば、ベイヤ配列等の色フィルタ(図示せず)を介して入射する所定の色の光の光電変換を行うことができる。

[0040] 制御部 $2\ 0$ は、画素駆動部 $2\ 1$ や、列並列AD変換装置 $2\ 2$ (を構成するオートゼロ制御部 $3\ 2$ や、参照信号出力部 $3\ 3$ 等)、その他の必要なブロックを、所定のロジック等に従って制御する。

[0041] 画素駆動部 $2\ 1$ は、制御部 $2\ 0$ の制御に従い、画素制御線 $4\ 1_m$ を介して、その画素制御線 $4\ 1_m$ に接続されている画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ を制御(駆動)する。

[0042] 列並列AD変換装置 $2\ 2$ は、各行に並ぶ画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ それぞれと、VSL $4\ 2_1$ ないし $4\ 2_N$ を介して接続されており、したがって、画素 $1\ 1_{m,n}$ がVSL $4\ 2_n$ 上に出力する電気信号(電圧)(以下、VSL信号ともいう)は、列並列AD変換装置 $2\ 2$ に供給される。

[0043] 列並列AD変換装置 $2\ 2$ は、一行に並ぶ画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ それぞれから、VSL $4\ 2_1$ ないし $4\ 2_N$ を介して供給されるVSL信号のAD変換を、並列で行う列

並列AD変換装置であり、AD変換の結果得られるデジタルデータを、画素 $1_{m,1}$ ないし $1_{m,N}$ の画素値（画素データ）として、出力部23に供給する。

[0044] ここで、列並列AD変換装置22は、一行に並ぶN個の画素 $1_{m,1}$ ないし $1_{m,N}$ すべての電気信号のAD変換を、並列で行う他、そのN個の画素 $1_{m,1}$ ないし $1_{m,N}$ のうちの、N個未満の1個以上の画素の電気信号のAD変換を、並列で行うことができる。

[0045] 但し、以下では、説明を簡単にするため、列並列AD変換装置22は、一行に並ぶN個の画素 $1_{m,1}$ ないし $1_{m,N}$ すべてのVSL信号のAD変換を、並列で行うこととする。

[0046] 列並列AD変換装置22は、一行に並ぶN個の画素 $1_{m,1}$ ないし $1_{m,N}$ すべてのVSL信号のAD変換を、並列で行うために、N個のADC(Analog to Digital Converter) $3_{1,1}$ ないし $3_{1,N}$ を有する。

[0047] さらに、列並列AD変換装置22は、オートゼロ制御部32、参照信号出力部33、及び、クロック出力部34を有する。

[0048] オートゼロ制御部32は、ADC $3_{1,1}$ ないし $3_{1,N}$ が有する、図示せぬ比較器のオートゼロ処理を制御するための信号であるAZパルス（オートゼロパルス）を、オートゼロ制御線32Aを介して、ADC $3_{1,1}$ ないし $3_{1,N}$ に供給（出力）する。オートゼロ処理では、ADC $3_{1,1}$ が有する比較器の反転入力端子及び非反転入力端子のDC(Direct Current)レベルが調整される。

[0049] 参照信号出力部33は、例えば、DAC(Digital to Analog Converter)で構成され、ランプ(ramp)信号のような一定の傾きで、所定の初期値から所定の最終値までレベル（電圧）が変化する期間を有する参照信号を、参照信号線33Aを介して、ADC $3_{1,1}$ ないし $3_{1,N}$ に供給（出力）する。

[0050] なお、本実施の形態では、参照信号として、例えば、一定の変化の割合でレベル（電圧）が小さくなっていくスロープを含む信号を採用することとする。但し、参照信号としては、その他、例えば、一定の変化の割合でレベルが大きくなっていくスロープを含む信号や、非線形にレベルが単調減少又は単調増加する区間を含む信号等を採用することができる。

- [0051] クロック出力部34は、所定の周波数のクロックを、クロック線34Aを介して、ADC31₁ないし31_Nに供給（出力）する。
- [0052] ADC31_nは、VSL41_nに接続されており、したがって、ADC31_nには、画素11_{m,n}がVSL41_n上に出力するVSL信号（電気信号）が供給される。
- [0053] ADC31_nは、画素11_{m,n}が出力するVSL信号のAD変換を、参照信号出力部33からの参照信号、及び、クロック出力部34からのクロックを用いて行い、さらに、CDS(Correlated Double Sampling)を行って、画素値としてのデジタルデータを求める。
- [0054] ここで、ADC31_nは、図示せぬ比較器において、画素11_{m,n}のVSL信号と、参照信号出力部33からの参照信号とを比較し、画素11_{m,n}のVSL信号と参照信号とのレベルが一致するまでの（VSL信号と参照信号との大小関係が逆転するまでの）、参照信号のレベルの変化に要する時間をカウントすることにより、画素11_{m,n}のVSL信号のAD変換を行う。
- [0055] ADC31_nにおいて、画素11_{m,n}のVSL信号と参照信号とのレベルが一致するまでの、参照信号のレベルの変化に要する時間のカウントは、クロック出力部34からのクロックをカウントすることにより行われる。
- [0056] また、N個のADC31₁ないし31_Nには、画素アレイ10の第1行ないし第M行の各行のN個の画素11_{m,1}ないし11_{m,N}のVSL信号が、例えば、第1行から順次供給され、そのVSL信号のAD変換、及び、CDSが、行単位で行われる。
- [0057] 出力部23は、画素値を読み出す列nを選択し、その列nのADC31_nから、そのADC31_nで求められた画素11_{m,n}のAD変換（及びCDS）の結果を、画素値として読み出し、外部（本実施の形態では、メモリ3（図1））に出力する。
- [0058] なお、ここでは、ADC31_nにおいて、AD変換の他、CDSを行うこととしたが、ADC31_nでは、AD変換のみを行い、CDSは、出力部23で行うことが可能である。
- [0059] <参照信号出力部33の概要>
- [0060] 図3は、参照信号出力部33の構成例の概要を示す回路図である。
- [0061] 参照信号出力部33は、複数のDACとしての、例えば、2個のDAC121及び

1 2 2 と、電流が流れることで、参照信号を出力する負荷抵抗Rとを有する。

[0062] DAC 1 2 1 及び 1 2 2 それぞれは、複数の電流源Iと、各電流源Iが流す電流Iを制御する、電流源Iの数と同一の数の複数のスイッチSWとを含む。DAC 1 2 1 及び 1 2 2 のそれぞれにおいて、電流源Iの数は、同一の数であっても良いし、異なる数であっても良い。

[0063] 電流源Iは、電流Iを流す。なお、電流源Iは、例えば、制御部 2 0 (図 2) の制御に応じて、オン／オフが制御される。また、本実施の形態では、各電流源Iは、同一の値の電流Iを流すが、各電流源Iが流す電流は、例えば、 $2^0 \times I$, $2^1 \times I$, $2^2 \times I$, $\dots$, $2^n \times I$, $\dots$ のように、異なる値であってもよい。

[0064] スイッチSWは、電流源Iに接続されており、その電流源Iが流す電流Iを制御する。なお、図 3 では、スイッチSWは、左側の端子A又は右側の端子Bを選択することにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。すなわち、電流源Iが流す電流Iは、スイッチSWが端子Aを選択している場合には、端子Aに流れ、スイッチSWが端子Bを選択している場合には、端子Bに流れる。

[0065] 参照信号出力部 3 3 は、3個以上の電源としての、例えば、3個の電源 1 1 1, 1 1 2、及び、1 1 3 に接続される。

[0066] ここで、図 3 では、電源 1 1 1 は、正電圧VDD($VDD > 0$)の正電源になっており、電源 1 1 2 は、負電圧-VSS($VSS > 0$)の負電源になっている。また、電源 1 1 3 は、GNDになっている。

[0067] 本実施の形態では、GNDを、電圧が0Vの電源であるとみなして、電源に含める。

[0068] なお、参照信号出力部 3 3 に接続される3個以上の電源には、GNDが含まれていなくても良い。すなわち、3個以上の電源としては、例えば、正電源だけ、負電源だけ、又は、正電源及び負電源だけを採用することができる。同様に、3個以上の電源には、正電源又は負電源が含まれていなくても良い。すなわち、3個以上の電源としては、例えば、正電源及びGNDだけや、負電源及びGNDだけ等を採用することができる。

- [0069] また、本実施の形態では、参照信号出力部 33 に接続される3個以上の電源としての3個の電源 111 ないし 113 が、参照信号出力部 33 に設けられているように図示するが、3個以上の電源は、参照信号出力部 33 の外部に設けることができる。
- [0070] 参照信号出力部 33 に接続される3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、DAC 121 や 122 のスイッチSWで制御された電流が流れる第1経路と、負荷抵抗Rに同一方向の電流を流す第2経路とを有する。
- [0071] 図3では、参照信号出力部 33 に接続された3個の電源 111 ないし 113 のうちの2個の電源の組み合わせとしては、電源 111 と電源 112 との組み合わせ、電源 111 と電源 113 との組み合わせ、及び、電源 112 と電源 113 との組み合わせの3通りの組み合わせがある。
- [0072] 3個の電源 111 ないし 113 のうちの2個の電源の組み合わせの中で、電源 111 と電源 112 との組み合わせは、DAC 121 のスイッチSWで制御された電流が流れる第1経路として、経路P11及びP21を有する。経路P11は、電源 111 から、DAC 121 を経由して、電源 112 に至る経路であり、経路P21は、電源 111 から、DAC 121 及び負荷抵抗Rを経由して、電源 112 に至る経路である。
- [0073] さらに、電源 111 と電源 112 との組み合わせは、負荷抵抗Rに同一方向（図3では、負荷抵抗Rの上端側から下端側に向かう方向）の電流を流す第2経路として、経路P21を有する。
- [0074] したがって、電源 111 と電源 112 との組み合わせに関しては、経路P21は、第1経路でもあるし、第2経路でもある。
- [0075] また、3個の電源 111 ないし 113 のうちの2個の電源の組み合わせの中で、電源 112 と電源 113 との組み合わせは、DAC 122 のスイッチSWで制御された電流が流れる第1経路として、経路P12及びP22を有する。経路P12は、電源 113 から、DAC 122 を経由して、電源 112 に至る経路であり、経路P22は、電源 113 から、DAC 122 及び負荷抵抗Rを経由して、電源 112

に至る経路である。

[0076] さらに、電源 1 1 2 と電源 1 1 3 との組み合わせは、負荷抵抗Rに同一方向の電流を流す第 2 経路として、経路P22を有する。

[0077] したがって、電源 1 1 2 と電源 1 1 3 との組み合わせに関しては、経路P22は、第 1 経路でもあるし、第 2 経路でもある。

[0078] ここで、図 3 では、第 1 経路になっている経路（経路P11やP12）とは別に、第 2 経路になっている経路（経路P21やP22）が存在するが、第 1 経路になっている経路と、第 2 経路になっている経路とは、必ずしも、別の経路として存在する必要はない。すなわち、第 1 経路になっている経路と、第 2 経路になっている経路とは、一致していても良い。

[0079] 以上のように、図 3 の参照信号出力部 3 3 は、第 1 経路及び第 2 経路を有する電源の組み合わせとして、電源 1 1 1 と電源 1 1 2 との組み合わせ、及び、電源 1 1 2 と電源 1 1 3 との組み合わせの2通りの組み合わせを有する。

[0080] すなわち、図 3 の参照信号出力部 3 3 において、電源 1 1 1 は、DAC 1 2 1 の各電流源Iの一端に接続されている。DAC 1 2 1 において、電流源Iの他端は、スイッチSWに接続されている。さらに、DAC 1 2 1 において、スイッチSWの端子Aは、電源 1 1 2 及び負荷抵抗Rの一端である下端に接続され、スイッチSWの端子Bは、負荷抵抗Rの他端である上端に接続されている。

[0081] また、電源 1 1 3 は、DAC 1 2 2 の各電流源Iの一端に接続されている。DAC 1 2 2 において、電流源Iの他端は、スイッチSWに接続されている。さらに、DAC 1 2 2 において、スイッチSWの端子Aは、負荷抵抗Rの上端に接続され、スイッチSWの端子Bは、電源 1 1 2 及び負荷抵抗Rの下端に接続されている。

[0082] 以上のように構成される参照信号出力部 3 3 では、DAC 1 2 1 の電流源Iが流す電流は、電源 1 1 1 から、DAC 1 2 1 のスイッチSWの端子Aを経由して、又は、DAC 1 2 1 のスイッチSWの端子B、及び、負荷抵抗Rを経由して、電源 1 1 2 に流れる。

[0083] したがって、DAC 1 2 1 が、N個の電流源Iを有することとすると、DAC 1 2 1 のスイッチSWによる端子A又はBの選択にかかわらず、電源 1 1 1 から電源

1 1 2 には、電流 $I \times N$ の定電流が流れる。

[0084] その結果、DAC 1 2 1 だけを考慮すると、参照信号出力部 3 3 においては、DAC 1 2 1 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。

[0085] 参照信号出力部 3 3 では、DAC 1 2 2 の電流源Iが流す電流は、電源 1 1 3 から、DAC 1 2 2 のスイッチSWの端子Bを経由して、又は、DAC 1 2 2 のスイッチSWの端子A、及び、負荷抵抗Rを経由して、電源 1 1 2 に流れる。

[0086] したがって、DAC 1 2 2 が、N個の電流源Iを有することとすると、DAC 1 2 2 のスイッチSWによる端子A又はBの選択にかかわらず、電源 1 1 3 から電源 1 1 2 には、電流 $I \times N$ の定電流が流れる。

[0087] その結果、DAC 1 2 2 だけを考慮すると、参照信号出力部 3 3 においては、DAC 1 2 2 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。

[0088] 図 3 では、負荷抵抗Rに0以上の電流が流れることで、負荷抵抗Rの上端の電圧DAOUTが、参照信号DAOUTとして出力される。

[0089] 図 3 では、負荷抵抗Rに流れる電流が大であるほど、電圧DAOUTは高くなる。

[0090] 例えば、DAC 1 2 1 に注目すると、DAC 1 2 1 において、スイッチSWすべてが、端子Bを選択しているとき、負荷抵抗Rに流れる電流は最大となって、電圧DAOUTが、最大になる。そして、DAC 1 2 1 において、端子Aを選択するスイッチSWが多くなるほど、電圧DAOUTは低下し、スイッチSWすべてが端子Aを選択しているとき、負荷抵抗Rに流れる電流は0となって、電圧DAOUTは、最小になる。

[0091] したがって、例えば、DAC 1 2 1 において、端子Bから端子Aを選択するスイッチSWを多くしていくことで、一定の変化の割合でレベルが小さくなっていくスロープを含む参照信号DAOUTを生成することができる。

[0092] また、図3の参照信号出力部33は、正電圧VDDの電源111及び負電圧-VSSの電源112に接続されているので、理論的（理想的）には、正電圧VDDから負電圧-VSSまでの範囲の電圧の参照信号DAOUTを生成することができる。

[0093] 以下、説明する参照信号出力部33の各構成例は、いずれも、図3で説明したように、複数の電流源と電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、電流が流れることで、参照信号を出力する負荷抵抗とを有し、3個以上の電源に接続され、3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、スイッチで制御された電流が流れる第1経路と、負荷抵抗に同一方向の電流を流す第2経路とを有する。

[0094] <参照信号出力部33の第1の構成例>

[0095] 図4は、参照信号出力部33の第1の構成例を示す回路図である。

[0096] なお、図中、図3の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0097] 図4において、参照信号出力部33は、DAC211及び212、デコーダ213、並びに、負荷抵抗Rを有する。

[0098] また、図4において、参照信号出力部33は、正電圧VDDの電源111、負電圧-VSSの電源112、及び、GNDである電源113に接続されている。すなわち、DAC211は、電源111及び113に接続され、DAC212は、電源111及び112に接続されている。

[0099] DAC211及び212それぞれは、複数の電流源Iと、各電流源Iが流す電流Iを制御する、電流源Iの数と同一の数の複数のスイッチSWとを含む。DAC211及び212のそれぞれにおいて、電流源Iの数は、同一の数であっても良いし、異なる数であっても良い。

[0100] DAC211では、電流源Iの一端が電源113としてのGNDに接続され、電流源Iの他端が、スイッチSWに接続されている。

[0101] DAC211において、スイッチSWは、デコーダ213の制御に従い、左の端子A又は右の端子Bを選択し、これにより、スイッチSWに接続された電流源Iが

流す電流Iを制御する。

[0102] DAC 2 1 1 において、端子Aは、電源 1 1 1 に接続され、端子Bは、負荷抵抗 R の下端に接続されている。

[0103] DAC 2 1 2 では、電流源Iの一端が電源 1 1 2 に接続され、電流源Iの他端が、スイッチSWに接続されている。

[0104] DAC 2 1 2 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、左の端子A又は右の端子Bを選択し、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0105] DAC 2 1 2 において、端子Aは、負荷抵抗Rの下端に接続され、端子Bは、電源 1 1 1 に接続されている。

[0106] デコーダ 2 1 3 は、例えば、制御部 2 0（図 2）の制御にしたがって、DAC 2 1 1 及び 2 1 2 のスイッチSWの、端子A又はBの選択を制御する。すなわち、デコーダ 2 1 3 は、制御部 2 0 の制御にしたがって、ディジタル値のカウントを行い、そのディジタル値に対応する（アナログ）電流が、負荷抵抗Rを流れるように、DAC 2 1 1 及び 2 1 2 のスイッチSWに、端子A又はBを選択させる。

[0107] 図 4 では、上述したように、負荷抵抗Rの下端に、DAC 2 1 1 の端子B、及び、DAC 2 1 2 の端子Aが接続されている。また、負荷抵抗Rの上端は、電源 1 1 1 に接続され、負荷抵抗Rの下端の電圧DAOUTが、参照信号DAOUTとして出力される。

[0108] したがって、図 4 では、参照信号DAOUTとしての電圧は、電源 1 1 1 の電圧 VDDを基準とする電圧であり、負荷抵抗Rに流れる電流を i で表すこととすると、式 $DAOUT = VDD - iR$ で表される。

[0109] 図 4 の参照信号出力部 3 3 では、DAC 2 1 1 に接続された電源 1 1 1 及び 1 1 3 の組み合わせは、電源 1 1 1 から、DAC 2 1 1 の端子A及び電流源Iを経由して、電源 1 1 3 に至る経路と、電源 1 1 1 から、負荷抵抗R、DAC 2 1 1 の端子B及び電流源Iを経由して、電源 1 1 3 に至る経路とを、DAC 2 1 1 のスイッチSWで制御された電流が流れる第 1 経路として有する。

- [0110] さらに、電源 1 1 1 及び 1 1 3 の組み合わせは、電源 1 1 1 から、負荷抵抗 R 、DAC 2 1 1 の端子B及び電流源 I を経由して、電源 1 1 3 に至る経路を、負荷抵抗 R に同一方向（本実施の形態では、上から下に向かう方向）の電流を流す第 2 経路として有する。
- [0111] また、DAC 2 1 2 に接続された電源 1 1 1 及び 1 1 2 の組み合わせは、電源 1 1 1 から、DAC 2 1 2 の端子B及び電流源 I を経由して、電源 1 1 2 に至る経路と、電源 1 1 1 から、負荷抵抗 R 、DAC 2 1 2 の端子A及び電流源 I を経由して、電源 1 1 2 に至る経路とを、DAC 2 1 2 のスイッチSWで制御された電流が流れる第 1 経路として有する。
- [0112] さらに、電源 1 1 1 及び 1 1 2 の組み合わせは、電源 1 1 1 から、負荷抵抗 R 、DAC 2 1 2 の端子A及び電流源 I を経由して、電源 1 1 2 に至る経路を、負荷抵抗 R に同一方向の電流を流す第 2 経路として有する。
- [0113] ここで、DAC 2 1 1 は、そのDAC 2 1 1 に接続された電源 1 1 1 及び 1 1 3 の組み合わせが有する第 1 経路上及び第 2 経路上に存在する。同様に、DAC 2 1 2 は、そのDAC 2 1 2 に接続された電源 1 1 1 及び 1 1 2 の組み合わせが有する第 1 経路上及び第 2 経路上に存在する。
- [0114] 以上のように構成される参照信号出力部 3 3 では、DAC 2 1 1 の電流源 I が流す電流は、電源 1 1 1 から、DAC 2 1 1 のスイッチSWの端子Aを経由して、又は、負荷抵抗 R 、及び、DAC 2 1 1 のスイッチSWの端子Bを経由して、電源 1 1 3 に流れる。
- [0115] したがって、DAC 2 1 1 が、 N 個の電流源 I を有することとすると、DAC 2 1 1 のスイッチSWによる端子A又はBの選択にかかわらず、DAC 2 1 1 は、電源 1 1 1 から電源 1 1 2 に向かう電流 $I \times N$ の定電流を流す。
- [0116] その結果、DAC 2 1 1 だけを考慮すると、参照信号出力部 3 3 においては、DAC 2 1 1 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。
- [0117] また、参照信号出力部 3 3 では、DAC 2 1 2 の電流源 I が流す電流は、電源

1 1 1 から、DAC 2 1 2 のスイッチSWの端子Bを経由して、又は、負荷抵抗R、及び、DAC 2 1 2 のスイッチSWの端子Aを経由して、電源 1 1 2 に流れる。

[0118] したがって、DAC 2 1 2 が、N個の電流源Iを有することとすると、DAC 2 1 2 のスイッチSWによる端子A又はBの選択にかかわらず、DAC 2 1 2 は、電源 1 1 1 から電源 1 1 2 に向かう電流 $I \times N$ の定電流を流す。

[0119] その結果、DAC 2 1 2 だけを考慮すると、参照信号出力部 3 3 においては、DAC 2 1 2 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。

[0120] なお、図 4 において、DAC 2 1 1 の電流源Iが流す電流のうちの、電源 1 1 1 から、DAC 2 1 1 のスイッチSWの端子Aを経由して、電源 1 1 3 に流れる電流は、参照信号DAOUTの生成に寄与しない電流であり、いわば、電源 1 1 1 を捨て先とする捨て電流である。

[0121] 同様に、DAC 2 1 2 の電流源Iが流す電流のうちの、電源 1 1 1 から、DAC 2 1 2 のスイッチSWの端子Bを経由して電源 1 2 2 に流れる電流は、電源 1 1 1 を捨て先とする捨て電流である。

[0122] 上述したように、図 4 の参照信号出力部 3 3 が出力する参照信号DAOUTは、負荷抵抗Rに流れる電流を i で表すこととすると、式 $DAOUT = VDD - iR$ で表される。すなわち、負荷抵抗Rに流れる電流が大であるほど、参照信号DAOUTとしての電圧は低くなる。

[0123] 例えば、DAC 2 1 2 に注目すると、DAC 2 1 2 において、スイッチSWすべてが、端子Bを選択しているとき、負荷抵抗Rに流れる電流は最小となって、参照信号DAOUTとしての電圧が、最大になる。また、DAC 2 1 2 において、端子Aを選択するスイッチSWが多くなるほど、負荷抵抗Rに流れる電流が大になり、電圧参照信号DAOUTとしての電圧は低下する。そして、DAC 2 1 2 において、スイッチSWすべてが端子Aを選択しているとき、負荷抵抗Rに流れる電流は最大となって、参照信号DAOUTとしての電圧は、最小になる。

[0124] したがって、例えば、DAC 2 1 2 において、端子Aを選択するスイッチSWを

多くしていくことで、一定の変化の割合でレベルが小さくなっていくスロープを含む参照信号DAOUTを生成することができる。

[0125] 図4の参照信号出力部33では、DAC212が、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されているので、DAC211及び212のうちの、DAC212だけを動作させ、そのDAC212のスイッチSWによって、負荷抵抗Rに流れる電流を制御することで、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0126] 但し、DAC212だけを動作させることにより、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成する場合、DAC212では、常に（定常的に）、上述した定電流 $I \times N$ が流れる。

[0127] いま、正電圧VDDの電源111から流れる電流を、 I_{dd} と表すとともに、負電圧-VSSの電源112に流れ込む電流を、 I_{ss} と表すこととすると、電流 I_{dd} 及び I_{ss} は、定電流 $I \times N$ になる。

[0128] そして、DAC212だけを動作させることにより、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成する場合、参照信号出力部33の消費電力Pは、常時、式 $P = V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。

[0129] ところで、図4の参照信号出力部33では、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC212の他、正電圧VDDの電源111、及び、GNDである電源113に接続されたDAC211を有する。

[0130] 正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC212では、上述のように、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0131] また、DAC212が流す電流は、正電圧VDDの電源111と負電圧-VSSの電源112との間で流れる。したがって、DAC212が流す電流による消費電力は、その電流と電圧VDD+VSSとの積になる。

[0132] 一方、正電圧VDDの電源111、及び、GNDである電源113に接続されたDAC211では、正電圧VDD以下の正電圧から、GNDの電圧、すなわち、0Vまで

の範囲の電圧の参照信号DAOUTを生成することができる。

[0133] また、DAC 2 1 1 が流す電流は、正電圧VDDの電源 1 1 1 とGNDである電源 1 1 3 との間で流れる。したがって、DAC 2 1 1 が流す電流による消費電力は、その電流と、電圧VDDとの積になる。

[0134] いま、説明を簡単にするため、DAC 2 1 1 が流す電流と、DAC 2 1 2 が流す電流とが等しいこととすると、DAC 2 1 2 が流す電流による消費電力は、そのDAC 2 1 2 に接続されている電源 1 1 2 の負電圧-VSSの分だけ、DAC 2 1 1 が流す電流による消費電力よりも大になる。逆に言えば、DAC 2 1 1 が流す電流による消費電力は、DAC 2 1 2 が流す電流による消費電力よりも小になる。

[0135] 以上のように、DAC 2 1 2 によれば、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成することができるが、消費電力が大になる。

[0136] 一方、DAC 2 1 1 によれば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTしかを生成することができないが、すなわち、負電圧の参照信号DAOUTを生成することができないが、消費電力が小になる。

[0137] そこで、参照信号出力部 3 3 では、参照信号DAOUTの出力に使用されるDACを、参照信号DAOUTとして出力する電圧の範囲に応じて変更することで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTの出力を可能とするとともに、消費電力を抑制する。

[0138] すなわち、参照信号出力部 3 3 では、例えば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力には、DAC 2 1 1 及び 2 1 2 のうちの、DAC 2 1 1 が使用される。そして、0Vから負電圧までの範囲の電圧の参照信号DAOUTの出力には、DAC 2 1 2 が使用される。

[0139] 図 5 は、図 4 の参照信号出力部 3 3 の動作の例を説明するタイミングチャートである。

[0140] すなわち、図 5 は、電源 1 1 1 を流れる電流I_{dd}、電源 1 1 2 を流れる電流I_{ss}、DAC 2 1 1 及び 2 1 2 の電流源Iのオン／オフの状態、並びに、参照信号DAOUTの例を示している。

[0141] なお、ここでは、説明を簡単にするため、DAC 2 1 1 の電流源Iの数と、DAC

2 1 2 の電流源 I の数とは、いずれも、 N 個であることとする。この場合、DAC 2 1 1 が流す電流と、DAC 2 1 2 が流す電流とは、いずれも、 $I \times N$ の定電流となる。

[0142] 正電圧から負電圧までに変化する参照信号DAOUTを出力するにあたり、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力については、図5に示すように、DAC 2 1 1 の電流源 I はオンに制御され、DAC 2 1 2 の電流源 I はオフに制御される。

[0143] デコーダ2 1 3は、（電流源 I が）オンのDAC 2 1 1において、端子Aから端子Bを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図5に示すように、徐々に低下していく。

[0144] 正電圧の参照信号DAOUTが出力されている間、電源1 1 1を流れる電流 I_{dd} は、DAC 2 1 1（の電流源 I のすべて）が流す定電流 $I \times N$ になる。

[0145] また、正電圧の参照信号DAOUTが出力されている間、DAC 2 1 2 の電流源 I はオフになっているため、DAC 2 1 2 が流す電流は0であり、そのDAC 2 1 2 に接続された電源1 1 2に流れる電流 I_{ss} も、0になる。

[0146] その後、参照信号DAOUTが、DAC 2 1 1を使用して（かつ、DAC 2 1 2を使用せずに）出力することができる最小の電圧である0Vになると、以降の負電圧の参照信号DAOUTの出力については、図5に示すように、DAC 2 1 1 の電流源 I はオフに制御され、DAC 2 1 2 の電流源 I はオンに制御される。

[0147] DAC 2 1 1 の電流源 I がオフにされることにより、DAC 2 1 1 に電流は流れなくなるが、DAC 2 1 2 の電流源 I がオンにされることにより、DAC 2 1 2 が流す電流が0から $I \times N$ になる。

[0148] DAC 2 1 2 が流す電流は、オフになる前のDAC 2 1 1 が流していた電流 $I \times N$ に等しく、DAC 2 1 2 に接続された電源1 1 2に流れる電流 I_{ss} は、図5に示すように、DAC 2 1 2 が流す電流 $I \times N$ になる。

[0149] また、電源1 1 1を流れる電流 I_{dd} は、DAC 2 1 1 が流す電流が $I \times N$ から0になる一方で、DAC 2 1 2 が流す電流が0から $I \times N$ になるため、図5に示すように、 $I \times N$ のままとなる。

- [0150] デコーダ213は、オンのDAC212において、端子Bから端子Aを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図5に示すように、徐々に低下していく。
- [0151] 以上のように、参照信号DAOUTとして出力する電圧の範囲に応じて、DAC211及び212の電流源Iのオン／オフを制御することにより、参照信号DAOUTの出力に使用されるDAC、ひいては、負荷抵抗Rに流れる電流の経路を、DAC211を通る経路からDAC212を通る経路に変更し、DAOUT>0の範囲では、正電圧VDDの（正）電源111に接続されたDAC211を動作させ、DAC211を通る経路で、負荷抵抗Rに電流を流し、DAOUT<0の範囲では、負電圧-VSSの（負）電源112に接続されたDAC212を動作させ、DAC212を通る経路で、負荷抵抗Rに電流を流すことで、消費電力を抑制することができる。
- [0152] すなわち、正電圧の参照信号DAOUTの出力時に、DAC211（の電流源I）をオンにするとともに、DAC212をオフにし、負電圧の参照信号DAOUTの出力時に、DAC211をオフにするとともに、DAC212をオンにすることで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを出力するにあたり、消費電力を抑制することができる。
- [0153] 具体的には、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC212だけをオンにして（動作させて）、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを出力する場合、図4で説明したように、参照信号出力部33の消費電力Pは、常時、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。
- [0154] 一方、正電圧の参照信号DAOUTの出力時に、DAC211をオンにするとともに、DAC212をオフにし、負電圧の参照信号DAOUTの出力時に、DAC211をオフにするとともに、DAC212をオンにする場合には、正電圧の参照信号DAOUTの出力時の消費電力Pは、式 $P=V_{dd} \times I_{dd}$ で表され、負電圧の参照信号DAOUTの出力時の消費電力Pは、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される。
- [0155] したがって、正電圧の参照信号DAOUTの出力時の消費電力Pが、 $V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ から、 $V_{dd} \times I_{dd}$ に減少する分だけ、消費電力を抑制することができる。

。

[0156] なお、DAC 2 1 1 からDAC 2 1 2 への切り替え時には、すなわち、DAC 2 1 1 をオフにするとともに、DAC 2 1 2 をオンにするときには、デコーダ 2 1 3 では、切り替え直前にDAC 2 1 1 が負荷抵抗Rに流していた電流と、切り替え直後にDAC 2 1 2 が負荷抵抗Rに流す電流とが等しくなるように、DAC 2 1 2 でのスイッチSWの端子A又はBの選択が制御される。

[0157] 図 6 は、図 4 の参照信号出力部 3 3 の動作の他の例を説明するタイミングチャートである。

[0158] すなわち、図 6 は、電源 1 1 1 を流れる電流 I_{dd} 、電源 1 1 2 を流れる電流 I_{ss} 、DAC 2 1 1 及び 2 1 2 の電流源Iのオン／オフの状態、並びに、参照信号DAOUTの他の例を示している。

[0159] ここで、参照信号DAOUTの出力に使用するDAC、すなわち、負荷抵抗Rに流れる電流を流すDACを、有効DACともいい、有効DACになっていないDACを無効DACともいう。

図 5 では、参照信号DAOUTが、DAC 2 1 1 を使用して出力することができる最小の電圧である0Vになったときに、有効DACを、DAC 2 1 1 からDAC 2 1 2 に、瞬時に切り替えたが、有効DACの切り替えは、いわば徐々に（滑らかに）行うことができる。

[0160] すなわち、図 5 では、参照信号DAOUTが0Vになったときに、DAC 2 1 1 の電流源Iのすべてをオフにするとともに、DAC 2 1 2 の電流源Iのすべてをオンにすることで、有効DACの切り替えを瞬時に行うこととしたが、有効DACの切り替えは、参照信号DAOUTが0Vになる前の所定の電圧になってから、DAC 2 1 1 の電流源Iを徐々にオフにするとともに、DAC 2 1 2 の電流源Iを徐々にオンにすることで行うことができる。

[0161] 具体的には、図 6 に示すように、参照信号DAOUTが0Vになる前の所定の電圧になると、DAC 2 1 1 のオンになっているN個の電流源Iは、例えば、1 個又は複数個ずつ、順次、オフに制御される。

[0162] 同時に、DAC 2 1 2 のオフになっているN個の電流源Iは、図 6 に示すように

、DAC 2 1 1 でオフにされた電流源Iの数だけ、順次、オンに制御される。

[0163] そして、参照信号DAOUTが0Vになるとときには、DAC 2 1 1 の電流源Iはすべてオフに制御されるとともに、DAC 2 1 2 の電流源Iはすべてオンに制御される。

[0164] 以上のように、DAC 2 1 1 でオフにされた電流源Iの数だけ、DAC 2 1 2 の電流源Iがオンにされるので、DAC 2 1 1 及び2 1 2 に流れる電流の総量、すなわち、電源 1 1 1 を流れる電流I_{dd}は、図 6 に示すように、 $I \times N$ のまま一定になる。

[0165] 一方、DAC 2 1 2 から電源 1 1 2 に流れる電流I_{ss}は、図 6 に示すように、DAC 2 1 2 において、オンになる電流源Iの増加に伴って増加し、参照信号DAOUTが0Vになったとき、すなわち、DAC 2 1 1 の電流源Iがすべてオフにされるとともに、DAC 2 1 2 の電流源Iがすべてオンにされたときに、 $I \times N$ になる。

[0166] 参照信号DAOUTが0Vになる前の所定の電圧から0Vになるまでの間、DAC 2 1 1 及び2 1 2 では、オンになっている電流源Iによって、負荷抵抗Rに流す電流を、いわば分配する。

[0167] デコーダ 2 1 3 は、所望の電圧の参照信号DAOUTが得られる電流が負荷抵抗Rに流れるように、DAC 2 1 1 及び2 1 2 のスイッチSWを制御する。

[0168] 以上のように、有効DACの切り替えを徐々に行う場合には、有効DACの切り替えを瞬時に行う場合に比較して、参照信号DAOUTが不安定になることを抑制することができる。

[0169] すなわち、有効DACの切り替えを瞬時に行う場合には、負荷抵抗Rに流れる電流の経路が、DAC 2 1 1 からDAC 2 1 2 に瞬時に切り替わる。そのため、有効DACの切り替わり時に、参照信号DAOUTが不安定になるおそれがある。

[0170] 一方、有効DACの切り替えを徐々に行う場合には、負荷抵抗Rに流れる電流の経路が、DAC 2 1 1 から、DAC 2 1 1 及び2 1 2 の両方になり、最終的に、DAC 2 1 2 に切り替えられるため、負荷抵抗Rに流れる電流の経路が、別の経路に、瞬時に切り替わることにより、参照信号DAOUTが不安定になることを防止することができる。

[0171] さらに、図6の場合には、図5の場合と同様に、消費電力を抑制することができる。但し、図6の場合には、有効DACの切り替えを徐々に行うために、すなわち、参照信号DAOUTが0Vになる前の所定の電圧から0Vになるまでの間、DAC 2 1 2の電流源Iが、順次、オンにされるために、DAC 2 1 2から電源 1 1 2に流れる電流I_{ss}が徐々に増加する。

[0172] 図6の場合には、以上のように、参照信号DAOUTが0Vになる前の所定の電圧から0Vになるまでの間に、電源 1 1 2に流れる電流I_{ss}が徐々に増加する分だけ、消費電力が増加するが、そのトレードオフとして、上述したように、参照信号DAOUTが不安定になることを防止することができる。

[0173] なお、以下説明する実施の形態でも、有効DACの切り替えは、徐々に行うことができるが、説明を簡単にするため、以下の実施の形態については、有効DACの切り替えを瞬時に行う場合を例に説明する。

[0174] <参照信号出力部 3 3 の第2の構成例>

[0175] 図7は、参照信号出力部 3 3 の第2の構成例を示す回路図である。

[0176] なお、図中、図4の場合と対応する部分については、同一の符号を付しており、以下では、その説明は、適宜省略する。

[0177] 図7において、参照信号出力部 3 3 は、デコーダ 2 1 3、DAC 2 2 1 及び 2 2 2、並びに、負荷抵抗Rを有する。

[0178] したがって、図7の参照信号出力部 3 3 は、デコーダ 2 1 3、及び、負荷抵抗Rを有する点で、図4の場合と共通し、DAC 2 1 1 及び 2 1 2に代えて、DAC 2 2 1 及び 2 2 2がそれぞれ設けられている点で、図4の場合と相違する。

[0179] 図7において、参照信号出力部 3 3 は、正電圧VDDの電源 1 1 1、負電圧-V_{SS}の電源 1 1 2、及び、GNDである電源 1 1 3に接続されている。すなわち、DAC 2 2 1 は、電源 1 1 1 及び 1 1 2に接続され、DAC 2 2 2 は、電源 1 1 2 及び 1 1 3に接続されている。

[0180] DAC 2 2 1 及び 2 2 2それぞれは、複数の電流源Iと、各電流源Iが流す電流Iを制御する、電流源Iの数と同一の数の複数のスイッチSWとを含む。DAC 2 2

1 及び 2 2 2 のそれぞれにおいて、電流源Iの数は、同一の数であっても良いし、異なる数であっても良い。

[0181] DAC 2 2 1 では、電流源Iの一端が電源 1 1 1 に接続され、電流源Iの他端が、スイッチSWに接続されている。

[0182] DAC 2 2 1 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、左の端子A又は右の端子Bを選択し、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0183] DAC 2 2 1 において、端子Aは、負荷抵抗Rの上端に接続され、端子Bは、電源 1 1 2 に接続されている。

[0184] DAC 2 2 2 では、電流源Iの一端が電源 1 1 3 としてのGNDに接続され、電流源Iの他端が、スイッチSWに接続されている。

[0185] DAC 2 2 2 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、左の端子A又は右の端子Bを選択し、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0186] DAC 2 2 2 において、端子Aは、電源 1 1 2 に接続され、端子Bは、負荷抵抗Rの上端に接続されている。

[0187] DAC 2 2 1 及び 2 2 2 のスイッチSWは、デコーダ 2 1 3 によって制御される。すなわち、デコーダ 2 1 3 は、制御部 2 0 (図 2) の制御にしたがって、デジタル値のカウントを行い、そのデジタル値に対応する(アナログ)電流が、負荷抵抗Rを流れるように、DAC 2 2 1 及び 2 2 2 のスイッチSWに、端子A又はBを選択させる。

[0188] 図 7 では、上述したように、負荷抵抗Rの上端に、DAC 2 2 1 の端子A、及び、DAC 2 2 2 の端子Bが接続されている。また、負荷抵抗Rの下端は、電源 1 1 2 に接続され、負荷抵抗Rの上端の電圧DAOUTが、参照信号DAOUTとして出力される。

[0189] したがって、図 7 では、参照信号DAOUTとしての電圧は、電源 1 1 2 の電圧 -VSSを基準とする電圧であり、負荷抵抗Rに流れる電流を*i*で表すこととすると、式 $DAOUT=iR-VSS$ で表される。

- [0190] 図7の参照信号出力部33では、DAC221に接続された電源111及び112の組み合わせは、電源111から、DAC221の電流源I及び端子Bを経由して、電源112に至る経路と、電源111から、DAC221の電流源I、端子A、及び、負荷抵抗Rを経由して、電源112に至る経路とを、DAC221のスイッチSWで制御された電流が流れる第1経路として有する。
- [0191] さらに、電源111及び112の組み合わせは、電源111から、DAC221の電流源I、端子A、及び、負荷抵抗Rを経由して、電源112に至る経路を、負荷抵抗Rに同一方向の電流を流す第2経路として有する。
- [0192] また、DAC222に接続された電源112及び113の組み合わせは、電源113から、DAC222の電流源I及び端子A及び電流源Iを経由して、電源112に至る経路と、電源113から、DAC222の電流源I、端子B、及び、負荷抵抗Rを経由して、電源112に至る経路とを、DAC222のスイッチSWで制御された電流が流れる第1経路として有する。
- [0193] さらに、電源112及び113の組み合わせは、電源113から、DAC222の電流源I、端子B、及び、負荷抵抗Rを経由して、電源112に至る経路を、負荷抵抗Rに同一方向の電流を流す第2経路として有する。
- [0194] ここで、DAC221は、そのDAC221に接続された電源111及び112の組み合わせが有する第1経路上及び第2経路上に存在する。同様に、DAC222は、そのDAC222に接続された電源112及び113の組み合わせが有する第1経路上及び第2経路上に存在する。
- [0195] 以上のように構成される参照信号出力部33では、DAC221の電流源Iが流す電流は、電源111から、DAC221のスイッチSWの端子Bを経由して、又は、DAC221のスイッチSWの端子B、及び、負荷抵抗Rを経由して、電源112に流れる。
- [0196] したがって、DAC221が、N個の電流源Iを有することとすると、DAC221のスイッチSWによる端子A又はBの選択にかかわらず、DAC221は、電源111から電源113に向かう電流 $I \times N$ の定電流を流す。
- [0197] その結果、DAC221だけを考慮すると、参照信号出力部33においては、

DAC 2 2 1 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。

[0198] また、参照信号出力部 3 3 では、DAC 2 2 2 の電流源Iが流す電流は、電源 1 1 3 から、DAC 2 2 2 のスイッチSWの端子Aを経由して、又は、DAC 2 2 2 のスイッチSWの端子B、及び、負荷抵抗Rを経由して、電源 1 1 2 に流れる。

[0199] したがって、DAC 2 2 2 が、N個の電流源Iを有することとすると、DAC 2 2 2 のスイッチSWによる端子A又はBの選択にかかわらず、DAC 2 2 2 は、電源 1 1 3 から電源 1 1 2 に向かう電流 $I \times N$ の定電流を流す。

[0200] その結果、DAC 2 2 2 だけを考慮すると、参照信号出力部 3 3 においては、DAC 2 2 2 のスイッチSWによる端子A又はBの選択にかかわらず、定電流 $I \times N$ が流れるので、参照信号出力部 3 3 に流れる電流が変動することに起因して、ADC 3 1_nでのAD変換に誤差が生じることを防止することができる。

[0201] なお、図 7 において、DAC 2 2 1 の電流源Iが流す電流のうちの、電源 1 1 1 から、DAC 2 2 1 のスイッチSWの端子Bを経由して、電源 1 1 2 に流れる電流は、参照信号DAOUTの生成に寄与しない電流であり、電源 1 1 2 を捨て先とする捨て電流である。

[0202] 同様に、DAC 2 2 2 の電流源Iが流す電流のうちの、電源 1 1 3 から、DAC 2 2 2 のスイッチSWの端子Aを経由して電源 1 2 2 に流れる電流は、電源 1 1 3 としてのGNDを捨て先とする捨て電流である。

[0203] 上述したように、図 7 の参照信号出力部 3 3 が出力する参照信号DAOUTは、負荷抵抗Rに流れる電流を i で表すこととすると、式 $DAOUT = iR - VSS$ で表される。すなわち、負荷抵抗Rに流れる電流が小であるほど、参照信号DAOUTとしての電圧は低くなる。

[0204] 例えば、DAC 2 2 1 に注目すると、DAC 2 2 1 において、スイッチSWすべてが、端子Aを選択しているとき、負荷抵抗Rに流れる電流は最大となって、参照信号DAOUTとしての電圧が、最大になる。また、DAC 2 2 1 において、端子Bを選択するスイッチSWが多くなるほど、負荷抵抗Rに流れる電流が小になり、

参照信号DAOUTとしての電圧は低下する。そして、DAC 2 2 1において、スイッチSWすべてが端子Bを選択しているとき、負荷抵抗Rに流れる電流は最小となって、参照信号DAOUTとしての電圧は、最小になる。

[0205] したがって、例えば、DAC 2 2 1において、端子Aから端子Bを選択するスイッチSWを多くしていくことで、一定の変化の割合でレベルが小さくなっていくスロープを含む参照信号DAOUTを生成することができる。

[0206] 図7の参照信号出力部33では、DAC 2 2 1が、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されているので、DAC 2 2 1及び222のうちの、DAC 2 2 1だけを動作させ、そのDAC 2 2 1のスイッチSWによって、負荷抵抗Rに流れる電流を制御することで、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0207] 但し、DAC 2 2 1だけを動作させることにより、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成する場合、DAC 2 2 1では、常に、上述した定電流 $I \times N$ が流れる。

[0208] したがって、正電圧VDDの電源111から流れる電流 I_{dd} 、及び、負電圧-VSSの電源113に流れ込む電流 I_{ss} は、定電流 $I \times N$ になる。

[0209] そして、DAC 2 2 1だけを動作させることにより、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成する場合、参照信号出力部33の消費電力Pは、常時、式 $P = V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。

[0210] 図7の参照信号出力部33では、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC 2 2 1の他、負電圧-VSSの電源112、及び、GNDである電源113に接続されたDAC 2 2 2を有する。

[0211] 正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC 2 2 1では、上述のように、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0212] また、DAC 2 2 1が流す電流は、正電圧VDDの電源111と負電圧-VSSの電源112との間で流れる。したがって、DAC 2 2 1が流す電流による消費電力

は、その電流と電圧VDD+VSSとの積になる。

[0213] 一方、負電圧-VSSの電源112、及び、GNDである電源113に接続されたDAC222では、GNDの電圧である0Vから、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0214] また、DAC222が流す電流は、負電圧-VSSの電源112とGNDである電源113との間で流れる。したがって、DAC222が流す電流による消費電力は、その電流と、電圧VSSとの積になる。

[0215] いま、説明を簡単にするため、DAC221が流す電流と、DAC222が流す電流とが等しいこととすると、DAC221が流す電流による消費電力は、そのDAC221に接続されている電源112の負電圧-VSSの分だけ、DAC222が流す電流による消費電力よりも大になる。逆に言えば、DAC222が流す電流による消費電力は、DAC221が流す電流による消費電力よりも小になる。

[0216] 以上のように、DAC221によれば、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成することができるが、消費電力が大になる。

[0217] 一方、DAC222によれば、0Vから負電圧までの範囲の電圧の参照信号DAOUTしかを生成することができないが、すなわち、正電圧の参照信号DAOUTを生成することができないが、消費電力が小になる。

[0218] そこで、参照信号出力部33では、参照信号DAOUTの出力に使用されるDACを、参照信号DAOUTとして出力する電圧の範囲に応じて変更することで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTの出力を可能とするとともに、消費電力を抑制する。

[0219] すなわち、参照信号出力部33では、例えば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力には、DAC221及び222のうちの、DAC221が有効DACとして使用される。そして、0Vから負電圧までの範囲の電圧の参照信号DAOUTの出力には、DAC222が有効DACとして使用される。

[0220] 図8は、図7の参照信号出力部33の動作の例を説明するタイミングチャートである。

[0221] すなわち、図8は、電源111を流れる電流I_{dd}、電源112を流れる電流

I_{ss} 、DAC 2 2 1 及び 2 2 2 の電流源 I のオン／オフの状態、並びに、参照信号 DAOUT の例を示している。

[0222] なお、ここでは、説明を簡単にするため、DAC 2 2 1 の電流源 I の数と、DAC 2 2 2 の電流源 I の数とは、いずれも、 N 個であることとする。この場合、DAC 2 2 1 が流す電流と、DAC 2 2 2 が流す電流とは、いずれも、 $I \times N$ の定電流となる。

[0223] 正電圧から負電圧までに変化する参照信号 DAOUT を出力するにあたり、正電圧から 0V までの範囲の電圧の参照信号 DAOUT の出力については、図 8 に示すように、DAC 2 2 1 の電流源 I はオンに制御され、DAC 2 2 2 の電流源 I はオフに制御される。

[0224] デコーダ 2 1 3 は、（電流源 I が）オンの DAC 2 2 1 において、端子 A から端子 B を選択するスイッチ SW の数が増加するように、スイッチ SW を制御し、これにより、参照信号 DAOUT は、図 8 に示すように、徐々に低下していく。

[0225] 正電圧の参照信号 DAOUT が出力されている間、電源 1 1 1 を流れる電流 I_{dd} は、DAC 2 2 1 （の電流源 I のすべて）が流す定電流 $I \times N$ になる。

[0226] また、正電圧の参照信号 DAOUT が出力されている間、DAC 2 2 2 の電流源 I はオフになっているため、DAC 2 2 2 が流す電流は 0 になる。

[0227] したがって、DAC 2 2 1 及び 2 2 2 が流す電流が流れ込む電源 1 1 2 に流れる電流 I_{ss} は、定電流 $I \times N$ になる。

[0228] その後、参照信号 DAOUT が、DAC 2 2 2 を使用して（かつ、DAC 2 2 1 を使用せずに）出力することができる最大の電圧である 0V になると、以降の負電圧の参照信号 DAOUT の出力については、図 8 に示すように、DAC 2 2 1 の電流源 I はオフに制御され、DAC 2 2 2 の電流源 I はオンに制御される。

[0229] DAC 2 2 1 の電流源 I がオフにされることにより、DAC 2 2 1 に電流は流れなくなるが、DAC 2 2 2 の電流源 I がオンにされることにより、DAC 2 2 2 が流す電流が 0 から $I \times N$ になる。

[0230] DAC 2 2 1 が流す電流が $I \times N$ から 0 になることにより、その DAC 2 2 1 に接続された電源 1 1 1 に流れる電流 I_{dd} は、図 8 に示すように、0 になる。

- [0231] また、電源 1 1 2 を流れる電流 I_{ss} は、電源 1 1 2 に接続された DAC 2 2 1 が流す電流が $I \times N$ から 0 になる一方で、電源 1 1 2 に接続された DAC 2 2 2 が流す電流が 0 から $I \times N$ になるため、図 8 に示すように、 $I \times N$ のままとなる。
- [0232] デコーダ 2 1 3 は、オンの DAC 2 2 2 において、端子 B から端子 A を選択するスイッチ SW の数が増加するように、スイッチ SW を制御し、これにより、参照信号 DAOUT は、図 8 に示すように、徐々に低下していく。
- [0233] 以上のように、参照信号 DAOUT の出力に使用される DAC を、参照信号 DAOUT として出力する電圧の範囲に応じて変更し、 $DAOUT > 0$ の範囲では、正電圧 VDD の（正）電源 1 1 1 及び負電圧 -VSS の電源 1 1 2 に接続された DAC 2 2 1 を動作させ、 $DAOUT < 0$ の範囲では、負電圧 -VSS の（負）電源 1 1 2 及び GND である電源 1 1 3 に接続された DAC 2 2 2 を動作させることで、消費電力を抑制することができる。
- [0234] すなわち、正電圧の参照信号 DAOUT の出力時に、DAC 2 2 1 （の電流源 I）をオンにするとともに、DAC 2 2 2 をオフにし、負電圧の参照信号 DAOUT の出力時に、DAC 2 2 1 をオフにするとともに、DAC 2 2 2 をオンにすることで、正電圧から負電圧までの範囲の電圧の参照信号 DAOUT を出力するにあたり、消費電力を抑制することができる。
- [0235] 具体的には、正電圧 VDD の電源 1 1 1、及び、負電圧 -VSS の電源 1 1 2 に接続された DAC 2 2 1 だけをオンにして（動作させて）、正電圧から負電圧までの範囲の電圧の参照信号 DAOUT を出力する場合、図 7 で説明したように、参照信号出力部 3 3 の消費電力 P は、常時、式 $P = V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。
- [0236] 一方、正電圧の参照信号 DAOUT の出力時に、DAC 2 2 1 をオンにするとともに、DAC 2 2 2 をオフにし、負電圧の参照信号 DAOUT の出力時に、DAC 2 2 1 をオフにするとともに、DAC 2 2 2 をオンにする場合には、正電圧の参照信号 DAOUT の出力時の消費電力 P は、式 $P = V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表され、負電圧の参照信号 DAOUT の出力時の消費電力 P は、式 $P = V_{ss} \times I_{ss}$ で表される。
- [0237] したがって、負電圧の参照信号 DAOUT の出力時の消費電力 P が、 $V_{dd} \times I_{dd} + V_{ss}$

$s \times I_{ss}$ から、 $V_{ss} \times I_{ss}$ に減少する分だけ、消費電力を抑制することができる。

[0238] なお、DAC 2 2 1 からDAC 2 2 2 への切り替え時には、すなわち、DAC 2 2 1 をオフにするとともに、DAC 2 2 2 をオンにするときには、デコーダ 2 1 3 では、切り替え直前にDAC 2 2 1 が負荷抵抗Rに流していた電流と、切り替え直後にDAC 2 2 2 が負荷抵抗Rに流す電流とが等しくなるように、DAC 2 2 2 でのスイッチSWの端子A又はBの選択が制御される。

[0239] <参照信号出力部 3 3 の第 3 の構成例>

[0240] 図 9 は、参照信号出力部 3 3 の第 3 の構成例を示す回路図である。

[0241] なお、図中、図 4 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0242] 図 9 において、参照信号出力部 3 3 は、デコーダ 2 1 3、DAC 2 3 1 及び 2 3 2、並びに、負荷抵抗Rを有する。

[0243] したがって、図 9 の参照信号出力部 3 3 は、デコーダ 2 1 3、及び、負荷抵抗Rを有する点で、図 4 の場合と共通し、DAC 2 1 1 及び 2 1 2 に代えて、DAC 2 3 1 及び 2 3 2 がそれぞれ設けられている点で、図 4 の場合と相違する。

[0244] 図 9 において、参照信号出力部 3 3 は、正電圧VDDの電源 1 1 1、負電圧 $-V_{SS}$ の電源 1 1 2、及び、GNDである電源 1 1 3 に接続されている。すなわち、DAC 2 3 1 は、電源 1 1 1 及び 1 1 3 に接続され、DAC 2 3 2 は、電源 1 1 1 及び 1 1 2 に接続されている。

[0245] DAC 2 3 1 及び 2 3 2 それぞれは、複数の電流源Iと、各電流源Iが流す電流Iを制御する、電流源Iの数と同一の数の複数のスイッチSWとを含む。DAC 2 3 1 及び 2 3 2 のそれぞれにおいて、電流源Iの数は、同一の数であっても良いし、異なる数であっても良い。

[0246] DAC 2 3 1 では、電流源Iの一端が電源 1 1 3 に接続され、電流源Iの他端が、スイッチSWに接続されている。

[0247] DAC 2 3 1 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、オン／

オフし、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0248] DAC 2 3 1 において、スイッチSWがオン／オフされることにより、負荷抵抗Rの下端と、電流源Iとの接続がオン／オフされる。

[0249] DAC 2 3 2 では、電流源Iの一端が電源 1 1 2 に接続され、電流源Iの他端が、スイッチSWに接続されている。

[0250] DAC 2 3 2 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、オン／オフし、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0251] DAC 2 3 2 において、スイッチSWがオン／オフされることにより、負荷抵抗Rの下端と、電流源Iとの接続がオン／オフされる。

[0252] DAC 2 3 1 及び 2 3 2 のスイッチSWは、デコーダ 2 1 3 によって制御される。すなわち、デコーダ 2 1 3 は、制御部 2 0（図 2）の制御にしたがって、デジタル値のカウントを行い、そのデジタル値に対応する（アナログ）電流が、負荷抵抗Rを流れるように、DAC 2 3 1 及び 2 3 2 のスイッチSWをオン／オフする。

[0253] 図 9 では、負荷抵抗Rの下端が、DAC 2 3 1 のスイッチSWを介して、DAC 2 3 1 の電流源Iに接続されているとともに、DAC 2 3 2 のスイッチSWを介して、DAC 2 3 2 の電流源Iに接続されている。また、負荷抵抗Rの上端は、電源 1 1 1 に接続され、負荷抵抗Rの下端の電圧DAOUTが、参照信号DAOUTとして出力される。

[0254] したがって、図 9 では、参照信号DAOUTとしての電圧は、電源 1 1 1 の電圧VDDを基準とする電圧であり、負荷抵抗Rに流れる電流を*i*で表すこととすると、式 $DAOUT = VDD - iR$ で表される。

[0255] 図 9 の参照信号出力部 3 3 では、DAC 2 3 1 に接続された電源 1 1 1 及び 1 1 3 の組み合わせは、電源 1 1 1 から、負荷抵抗R、及び、DAC 2 3 1 の電流源Iを経由して、電源 1 1 3 に至る経路を、DAC 2 3 1 のスイッチSWで制御された電流が流れる第 1 経路、及び、負荷抵抗Rに同一方向の電流を流す第 2 経

路として有する。

[0256] また、DAC 2 3 2 に接続された電源 1 1 1 及び 1 1 2 の組み合わせは、電源 1 1 1 から、負荷抵抗R、及び、DAC 2 3 2 の電流源Iを経由して、電源 1 1 2 に至る経路を、DAC 2 3 2 のスイッチSWで制御された電流が流れる第 1 経路、及び、負荷抵抗Rに同一方向の電流を流す第 2 経路として有する。

[0257] ここで、DAC 2 3 1 は、そのDAC 2 3 1 に接続された電源 1 1 1 及び 1 1 3 の組み合わせが有する第 1 経路上及び第 2 経路上に存在する。同様に、DAC 2 3 2 は、そのDAC 2 3 2 に接続された電源 1 1 1 及び 1 1 2 の組み合わせが有する第 1 経路上及び第 2 経路上に存在する。

[0258] 以上のように構成される参照信号出力部 3 3 では、DAC 2 3 1 では、スイッチSWがオンになっている電流源Iが流す電流が流れ、その電流は、電源 1 1 1 から、負荷抵抗R、及び、DAC 2 3 1 を経由して、電源 1 1 3 に流れる。

[0259] 同様に、DAC 2 3 2 では、スイッチSWがオンになっている電流源Iが流す電流が流れ、その電流は、電源 1 1 1 から、負荷抵抗R、及び、DAC 2 3 2 を経由して、電源 1 1 2 に流れる。

[0260] 上述したように、図 9 の参照信号出力部 3 3 が出力する参照信号DAOUTは、負荷抵抗Rに流れる電流を*i*で表すこととすると、式 $DAOUT = VDD - iR$ で表される。すなわち、負荷抵抗Rに流れる電流が大であるほど、参照信号DAOUTとしての電圧は低くなる。

[0261] 例えば、DAC 2 3 2 に注目すると、DAC 2 3 2 において、スイッチSWすべてがオフになっているとき、負荷抵抗Rに流れる電流は最小となって、参照信号DAOUTとしての電圧が、最大になる。また、DAC 2 3 2 において、オンのスイッチSWが多くなるほど、負荷抵抗Rを流れる電流が大になり、参照信号DAOUTとしての電圧は低下する。そして、DAC 2 3 2 において、スイッチSWすべてがオンになっているとき、負荷抵抗Rに流れる電流は最大となって、参照信号DAOUTとしての電圧は、最小になる。

[0262] したがって、例えば、DAC 2 3 2 において、オンのスイッチSWを多くしていくことで、一定の変化の割合でレベルが小さくなっていくスロープを含む参

照信号DAOUTを生成することができる。

[0263] 図9の参照信号出力部33では、DAC232が、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されているので、DAC231及び232のうちの、DAC232だけを動作させ、そのDAC232のスイッチSWによって、負荷抵抗Rに流れる電流を制御することで、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0264] 但し、DAC232だけを動作させることにより、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成する場合、参照信号出力部33の消費電力Pは、DAC232に接続された電源111の電圧VDDに対して流れる電流 I_{dd} 、及び、DAC232に接続された電源112の電圧-VSSに対して流れる電流 I_{ss} に比例し、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。

[0265] ところで、図9の参照信号出力部33では、正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC232の他、正電圧VDDの電源111、及び、GNDである電源113に接続されたDAC231を有する。

[0266] 正電圧VDDの電源111、及び、負電圧-VSSの電源112に接続されたDAC232では、上述のように、正電圧VDD以下の正電圧から、負電圧-VSS以上の負電圧までの範囲の電圧の参照信号DAOUTを生成することができる。

[0267] また、DAC232が流す電流は、正電圧VDDの電源111と負電圧-VSSの電源112との間で流れる。したがって、DAC232が流す電流による消費電力は、その電流と電圧VDD+VSSとの積になる。

[0268] 一方、正電圧VDDの電源111、及び、GNDである電源113に接続されたDAC231では、正電圧VDD以下の正電圧から、GNDの電圧である0Vまでの範囲の電圧の参照信号DAOUTを生成することができる。

[0269] また、DAC231が流す電流は、正電圧VDDの電源111とGNDである電源113との間で流れる。したがって、DAC231が流す電流による消費電力は、その電流と、電圧VDDとの積になる。

[0270] いま、説明を簡単にするため、DAC231が流す電流と、DAC232が流す

電流とが等しいこととすると、DAC 2 3 2 が流す電流による消費電力は、その DAC 2 3 2 に接続されている電源 1 1 2 の負電圧-VSSの分だけ、DAC 2 3 1 が流す電流による消費電力よりも大になる。逆に言えば、DAC 2 3 1 が流す電流による消費電力は、DAC 2 3 2 が流す電流による消費電力よりも小になる。

[0271] 以上のように、DAC 2 3 2 によれば、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを生成することができるが、消費電力が大になる。

[0272] 一方、DAC 2 3 2 によれば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTしかを生成することができないが、すなわち、負電圧の参照信号DAOUTを生成することができないが、消費電力が小になる。

[0273] そこで、参照信号出力部 3 3 では、参照信号DAOUTの出力に使用されるDACを、参照信号DAOUTとして出力する電圧の範囲に応じて変更することで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTの出力を可能とするとともに、消費電力を抑制する。

[0274] すなわち、参照信号出力部 3 3 では、例えば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力には、DAC 2 3 1 及び 2 3 2 のうちの、DAC 2 3 1 が有効DACとして使用される。そして、0Vから負電圧までの範囲の電圧の参照信号DAOUTの出力には、DAC 2 3 2 が有効DACとして使用される。

[0275] なお、図 9 の参照信号出力部 3 3 では、DAC 2 3 1 及び 2 3 2 が流す電流が変動するが、その反面、図 4 や図 7 の場合のように、捨て電流がないので、その捨て電流がない分だけ、さらに、消費電流を抑制することができる。

[0276] また、図 9 の参照信号出力部 3 3 では、図 4 の場合と同様に、負荷抵抗Rの上端が、正電圧VDDの電源 1 1 1 に接続され、負荷抵抗Rの下端の電圧DAOUTが、参照信号DAOUTとして出力される構成（以下、正電圧基準の構成ともいう）になっているが、DAC 2 3 1 及び 2 3 2 を有する参照信号出力部 3 3 の構成としては、図 7 の場合と同様に、負荷抵抗Rの下端が、負電圧-VSSの電源 1 1 2 に接続され、負荷抵抗Rの上端の電圧DAOUTが、参照信号DAOUTとして出力される構成（以下、負電圧基準の構成ともいう）を採用することができる。

[0277] すなわち、参照信号出力部 3 3 の構成としては、正電圧基準の構成、及び

、負電圧基準の構成のいずれをも採用することができる。

[0278] 図10は、図9の参照信号出力部33の動作の例を説明するタイミングチャートである。

[0279] すなわち、図10は、電源111を流れる電流 I_{dd} 、電源112を流れる電流 I_{ss} 、DAC231及び232の電流源Iのオン／オフの状態、並びに、参照信号DAOUTの例を示している。

[0280] 正電圧から負電圧までに変化する参照信号DAOUTを出力するにあたり、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力については、図10に示すように、DAC231の電流源Iはオンに制御され、DAC232の電流源Iはオフに制御される。

[0281] デコーダ213は、（電流源Iが）オンのDAC231において、オフからオンになるスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図10に示すように、徐々に低下していく。

[0282] 正電圧の参照信号DAOUTが出力されている間、DAC231を流れる電流は、DAC231において、オンにされるスイッチSWの数に応じて増加する。

[0283] また、正電圧の参照信号DAOUTが出力されている間、DAC232の電流源Iはオフになっているため、DAC232が流す電流は0になる。

[0284] したがって、電源111がDAC231及び232に流す電流 I_{dd} は、DAC231において、オンにされるスイッチSWの数に応じて増加する。

[0285] また、DAC232が流す電流が流れ込む電源112に流れる電流 I_{ss} は、0になる。

[0286] その後、参照信号DAOUTが、DAC231を使用して（かつ、DAC232を使用せずに）出力することができる最小の電圧である0Vになると、以降の負電圧の参照信号DAOUTの出力については、図10に示すように、DAC231の電流源Iはオフに制御され、DAC232の電流源Iはオンに制御される。

[0287] DAC231の電流源Iがオフにされることにより、DAC231が流す電流は0になるが、DAC232の電流源Iがオンにされることにより、DAC232が流す電流が0から所定値になる。

- [0288] すなわち、DAC 2 3 1 をオフにするとともに、DAC 2 3 2 をオンにする、DAC 2 3 1 からDAC 2 3 2 への切り替え時には、デコーダ 2 1 3 では、切り替え直前にDAC 2 3 1 が負荷抵抗Rに流していた電流と、切り替え直後にDAC 2 3 2 が負荷抵抗Rに流す電流とが等しくなるように、DAC 2 3 2 のスイッチSWがオンに制御される。
- [0289] DAC 2 3 2 が流す電流が所定値になることにより、そのDAC 2 3 2 に接続された電源 1 2 2 に流れる電流 I_{ss} も、0から所定値になる。
- [0290] また、電源 1 1 1 を流れる電流 I_{dd} は、DAC 2 3 1 が流す電流が所定値から0になる一方で、DAC 2 3 2 が流す電流が0から所定値になるため、図 1 0 に示すように、所定値のままとなる。
- [0291] デコーダ 2 1 3 は、オンになったDAC 2 3 2 において、オフからオンになるスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図 1 0 に示すように、徐々に低下していく。
- [0292] 以上のように、参照信号DAOUTの出力に使用されるDACを、参照信号DAOUTとして出力する電圧の範囲に応じて変更し、DAOUT>0の範囲では、正電圧VDDの（正）電源 1 1 1 に接続されたDAC 2 3 1 を動作させ、DAOUT<0の範囲では、負電圧-VSSの（負）電源 1 1 2 に接続されたDAC 2 3 2 を動作させることで、消費電力を抑制することができる。
- [0293] すなわち、正電圧の参照信号DAOUTの出力時には、DAC 2 3 1 （の電流源I）をオンにするとともに、DAC 2 3 2 をオフにし、負電圧の参照信号DAOUTの出力時には、DAC 2 3 1 をオフにするとともに、DAC 2 3 2 をオンにすることで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを出力するにあたり、消費電力を抑制することができる。
- [0294] 具体的には、正電圧VDDの電源 1 1 1、及び、負電圧-VSSの電源 1 1 2 に接続されたDAC 2 3 2 だけをオンにして（動作させて）、正電圧から負電圧までの範囲の電圧の参照信号DAOUTを出力する場合、図 9 で説明したように、参照信号出力部 3 3 の消費電力Pは、常時、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。

[0295] 一方、正電圧の参照信号DAOUTの出力時に、DAC 2 3 1 をオンにするとともに、DAC 2 3 2 をオフにし、負電圧の参照信号DAOUTの出力時に、DAC 2 3 1 をオフにするとともに、DAC 2 3 2 をオンにする場合には、正電圧の参照信号DAOUTの出力時の消費電力Pは、式 $P=V_{dd} \times I_{dd}$ で表され、負電圧の参照信号DAOUTの出力時の消費電力Pは、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される。

[0296] したがって、正電圧の参照信号DAOUTの出力時の消費電力Pが、 $V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ から、 $V_{dd} \times I_{dd}$ に減少する分だけ、消費電力を抑制することができる。

[0297] <参照信号出力部33の第4の構成例>

[0298] 図11は、参照信号出力部33の第4の構成例を示す回路図である。

[0299] なお、図中、図4の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0300] 図11において、参照信号出力部33は、DAC 2 1 1 及び2 1 2、デコーダ2 1 3、並びに、負荷抵抗Ro1及びRo2を有する。

[0301] したがって、図11の参照信号出力部33は、DAC 2 1 1 及び2 1 2、並びに、デコーダ2 1 3を有する点で、図4の場合と共通し、1個の負荷抵抗Rに代えて、2個の負荷抵抗Ro1及びRo2を有する点で、図4の場合と相違する。

[0302] また、図4では、上端が電源111に接続された負荷抵抗Rの下端が、DAC 2 1 1 の端子B、及び、DAC 2 1 2 の端子Aに接続されているが、図11では、上端が電源111に接続された負荷抵抗Ro1の下端が、DAC 2 1 1 の端子B、及び、負荷抵抗Ro2の上端に接続されているとともに、負荷抵抗Ro2の下端が、DAC 2 1 2 の端子Aに接続されている。そして、図11では、負荷抵抗Ro2の下端の電圧DAOUTが、参照信号DAOUTとして出力される。

[0303] 以上のように、2個の負荷抵抗Ro1及びRo2を有する参照信号出力部33でも、1個の負荷抵抗Rを有する図4の場合と同様に、参照信号DAOUTの出力に使用されるDACを、参照信号DAOUTとして出力する電圧の範囲に応じて変更することで、正電圧から負電圧までの範囲の電圧の参照信号DAOUTの出力を可能とするとともに、消費電力を抑制することができる。

- [0304] すなわち、参照信号出力部33において、例えば、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力には、DAC211及び212のうちの、DAC211を有効DACとして使用し、0Vから負電圧までの範囲の電圧の参照信号DAOUTの出力には、DAC212を有効DACとして使用することで、消費電力を抑制することができる。
- [0305] 図12は、図11の参照信号出力部33の動作の例を説明するタイミングチャートである。
- [0306] すなわち、図12は、電源111を流れる電流 I_{dd} 、電源112を流れる電流 I_{ss} 、負荷抵抗 R_{o2} からDAC212に流れる電流 I_a 、電源111から流れる電流 I_{dd} のうちの、DAC212に流れ込む電流 I_b 、DAC211及び212の電流源Iのオン／オフの状態、並びに、参照信号DAOUTの例を示している。
- [0307] 正電圧から負電圧までに変化する参照信号DAOUTを出力するにあたり、正電圧から0Vまでの範囲の電圧の参照信号DAOUTの出力については、図12に示すように、DAC211の電流源Iはオンに制御され、DAC212の電流源Iはオフに制御される。
- [0308] デコーダ213は、（電流源Iが）オンのDAC211において、端子Aから端子Bを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図12に示すように、徐々に低下していく。
- [0309] 正電圧の参照信号DAOUTが出力されている間、電源111を流れる電流 I_{dd} は、DAC211（の電流源Iのすべて）が流す定電流になる。
- [0310] また、正電圧の参照信号DAOUTが出力されている間、DAC212の電流源Iはオフになっているため、DAC212が流す電流は0であり、DAC212に流れる電流 I_a 及び I_b 、並びに、DAC212に接続された電源112に流れる電流 I_{ss} も、0になる。
- [0311] DAC212に流れる電流 I_a 、すなわち、負荷抵抗 R_{o2} に流れる電流が0であるため、負荷抵抗 R_{o2} の下端の電圧は、負荷抵抗 R_{o1} の下端の電圧と等しくなり、その電圧が、参照信号DAOUTとして出力される。
- [0312] その後、参照信号DAOUTが、DAC211を使用して（かつ、DAC212を使用

せずに) 出力することができる最小の電圧である0Vになると、以降の負電圧の参照信号DAOUTの出力については、図12に示すように、例えば、DAC211の電流源Iはオンのままで、DAC212の電流源Iがオンに制御される。

[0313] DAC211の電流源Iがオンのままにされることにより、DAC211は、以降も、参照信号DAOUTが0Vになったときの電流を流し続ける。

[0314] また、DAC212の電流源Iがオンに制御されることにより、DAC212が流す電流、すなわち、DAC212から電源112に流れる電流 I_{ss} は、図12に示すように、0から、DAC212の電流源Iのそれぞれが流す電流の総和に等しい所定値になる。

[0315] 以上のように、参照信号DAOUTが0になったとき、DAC211が電流を流し続けるとともに、DAC212が流す電流が0から所定値になるため、DAC211及び212が流す電流の総和に等しい電源111から流れる電流 I_{dd} は、図12に示すように、DAC212が流す電流としての所定値だけ増加する。

[0316] また、DAC212が電流を流す場合、負荷抵抗 R_{o1} から負荷抵抗 R_{o2} には、0でない電流 I_a が流れ、その電流 I_a に応じた電圧降下が生じる。そのため、参照信号DAOUT、すなわち、負荷抵抗 R_{o2} の下端の電圧は、負荷抵抗 R_{o1} の下端の電圧から、負荷抵抗 R_{o2} の電圧降下分だけ変化した電圧となる。

[0317] デコーダ213は、オンのDAC212において、端子Bから端子Aを選択するスイッチSWの数が増加するように、スイッチSWを制御する。

[0318] これにより、DAC212において、図12に示すように、負荷抵抗 R_{o2} から端子Aを流れる電流 I_a が増加するとともに、電源111から端子Bを流れる電流 I_b が減少し、負荷抵抗 R_{o2} の下端の電圧である参照信号DAOUTは、図12に示すように、徐々に低下していく。

[0319] 以上のように、参照信号DAOUTとして出力する電圧の範囲に応じて、DAC212の電流源Iのオン／オフを制御することにより、参照信号DAOUTの出力に使用されるDACを変更し、 $DAOUT > 0$ の範囲では、正電圧VDDの(正)電源111に接続されたDAC211を動作させ、 $DAOUT < 0$ の範囲では、DAC211の他、負電圧-VSSの(負)電源112に接続されたDAC212を動作させることで、消

費電力を抑制することができる。

[0320] すなわち、正電圧の参照信号DAOUTの出力時に、DAC 2 1 1（の電流源I）をオンにするとともに、DAC 2 1 2をオフにすることで、正電圧の参照信号DAOUTの出力時の消費電力Pを、式 $P=V_{dd} \times I_{dd}$ で表される電力に抑制することができる。

[0321] なお、負電圧の参照信号DAOUTの出力時には、DAC 2 1 2をオンにするので、消費電力Pは、式 $P=V_{dd} \times I_{dd} + V_{ss} \times I_{ss}$ で表される電力となる。

[0322] また、図 1 1 では、負電圧の参照信号DAOUTの出力時には、DAC 2 1 1をオンにしたまま、DAC 2 1 2をオンにするため、電源 1 1 1から流れる電流 I_{dd} は、正電圧の参照信号DAOUTの出力時と比較して、DAC 2 1 2に流れる電流 $I_a + I_b = I_{ss}$ だけ増加する。但し、オンにしたままのDAC 2 1 1が流す電流によって、負荷抵抗 R_{o1} で電圧降下が生じるので、必要な参照信号DAOUTの生成のために、負荷抵抗 R_{o2} に必要な電圧降下を生じさせる電流 I_a 、ひいては、DAC 2 1 2が流す電流を小さくすることができる。

[0323] なお、負電圧の参照信号DAOUTの出力時には、DAC 2 1 1をオンにしたままにするのではなく、オフにし、そのオフになる前に、DAC 2 1 1が負荷抵抗 R_{o1} に流していた電流を、オンになったDAC 2 1 2によって流すことができる。

[0324] <参照信号出力部 3 3 の第 5 の構成例>

[0325] 図 1 3 は、参照信号出力部 3 3 の第 5 の構成例を示す回路図である。

[0326] なお、図中、図 1 1 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0327] 図 1 3 において、参照信号出力部 3 3 は、DAC 2 1 1 及び 2 1 2、デコーダ 2 1 3、並びに、負荷抵抗 R_{o1} 及び R_{o2} を有する。

[0328] したがって、図 1 3 の参照信号出力部 3 3 は、図 1 1 の場合と同様に構成される。

[0329] 但し、図 1 1 では、DAC 2 1 2の端子Bが、正電圧の電源 1 1 1に接続されているが、図 1 3 では、DAC 2 1 2の端子Bが、GNDである電源 1 1 3に接続されている。

[0330] DAC 2 1 2 において、端子Bから電流源Iを通り、電源 1 1 2 に流れる電流は、参照信号DAOUTの生成に寄与しない捨て電流であるが、図 1 1 では、DAC 2 1 2 の捨て電流の捨て先が、DAC 2 1 2 の端子Bに接続されている電源 1 1 1 になっているのに対して、図 1 3 では、DAC 2 1 2 の捨て電流の捨て先が、DAC 2 1 2 の端子Bが接続されている電源 1 1 3 としてのGNDになっている。

[0331] 図 1 3 の参照信号出力部 3 3 の動作は、図 1 1 の場合と同様であるので、その説明は、省略する。

[0332] <参照信号出力部 3 3 の第 6 の構成例>

[0333] 図 1 4 は、参照信号出力部 3 3 の第 6 の構成例を示す回路図である。

[0334] なお、図中、図 4 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0335] 図 1 4 において、参照信号出力部 3 3 は、DAC 2 1 1 及び 2 1 2、デコーダ 2 1 3、DAC 2 5 1、並びに、負荷抵抗Rを有する。

[0336] したがって、図 1 4 の参照信号出力部 3 3 は、DAC 2 1 1 及び 2 1 2、デコーダ 2 1 3、並びに、負荷抵抗Rを有する点で、図 4 の場合と共通し、DAC 2 5 1 が新たに設けられている点で、図 4 の場合と相違する。

[0337] 図 1 4 において、参照信号出力部 3 3 は、正電圧VDDの電源 1 1 1、GNDである電源 1 1 3、負電圧-VSS1の電源 2 4 1、及び、負電圧-VSS1より低い負電圧-VSS2の電源 2 4 2 に接続されている ($0 < VSS1 < VSS2$)。DAC 2 1 1 は、電源 1 1 1 及び 1 1 3 に接続され、DAC 2 1 2 は、電源 1 1 1 及び 2 4 1 に接続されている。DAC 2 5 1 は、電源 1 1 1 及び 2 4 2 に接続されている。

[0338] なお、負電圧-VSS1の電源 2 4 1 は、図 4 の負電圧VSSの電源 1 1 2 に相当する。

[0339] したがって、図 1 4 の参照信号出力部 3 3 は、電源 1 1 1 及び 2 4 2 に接続されたDAC 2 5 1 新たに設けられている点、並びに、電源 2 4 2 に接続されている点を除けば、図 4 の場合と同様に構成される。

[0340] DAC 2 5 1 は、DAC 2 1 1 や 2 1 2 と同様に構成される。

[0341] すなわち、DAC 2 5 1 は、複数の電流源Iと、各電流源Iが流す電流Iを制御

する、電流源Iの数と同一の数の複数のスイッチSWとを含む。DAC 2 5 1 において、電流源Iの数は、DAC 2 1 1 や 2 1 2 の場合と同一の数であっても良いし、異なる数であっても良い。

[0342] DAC 2 5 1 では、電流源Iの一端が電源 2 4 2 に接続され、電流源Iの他端が、スイッチSWに接続されている。

[0343] DAC 2 5 1 において、スイッチSWは、デコーダ 2 1 3 の制御に従い、左の端子A又は右の端子Bを選択し、これにより、スイッチSWに接続された電流源Iが流す電流Iを制御する。

[0344] DAC 2 5 1 において、端子Aは、負荷抵抗Rの下端に接続され、端子Bは、電源 1 1 1 に接続されている。

[0345] なお、図 1 4 では、デコーダ 2 1 3 は、制御部 2 0 (図 2) の制御にしたがって、DAC 2 1 1 及び 2 1 2 の他、DAC 2 5 1 についても、スイッチSWの、端子A又はBの選択を制御する。

[0346] DAC 2 5 1 に接続された電源 1 1 1 及び 2 4 2 の組み合わせは、電源 1 1 1 から、DAC 2 5 1 の端子B及び電流源Iを経由して、電源 2 4 2 に至る経路と、電源 1 1 1 から、負荷抵抗R、DAC 2 5 1 の端子A及び電流源Iを経由して、電源 2 4 2 に至る経路とを、DAC 2 5 1 のスイッチSWで制御された電流が流れる第 1 経路として有する。

[0347] さらに、電源 1 1 1 及び 2 4 2 の組み合わせは、電源 1 1 1 から、負荷抵抗R、DAC 2 5 1 の端子A及び電流源Iを経由して、電源 2 4 2 に至る経路を、負荷抵抗Rに同一方向の電流を流す第 2 経路として有する。

[0348] そして、DAC 2 5 1 は、そのDAC 2 5 1 に接続された電源 1 1 1 及び 2 4 2 の組み合わせが有する第 1 経路上及び第 2 経路上に存在する。

[0349] 以上のように構成される参照信号出力部 3 3 では、例えば、正電圧VDDから 0Vまでの範囲の電圧の参照信号DAOUTの出力には、DAC 2 1 1, 2 1 2、及び、2 5 1 のうちの、DAC 2 1 1 が有効DACとして使用され、0Vから負電圧-VSS1までの範囲の電圧の参照信号DAOUTの出力には、DAC 2 1 2 が有効DACとして使用される。そして、負電圧-VSS1から負電圧-VSS2までの範囲の電圧の参照信

号DAOUTの出力には、DAC 2 5 1 が有効DACとして使用される。

[0350] 図 1 5 は、図 1 4 の参照信号出力部 3 3 の動作の例を説明するタイミングチャートである。

[0351] すなわち、図 1 5 は、電源 1 1 1 を流れる電流 I_{dd} 、電源 2 4 1 を流れる電流 I_{ss1} 、電源 2 4 2 を流れる電流 I_{ss2} 、DAC 2 1 1, 2 1 2、及び、2 5 1 の電流源Iのオン／オフの状態、並びに、参照信号DAOUTの例を示している。

[0352] なお、ここでは、説明を簡単にするため、DAC 2 1 1, 2 1 2、及び、2 5 1 のそれぞれの電流源Iの数は、いずれも、N個であることとする。この場合、DAC 2 1 1, 2 1 2、及び、2 5 1 のそれぞれが流す電流は、いずれも、 $I \times N$ の定電流となる。

[0353] 正電圧から負電圧までに変化する参照信号DAOUTを出力するにあたり、正電圧VDDから0Vまでの範囲の電圧の参照信号DAOUTの出力については、図 1 5 に示すように、DAC 2 1 1 の電流源Iはオンに制御され、DAC 2 1 2 及び 2 5 1 の電流源Iはオフに制御される。

[0354] デコーダ 2 1 3 は、（電流源Iが）オンのDAC 2 1 1 において、端子Aから端子Bを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図 1 5 に示すように、徐々に低下していく。

[0355] 正電圧の参照信号DAOUTが出力されている間、電源 1 1 1 を流れる電流 I_{dd} は、DAC 2 1 1 （の電流源Iのすべて）が流す定電流 $I \times N$ になる。

[0356] また、正電圧の参照信号DAOUTが出力されている間、DAC 2 1 2 及び 2 5 1 の電流源Iはオフになっているため、DAC 2 1 2 及び 2 5 1 が流す電流は0であり、DAC 2 1 2 に接続された電源 2 4 1 に流れる電流 I_{ss1} 、及び、DAC 2 5 1 に接続された電源 2 4 2 に流れる電流 I_{ss2} も、0になる。

[0357] その後、参照信号DAOUTが、DAC 2 1 1 を使用して（かつ、DAC 2 1 2 及び 2 5 1 を使用せずに）出力することができる最小の電圧である0Vになると、以降の負電圧の参照信号DAOUTの出力については、図 1 5 に示すように、DAC 2 1 1 の電流源Iはオフに制御され、DAC 2 1 2 の電流源Iはオンに制御される。なお、DAC 2 5 1 の電流源Iはオフのままにされる。

- [0358] DAC 2 1 1 の電流源Iがオフにされることにより、DAC 2 1 1 に電流は流れなくなるが、DAC 2 1 2 の電流源Iがオンにされることにより、DAC 2 1 2 が流す電流が0から $I \times N$ になる。
- [0359] DAC 2 1 2 が流す電流は、オフになる前のDAC 2 1 1 が流していた電流 $I \times N$ に等しく、DAC 2 1 2 に接続された電源 2 4 1 に流れる電流 I_{ss1} は、図 1 5 に示すように、DAC 2 1 2 が流す電流 $I \times N$ になる。
- [0360] また、DAC 2 1 1 が流す電流が $I \times N$ から0になるとともに、DAC 2 1 2 が流す電流が0から $I \times N$ になり、DAC 2 5 1 が流す電流が0のままであるため、電源 1 1 1 を流れる電流 I_{dd} は、図 1 5 に示すように、 $I \times N$ のままとなる。
- [0361] デコーダ 2 1 3 は、オンのDAC 2 1 2 において、端子Bから端子Aを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照信号DAOUTは、図 1 5 に示すように、徐々に低下していく。
- [0362] その後、参照信号DAOUTが、DAC 2 1 2 を使用して（かつ、DAC 2 1 1 及び 2 5 1 を使用せずに）出力することができる最小の電圧 $-V_{SS1}$ になると、以降の負電圧の参照信号DAOUTの出力については、図 1 5 に示すように、DAC 2 1 2 の電流源Iはオフに制御され、DAC 2 5 1 の電流源Iはオンに制御される。なお、DAC 2 1 1 の電流源Iはオフのままにされる。
- [0363] DAC 2 1 2 の電流源Iがオフにされることにより、DAC 2 1 2 に電流は流れなくなるが、DAC 2 5 1 の電流源Iがオンにされることにより、DAC 2 5 1 が流す電流が0から $I \times N$ になる。
- [0364] DAC 2 5 1 が流す電流は、オフになる前のDAC 2 1 2 が流していた電流 $I \times N$ に等しく、DAC 2 5 1 に接続された電源 2 4 2 に流れる電流 I_{ss2} は、図 1 5 に示すように、DAC 2 1 2 が流す電流 $I \times N$ になる。
- [0365] また、DAC 2 1 2 が流す電流が $I \times N$ から0になるとともに、DAC 2 5 1 が流す電流が0から $I \times N$ になり、DAC 2 1 1 が流す電流が0のままであるため、電源 1 1 1 を流れる電流 I_{dd} は、図 1 5 に示すように、 $I \times N$ のままとなる。
- [0366] デコーダ 2 1 3 は、オンのDAC 2 5 1 において、端子Bから端子Aを選択するスイッチSWの数が増加するように、スイッチSWを制御し、これにより、参照

信号DAOUTは、図15に示すように、徐々に低下していく。

[0367] 以上のように、参照信号DAOUTとして出力する電圧の範囲に応じて、DAC 211, 212, 251の電流源Iのオン／オフを制御することにより、参照信号DAOUTの出力に使用される有効DACを変更することで、図4の場合と同様に、消費電力を抑制することができる。

[0368] すなわち、図14では、DAC 251のみを使用して、正電圧VDDから負電圧-VSS2までの範囲の電圧の参照信号DAOUTを出力することができるが、その場合の消費電力Pは、常時、 $P=VDD \times I_{dd} + VSS2 \times I_{ss2}$ となる。

[0369] 一方、正電圧VDDから0Vまでの範囲の電圧の参照信号DAOUTの出力に、DAC 211のみを有効DACとして使用する場合の消費電力Pは、 $P=VDD \times I_{dd}$ となる。
また、0Vから負電圧-VSS1までの範囲の電圧の参照信号DAOUTの出力に、DAC 212のみを有効DACとして使用する場合の消費電力は、 $P=VDD \times I_{dd} + VSS1 \times I_{ss1}$ となる。さらに、負電圧-VSS1から負電圧-VSS2までの範囲の電圧の参照信号DAOUTの出力に、DAC 251のみを有効DACとして使用する場合の消費電力は、 $P=VDD \times I_{dd} + VSS2 \times I_{ss2}$ となる。

[0370] したがって、DAC 211のみを有効DACとして使用する場合に、消費電力Pを、 $P=VDD \times I_{dd} (< VDD \times I_{dd} + VSS2 \times I_{ss2})$ に低減することができる。さらに、DAC 212のみを有効DACとして使用する場合に、消費電力を、 $P=VDD \times I_{dd} + VSS1 \times I_{ss1} (< VDD \times I_{dd} + VSS2 \times I_{ss2})$ に低減することができる。

[0371] <イメージセンサの使用例>

[0372] 図16は、図1のイメージセンサ2を使用する使用例を示す図である。

[0373] イメージセンサ2は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々な電子機器に使用することができる。

[0374] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する電子機器

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される

電子機器

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される電子機器

- ・内視鏡や、電子顕微鏡、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される電子機器

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される電子機器

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される電子機器

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される電子機器

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される電子機器

[0375] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0376] 例えば、本技術は、可視光線をセンシングするイメージセンサの他、赤外線その他の、可視光線以外の電磁波をセンシングするイメージセンサに適用することができる。

[0377] さらに、本技術は、イメージセンサの画素が出力する電気信号以外の電気信号、すなわち、例えば、音をセンシングするマイクロフォンや、その他の任意の物理量のセンシングするセンサが出力するアナログの電気信号のAD変換に適用することができる。

[0378] また、本技術は、センサが出力する電気信号の他、任意のアナログ信号のAD変換に適用することができる。

[0379] ここで、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0380] なお、本技術は、以下の構成をとることができる。

[0381] < 1 >

光電変換を行う光電変換素子を有し、電気信号を出力する画素と、
レベルが変化する参照信号を出力する参照信号出力部と、
前記画素から出力される前記電気信号と、前記参照信号とを比較し、前記
電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to
Digital)変換を行うAD変換部と
を備え、
前記参照信号出力部は、
複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む
複数のDACと、
前記電流が流れることで、前記参照信号を出力する負荷抵抗と
を有し、
3個以上の電源に接続され、
前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の
電源の組み合わせそれぞれは、前記スイッチで制御された電流が流れる第
1経路と、前記負荷抵抗に同一方向の電流を流す第2経路とを有する
イメージセンサ。

< 2 >

前記電流源のオン／オフを制御することにより、前記負荷抵抗に流れる電
流の経路を変更する

< 1 >に記載のイメージセンサ。

< 3 >

前記参照信号として出力する電圧の範囲に応じて、前記電流源のオン／オ
フを制御することにより、前記負荷抵抗に電流を流すDACを変更する

< 2 >に記載のイメージセンサ。

< 4 >

前記DACは、

前記第1経路上及び第2経路上にあり、前記電源の組み合わせの一方の

電源から他方の電源に向かう電流を流し、

前記スイッチによって、前記負荷抵抗に流れる電流を制御することで、
所定の範囲の電圧の前記参照信号を出力させ、

前記参照信号の出力に使用されるDACを、前記参照信号として出力する電圧
の範囲に応じて変更する

< 1 >に記載のイメージセンサ。

< 5 >

前記3個以上の電源のうちの1個の電源は、グランドである

< 1 >ないし< 4 >のいずれかに記載のイメージセンサ。

< 6 >

前記3個以上の電源は、正電圧の電源と、負電圧の電源とを含む

< 1 >ないし< 5 >のいずれかに記載のイメージセンサ。

< 7 >

光を集光する光学系と、

光を受光し、前記光の受光量に対応する信号を出力するイメージセンサと
を備え、

前記イメージセンサは、

光電変換を行う光電変換素子を有し、電気信号を出力する画素と、

レベルが変化する参照信号を出力する参照信号出力部と、

前記画素から出力される前記電気信号と、前記参照信号とを比較し、前記
電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to
Digital)変換を行うAD変換部と

を備え、

前記参照信号出力部は、

複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む
複数のDACと、

前記電流が流れることで、前記参照信号を出力する負荷抵抗と

を有し、

3 個以上の電源に接続され、

前記 3 個以上の電源のうちの 2 個の電源の組み合わせの中で、2 通り以上の電源の組み合わせそれぞれは、前記スイッチで制御された電流が流れる第 1 経路と、前記負荷抵抗に同一方向の電流を流す第 2 経路とを有する電子機器。

符号の説明

[0382] 1 光学系, 2 イメージセンサ, 3 メモリ, 4 信号処理部,
5 出力部, 6 制御部, 10 画素アレイ, $1\ 1_{1,1}$ ないし $1\ 1_{M,N}$
画素, 20 制御部, 21 画素駆動部, 22 列並列AD変換装置,
 $3\ 1_1$ ないし $3\ 1_N$ ADC, 32 オートゼロ制御部, $3\ 2\ A$ オートゼロ
制御線, 33 参照信号出力部, $3\ 3\ A$ 参照信号線, 34 クロ
ック出力部, $3\ 4\ A$ クロック線, $4\ 1_1$ ないし $4\ 1_M$ 画素制御線, $4\ 2_1$ ないし $4\ 2_N$ VSL, $4\ 3_1$ ないし $4\ 3_N$ 電流源, $1\ 1\ 1$ ないし $1\ 1\ 3$
電源, $1\ 2\ 1$, $1\ 2\ 2$, $2\ 1\ 1$, $2\ 1\ 2$ DAC, $2\ 1\ 3$ デコーダ, $2\ 2\ 1$, $2\ 2\ 2$ $2\ 3\ 1$, $2\ 3\ 2$ DAC, $2\ 4\ 1$, $2\ 4\ 2$ 電源, $2\ 5\ 1$
DAC

請求の範囲

- [請求項1] 光電変換を行う光電変換素子を有し、電気信号を出力する画素と、
レベルが変化する参照信号を出力する参照信号出力部と、
前記画素から出力される前記電気信号と、前記参照信号とを比較し、
前記電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to Digital)変換を行うAD変換部と
を備え、
前記参照信号出力部は、
複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、
前記電流が流れることで、前記参照信号を出力する負荷抵抗と
を有し、
3個以上の電源に接続され、
前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、前記スイッチで制御された電流が流れる第1経路と、前記負荷抵抗に同一方向の電流を流す第2経路とを有する
イメージセンサ。
- [請求項2] 前記電流源のオン／オフを制御することにより、前記負荷抵抗に流れる電流の経路を変更する
請求項1に記載のイメージセンサ。
- [請求項3] 前記参照信号として出力する電圧の範囲に応じて、前記電流源のオン／オフを制御することにより、前記負荷抵抗に電流を流すDACを変更する
請求項2に記載のイメージセンサ。
- [請求項4] 前記DACは、
前記第1経路上及び第2経路上にあり、前記電源の組み合わせの一方の電源から他方の電源に向かう電流を流し、

前記スイッチによって、前記負荷抵抗に流れる電流を制御することで、所定の範囲の電圧の前記参照信号を出力させ、

前記参照信号の出力に使用されるDACを、前記参照信号として出力する電圧の範囲に応じて変更する

請求項1に記載のイメージセンサ。

[請求項5] 前記3個以上の電源のうちの1個の電源は、グランドである

請求項1に記載のイメージセンサ。

[請求項6] 前記3個以上の電源は、正電圧の電源と、負電圧の電源とを含む

請求項1に記載のイメージセンサ。

[請求項7] 光を集光する光学系と、

光を受光し、前記光の受光量に対応する信号を出力するイメージセンサと

を備え、

前記イメージセンサは、

光電変換を行う光電変換素子を有し、電気信号を出力する画素と、

レベルが変化する参照信号を出力する参照信号出力部と、

前記画素から出力される前記電気信号と、前記参照信号とを比較し、前記電気信号と前記参照信号との比較結果を用いて、前記電気信号のAD(Analog to Digital)変換を行うAD変換部と

を備え、

前記参照信号出力部は、

複数の電流源と、前記電流源が流す電流を制御する複数のスイッチとを含む複数のDACと、

前記電流が流れることで、前記参照信号を出力する負荷抵抗と

を有し、

3個以上の電源に接続され、

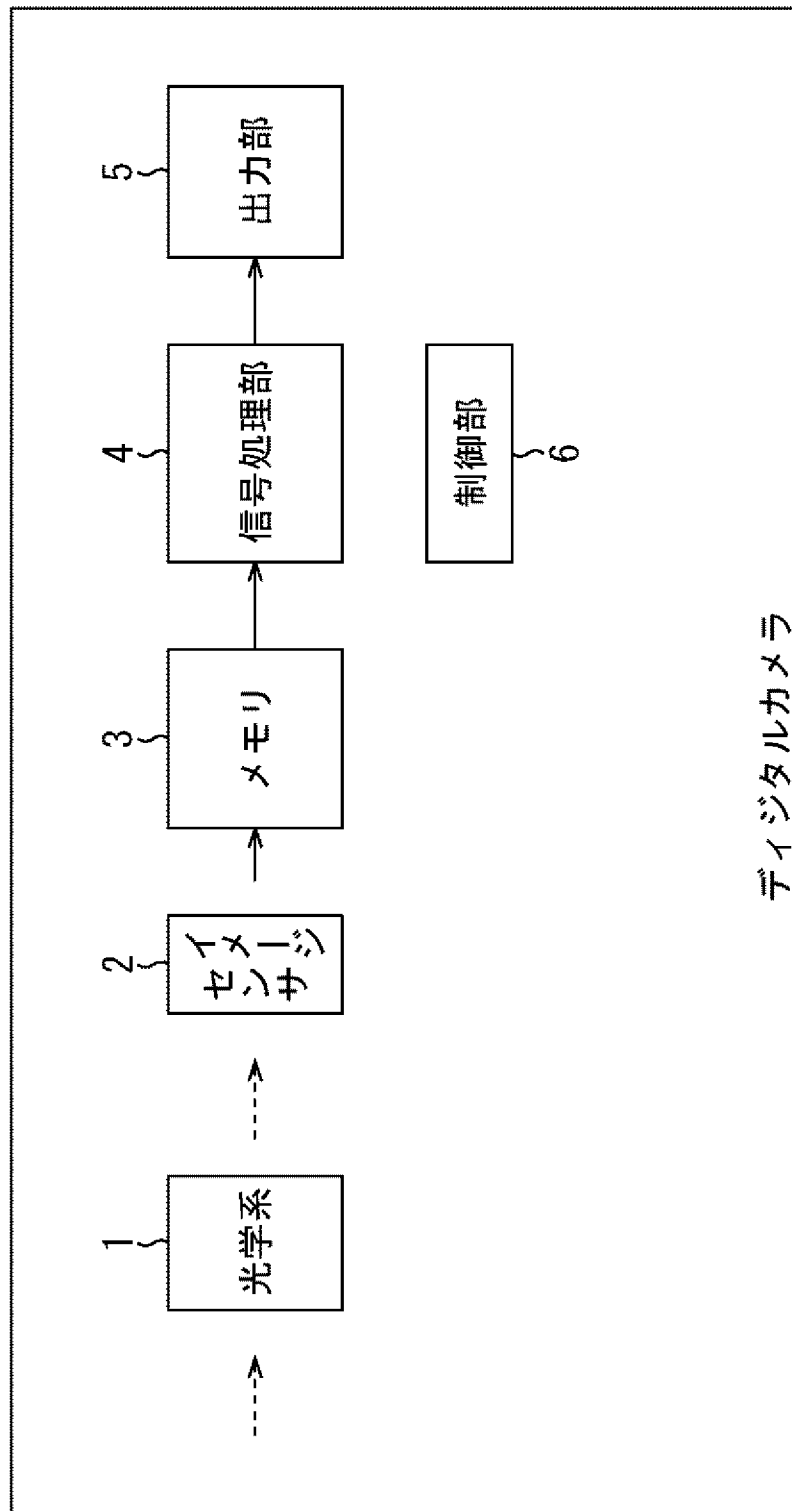
前記3個以上の電源のうちの2個の電源の組み合わせの中で、2通り以上の電源の組み合わせそれぞれは、前記スイッチで制御された電

流が流れる第 1 経路と、前記負荷抵抗に同一方向の電流を流す第 2 経路とを有する

電子機器。

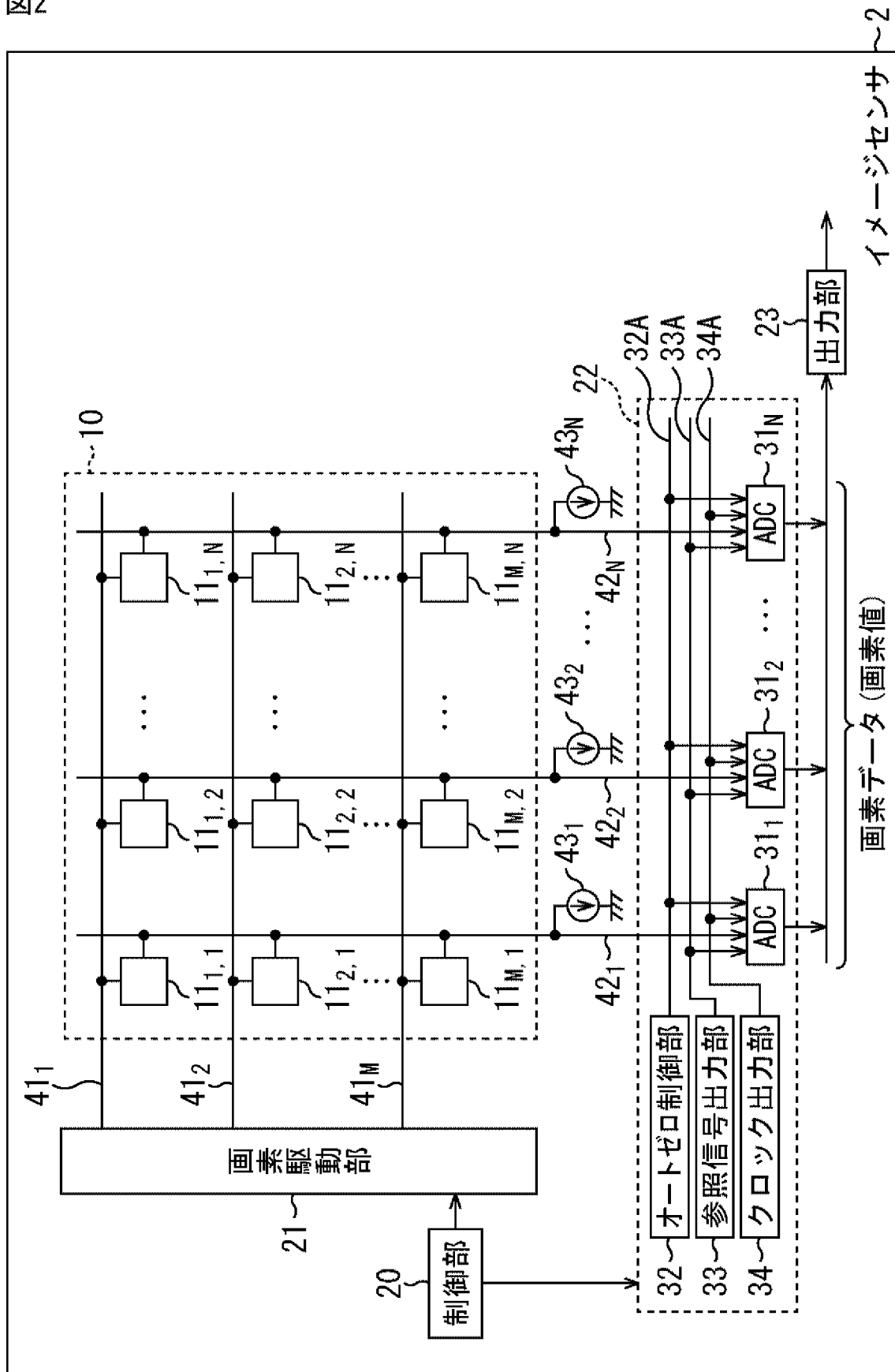
[図1]

図1

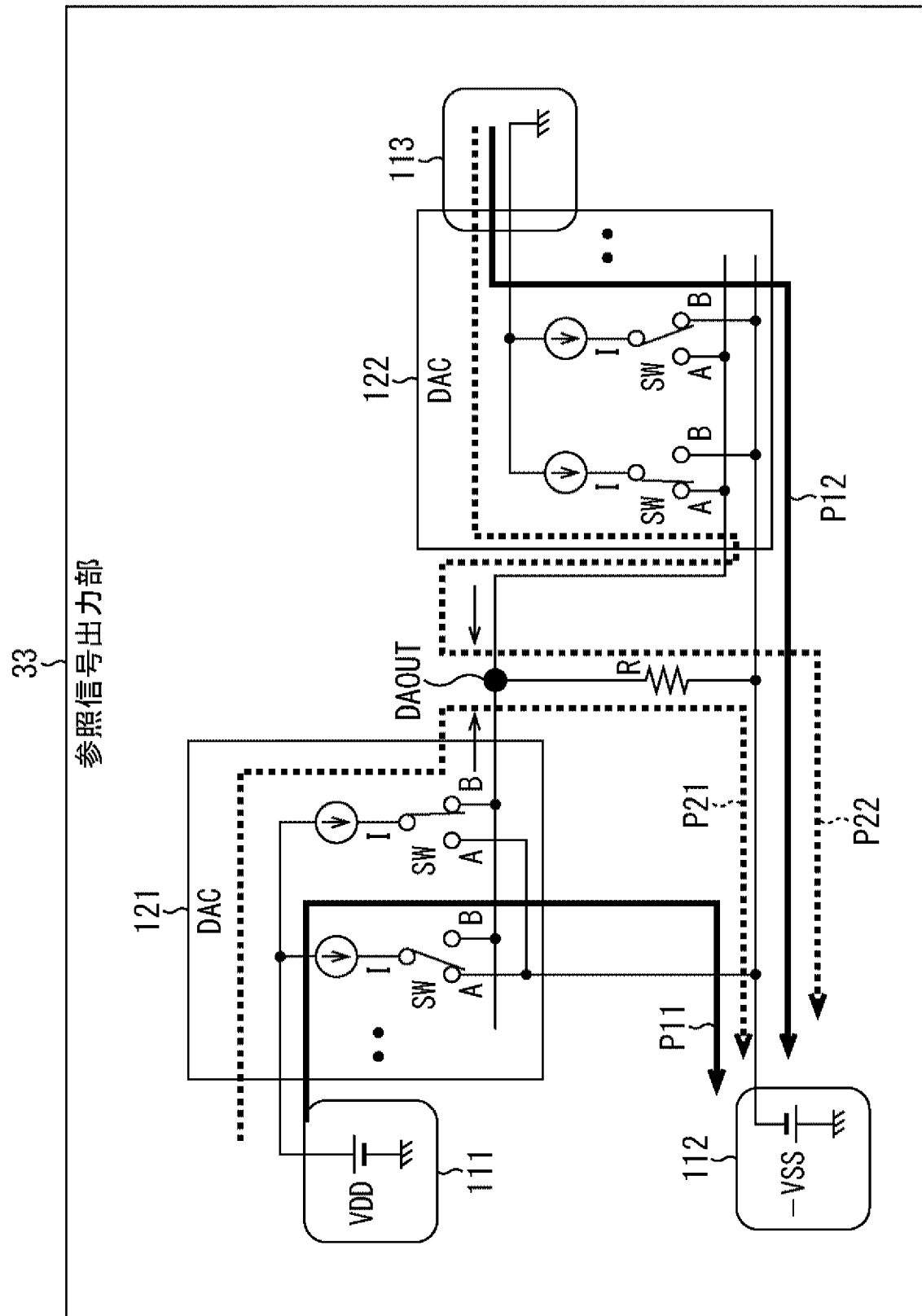


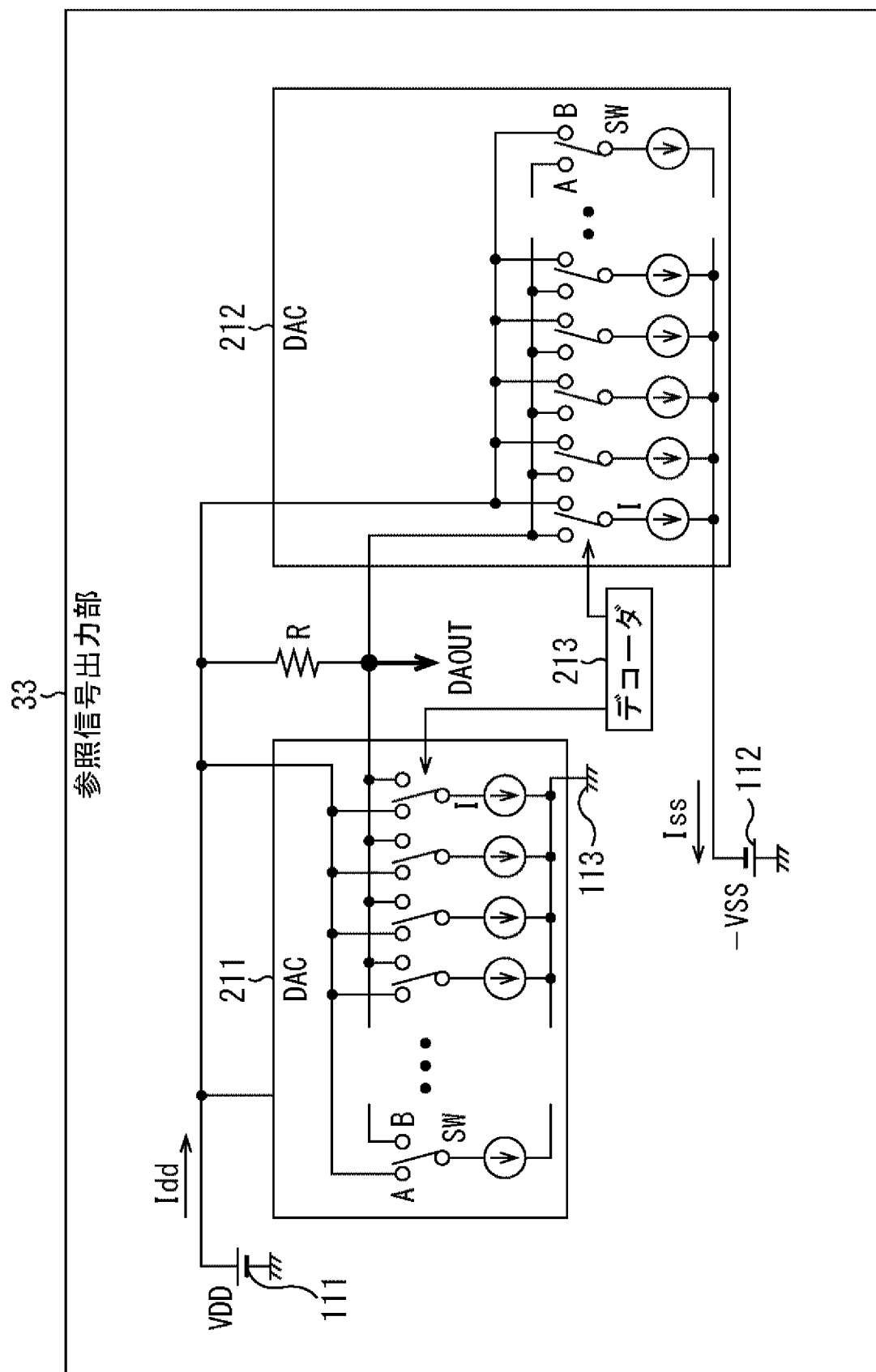
[図2]

図2

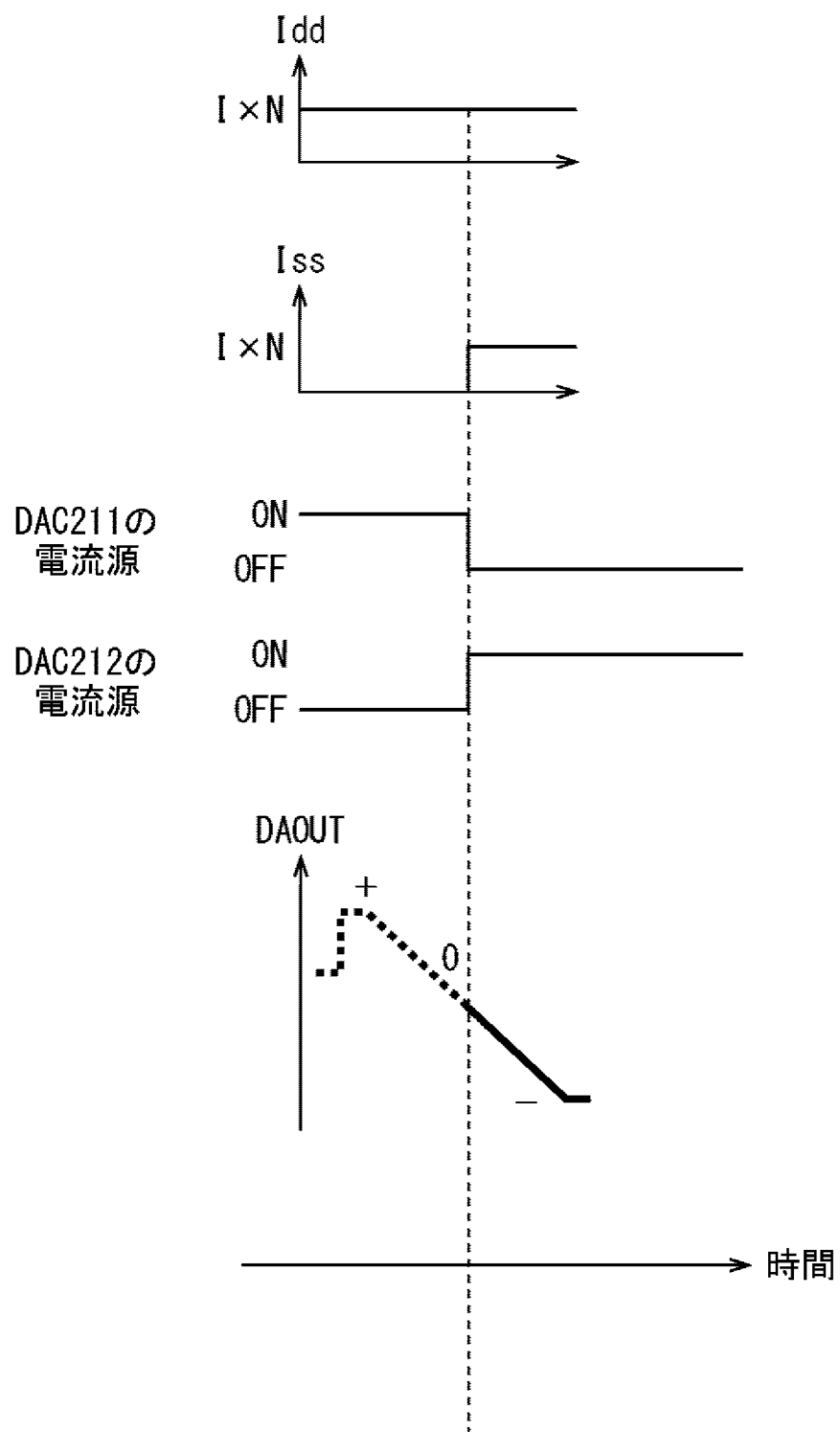


[図3]
FIG. 3

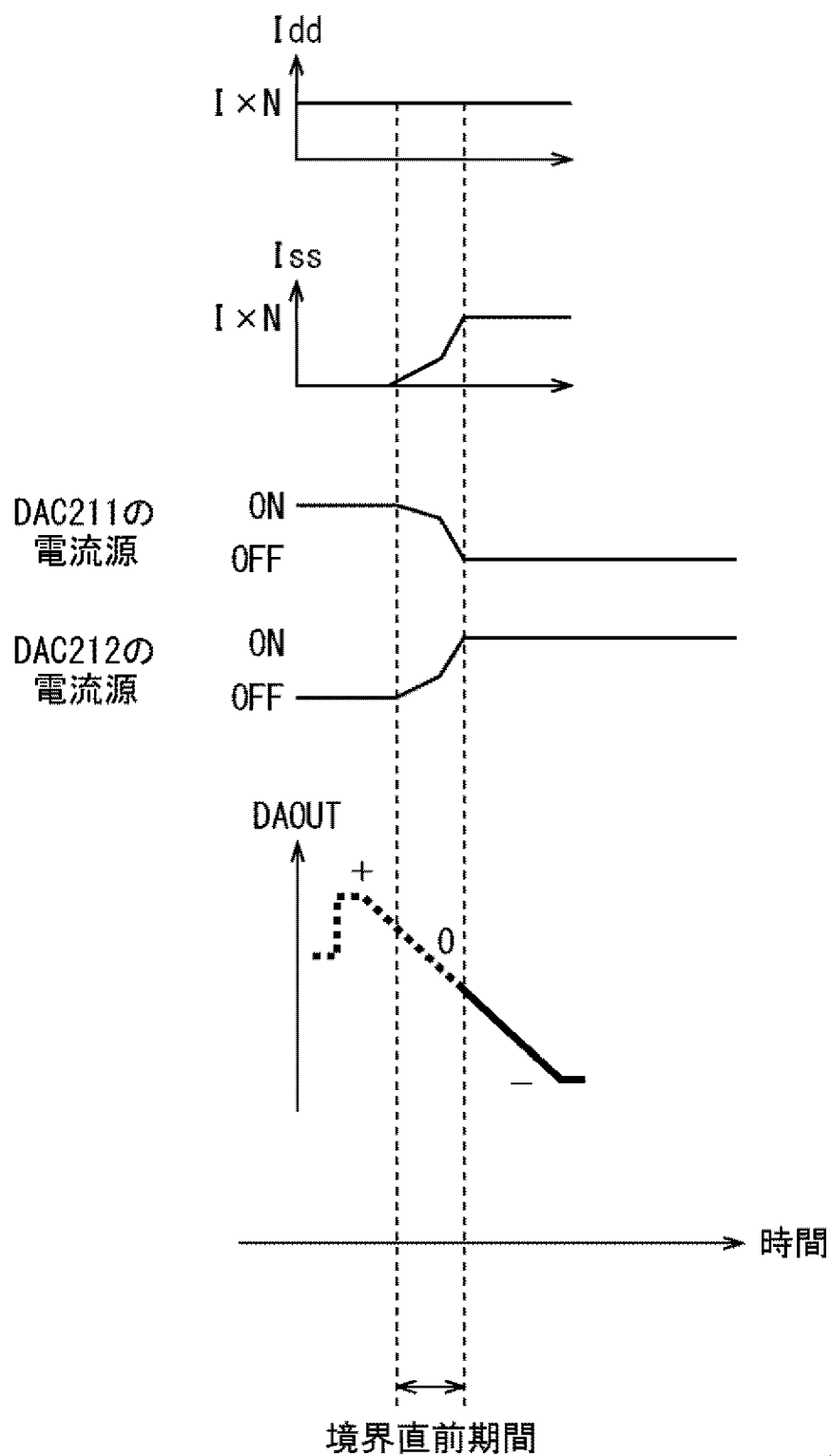


[図4]
FIG. 4

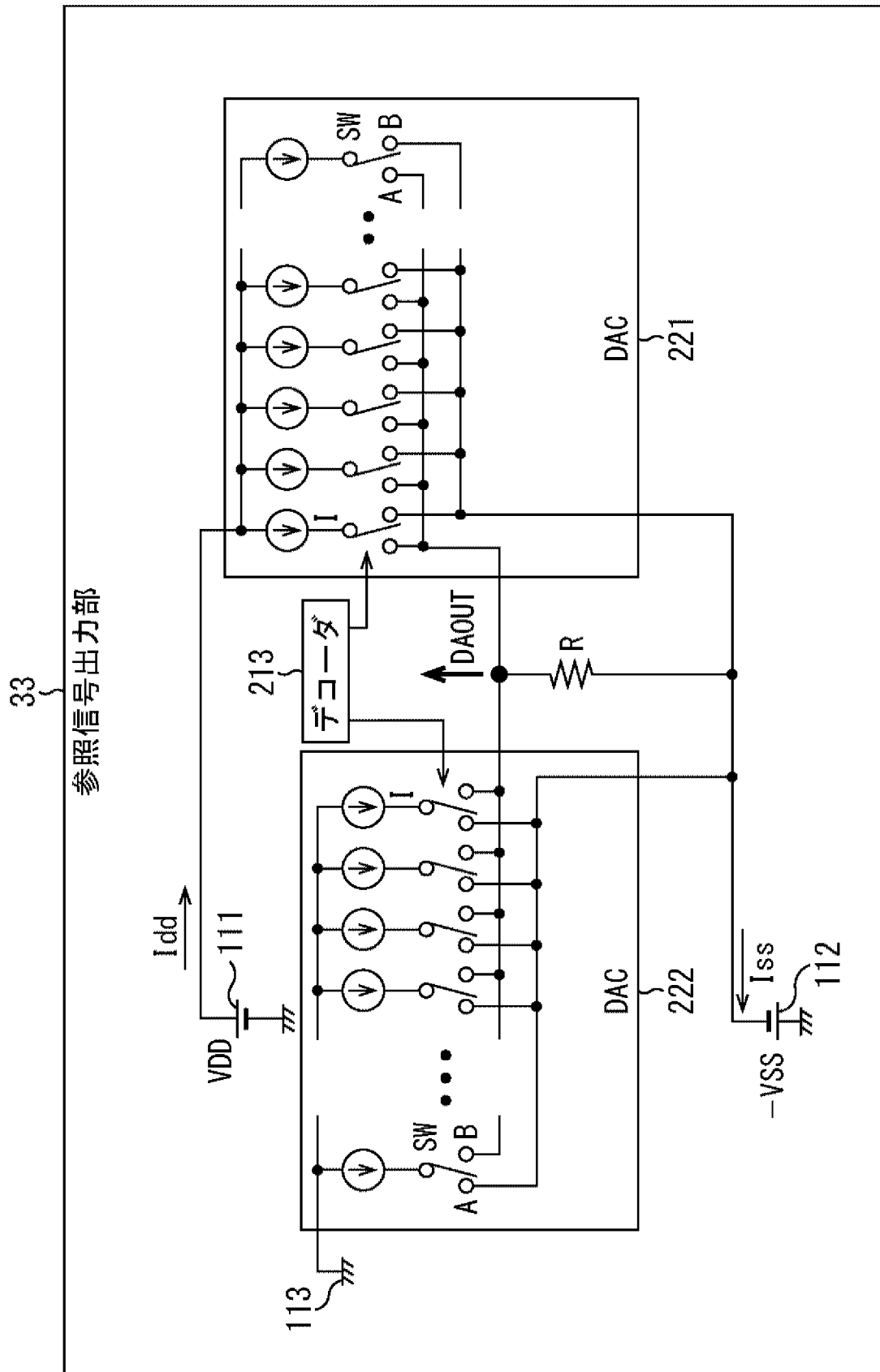
[図5]
FIG. 5



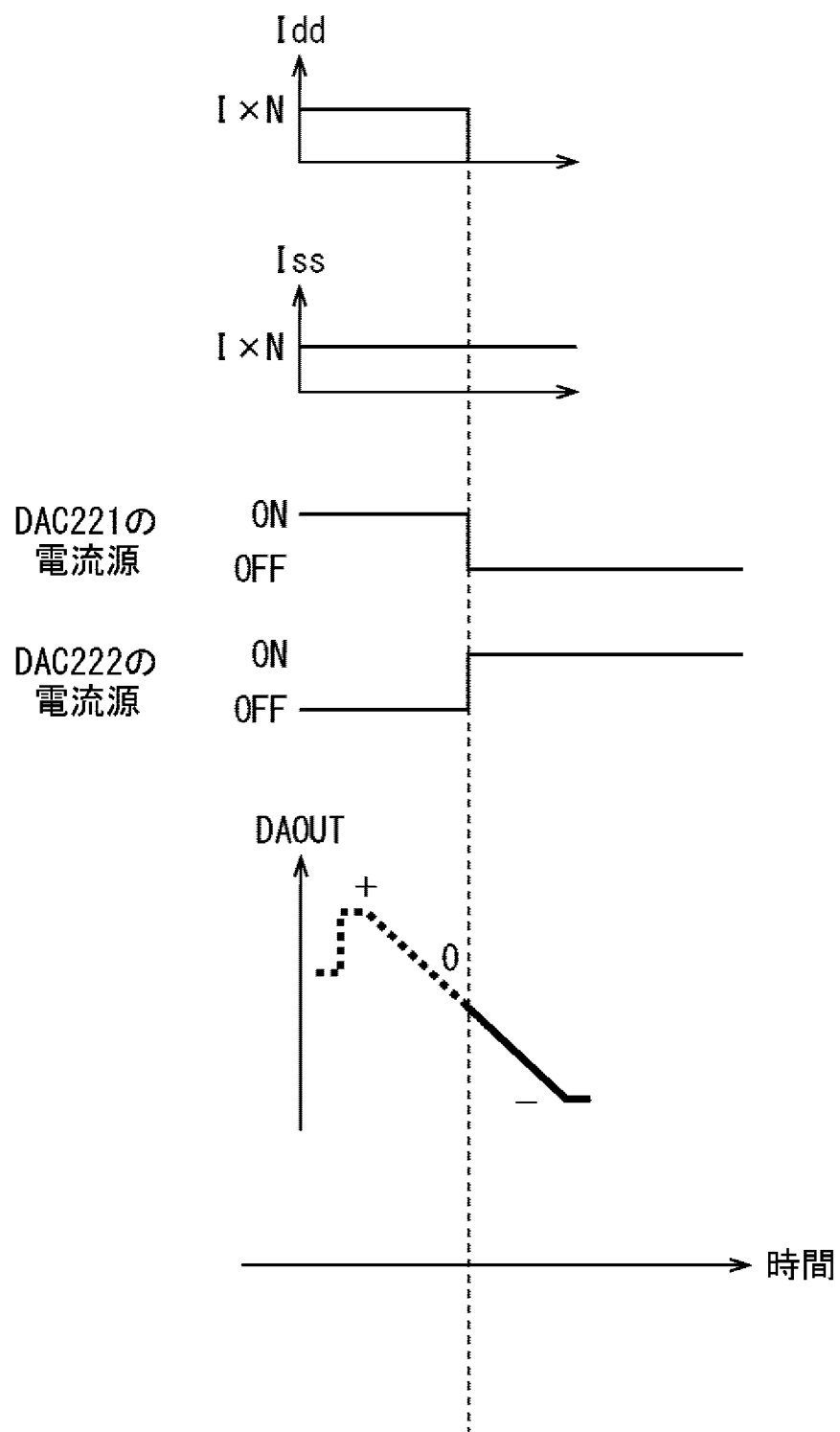
[図6]
FIG. 6



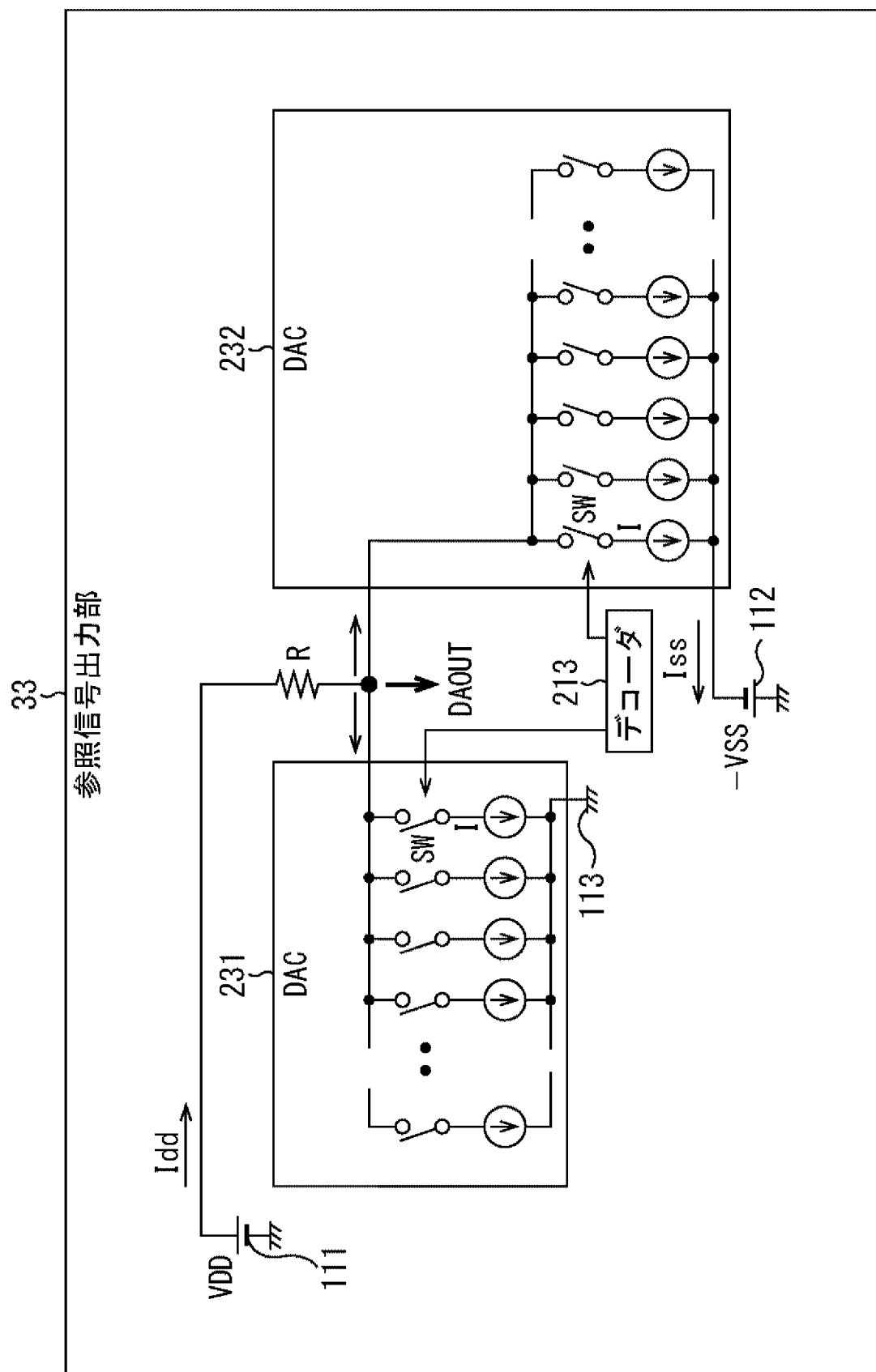
[図7]
FIG. 7



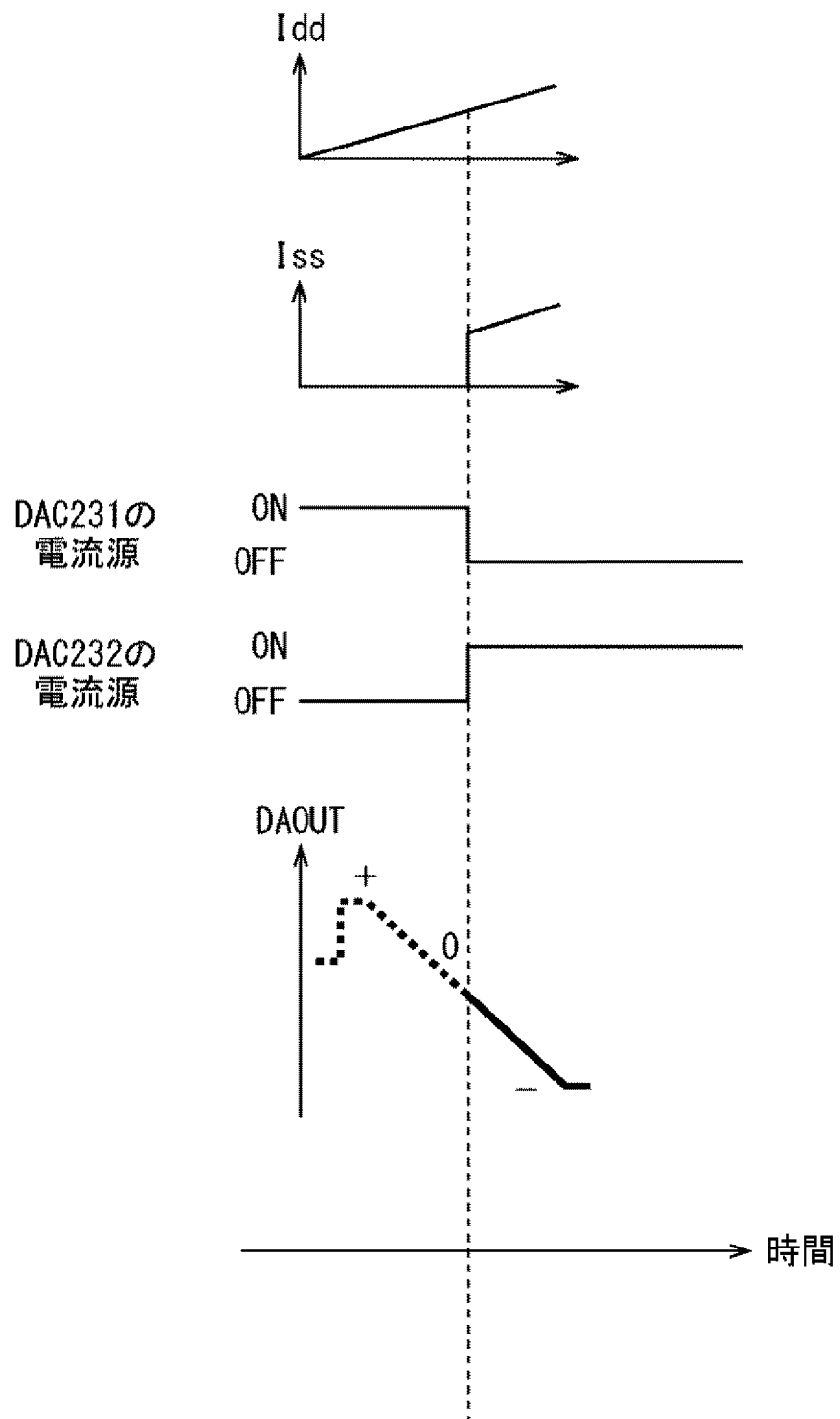
[図8]
FIG. 8



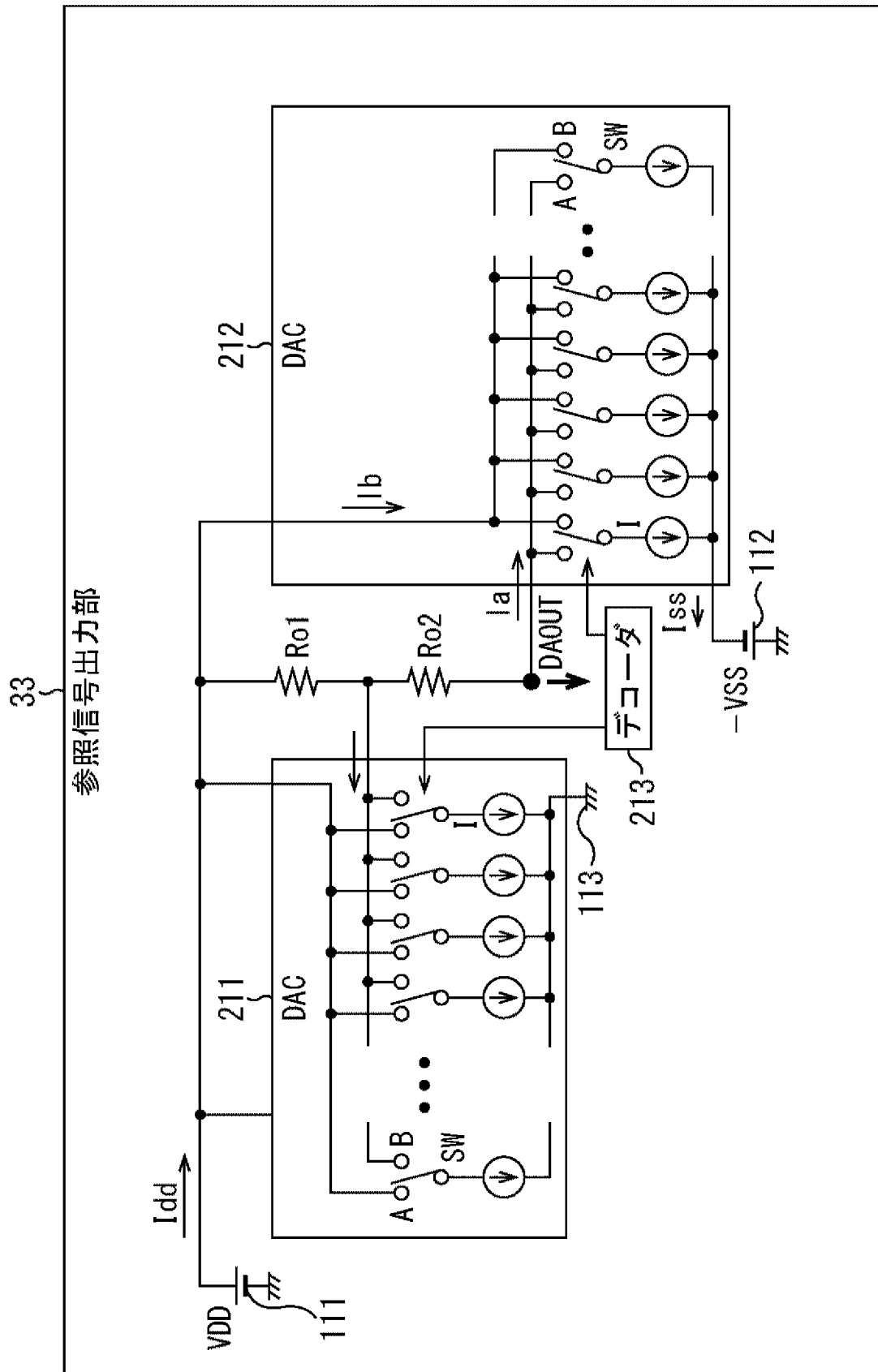
[図9]
FIG. 9



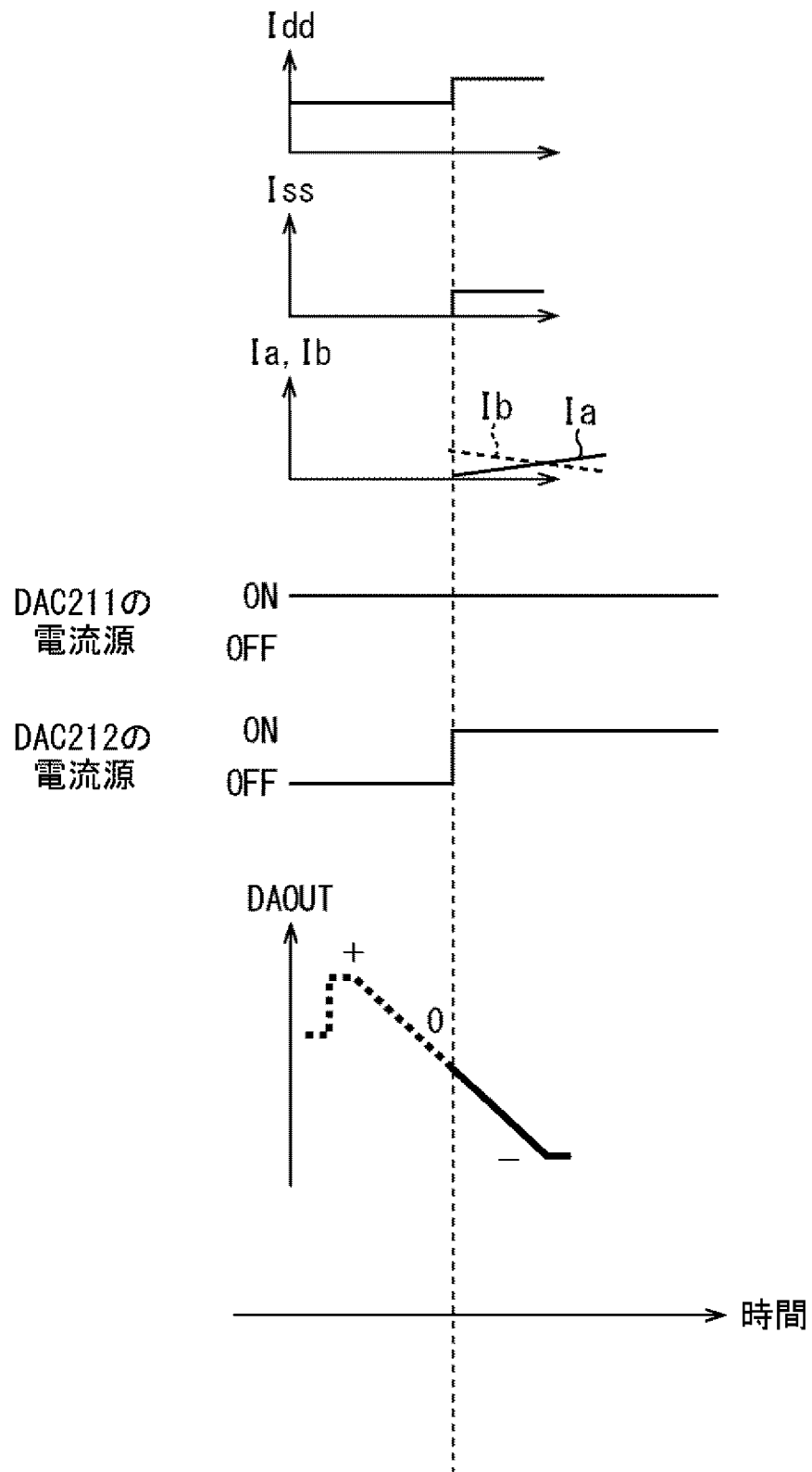
[図10]
FIG. 10



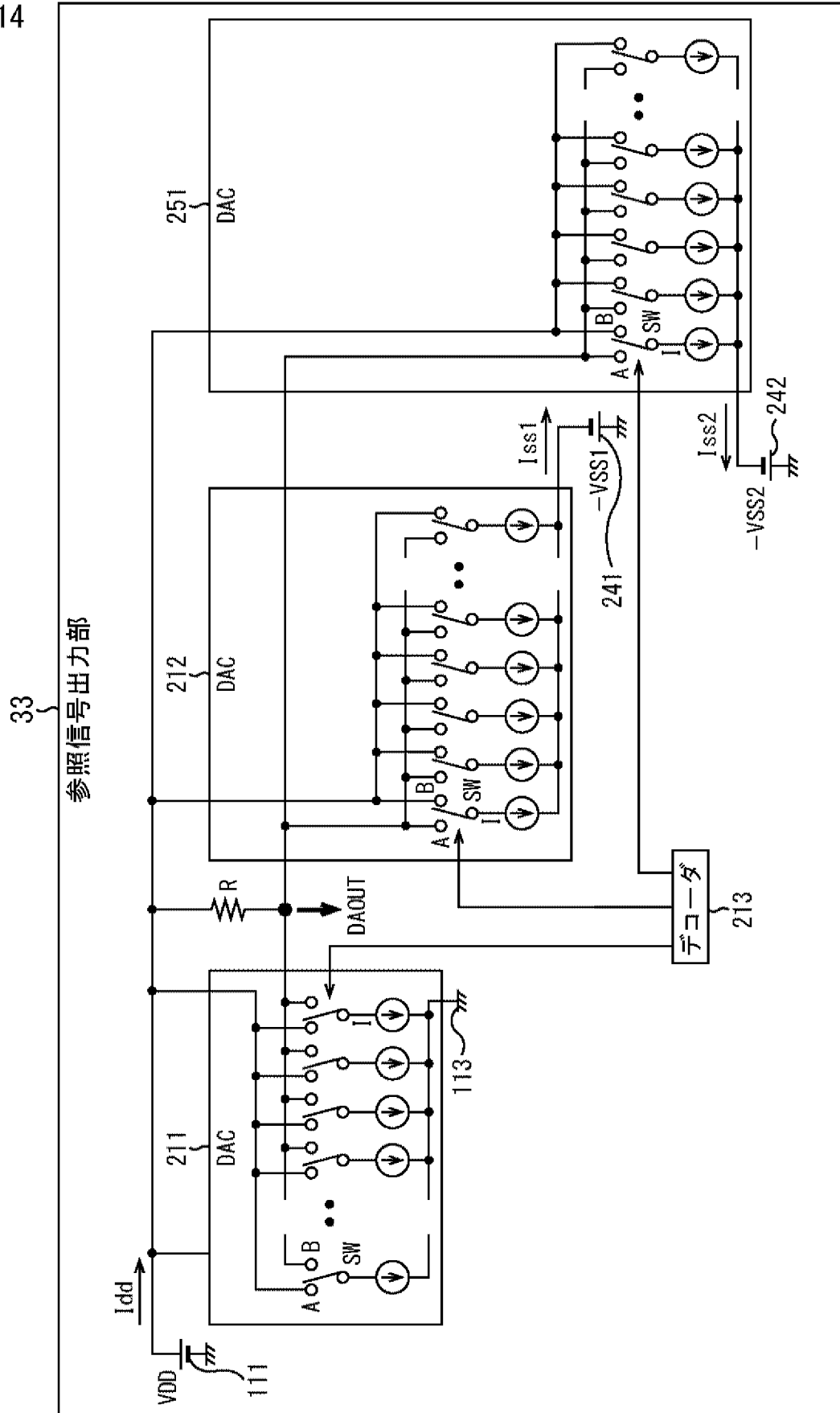
[図11]
FIG. 11



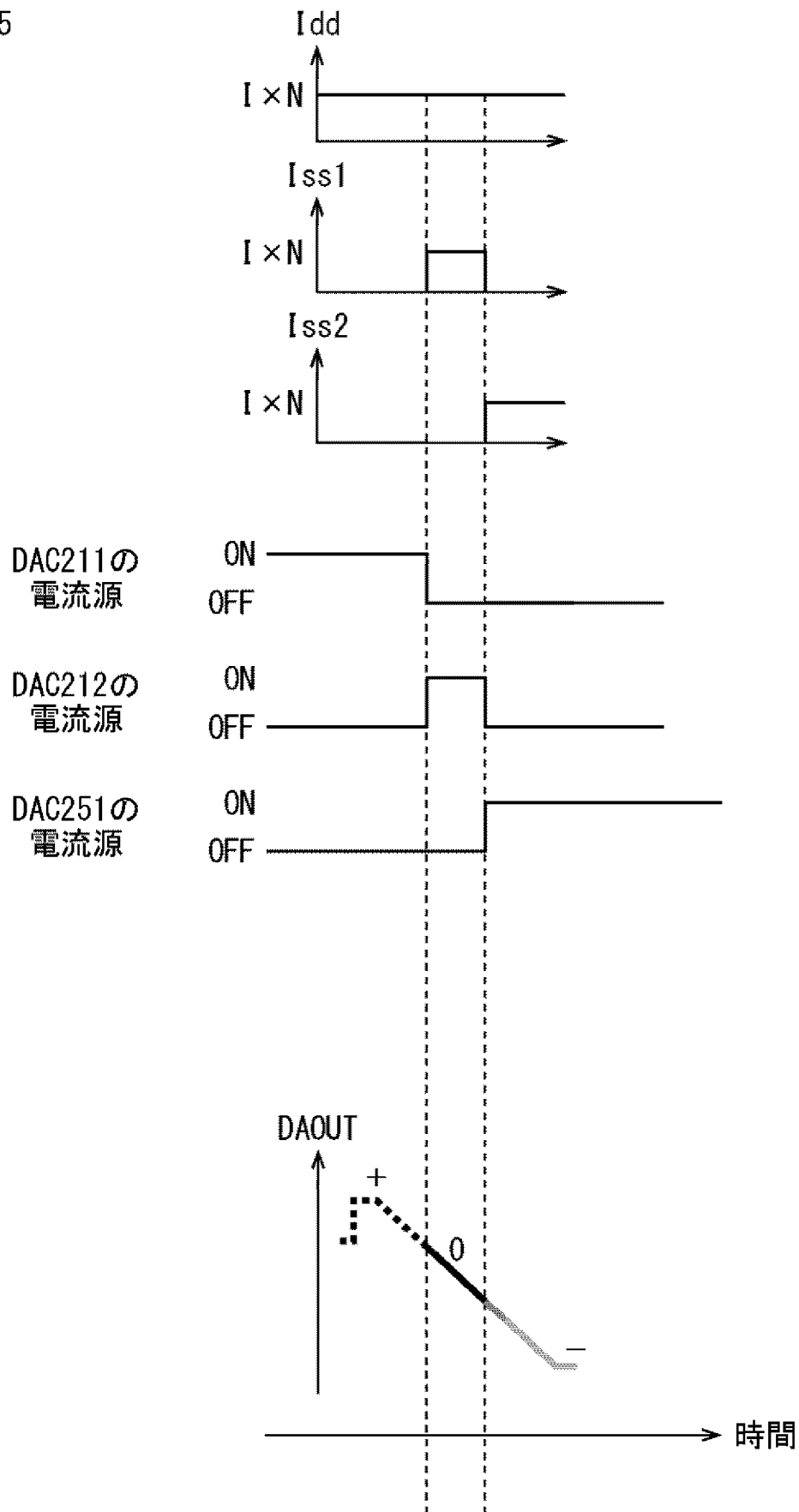
[図12]
FIG. 12



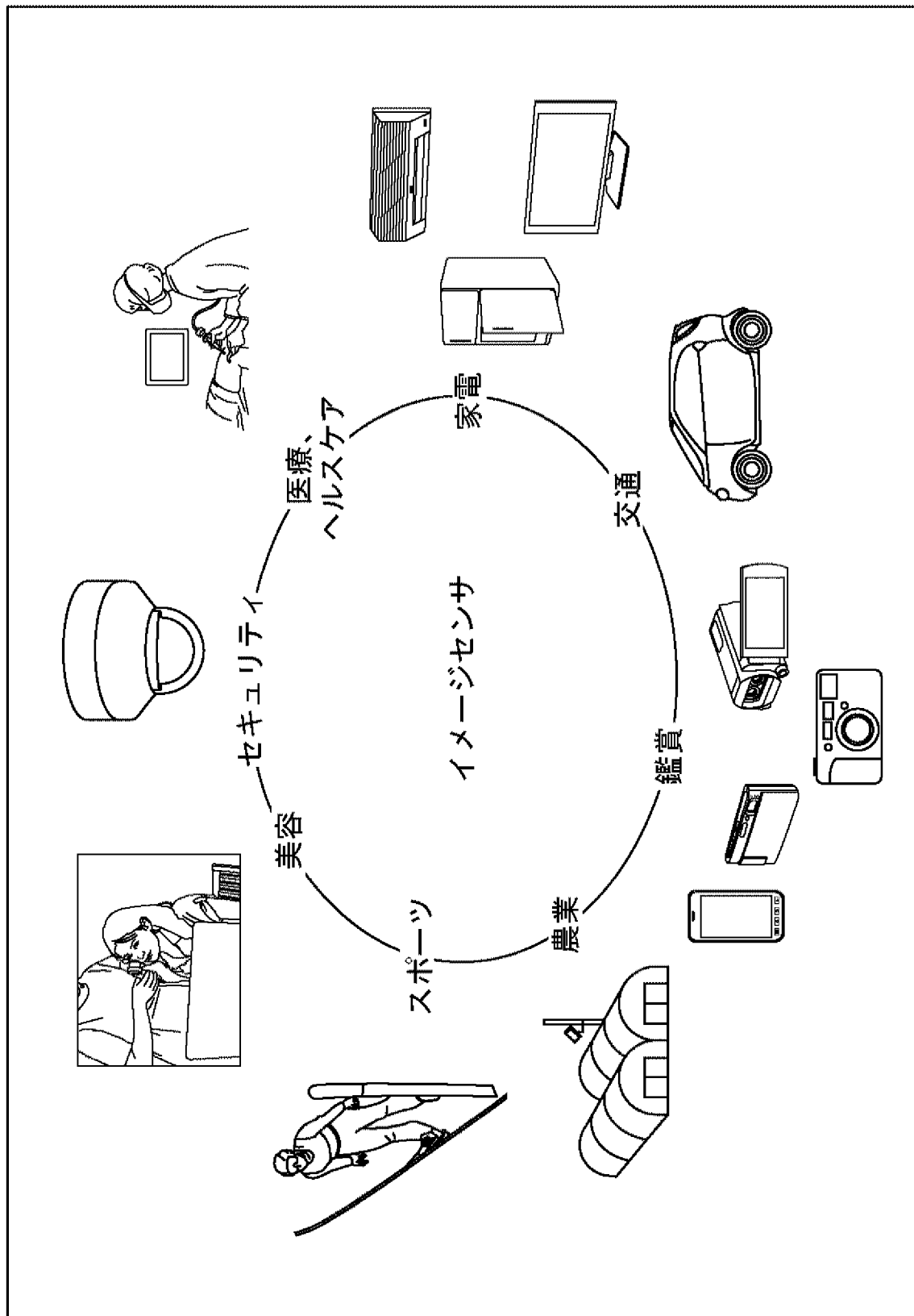
[図14]
FIG. 14



[図15]
FIG. 15



[図16]
FIG. 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/029495

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/378(2011.01)i, H03M1/56(2006.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378, H03M1/56, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-259407 A (Sony Corp.), 22 December 2011 (22.12.2011), & US 2011/0279723 A1	1-7
A	JP 2008-219243 A (Sony Corp.), 18 September 2008 (18.09.2008), & US 2008/0211951 A1	1-7
A	JP 2012-109658 A (Sony Corp.), 07 June 2012 (07.06.2012), & US 2012/0119063 A1	1-7
A	JP 2009-290658 A (Sony Corp.), 10 December 2009 (10.12.2009), & US 2011/0062310 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 October 2017 (24.10.17)

Date of mailing of the international search report
07 November 2017 (07.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H03M1/56(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H03M1/56, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-259407 A（ソニー株式会社）2011.12.22, & US 2011/0279723 A1	1-7
A	JP 2008-219243 A（ソニー株式会社）2008.09.18, & US 2008/0211951 A1	1-7
A	JP 2012-109658 A（ソニー株式会社）2012.06.07, & US 2012/0119063 A1	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.10.2017

国際調査報告の発送日

07.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-290658 A (ソニー株式会社) 2009. 12. 10, & US 2011/0062310 A1	1-7