

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4083802号
(P4083802)

(45) 発行日 平成20年4月30日 (2008. 4. 30)

(24) 登録日 平成20年2月22日 (2008. 2. 22)

(51) Int. Cl.

F I

G O 1 T 1/36 (2006. 01)

G O 1 T 1/36 A

G O 1 T 1/17 (2006. 01)

G O 1 T 1/17 H

請求項の数 6 (全 33 頁)

| | | | |
|---------------|--------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願平9-509405 | (73) 特許権者 | ワーバートン, ウィリアム, ケイ. |
| (86) (22) 出願日 | 平成8年8月9日 (1996. 8. 9) | | アメリカ合衆国, カリフォルニア 940 |
| (65) 公表番号 | 特表平11-510900 | | 25, メンロパーク, ミルズ ストリート |
| (43) 公表日 | 平成11年9月21日 (1999. 9. 21) | | 1300 |
| (86) 国際出願番号 | PCT/US1996/013082 | (74) 代理人 | 弁理士 石田 敬 |
| (87) 国際公開番号 | W01997/007591 | (74) 代理人 | 弁理士 下道 晶久 |
| (87) 国際公開日 | 平成9年2月27日 (1997. 2. 27) | (74) 代理人 | 弁理士 西山 雅也 |
| 審査請求日 | 平成15年8月11日 (2003. 8. 11) | (72) 発明者 | ゾウ, カール |
| (31) 優先権主張番号 | 60/002, 266 | | アメリカ合衆国, カリフォルニア 945 |
| (32) 優先日 | 平成7年8月14日 (1995. 8. 14) | | 55, フレモント, タペロ ストリート |
| (33) 優先権主張国 | 米国 (US) | | 34224 |
| (31) 優先権主張番号 | 08/695, 062 | | |
| (32) 優先日 | 平成8年8月2日 (1996. 8. 2) | | |
| (33) 優先権主張国 | 米国 (US) | | |

最終頁に続く

(54) 【発明の名称】 デジタルベースの高速X線スペクトロメータについての方法

(57) 【特許請求の範囲】

【請求項 1】

ステップ状パルスを含む電気信号を分析する高速でデジタルベースの方法であって、平均レートで前記電気信号が到着し、前記ステップ状パルスの少なくともいくつかの各振幅を推定する方法において、

前記平均レートより大きいサンプリング周波数で動作するアナログデジタル変換器 (ADC) で前記電気信号をデジタル化し、デジタル化された入力信号を生成するステップと、周波数 S あるいはその倍数のクロックで動作するデジタルの組合せ論理回路を提供するステップと、

前記組合せ論理回路に組み合わされるプログラマブル・デジタル計算素子 (DSP) を提供するステップと、

前記組合せ論理回路を使って、デジタル整形フィルタに前記デジタル化された入力信号を入力するステップと、

前記組合せ論理回路を使って、前記デジタル化された入力信号における前記パルス信号の存在を検出するステップと、

前記組合せ論理回路を使って、前記デジタル整形フィルタの出力から前記パルス信号の各振幅の推定値を引き出すステップと、

前記組合せ論理回路から前記 DSP へ前記推定値を転送するステップと、

前記 DSP を使って、前記推定値を修正するステップとを備える方法。

【請求項 2】

10

20

請求項 1 の方法であって、前記 D S P を使って実行され、前記推定値を、エネルギー範囲の配列のうちいずれか 1 つのエネルギー範囲に割り振ることで、前記修正されたパルスの前記振幅のスペクトラムを作るステップをさらに備える方法。

【請求項 3】

請求項 1 の方法であって、アナログ信号処理回路によって実行される、前記 A D C に入力される前までのアナログ電気信号をアナログ信号処理するステップをさらに備える方法。

【請求項 4】

請求項 1 の方法であって、前記デジタル化された入力信号を生成するステップの前に実行されるステップであって、前記入力信号のダイナミックレンジよりも小さいダイナミックレンジを有する入力信号を生成するために選択されたパラメータのセットに従って前記入力信号を調整するステップをさらに有する方法。

10

【請求項 5】

請求項 4 の方法であって、

各パラメータの前記セットを前記 D S P に伝えるステップをさらに備え、

前記推定値を修正するステップにおいて前記 D S P が前記パラメータのセットの値を使用する方法。

【請求項 6】

請求項 4 の方法であって、

前記調整された入力信号が前記 A D C の入力範囲を越えるかどうかを検出するステップを備え、

20

もし前記調整された入力信号が前記 A D C の入力範囲を越えるならば、前記 D S P の動作に割り込みをかけるステップと、前記入力信号が前記 A D C の入力範囲へ戻るように前記パラメータのセットを調節するように前記 D S P に信号を送るステップと、のうち少なくとも 1 つを実行する方法。

【発明の詳細な説明】

政府の権利

合衆国政府はエネルギー省から与えられた契約 No. DE-FG03-92ER81311 に準ずる本発明について権利を有する。

発明の背景

本発明は一般的には、吸収された放射能に応答する検出システムで生成されたパルスをデジタル的に処理するシステム、特に、低コスト、高分解能、高レートな X 線や γ 線のためのスペクトロメータでそのようなパルス进行处理することに関する。

30

特に、シンクロトロン放射能研究では、低コスト、高速度の X 線スペクトロメータのアレイが必要である。データ取得を最大限に利用するために、そのようなスペクトロメータは、重ね合せ拒絶 (pileup rejection) を持つ良好なエネルギー分解能、高カウント・レート能力を持ち、コストが十分低いので 30 あるいはそれ以上の検出器のアレイが预期されることができる。全多チャンネル分析 (full multichannel analysis) (MCA) 能力はかなり適用の範囲を広くするであろう。全てのスペクトロメータの機能の完全なコンピュータ制御はまた、別のやり方による検出アレイのセットアップならびに構成を行うとアレイの大きさが大きくなるにつれてかなりやっかいになるので、非常に重要である。スペクトロメータの物理的な大きさもまたコンパクトになって好ましい。

40

現在のエレクトロニクスによると多チャンネル分析を装備しない方法では検出器 1 台当たりでも約 6000 ドルのコストがかかるとともに、13 要素検出器 (13 element detector) で格子棚全てを満たしてしまうので、所期の目的は達成できない。それゆえ、30 要素検出器を取り付けるのは非現実的となり、さらに 100 要素となると基本的には不可能である。多くの利用に対し、低価格 MCA は十分に速くはなく一方高速の MCA は高価なので、多重チャンネル分析は、検出器アレイと共にあまり利用されない。重ね合せ検査 (pileup inspection) は散発的に実行され、しかし、だいたいは 8 keV 以上のエネルギーに対してのみ効果的である。少ないモジュールはスペクトロメータの機能の部分的なコンピュータ制御は可能とするが、しかしだいたいはコンピュータインターフェイスなしの

50

モジュールの約2倍のコストがかかる。単一のスペクトロメータのチャンネルを調整するのにはほんの数分必要であるが、この取組みは要素の数だけ増倍され、10要素あるいはそれ以上のアレイではかなりの負担になる。

これらシンクロトロン用途、そして他の多くにとってもまた、高カウント・レートでかつ良好なエネルギー分解能をもって完全エネルギー分析が可能な、低価格、小容量の分光測定装置を備えて、コンピュータシステムとインターフェイスすることがさらに可能となる。必要なチューニング操作を、適当なプログラムによって、自動的に行うことができる点も有利であろう。

発明の概要

本発明は、検出器 - プリアンプシステムからのパルス信号を処理し、検出器に吸収された X 線又は γ 線のエネルギーを解析する方法及び装置を提供する。具体的な実施例では、それは、小型であって、低コストであって、高速に、重ね合わせ検査を実行し、コンピュータに容易に接続できるようにデジタルインターフェースを有する。きわめて一般的なプリアンプで効果的に動作することができる。

本発明は、検出器 - プリアンプ入力パルスを解析するデジタル信号処理技術を使用する。この方法では、低コストで高速のアナログ - デジタル変換器 (ADCs) 及びデジタル信号プロセッサ (DSPs) を使用して、所望の性能基準 (performance criteria) に合致するようにする。本発明は、エネルギー分解能を複製し、従来技術のアナログスペクトロメータ (分光器) の重ね合わせ拒絶 (pileup rejection) 性能を凌駕し、以前は SCA システムだけの特徴であった非常に高いカウント・レートでの完全な出力スペクトラを生成する。デジタル処理は、商用のアナログ回路に比べて、全体のコストと物理的な容量がそれぞれ 4 及び 10 のファクタで低減されることを可能にする。すべての分光 (spectrometry) チューニング機能は、デジタル的に実現され、外部のコンピュータ制御の下で自動的に取り扱われる。

意図した応用では、低コストでの高いデータスループットは最適なエネルギー分解能よりも更に重要である。このような目標を達成するため、本発明はデジタルパルス処理を、2つのステージ (stage) で実行する。第1のステージは、“ハードワイヤード” (hardwired) デジタル複合論理を使用して、時間不変フィルタリングを実現し、第2のステージは、プログラマブル DSP を使用して、時間依存のパラメータに基づいて第1のステージの出力を調整して補正する。この処理の分割が、本発明の成功にとっての限界点である。

具体的な実施例では、ハードワイヤード論理ステージは、従来の適応形フィルタリング (adaptive filtering)、尖頭状重み付け (cusp-like weighting)、又はデコンボリューション (deconvolution) 手法を回避する。このような手法は、乗算や重み付け機能のためのルックアップテーブルや時間変動処理 (time variant processing) 及びプロセス間 (interprocess) 同期の双方のためのデータセットのバッファリングなどを、含む複雑なデータ演算を必要とする。その代わりに、本発明は、加算と減算だけを必要とするアルゴリズムを使用して、低速と高速の両方のチャンネルで、簡単な整形 (shaping) フィルタ (台形が好ましい) だけを使用する。従来技術で普通に行われているように、高速チャンネルの出力は重ね合わせ検査と低速のピーク獲得 (capture) に使用され、低速チャンネルのフィルタリングは良好なエネルギーフィルタリングを実行するのに必要な雑音 (ノイズ) の低減を行う。例えば、Goulding と Landis の設計によるアナログスペクトロメータ (US 特許第 4,658,216 号) を参照のこと。すべてのパルスを同様に処理し、すべての複雑なデータ演算を除いて、第1のステージの設計を単純化することにより、それを単一媒体サイズのフィールド・プログラマブル・ゲート・アレイ (FPGA) で容易に実現でき、それでも処理は 500,000 回 / 秒 (cps) 以上である。比較をすれば、Mott et al. (US 特許第 5,349,193 号) に示された適応形デジタルフィルタリングスペクトロメータは、制御データフローに必要なステートマシンを実現するためだけに同様の大きさの FPGA を必要とする。

しかしながら、従来技術でより複雑な手法の開発が行われた理由が高性能の実現であったにもかかわらず、単純なフィルタだけを使用したのでは、既存のアナログ装置に比べて許容できる分光性能を実現できない。従って、本発明は、プログラマブル・コンピュータを

10

20

30

40

50

使用した第2の処理ステージを、対等な性能を実現するのに必要な時間変動補正 (correction) に適用する。これらの補正は、容易に数10MHzにもなるシステムのサンプリング速度では実行できず、10倍から100倍も遅い平均信号パルス・レート (rate) で、高価でないDSPを使用して相対的に複雑な補正を実現する。更に、全ての可能な補正を同時に行う必要はない。ハードウェアによる解決策に比べて、検出器 - プリアンプの組による補正だけが、システムのスタートアップ時に、DSPにダウンロードされる。具体的な実施例では、例えば、上記の500,000cpsのデータ・レートは、40\$のDSPチップだけで処理できる。

このように、本発明は、X線及びγ線スペクトロメータにおいてパルスをデジタル的に処理するようにこれまで工夫された、データの流に (data stream) おけるパルスの同定及び時間依存の補正と最適化とを伴った振幅の導出に必要なすべての演算がハードワイヤード論理を使用して実行される“ハードワイヤード”クラスと、これらの全ての演算がソフトウェア制御の下に実行される“コンピュータ解析”のクラスの解決策とは区別される。前者のクラスは、Koeman (US特許第3,872,287号)、Lakatos et al. (US特許第5,005,146号)、Georgiev et al. (IEEE Trans. Nucl. Sci. 41 (1994) 1116-1124)、Mott et al., Jordanov and Knoll (IEEE Trans. Nucl. Sci. 42 (1995) 683-685)、及びFarrow et al. (Rev. Sci. Instr. 66 (1995) 2307-2309) の装置を含む。Georgiev et al. とMott et al., Jordanov and Knollの装置の商用化は、Target, Inc., Princeton Gamma-tech, Inc., 及びAmptek, Inc.によってそれぞれ試みられている。後者のクラスの例は、Takahashi et al. (IEEE Trans. Nucl. Sci. 40 (1993) 626-629)、Al-Haddad et al. (IEEE Trans. Nucl. Sci. 41 (1994) 1765-1769) によって報告されている。後者のクラスは現在のところ商用化されておらず、その原因は有用なデータ・レートの処理に十分な速さのプロセッサが非常に高コストであるからだと思われる。本発明は、このように新しい“ハイブリッド”クラスを定義し、デジタルフィルタリングを、ハードワイヤードのプリプロセッサ (前処理プロセッサ) とプログラムされた信号補正器との間で分配する。分光フィルタリング処理の第2のステージにおける、DSPの補正的な使用は、検出器に見られる光子・エネルギーのスペクトルの生成に使用されるMCAステップと混同しないようにする必要がある。フィルタされた (filtered) パルス振幅のソーティング (sorting) とビニング (binning) は、また、専用のデジタルコンピュータによって共通に処理されるが、これらの機能は概念的にはフィルタリング処理の一部ではない。従って、従来技術の多くのシステムがデジタル・フィルタリング・ステージに続いてMCAを行うDSPを有する類似の物理的な構成を有していても、本発明におけるDSPの革新的な使用は、上記及び以下に説明されるように、まったく異なるものである。

具体的な実施例では、単一のDSPが、発明性あるフィルタリング機能、MCA機能、アナログ調整フロントエンド (analog conditioning front end) の制御、及びシステム制御コンピュータに対するデータ入出力の取扱いの4つの論理的に分離した機能を実現するのに実際に使用される。

この具体例では、本発明は、入力データ・ストリームからランプ状 (ramp-like) 成分を除去して、システムのADCに必要な精度のビット数を低減するために、アナログ信号調整 (ASC: Analog Signal Conditioning) フロントエンドと共に使用される。このASCの入力制御パラメータは、DSPによってデジタル的にセットされ、調整した信号がADCの入力範囲 (input range) 内に保持されるように調整される。デジタル化後、パルス・ストリームは上記のハードワイヤード論理ユニットで処理され、それはパルスを検出し、三角フィルタリングを行い、重ね合わせ検査を実行する。更に、良好なピークとベースライン (baseline) の値が獲得され、更なる処理のためにDSPに送られる。DSPは、ピーク値を正確なエネルギー値に変換する演算と補正を行い、その結果を、MCAスペクトラを生成するように、箱に入れる (bin)。ASCの動作はハードワイヤード・フィルタリング方法に歪を生じるが、DSPは、ASCの制御パラメータとフィルタされていない信号値の両方を適当に使用して、適当な補正を行える。ピーク間のベースライン値を獲得することにより、DSPは各種の原因で生じるシステム的な変動を少なくするように、ピー

10

20

30

40

50

クの高さを補正できる。

本発明においては、ハードワイヤードデジタル処理ステージは、それが「フィルタリング・ピーク検出・重ね合わせ検査」 Filtering, Peak detection, and Pileup Inspection を実現するため、F i P P Iと呼ぶことにする。F i P P I処理は各データ・サンプルを処理するが、入力データ・ストリームにおけるX線パルスの部分的な(local)振幅を検出して正確に獲得するために必要な、フィルタリングと検査機能との少数の組だけを実行する。正確なX線エネルギー値を生成するには、これらの獲得ピーク振幅を処理するのに、より複雑なD S P演算が必要であるが、実際の事象を検出するときに行うだけでよい。この分割は、必要な高価な高速論理の量と必要なD S Pの速度(すなわちコスト)の両方を最小にするので、有利である。その結果、各解決策を単独で使用するのに比べて、より

10

1つ又は他の具体例にて現われるF i P P I機能は、デシメータ(decimator)、低速台形フィルタ(slow trapezoidal filter)、高速台形フィルタ(fast trapezoidal filter)、ピーク検出器(peak detector)、重ね合わせ検査器(pileup checker)、出力バッファ、及び入力カウント・レート(input count rate(ICR))カウンタを備える。F i P P I演算は、スペクトロメータシステムが動作を開始する前に、F i P P Iにロードされるいくつかのデジタルパラメータによって制御される。

Nによる除算機能は、A D Cからの入力をN値の連続したブロックに分解し、入力データ・ストリームの周波数の $1/N$ で各ブロックの平均値を出力する。調整可能なパラメータNは、2の累乗であり、1、2、4、8などを取り得る。デシメータの第1の機能は、F i P P I低速フィルタにおける長いフィルタリング時間を必要とする先入れ・先出し(FI

20

FO)メモリの量を低減することである。低速と高速の両方のフィルタは対称な台形で、そのピーク時間(peaking times) t_p と上辺の長さ t_g は外部からロードされるパラメータである。台形のピーク値は検出されたX線のエネルギーの測定値を構成する。これらの機能は、2つの遅延オフセット差の間の差の移動平均によって形成されるものでありF I F Oの機能を使用して実現される。高速フィルタは、低速フィルタよりはるかに短く、通常、クロック速度の速度で進行する。低速フィルタは、クロック速度の $1/N$ でデシメータ出力と共に働き、32ワードだけの深さ(deep)のF I F Oを使用して、数 μs 以上のピーク時間を有する。

ピーク検出回路は、信号パルスに対する高速フィルタの出力を監視して、あるしきい値レベルTを越えたM以上連続した値を探し、そのような値の組(セット)を見つけた時に、そのセット内の最大信号値の到着時間を獲得する。この時間が、以後関係する信号パルス到着時間として定義される。外部からロードされたパラメータTとMは、ノイズによるトリガに対して適当な不感性を維持しながら、低い信号レベルに対する感度を最適化するように調整される。

30

重ね合わせ検査器は、低速フィルタ台形が上辺の中央でサンプルされることを保証して、このサンプリングが良好なピーク(good peak)に対してだけ起きることを保証する。許容できる時間間隔で前者と後者を分離するパルスが、良好なピークになる。

重ね合わせ検査は、いくつかのテストからなる。これらのうちの2つは、高速フィルタ出力の各ピークを分離するのと同様に、分解するには接近しすぎている「高速の重ね合わせ」パルス用のものである。時間dで分離された重ね合わせられた高速パルスの組は、高速フィルタの単一パルス出力の期間をDからD+dに伸ばすので、第1の高速重ね合わせテストは、しきい値Tにおける高速パルス幅を、Dより若干長い値にセットされたパラメータWと比較する。

40

第1の高速重ね合わせテストは、しきい値Tにおける高速のピークの幅をテスト値と比較するが、第2の高速重ね合わせテストは、その半値幅を、理想的な高速パルスの半値幅より若干大きくセットしたテスト値と比較する。このテストは、パルスの振幅には無関係であり、実現するのはより複雑であるが、大きくしきい値を越えることはなく、従って固定の振幅しきい値以上の期間が振幅に大きく依存する非常に低い振幅の高速パルスに対して、精度を向上させることができる。

50

低速のチャンネルにおける重ね合わせは、高速パルスが検出される毎にリセットされるカウンタを使用して検査される。もしこのカウンタがリセットされることなく外部パラメータの値 S に到達すれば、低速フィルタの出力値はその瞬間に出力バッファに、F i P P I のフィルタされていない入力値として獲得される。もし、カウンタが第2の外部パラメータの値 N に到達し続けたら、このパルスは後縁が重ならない。もし記憶されたフラグ値が前縁も重ならないことを示していれば、ピーク値は良好で、D S P 割り込みフラグがその獲得を指示するように上昇する。 N の値は典型的には、 s_p に $s_g/2$ と小さな余裕期間とを加えたのに等しい。 S の値はタイミングオフセットを調整された N である。

良好な事象値が獲得された後、第2の試みが行われ N をカウントする。もし成功すれば、低速フィルタの出力はそのベースライン・レベルに戻り、正規化補正で使用するための D S P の要求で値が獲得される。

10

I C R カウンタは、重ね合っているかいないかにかかわらず、X線が検出された時には何時でも増加される。この値は、読み取られ、時間毎にゼロにされ、部分的な重ね合わせレートの統計が集められ、量的に正確な結果が必要な時に、正確なデッドタイムの補正を行うことを可能にする。

この同じ実施例では、D S P はその機能のすべてがソフトウェアで実現された商用のデジタル信号処理回路である。これらの機能は、A S C の制御、獲得した F i P P I のデータ値をピーク高さ評価の精度に最適化する補正、スペクトラを生成するマルチチャンネル解析の実行、及びシステムと外部との間のデータ及びパラメータの入力/出力 (I / O) 転送の4つの一般的なカテゴリに入る。I / P 回路とソフトウェアは当業者であれば容易に実現できる。

20

D S P は、A S C のランプ発生器 (ramp generator) におけるオフセットとスローブ D A C に初期値をまず設定することにより A S C を制御し、要求に応じてランプ発生器をリセットする。最初の D A C のセッティングは、動作を開始する前に評価される。スローブ D A C セッティング評価は、時間毎に更新され、検出器への X 線の到着レートにおける変動を補償する。もし A S C の出力が A D C の入力範囲外になれば、オフセット D A C はそれを記憶するように、調整される。

D S P は、F i P P I レジスタからの獲得ピーク値を、割り込み制御の下で検索しそのピーク値と I C R カウンタ値とを、フィルタされていない F i P P I 入力値と獲得した事象を特徴付けるすべての他の値と含むレジスタを読み取る。D S P の設計により、割り込み応答 (interrupt response) は、最小の低速フィルタピーク時間より小さく、従ってこの読み取りはシステム全体の応答にいかなる無効なデッドタイムをも与えない。良好なピーク値は、エネルギー値に変換され、そのような補正が許容できる精度を実現できるように行われる。次に、それが選択されたスペクトルエネルギー範囲内にあれば、M C A がその結果を集められたスペクトルに入れる。

30

更に、D S P は、良好なピーク値を読んだのと同様の方法で F i P P I ベースライン値を次々に獲得する。set baseline フラグがこの2つのケースを識別する。ベースライン値は、定義ではエネルギーがゼロの事象に対応し、F i P P I のゼロオフセットを確立するのに使用される。ベースライン統計も集めることができ、スペクトロメータのエネルギー分解能を監視 (モニタ) など診断の目的で利用できる。

40

もし補正されていなければ、A S C でのプリアンプの入力信号からのランプ波形 (ramp waveform) の減算がスペクトルの歪を生じる。D S P が A S C のランプ発生器を制御するので、それは元の信号の振幅を演算でき、適当な補正を行うアルゴリズムが実現できる。D S P は、これらの補正の後平均のベースライン値を監視し、それがゼロでなければこの値を良好なピークエネルギーから減算して、例えば検出器漏れ電流から生じるいかなる残留誤差も補償する。

本発明の特質及び利点は、明細書の後述の部分と図面を参照することにより、更に理解できる。

図面の説明

図1 A は、本発明にパルスを供給する典型的な検出器 - プリアンプの回路の概略である。

50

図 1 B は、本検出器で単一 X 線の吸収の結果として生ずる典型的な検出器 - プリアンプの出力信号の図である。

図 1 C は、多重の X 線のコースに亘る連続的な放電検出器 - プリアンプからの典型的な出力を示す。

図 1 D は、多重の X 線のコースに亘る周期的なリセット検出器 - プリアンプからの典型的な出力を示す。

図 1 E は、A S C が信号のリセット - ランプ部分を取り除いた後の 3 つの共通 X 線パルス到着パターンを示す。

図 2 は、本発明のおもな部分と他の装置との本発明の接続を示すブロック図である。

図 3 は、アナログ信号調整 (A S C) と図 2 の A から D のハードウェア部のブロック図である。

10

図 4 は、図 3 のそれぞれのブロックの典型的な実施例の回路の概略である。

図 5 は、図 2 のハードワイヤードデジタル信号プロセッサのハードウェアブロックのブロック図である。

図 6 A は、図 5 のデシメータハードウェアブロックの典型的な実施例の回路の概略である。

図 6 B は、図 6 A の回路の働きを図解したタイミングダイヤグラムである。

図 7 A は、図 5 の低速フィルタハードウェアブロックの典型的な実施例の回路の概略である。

図 7 B は、図 7 A の回路の働きを図解したタイミングダイヤグラムである。

20

図 8 A は、図 6 A の F I F O 1 0 ハードウェアブロックの典型的な実施例の回路の概略である。

図 8 B は、図 8 A の回路の働きを図解したタイミングダイヤグラムである。

図 9 A から 9 G は、図 5 の高速と低速のフィルタによって出力される対応したパルス間の関係を表示し、図 5 のピーク検出器と重ね合せ検査器ブロックの機能を図解した一連のタイミングダイヤグラムである。

図 1 0 A は、図 5 のピーク検出器のハードウェアブロックの典型的な実施例の回路の概略である。

図 1 0 B は、図 1 0 A の回路の働きを図解したタイミングダイヤグラムである。

図 1 1 A は、図 5 の重ね合せ検査器のハードウェアブロックの典型的な実施例の回路の概略である。

30

図 1 1 B は、図 1 1 A の回路の働きを図解したタイミングダイヤグラムである。

図 1 2 A は、図 5 の入力カウント・レート (I C R) カウンタのハードウェアブロックの典型的な実施例の回路の概略である。

図 1 2 B は、図 1 2 A の回路の働きを図解したタイミングダイヤグラムである。

図 1 3 は、図 5 のライブタイムカウンタの典型的な実施例の回路の概略である。

図 1 4 A は、半分の高さの速いピーク幅を計る重ね合せ検査器の典型的な実施例の回路の概略である。

図 1 4 B は、図 1 4 A の回路の働きを図解したタイミングダイヤグラムである。

図 1 5 は、D S P 制御プログラムの主な特徴を示したフローダイアグラムである。

40

図 1 6 は、D S P 制御プログラムのデータ取得タスクの特徴のフローダイアグラムである。そして、

図 1 7 A から 1 7 D は、X 線の到着レートにおける時間変動の影響を示す A S C の発明の具体的な実施例の出力のオシロスコープの結果である。

図 1 8 は、A S C の入力範囲内で A S C の出力を保つのに使われる制御手順のブロック図である。

図 1 9 A から 1 9 B は、プリアンプの 2 つのタイプのパルス高補正期間の必要を示している略図である。

図 2 0 は、連続放電型プリアンプのためのパルス高補正期間を導き出すのに使われる期間を定義する略図である。

50

図 2 1 A は、図 4 の低速フィルタのハードウェアブロックの別の実施例の回路の概略である。

図 2 1 B は、図 2 1 A の回路の働きを図解したタイミングダイヤグラムである。そして、図 2 2 はアナログフィルタリングを使った別の低速フィルタの実施例を示す。

具体的な実施例の説明

1 : システムの概観

1 . 1 . プリアンプの入力信号

具体的な実施例の本記述は、われわれが処理する、検出された X 線に対応した、電気パルスについての簡単な論議によって明らかにされるであろう。図 1A は、半導体検出ダイオード 10、電圧供給源 12、フィードバックキャパシタ C_f 15 をつけた充電積分プリアンプ 13、及びフィードバック要素 17 を備える一般的な X 線検出器 / プリアンプ回路を示す。ダイオード 10 に吸収されたエネルギー E_x の X 線は、 $E_x /$ に等しい電荷 Q_x を放つ。ここで、 Q_x は、図 1B に示すように、 C_f 15 で積分され、 Q_x / C_f あるいは $E_x / (/ C_f)$ と等しい出力電圧ステップ V_x を生成する。本発明は、 V_x の測定において、ノイズ を減らすことによって正確に E_x を見積もるためのデジタルフィルタリングを使用している。

機能的には、2 つの基本的なタイプのプリアンプがある。第 1 のタイプでは、抵抗によるのと同様に要素 17 はキャパシタ 15 を連続的に放電 (continuously discharges) する (“ C D ” の場合)。図 1C は、それぞれの間で指数関数形減衰をする一連の信号ステップ (図 1B により) を備える典型的な C D プリアンプ出力を示す。平均出力電圧 V_{avg} は、入力ダイオード電流 I_{in} に要素 17 の抵抗値をかけたものに等しい。

第 2 のプリアンプのタイプでは、要素 17 は、プリアンプ 13 の出力電圧が上位リセット電圧 V_U に達したときに周期的に閉じて、プリセット下位限界 V_L が達せられたとき再び開くスイッチである。これは、周期リセット (“ P R ”) (periodic reset) の場合の一般的な出力を示す図で、図 1D がその代表的な出力を示し、 V_U に応じて立ち上がる電圧ステップの勾配を備え、リセットがおきて電圧 V_L にもどり、処理が再び始まる。ランプの平均の傾き S_{avg} は I_{in} / C_f に等しい。平均の傾きについての典型的な信号変動は図 1E に示される。

1 . 2 . ダイナミックレンジとデジタル化レートの議論

A D C の選択は、良好な重ね合せ拒絶と良好なエネルギー分解能両方を持つデジタルスペクトロメーターを実現するうえで重大である。重ね合せに関して：少なくとも 20 メガサンプル / 秒 (M S A) は 200 ns のパルス重ね合せ検査時間を実現するために必要である。

エネルギー分解能に関して：経験的に、良好なエネルギー分解能を得るためには、ノイズレンジ (図 1B 参照) は A D C の最下位ビット V_L の約 4 倍でなければならない。これは A D C の前のアンプステージのゲイン (ボルト / ビット) をセットする。

$$4 \Delta V_L \leq \sigma$$

(1)

与えられた V_L に対して、A D C は 0 から V_{max} の範囲を全部カバーするのに十分なビット N_B を持たなければならない。

$$N_B = \log(V_{max}/\Delta V_L)/\log(2).$$

(2)

N_B の一般的な値は 14 である。

20 M S A で動作する 14 ビット A D C は存在するが、しかし我々が置換したいアナログエレクトロニクスのコストと比較して高価である。高速の 8 から 10 ビットの A D C は、しかし、デジタル通信におけるその広い用途のおかげで高価ではない。本発明では、我々はこれらのより安価な装置が使用できるようにプリアンプ信号のダイナミックレンジを十分減らす。14-15 ビットから 8-9 ビットへの減少はまた、より短い語は処理のためのエレクトロニクスを少なくし、所定のデータ・レートで処理をするためのパワーを少なくするという両方の点で有利である。

1 . 3 . 機能の構成

図2は本発明のデジタルスペクトロメータの基本的な構造を示す。従来の検出器 - プリアンプ20からの入力、図1Aにあるように、3つの機能ブロックを備えるデジタルスペクトロメータ22へ入力される。その3つの機能ブロックは、アナログ信号調整 (A S C) とアナログデジタル変換器 (A D C) のブロック23, ハードワイヤードデジタルフィルタとピーク検出器と重ね合せ検査器 (F i P P I) (a hardwired digital filter, peak detector and pileup inspector) のブロック25, 及び具体的な実施例においては、信号精練、多チャンネル信号分析, A S C 制御, 及び入出力 (I / O) 機能のためのデジタル信号処理装置 (D S P) であるプログラマブル・デジタル・コンピュータのブロック27である。デジタルスペクトロメータ22は汎用制御コンピュータとインターフェイス28に接続されており、それからパラメータ値と制御信号を受け取り、集められたスペクトラをそれらへ送る。A S C 23の機能はデジタルスペクトロメータの各ブロック25, 27の動作には必要ないが、しかし我々の好適な実施例では設けられている。各ブロック25, 27の機能は、様々な回路を使って実現されるが、しかし我々の好適な実施例では以下に示された明細書によって実現されている。一般的用途の制御コンピュータとインターフェイス28は従来のものであり、様々な一般的な個人あるいは実験室のコンピュータとインターフェイスの基準のいずれも含む。D S P にコンピュータを接続する詳細は従来の当業者にとって公知である。

2 : A S C : アナログ信号処理とA D変換ブロック

2 . 1 . A S C の機能の概念

A S C 23は入力信号のダイナミックレンジを縮めることと、式1を満たすようにそのゲインを調整すること2つの主要な機能を持つ。ダイナミックレンジの縮小は、プリアンプの信号を2つの成分に分解することによって成し遂げられる。その2つの成分とは、広いダイナミックレンジの、“低周波数 信号部分 (L F F)”と、さらにもっと狭いダイナミックレンジの“高周波数 信号部分 (H F F)”であり、興味のある信号 (S O I : 図1Dを図1Eと比較) を搬送する。“低周波数”と“高周波数”の周期は記述的である。なぜなら、この用途では、L F Fの基本周波数はH F FのS O Iを搬送する周波数帯幅よりももっと小さいからである。重要な概念は、L F Fの信号部分の妥当な複製は比較的小さい個数のパラメータによって記述され、それはたやすく入力信号から生成、減算され得る。残留信号部はそしてS O Iを搬送するオリジナルのH F Fに密接に近く、非常に縮小されたダイナミックレンジを持ち、非常に縮小されたビット数のA D Cを使ってデジタル化することを可能にする。

D S P 27によるパラメータの制御の下では、A S C 23は従ってL F F複製を生成し、入力信号からそれを減算し、式1に合うように残留H F F複製 (remaining HFF replica) の振幅を調整する。A D Cビットを少なくする以外にも、この方法は3つの付加的な有利性を有する。第1に、D S P 27はA S Cの制御パラメータがわかり、それが収集しているエネルギースペクトラムを精製するのにそれらパラメータを使うことができる。第2に、H F F部分のX線パルスはA D Cの入力範囲にわたってほとんどランダムに (身震いされて) 降下することになるので、スペクトロメータ22の精度と線形性はA D Cの微分積分非線形性に対して比較的に鋭敏ではなく、どんな直流オフセット電圧に対しても完全に鋭敏でない。第3は、プリアンプの入力の異なった各タイプは単にパラメータの調節によって調整することができる。C Dプリアンプに対しては、L F Fは、図1Cに示されるように、単に値 V_{avg} にセットされる定数に過ぎない。P Rプリアンプに対しては、L F Fは図1Dに示すように、交互の傾き S_{avg} のランプとリセットを備える、のこぎり波の機能である。

2 . 2 . A S C のハイレベルに関する説明

図3はA S Cと変換ブロック23の機能ブロック図である。アンプ30は、検出器 - プリアンプからの入力信号と、プリアンプの信号を回路の他の部分で約ゼロに中心を置くようにするデジタルアナログ変換器 (D A C) 32のバイアスD A Cによってセットされる電圧レベルとの差を増幅する。減算器33は、アンプ30の出力からL F F生成器35の出力を減算する。L F F生成器35の出力波形は、オフセットD A C 37、及びスロープD A C 38及びD S P 27からのリセット線40からの入力によって制御される。減算器33の出力は、可変ゲインが

10

20

30

40

50

ゲインDAC43で制御されるアンプ42に送られる。コンパレータ44は信号を検査し、もしそれがADCの入力限界を越えたなら割り込み線45でDSP27に警報を発する。ローパスフィルタ47は、それがADC48に達する前に、ADCのナイキスト限界を越えるどんな信号も取り除く。

ADCの出力は、デジタルADCの出力バス50を経由して直接的にFIPPIブロック25に接続され、バスバッファ52を経由して間接的にDSPブロック27に接続されている。バッファ52は双方向DSPデータバス53、DSPアドレス線54、リセット線40に接続されており、DSP27が各DAC32, 37, 38, 43へデジタル入力値をロードするようにし、ADC出力バス50上の所望のADC出力データ・ストリームをサンプルする。このようにDSP27は直接ASC23の全機能を制御し、また直接ADC出力50においてその効果を測定することもできる。適切な制御ソフトウェアによって、これはDSP27がまずASC23に好適な動作量を最初にセットし、そしてLFF生成器35の動作もまた動的に制御することを可能にする。各インターフェイスバッファを使用することの詳細は、デジタルエレクトロニクスの従来技術に関する当業者にとっては公知であり、さらには記述しない。

2.3. ASCブロックの出力信号

DSP27の制御のもとでは、LFF生成器35は直流オフセットとともにリセットするランプ関数(ramp function)を生成する。CRプリアンプに対しては値 V_{avg} の直流オフセットのみが使われる(図1C参照)。PRプリアンプに対しては、直流オフセットは値VLにセットされ、ランプの傾き(ramp's slope)は平均の傾き S_{avg} と一致するように調整される(図1D参照)。ランプ減算(ramp's subtraction)、ゲイン調整、フィルタリングした後の、3つのPR出力信号の各例は図1Eに示される。準周期的なランプ構成を取り除いた後、個別X線パルスはそれらの到着時に変動を伴う垂直なステップとして現れる。トレースAは到着した場合の平均レートを示す。各トレースB, Cはその平均からの一時的な変動を示す。ランプ減算は各ステップ間の負の傾きを残すが、それらの振幅はこの手続きによって感知できるようには修正はされず、デジタルスペクトロメータによって復元される。

CRプリアンプに対しては、垂直の目盛りがADCの全体の入力範囲を満たすように調整されることを除いて、ASCの出力はだいたい図1Cのようになる。この場合、各X線パルス間の範囲は、プリアンプと同じ指数関数形減衰の傾きを持つ。

2.4. ASCの具体的な実施例

図4は、ASC20のアンプ30、減算器33、LFF生成器35、可変ゲインアンプ42の各ブロックの回路の概略である。本回路はアナログエレクトロニクスの当業者にとってはおそらく自明であり、少しの構造の説明のほかにそれ以上の論議は少しも必要としない。従来技術の当業者にとっては公知である回路の各詳細、例えば電力供給フィルタリングまたはオペアンプ補償は、示されていない。本実現は唯一ではなく、多くのほかの適切なアレンジは容易に工夫できる。

入力信号をASC回路の範囲で中心に持つていくことのほかに、アンプ30の主要な機能は、入力からASCを保護し、約3つのファクタによって入力を増幅することにより回路の他の部分のノイズの要求事項を低減する。したがって適当な周波数帯幅のとても低いノイズのオペアンプを使うことが実現されるべきである。

LFF生成器35はリセット可能な電流積分器であり、オフセット電圧 V_{off} を有しリセットに $5\mu s$ 以下の整定時間で低ノイズ、高精度な各ランプを生成するように設計されている。抵抗68はDAC37の電流を電圧 V_{off} に変換する。キャパシタ72はDAC38からの電流を、スイッチ75によってリセットされるまで積分する。抵抗77はFETオペアンプ65のスルーレイトが限界を越えないように保証する。オペアンプ78とスイッチ85は、LFF生成器35の出力の振幅と符号が入力と一致するようにする。DAC37は、一般に、LFF生成器35の出力とアンプ30からの信号がプリアンプのリセットの後すぐに一致するように調整される。

可変ゲインステージ42は、粗いゲインを精密なゲインのための電圧制御、可変ゲインオペアンプであるアナログ・デバイセス社製AD60392の100に固定された入力インピー

10

20

30

40

50

ダンスにするスイッチ88と抵抗90を備える。ノイズを最小限にするために、固定出力ノイズがオペアンプ92は約12dBの細かいゲイン調整に対してのみ使用される。

A S C 部20の残された各ブロック、コンパレータ44とローパスフィルタ47は、直列に接続されている。コンパレータは、図1Eを参照すると、変動によって、A S C の出力信号がA D C の入力範囲に位置するL L からU L の範囲を越える、どんな場合も検出することが求められる。

ローパスフィルタ47は、A S C の出力信号の周波数帯幅を、A D C 48のサンプリング周波数の半分であるナイキスト周波数 f_N 以下に制限する。なぜなら、より高周波数の全ノイズは、デジタル化された出力信号に“偽信号化”されて、余計にノイズを増やすからである。この具体的な実施例では、A D C は20MHz、すなわち f_N が10MHzで動作する。さまざまなフィルタ設計が使用できるにもかかわらず、4極のバターワースフィルタが具体的な実施例で使われる。なぜなら、それは周波数における速いロールオフと、最小のピーク時間を持ち、4つの受動部品だけを必要とするからである。ナイキスト判別法が満たされたときスペクトロメータエネルギー分解能はサンプリング・レートに独立であることを、我々は実験的に確認した。2,5,10,25MSAで動作し、各々1,2.5,5,12,5MHzの各ローパスフィルタを有する実施例は、集められたデータサンプル数が、2MSAにおける8から25MSAにおける100に変化するにもかかわらず、 $2\mu s$ のピーク時間をもつ三角フィルタリングに対してすべて同一のエネルギー分解能を作り出した。サンプリング・レートを増やしてエネルギー分解能の改善を報告した様々な著者はナイキスト判別法を満足させることに明らかに失敗している。従ってサンプリング・レートを選ぶことは、主として、良好パルスの組の分解能を実現するためにサンプリング・レートを上げることと、デジタル処理のコストを下げるようにサンプリング・レートを下げることとのトレードオフである。

3. F i P P I : フィルタ、ピーク検出、重ね合せ検査回路

3.1. F i P P I 設計の概念

発明の概要でも議論されているように、本発明のスペクトロメータは2ステージでデジタルフィルタリングを実行する。第1のステージは、F i P P I と称され、フィルタリング、ピーク検出、重ね合せ検査 (Filtering, Peak detection and Pileup Inspection) を行うために、組合せ論理を使う。フィルタリング回路を最小化し、処理速度を最大化するために、加算と減算以上の複雑な演算はこのステージでは行われない。速度を最大限に利用するために、すべての演算は、1クロック周期 (clock cycle) あたり1点で入力データを処理するようにパイプライン化される。すなわち、もし $O(n, j)$ がデータサンプル n に必要とされる j 番目の演算であるなら、そしてタイムステップ i とすると、同時に $O(n, 1)$, $O(n-1, 2)$, $O(n-2, 3)$ などを実行する。

この方法には重大な限界がある。なぜなら、補償調整はパルスの具体的な状態のもとでは行われることができず、加算あるいは減算のみを使うフィルタは正確ではないので我々の分光動作の目的を満たさない。それゆえ、発明の概要で言及したように、第2のフィルタリングステージでは、所望の精度を実現するのに必要な具体的な補正 (プリアンプの形式に基づいたり、小域的な各動作状態など) を行うようにD S P が使用される。

この方法は様々な理由で有利である。第1に、F i P P I はとても安くかつとても速くなり得る。例えば、好適な実施例では、20MSAのA D C と動作させても単一のF P G A で実現される。第2に、第2ステップでの機能は、A D C のサンプリング・レート (例えば、20MSAと比較して500,000cps) よりもずっと低いX線信号事象の平均到着レートでのみ実行される。必要とされる精度は典型的に簡単な各法則であるので、現在の技術で実施されているように、得られたピーク値だけにそれらを適用することは、データ・ストリーム自体に (プリコンディショニングやデコンボリューションを通して) 適用するより、より簡単かつ速くなる。同様の実施例では、20MIPのD S P のみが第2のステージの処理に必要とされる。

具体的な実施例でのF i P P I はそれゆえ、部分集合として三角フィルタリングを含む台形フィルタリングのみ備える。この選択は、実現されようとしている高カウント・レート・レジーム (high count rate regime) でのスペクトロメータのエネルギー分解能を下げな

い。なぜなら、Revista del Nuovo Cimento (1986) Vol.9(1), pp.1-146で発表された“Processing the Signals from Solid State Detectors in Elementary-Particle Physics”と題される論文でGattiとManfrediが示したように、三角フィルタリングは、実際には、連続した白色雑音が支配する短い整形時間レジームでは理想的な固定された整形の形式であるからである。より長い整形時間であっても、三角整形はなおもとても効果的である。核原子物理学の年間評論38(1988), pp.217-277で発表された“Low Noise Techniques in Detectors”と題された論文で、ラデカ(Radeka)は、最大限のエネルギー分解能に対してさえ、三角フィルタの分解能は理想的な尖頭フィルタよりも8%だけ悪いことを示した。

3.2. Fi P P Iの具体的な実施例、ハイレベルに関する考察

1つの具体的な実施例では、Fi P P I論理はフィールド・プログラマブル・ゲート・アレイ(FPGA)を使って実現される。これは小さなスペースでの高論理密度を可能にする。さらに、Fi P P I論理は動作の前にファイルからダウンロードされるので、新しい各状態を満足したり設計改良を具体化することに対しても、容易に修正されることができる。より安いコストあるいはより速い動作速度が所望される他の各実施例では、Fi P P Iは、用途特定集積回路(ASIC)あるいは他の論理回路で実現される。

具体的な実施例におけるFi P P I 25の微細構成は図5に示される。データ・ストリームはADC出力バス50に入り、低、高速信号両チャンネルに流れ込む。第1の低速チャンネル回路、デシメータ97は、プリセット・ファクタによって到来信号データ・レートを減らす。その出力は、デジタル的に台形フィルタリングするように備えられた低速フィルタ98によって処理される。低速フィルタ98の信号出力のピーク最大値は検出されたX線のエネルギーに一致し、出力バッファ100によって得られることができる。低速チャンネルの動作はDSP27からFi P P I 25にロードされる3つのパラメータ、デシメーション・ファクタ102と低速フィルタの長さ各ギャップ値103によって制御される。

高速信号チャンネルのもっとも重要な機能は、低速フィルタ98から適切な値を得るためにデータ入力ストリーム50とトリガー出力バッファ100を検査することである。第1の高速チャンネル回路は高速フィルタ105であり、それはまたデジタル的に台形フィルタリングを実現するが、しかし低速チャンネルにおけるよりもっと短い時定数である。ピーク検出器107は、少なくとも設定した連続する数のサンプルについて設定されたしきい値を超える各ピークについてその出力を検査し、そしてこれらのピークの到着時間の最大値を得る。これらの各到着時間は関連するX線事象到着時間を定義し、出力バッファ100へのトリガーのタイミングに使用される。ピーク検出器からの各出力パルスは、低速フィルタ98で最大値が一部重なり合う(重ね合せ)各事象を拒絶する重ね合せ検査器108によって検査される。重ね合せ検査器108が良好なピークを検査するごとに、第2のステージの処理に対してDSP27へ送る低速フィルタ98の出力値を獲得するために出力バッファ100を起動させる。各ピーク検出器107の出力パルスはまた入力カウンタ・レート(ICR)カウンタ110を進める。低速チャンネルにおけるのよう、高速チャンネルの動作はDSP27からロードされた各パラメータによって制御される。すなわち、高速フィルタの長さ各ギャップ112、ピーク検出器のしきい値と最小ピーク幅各試験値113と、重ね合せ検出器に必要な、ピーク相互の間隔、高速ピーク最大幅、タイミングオフセット値115である。

出力バッファ100が起動されるごとに、それはまた、ICRカウンタ110の値とどんな形式の低速フィルタの値が得られたのかを印すフラグの、2つの別の各値を得る。そのバッファはしたがってDSP27に4つの各値を出力する。すなわち、2つの得られた低速フィルタの各値PKVAL117, UFVAL118と、最後の出力からのX線PLOUT119の数と、PKVAL117はX線の振幅が規格化を目的とするベースラインの値かどうかを指示するBLFLG120のフラグである。

Fi P P Iの最終の回路は、デジタルスペクトロメータがデータを集めるのにかかる正確な時間であるTIME122を測定するライブタイムカウンタ121である。これは2つの理由で有用である。第1は、制御コンピュータ28によってソフトウェア制御の下でスタートしたデータ習得処理を正確に計測することは、別のやり方では難しいことである。第2は、多重検出器システムにおいては、各スペクトロメータが、そのカウント・レートを正確に

10

20

30

40

50

測定できるようにそれ自身のライブタイムを正確に測定できることは重要である。

3.3.F i P P I の具体的な実施例における分岐回路の動作

F i P P I の好適な実施例における分岐回路の実現と動作は、それら各々信号トレースを併せて図6から13に回路の概略によって示されている。これらの各回路と各軌跡は、デジタルエレクトロニクスの従来技術の当事者にとっては大部分は自明のことであろう。次の段落では、主にそれらの機能について述べ、明らかにされていないあらゆる設計の議論を示す。

3.3.1. デシメータ

図6Aは、4でデシメイトするハードワイヤードされた具体的な実施例のデシメータであって、しかも図6Bに示された各信号を代表的な信号とする、デシメータ97の回路の概略である。それはクロック分周器123とN値加算器125を備え、それは10ビット入力線A D C B U S 50からの4つの連続した値を加算し、10ビット線C S 147にその和を出力する。もしさらなる精度が所望されるならば、より多くのビットがC S に記憶される。同類の各技術を使えば、どんな任意のパラメータD _ F a c t e r 102によってデシメイトする回路は容易に構成される。

3.3.2. 低速フィルタモジュール

台形フィルタの機能は各時刻 { i } のときの各データ { d_i } のストリームの { T_i } として、次の式で与えられる。

$$T_i = - \sum_{k=i-2L-G+1}^{I-L-G} d_k + \sum_{k=i-L+1}^i d_k \quad (3)$$

ここでLとGは低速フィルタの間隔長L_sとギャップ間隔G_sで、パラメータ103として本モジュールに入れている。G_sがゼロのとき、三角フィルタの機能は得られる。両形式はアナログスペクトロメータの論文で広く議論されている。台形関数の振幅は、もしギャップG_sが十分に長いならば、電荷収集時間と独立にされることができ、したがって弾道欠損の現象が避けられる。しかし短い整形時間に対するノイズ比のその信号は、三角関数のものほどは良くない。本場合においては、選択はパラメータS _ L e n g t h と S _ G a p 103によって定められる。

極端なF P G Aの実体能力を消費する長い合計を避け、またゆっくり動作するために、式3は次のように計算し直され得る。

$$T_i = T_{i-1} + d_i - d_{i-L} - d_{i-L-G} + d_{i-2L-G} \quad (4)$$

部分和 (d_{i-L-G} - d_{i-2L-G}) はちょうど、タイムステップ L_s + G_s で以前に算出された部分和 (d_i - d_{i-L}) であるので、先入れ・先出し (F I F O) メモリを2つだけを使って、式4に基づきT_iを生成することができる。ここに1つのL_sビット深さによって、項 (d_i - d_{i-L}) を生成する値を保持し、また1つの (L_s + G_s) ビット深さによって式4を実現する値を保持する。

図7Aの回路の概略と図7Bの各波形は、10ビット入力について、式4に基づき、T_iの値を生成する低速フィルタモジュール98の実現について述べている。そのフィルタ内の全構成要素の幅は、デシメーションの各ビットについて1ビットだけ、拡張するであろう。デシメータ97からの入力CS [9:0] は、漏れ電流検出器の効果及び / またはA S C 23の動作を表わす一般的なパルスの前及び後の両方に、わずかな傾きを有する。

F I F O メモリ148と減算器150は、項 (d_i - d_{i-L}) を生成する。ここで、LはパラメータPA [4:0] 152によって設定される。F I F O メモリ158と減算器160は項 (d_i - d_{i-L}) - (d_{i-L-G} + d_{i-2L-G}) を生成する。ここで、L+GはパラメータPB [4:0] 162によって設定される。そしてアキュムレータ168は式4の各値T_iを生成し、ラインFS [11,0] 173に出力する。3クロック周期の各パイプラインディレイが生成される。アキュムレータ168で12ビットを使用することは、X線の狭い領域が予期され、ひとつのX線ステップはA D C 入力範囲の約5%であるようにA S C ゲインが最適に設定されることができX A S 機器に対する技術的なトレードオフである。より一般的な設計では、アキュムレータの増加するビット数は有利なことである。

したがって、 $C[9:0]F[11:0]$ のステップ関数は、立ち上がり、立ち下がり時間175, 177が両方とも“ピーク時間” TPK に等しくて L に等しい台形パルスになる。その上辺178は持続時間 TGP を持ち、その“ギャップ時間”は $PA152$ と $PB153$ の差 G に等しい。図7Bのトレース $FS[11:0]$ の黒い点は、もしそのピークが重ね合わされてなければ重ね合せ検査器はバッファ100に出力するために $FS[11:0]$ を得るような時間 t_m を示す。 $CS[9:0]$ がまた得られたときは、これはパイプラインディレイが占めるよりも3クロック周期早くなる。

出力 $FS[11:0]$ 173は信号 $CS[9:0]$ 147の傾きに比例するゼロでないベースラインを持つ。したがって、ピークの各振幅はベースラインに対して計られ、それはしたがってまた正確に決定される。また、 $CS[9:0]$ の傾きが時間で一定でないとき（直流プリアンプに関しては）、そのベースラインは検出された各X線パルスに対して部分的に測定されるべきである。

デシメータ97と低速フィルタ98の組み合わせは、32深さ（deep）だけの各 $FIFO$ と12ビットアキュムレータとを使った400サンプル（20MSA ADCについて $20\mu s$ ）までのピーク時間を許容する。だが一方で直接的に実現するには400深さの各 $FIFO$ と18ビットアキュムレータとが必要であろう。これがより少ない $FPGA$ ゲートを必要とするだけでなく、より短いワードの長さが、別の方式よりもより安い程度（grade）の $FPGA$ を使っても回路が十分早く動くようにする。

3.3.3. $FIFO$ の具体的な実現例

図8Aと8B8、 L_s が3に等しいXilinx4000シリーズ $FPGA$ を使っている回路と $FIFO$ 148の具体的な実現例の波形を示す。設計が別の各 $FIFO$ は同様に実現できる。10個の32ビットの深さの各メモリ（データビットあたり1）は周期アドレスカウンタ185によって周期的にアドレスされる。周期アドレスカウンタ185の出力 QC はクロック128と位相がずれている。そのXilinxメモリは、それゆえ、 QC によって最初にアドレスされたとき、バッファ188によって得られる蓄積されたデータ $O[9,0]$ をディスプレイする。そしてこれらの各値は、クロックが正に進むに連れて、 $C147$ の新しい各値によって上書きされる。したがって読み出しと書き込みは、 $PA152$ カウントによって入力から遅れた出力値とともに、1クロック周期で達成される。

3.3.4. 高速フィルタ

高速フィルタ105は低速フィルタがそれ自身の各制御パラメータ F_Length と F_Gap 112をもち、ADC48の10ビット出力50で直接動作すること以外は、低速フィルタと厳密に同じ方法で実現される。そのピーク時間とギャップ長は式4から、“fast”を意味する添え字を f として、 L_f, G_f として書かれる。

3.3.5. 重ね合せ検査

3.3.5.1 重ね合せの意味

重ね合せ検査を理解するためには、連続する各入力パルス間の時間間隔の関数として、低速フィルタ98と高速フィルタ105の各パルス出力がどのように変化するか理解すべきである。図9A~9Gがこの情報を表わし、これらの図には、2つの入力パルス間の時間が減少するときの、高速フィルタ192と低速フィルタ193の各出力トレースの重畳が示されている。もし2つのピークが適度に分離されている（図9A~9C）のなら、低速フィルタのピークはX線のエネルギーの測定を正確に維持する。より短い時間では、これらのピークは次第に変わり、拒絶（reject）されるべきである。最小許容分離は第1のピークがサンプルされてから1クロック周期後に第2のパルスが始まる（パイプラインディレイに対して補正された）ときである。さもなければ2つの各パルスは重ね合せされる。各パルスが連続して減少している間の間隔で、高速の各パルスはまた結果的に重ね合わさり、なおも重ね合せする（図9Eから9F）。

3.3.5.2. ピーク検出

第1の議論はピーク検出器107の関数であるパルスを検出することである。好適な実現は、タイミングジッタ（timing jitter）を持ちノイズフロアに近い振幅を持つパルスに対してはあまり良好に動作しない、従来の分別器（discriminators）を越えて改良された動作

10

20

30

40

50

を提供する。ここで、図10Aから10Bの回路とトレースで示されているように、しきい値195はパラメータP C 207で設定される。しかし、信号値F F 205は、少なくとも連続して最低の数min__width113 (パラメータP D 208で設定される) の回数がしきい値を越えるときにピークとみなされるだけである。このような状態の下で信号R E P 223とS F P 225は生成される。R F PはF Fがしきい値を越え続けている限りは続く。しきい値195とmin__width113両方の値は、ノイズフロアをはるかに越えて上昇はしないソフトX線パルスとともに動作するとき、ノイズ耐性が増えるように調節され得る。

3.3.5.3. 到着時間の確定

第2の議論は、図11Aから11Bの回路とトレースで示されるように、重ね合せ検査器108のブロック240の関数であるパルス到着時間を決定することである。ここで、高速のピークのロケーションは、しきい値195とそれが交差することによってではなく、その最大値の時間T 3 196によって確定される。R F P 223がハイのときはいつも、このブロックは、F F 173をバッファ250で前もって得られた最大値と比較し、新しい最大値が見つけれらるごとにF T O P 255をハイにセットする。到着時間のロケーションT S 194は本質的に独立した振幅であり、大いにタイムジッタ (tims jitter) を減らして低速チャンネルのピーク振幅決定の歪みに依存するどんなエネルギーも取り除く。

3.3.5.4 低速ピーク振幅の獲得

一度ピークが検査されると、F i P P Iは、それが重ね合せと無関係かどうかを決定しなければならず、もしそうならば、低速チャンネルでその振幅を得る。実際の獲得は出力バッファ100によって実行され、それは図11Aにおいてより詳細に示されており、信号P S A M 298によって起動される。低速ピーク振幅の獲得のタイミングは、図9Aに示されるように、概念的には明確である。所望の獲得時間T 4 198は台形の上辺の中点にある。高速低速両チャンネルのデジタル処理動作は数が固定されているので、T 4 198は一定時間T S 194によって高速ピーク到着時間T 3 から分離され、それはD__Facter 102, S__LengthとS__Gap 103, F__LengthとF__Gap 112のようなF i P P I制御パラメータにのみに依存する。それゆえ、高速ピーク検査に続いて、カウンタは時間T S 194を測定することができ、転送された低速フィルタ98の出力をバッファ100へ転送する。

3.3.5.5. 低速チャンネルの重ね合せ検査

F i P P Iにデジタル的で実現された重ね合せ検査は、概念的にアナログ分光回路で一般に見られることと同じである。すなわち、連続した各パルスは、低速チャンネルのピーク時間の数倍だけ分離されていなければならないことを、必要とする。アナログ三角フィルタリングの場合では、1.5から2.5の倍数が一般に使われる。図9Aが示すように、本当の台形フィルタリングでは、連続した各パルスは、単一の低速フィルタのピーク時間に上辺の時間の半分を足したものによってのみ分離される必要がある。アナログ“三角”パルスがピークが減衰した側で1ピーク時間を越えて十分に拡大するテールを持っているという事実は、それらの拡大した検査時間の原因である。デジタル的に生成した各パルスは、図7Bに示されるように、きれいに消滅し、より短い重ね合せ検査時間が使われるようになる。2あるいはそれ以上のカウント・レートの可能性が増えるという結果になるということは証明されている。

立ち下がり重ね合せ検査は、図11Bで示されるトレースで図11Aで示される回路のブロック243によって実行され、信号F T O P 255の隣接した各終端の間の時間間隔を測定する。高速ピーク最大値、そしてその到着時間に印をつける降下するF T O P信号は、Interval__1カウンタ260をスタートさせ、重ね合せ検査期間のパラメータP F 268と共にロードされる。もしカウンタが首尾よくオーバーフローしF F 1 6 265に蓄積された値がパルスが立ち上がり重ね合せエッジを持っていないことを表わすならば、信号は低速チャンネルのピークが得られる時間T S 194をカウントするのを終える第2のインターバルカウンタブロック245について発せられる。Interval__2カウンタは、低速フィルタのパイプラインディレイを適合させる必要があり、10進クロックと共に動作しているであろう。

Interval__1カウンタ260がオーバーフローしたとき、それは再スタートさせられ、Pass__Cutカウンタ261は減少する。もしInterval__1カウンタ260が2度オーバーフローしたなら

10

20

30

40

50

ば、それは低速フィルタの出力がベースラインに戻るができるほどパルス間の期間がとて長いことを意味する。このような条件の下では、もし D S P 27 がフラグ B L C O L 315 をセットするならば、Interval__2 カウンタ 245 はベースライン獲得を初期化するよう起動させられる。ビット B L 278 は、この状態を意味するために、出力値 B L F L G 120 としてバッファ 100 によって得られる。

ピークが立ち上がり重ね合せエッジと関係するか否かは、フリップフロップ F F 1 6 265 によって決定され、この F F 1 6 265 は、新しい高速パルスが検出されるごとに、信号 S F P 228 を受けて、Pass__Cut カウンタ 261 の値を蓄える。もしこの値が 1 ならば、最後のパルスから少なくとも P F 268 の時間が経っていることになる。

フィルタを通していない出力 C S (図 7B 参照) が必要なときは、時間 T 4 198 の前の 3 低速クロック周期が得られなければならない、それは、Interval__1 カウンタが実際にそのピークが有効かどうかを確定してしまう前である。この時間はそれゆえコンパレータ C M P 2 3 262 によって確定され、C S の適切な値が、もしそのピークが有効ならば出力バッファ 100 へ転送されることができると中間バッファ 307 で得られる。

3 . 3 . 5 . 6 . 高速重ね合せ試験

第 1 の高速重ね合せ試験は図 11 A のブロック 242 によって実現され、しきい値 195 で高速パルスの幅を測定する。図 9E から 9F が示すように、もしこの値 T W が最大値 T M 200 以上ならば、その時は高速チャンネルで重ね合せが起きているに違いなく、低速チャンネルのピーク値は無効であろう。この結果は、検出されたとき、フリップフロップ 1 6 265 に蓄積され、低速ピークの獲得を妨げる。パラメータ P M としきい値は共に 1 件 1 件基準に調整されることができるので、高速ピーク検出回路と結び付けるときこれはとても効果的な試験である。単色光 X 線とともに、X A S にあるように、各パラメータは、従来のアナログ試験よりも大きさが 3 けたまで低くなり得る重ね合せレートに達することができるように調整される。

3 . 3 . 5 . 7 入力カウント・レートカウンタとタイマー

図 12A から 12B における回路と各トレースは、F I P P I 15 の入力カウント・レートカウンタ 110 (図 5 参照) の実施例を表わす。本回路は、検出されたそれぞれの有効 X 線パルスに対して検出された X 線パルスの合計数を記録するために、高速パルス到着信号 S F P 228 と Pass__Cut カウンタ 261 の出力 Q 1 0 [0] 270 を使っている。その出力 N S F P 340 は、それがバッファ 100 を読み出すのと同時に D S P 27 によって読み出されることができる。

図 13 の回路は、F i P P I 15 のライブタイムカウンタ 121 (図 5 参照) の実施例を表わす。本回路は、D S P 27 が C__Enable 273 を経由して信号を送るとき、すなわちデータを収集するモードにおけるときはいつでも、分割クロック信号をカウントする。

3 . 3 . 5 . 8 . 任意の高速重ね合せ試験

第 2 の高速重ね合せ試験は図 14A から 14B に示される回路と各トレースによってさらに実現されることができる。本回路は、高速ピークの幅をその最大値の半分において測定する。別の各比は容易に置き換えられることができる。Half__Width カウンタ 357 がピーク幅を最大限に許容された値 P K と比較する間、Inspect - 1 カウンタは検査期間 P L 362 をセットする。高速パルス信号 F F 173 は、Q 7 251 がその最大値に達する機会を得るまで、F I F O 1 0 353 によって P J 358 カウントが遅延させられる。もし高速ピークがこの試験について重ね合せられるのなら、出力 M W I D 1 367 は、低速ピークの獲得を妨げるために、フリップフロップ F F 1 6 265 をセットするのに使われることができる。

広い範囲の振幅を持つパルスが示されるとき本試験はとくによく動作し、しきい値がピーク振幅のかなり大きな部分となる低い振幅のパルスに対して、高速パルスと重ね合せ試験が最大限に利用されることを防ぐ。この場合、2 つの低い振幅パルスが重ね合せでき、まだ基本幅の重ね合せ試験値より小さいこれら 2 つの幅の和をもつ、とても広い時間の範囲が存在する。

3 . 3 . 6 . 任意の出力バッファリング

本回路はこの具体的な実現に示されていないにもかかわらず、もっとも高いカウント・レートに設計されたシステムでは、われわれは、それぞれが強力ないくつかの獲得された値

10

20

30

40

50

であり得る3つの出力バッファ100を3つの短いFIFOによって取り替えることが好適であることを知った。本修正はDSP27が、どのようにそれがFIPPIから獲得されたピーク値を集めるかにおいて、より適応性を持たせる。示された好適な実施例では、ひとつが信号として送られるごとに、 $0.5\mu s$ 以下で獲得された値を取ってくる計算を休止する割り込み制御の下でDSPは動作する。割り込みルーチンを提供する本システムは、より少ないFIPPI回路リソースを使うにもかかわらず、より多くのそして平均ではより遅いDSPコードを必要とする。任意のFIFO出力と共に、それがルーチン进行处理し、けっして割り込みを受けない固定された点のデータに対してFIPPIを得ることができ、それはその平均処理速度を増加させる。本実現はしたがって非常に最高のデータ・レートが適応されなければならないときに好まれる。

10

我々は本動作をモデル化しており、DSP27が、各事象を処理するごとに少なくとも一度はDSPFLAG302を得て、それらの平均レートで事象を処理できるほど速いならば、本バッファは、すべての事象の大多数を得る約4つの事象の深さだけ必要であることがわかってい

4. DSP: デジタル信号処理装置と論理

4.1. DSPの概略

我々の設計の考え方に基づき、システムレベル動作を保つために、DSPは“事象ごとに”基づいたものであってもあるいはあまり頻繁でなくても必要とされるそれらの各タスク、各処理、各計算を実行する。図2に示されるように、DSP27の主な各タスクは、汎用制御コンピュータとインターフェイス28との相互連携することと、ASC23を調整して制

20

4.2. DSPハードウェアの実施

NEC μ PD77016プロセッサが具体的な実施例では使用されている。高速で、低価格で、その制御プログラムとそのMCA機能を生成するスペクトラを保持する十分な内部メモリを持つ16ビットDSPなのでそれが選ばれた。その2.0KのXデータメモリは、MCAスペクトラ用にされ、スペクトラが、32ビット(あるいは40億カウント以上)の深さごとに1024箱(bin)ピンまでヒストグラム化されるようにする。その2.0KのYデータメモ

30

リはシステム動作を制御するのに必要な各変数と各定数、すなわちシステムの遂行を監視するためのデータ、MCA処理のためのFIPPI事象を一時的に蓄えるためのサーキュラーバッファ(circular buffer)を蓄える。内部メモリは本発明には必要はなく、全体のあわせた数とコストを減らし、より高速の動作を与える。外部から与えられたクロック周期の半分で各指示を実行するので、ADCサンプルごとに1つ指示するという同期した動作を作るために、DSPはADCとFIPPIの比の厳密に倍でクロックされる。それは4つの外部割り込み線をもっているが、その外部割り込み線はDSPがASC23, FIPPI25, 外部制御コンピュータ28に応答するようにする。

40

4.3. DSPハイレベルソフトウェアの説明

4.3.1. 監視制御プログラム

図15は、この具体的な実施例で使われた監視制御プログラムのハイレベルフローチャートを示す。太字体の矢印は、信号データ収集サイクルを通したプログラム制御の流れを描いている。動作はDSPプログラムのダウンロードと、各レジスタのセットアップとYデータメモリの定数を初期化することを含む初期化380によって始まる。そしてそのプログラムはその主な制御ループである、CAMACモニタリングタスク382にとりかかる。具体的な実施例では制御コンピュータインターフェイスはCAMACインターフェイス基準で

50

ある I E E E 基準583-1975を使うように実現されており、本選択は本発明の機能には決定的ではない。C A M A C モニタリングタスク382においては D S P は本質的にループの中にあり、割り込まれるのを待つ。

D S P への及びそれからのデータ転送は、そのデジタルスペクトロメータ22のインターフェイスを通して制御コンピュータ28によって起動される。そのようなインターフェイスの実現の詳細はその技術の当業者によって公知である。データ転送のこれらの要求は、インターフェイスが D S P に対して転送割り込み383を発生するようにする。このような転送割り込み383を受けたとき、D S P は D S P へ / からの転送データ385を移動させる。ここで、それはインターフェイス28の2つの状態レジスタを読み込み、データワードを D S P メモリロケーションヘインターフェイスレジスタから転送するかあるいはその逆にするかを定めるために使う。D S P は要求された転送をさせ、そしてデータワードを C A M A C モニタリングタスク382に送る。多重ワードデータ転送は2 MBytes/ s までのレートの D S P のブロックのデータ転送モードを使うよう実現したのと類似している。

デジタルスペクトロメータ22が効率的に制御され得る前に、それは、制御コンピュータ28からダウンロードされたり（たとえば F i P P I 25 のフィルタ長）、システムを較正することによって経験的に決められたり（たとえばスロープ D S P 38 の推定値）しなければならない、色々な定数と制御パラメータの数値が必要である。特に注目すべきは制御ワード R U N T A S K S であり、これは D S P プログラムを制御するフラッグの組である。獲得割り込み387が受け取られたとき、獲得タイプ388は R U N T A S K S を試験することによって確定される。

4 . 3 . 1 . 1 . 各試験 / 校正ルーチン

もし獲得タイプが試験 / 校正390ならば、D S P は試験 / 校正各ルーチン392を実行し、それは正しいシステム動作を確認し、A S C に対する D A C 制御を校正する。それらは次を含む：

1) A S C 23 の動作点をセットするために、バイアス32, オフセット37, スロープ38, ゲイン43の各 D A C へ書き込む。

2) 第1にスペクトロメータ22に対して入力を分離し、バイアス D A C 32 を使ってオペアンプ30に印加された連続した電圧値について A D C 48 の出力を記録することによってシステム全体のゲインを測定する。結果にぴったりあったときは、ボルト入力あたりの A D C 単位を生じ、それはまさにデジタルスペクトロメータのゲインである。これは、eVあたりの A D C の各ステージの全体のシステムゲインを得るために、X 線エネルギーの eV あたりの電圧であるプリアンプのゲインによって倍にされることができる。もしプリアンプのゲインがわからなければ、この定数を求めるべく既知の X 線エネルギーを測定することができる。

3) 1 つのステップごとに A D C の出力を変えるのに必要なオフセット D A C のステップの数である、規格化した定数 D A C / A D C を得るために、上のルーチン 2) の時と同じ処理によって、A D C のオフセット D A C 37 を校正する。

4) スロープ D A C 38 へ既知の各値をセットすることと、生成された信号が A D C 入力範囲を越えるのに必要な時間を測定することによって傾き生成器を校正する。傾きはスロープ D A C 38 からの電流入力と、積分キャパシタ72の大きさとにだけ依存し、それによって D A C / A D C 値の良好な第2の試験が与えられる。

5) 制御された入力波形として A S C の傾き生成器を使って A D C の微分積分非線形性を試験する。

6) スペクトラムデータなしで A S C 割り込みを監視する。

7) D S P で A D C の出力信号トレースを得る。このモードは、A D C - D S P の組み合わせが本質的に簡単なデジタルオシロスコープとして動作するモードで、信号トレースを獲得することによって検出器の問題をデバッグするのに特に有効となり得る。

8) F i P P I のデシメータの各出力値 C [9 : 0] 147 を獲得する。これはルーチン N o . 7 と同じ有効性を持っているが、より低速なデシメータの出力で動作する。

9) 入力 X 線信号をシミュレーションするために、まずスペクトロメータ22の入力を分離

し、そしてバイアスDAC32によって電圧の各ステップの出力を使ってスペクトラムを集めることによって全部のスペクトロメータの正しい動作を確認する。出力スペクトラムは全体のシステムゲインの直接測定する場所を持ち、スペクトロメータのノイズを測定する幅を持つ、単一の狭いピークであるべきである。本試験は、完全な計器は選ばれたデジタルフィルタのパラメータで正確に動作していることの数値的な診断である。

これらの試験は、本発明のデジタルスペクトロメータが自己試験と自己校正をしていてまた製造するときの品質コントロール試験に有効であるようにする。普通の動作では、制御コンピュータ28はデータを集めようとするより先にスペクトロメータが正確に動作しているか確かめるために、これらのプログラムの試験一式を走らせる。

4.3.1.2. データ獲得

獲得割り込みのタイプがデータ393のとき、データ獲得の準備をするために（リセット形プリアンプを想定している）、DSPはスタートデータ獲得ルーチン395に進み、次のタスクを実行する。

1) X線のエネルギー範囲、プリアンプの特性、初期速度推定値によって確定される各値を指定するために、ASCのバイアスDAC32、オフセットDAC37、スロープDAC38、ゲインDAC43をセットする。

2) MCAデータと統計値をゼロにリセットする。

3) 低速フィルタ長と各ギャップ値103、高速フィルタ長とギャップ112、ピーク検出器試験値113、FIPPIに対する重ね合せ検査器の値115の、各制御パラメータのデシメーション要素102を書き込み、FIPPIの動作を再起動する。

4) 傾き生成器を非活性化(disable)しながら、時間に対するADCの各値を観察することによってASCモニタリングを始める。プリアンプの信号のランプの傾きを推定し、スロープDAC38の値がそれと一致するように計算する。そしてリセット値をオフセットDAC37へロードし、傾き生成器35を活性化する(enable)。

5) もしASC28の出力の信号がADC48の入力範囲を超えたとき、DSPに割り込みをするために、ASCコンパレータ割り込みを割り込み可能にする。

6) 低速フィルタのベースラインの各値の最初の一组を集め、ベースラインの平均値と分散量を計算する。

7) FIPPIデータの受領の準備のために、ポインタの各値をDSPのYデータメモリのサーキュラー事象ループバッファへセットアップする。

8) FIPPIが有効なピーク振幅を獲得したとき、FIPPIがDSPに信号を送るように、FIPPIの割り込み信号DSPFLAG302をイネーブルにする。

4.3.1.3. データ獲得タスク

もしこれらの処理のいずれかが失敗したときは、プログラムは中止し、さもなければデータ獲得タスク402へ進む。このタスクは、500,000cpsまでの平均レートでデータを処理している間、2,000,000cps（最低0.5μsの低速チャンネルピーク時間の逆数）までのデータ到着レートでのバーストに適用できるように設計されている。これは、サーキュラーバッファへの到来データを蓄えることによって達成され、これは割り込み制御の下での高速処理であり、さらに各割り込み間の間隔を有する安定レートでそれら进行处理する。これは約4

のファクタによって平均処理レートを減少させ、安価なDSPが使用できるようにする。獲得FIPPIデータルーチン405は、データ獲得ステップを実行する。ここでDSPは、各値PKVAL117、UFVAL118、BLFLG120、PLOUT119を含むFIPPIから2つの16ビットワードを読み込む。そしてそれはこれら2つのワードをサーキュラーバッファに書き込み、それらのアドレスに対してポインタを増加させる。これらの動作は5あるいは6のクロック周期だけを必要とする。次にサーキュラーバッファに残っているいずれのデータも処理するために、制御はデータ獲得タスク402へ戻る。これは、プリセットの事象の最大限の数が処理されるまで、あるいはストップデータ獲得407が起きるまで続く。いずれのケースでも、プログラムは終了データ獲得408へ進み、その主な機能は、ASCコンパレータ割り込み45を割り込み禁止にすること、FIPPIの割り込み302を割り込み禁止にすること、サーキュラーバッファに残っているいずれのデータの処理も終わら

10

20

30

40

50

せること、ライブタイムカウンタ121の値を記録することである。プログラムはその後C A M A C モニタリングタスク382へ戻るが、ここでは集められたデータはロードされないようにできる。

データ獲得タスク402はまた、A S C 23の出力がA D C 48への入力の範囲を越えるどんなときでもA S C 割り込み410によって割り込まれることができ、以下に記述するように、固定A D C 範囲外状態412ルーチンのブランチへ押し込む。一度正しいA S C 動作が復活すると、プログラムはサーキュラーバッファのデータ処理へ戻る。

4.3.2. データ獲得タスクソフトウェア

図16は、データ獲得タスク402の具体的実施例のフローチャートを示す。大部分については、本チャートは、制御コンピュータプログラミングの当事者にとって自明であろう。一般的な解説の他では、我々の議論は、本発明のスペクトロメータの機能について特有である各ステップに集中する。そのプログラムは、本質的には、試験N E V E N T S = M A X ? 463が真という理由から、あるいはR U N T A S K S が試験R U N E N D E D ? 440で見つかるまで、サーキュラーバッファからのデータを処理するループである。一度ループの256回すべてとA D C の状態の独立の試験とが行われると、ベースラインの推定値はUPDATE BASELINE ESTIMATE (更新ベースライン推定値) 438に対して低速フィルタから集められ、これについてはさらに後で議論することにする。256という数字は重要ではなく、変化する実験状態をたどることができるほどしばしば更新されるが、しかしデータ獲得タスク402内で実質的な計算の負担とならないようにあまり更新されないように、ベースラインが選ばれている。

処理ループでは、一旦良好な事象からのデータがバッファ452から読み込まれると、全事象数は、値P L O U T 119を使って453で増加する。全カウント数は、正確な到来カウント・レート推定値を得るために、記録されたライブタイムで割る。P L O U T 値の統計量も集めることができ、過剰な流量のような不正確な各実験状態に対して監視するように使われる。その後D S P は、A S C 23からのひずみに対してやその他、獲得された低速フィルタの各値P K V A L 117とU K V A L 118から正確なX線エネルギー455を計算するのに必要である計算と修正を行う。選択されたアルゴリズムは、本発明のスペクトロメータが接続された検出器 - プリアンプの組み合わせに充当される。これは発明されたステップであり、さらに後で記述される。一度エネルギーが見つかり、多チャンネル分析(M C A)ビン(bin) 458を計算するためにそれは測定されて、そしてそのピンは、その分野の当業者にとって公知である各技術を使って、検出されたX線スペクトラムのヒストグラムを生成するために増加する。

4.4. スペクトロメータ制御と計算アルゴリズム

本発明のデジタルスペクトロメータシステムは、3つの接続された各モジュール、A S C 23, F i P P I 25, D S P 27を備えるので、今までにない新しいアルゴリズムで効率的にそれらを制御する必要がある。これらは次の各節で記述される。

4.4.1. A D C の範囲外状態の固定

本問題の本質は、入力カウント・レートの変動がA S C アナログ小区分23の出力をもたらすことができ、その出力はA D C 48の入力電圧の範囲(例えば、図1EのL L からU K の範囲)外に一時的に落ちるためにプリアンプの入力とL F F の関数生成器35の間の増幅された差であるということである。これは図17Aと17Bによって図示される。図17Aはもっとも一般的な場合を示し、ここで、一時的に高いレート(トレースB)あるいは低いレート(トレースC)は平均のレート(トレースA)に戻っている。X線の到着が本当にランダムなので、しかし各場合のいくつかの小さな部分は図17Bで表れており、高(トレースD)あるいは低(トレースE)到着レートは、A D C の入力範囲L L からU L を越えることができるほど十分に長く持続する。これは、F i P P I 25のデータ・ストリームを無効にし、D S P 27が正しい動作をするように要求する。A S C の出力信号がA D C の入力範囲に戻るまで、各信号をL F F 生成器35の各制御D A C 37, 38を調節することによってそれが起こる。図17Cと17DはD A C 37が調整される2つの例を示している。一般的に直面する変動のタイプは、プリアンプの各リセット、検出器における宇宙線の各事象、検出

器へのX線の到着レートにおける統計的変動を含む。

図18に示されるアルゴリズムは、高速で効率的な方法でこれらの場面を扱うように設計されており、好適な実現では、一般に約2μs以内で適切な動作に回復する。以下のいくつかの説明で、このアルゴリズムはコンピュータプログラミングの分野の当業者にとって明確になるであろう。この動作箱 (action boxes) “Move Down 1” 495と “Move Up 1” 504は、DAC37による調整を委ね、“単位”ステップは、図17Cと17Dに示されるように、ADC入力範囲を交差する半分の動作に必要なDACビットの数である。“リセット”箱498は、プリアンプのリセットが検出されており、スイッチ75を使うことと、DAC37がその基準値に戻ることによってLFF生成器35もリセットされるように要求していることを意味する。箱“もしABC (フラグ) が1ならば、トラッカーを更新する”511は、図17Bで示されるように、範囲外の単純なドリフトが検出され、次のセクションで記述される傾きを追跡するアルゴリズムが実施されなければならないことを意味する。

10

4.4.2. 推定値をセットするスロープDAC38の更新

スロープDAC38が正確に設定されたとき、平均して、範囲外への逸脱は、ハイとローの方向で均一に起こる傾向があるべきである。しかし、もし到来X線レートが変わるなら、そのときは、スロープDACは調整される必要がある。したがって、プログラムが固定ADC範囲外状態412ルーチン呼び出すごとに、それが実際にはハイかローのどちらであるかを注意し、スロープDACの設定の調整が必要がある。

したがって、“トラッカーを更新する”511が呼び出されるごとに、具体的な実施例においては、次式によって過去の範囲外の状態の指数関数的に減衰するメモリの持つ重みWは更新され、式によると

20

$$W_i = ((N-1)/N)W_{i-1} + V_i/N \quad (5)$$

ここで $V_i = +1$ に等しいときハイ、 -1 に等しいときロー範囲外である。その後 W_i が試験されて、もしそれが試験値Vを越えるなら、それはゼロにされ、スロープ38は適切な方向の1ビットによって調整される。その他の点では何もされず、そのプログラムは進む。移動平均のような他の式は、 W_i を計算するのに使うことができるが、式5は最小のメモリや計算だけが求められるときに有効である。

4.4.3. パルスの高さの振幅のエネルギーの計算

4.4.3.1. 周期的なりセットのプリアンプの場合

30

計算のいくつかは、システムのエラーを持ち出さないで、FIPPI25の出力値PKVAL117をX線エネルギーへ変換する必要があり、その主な理由は、図1Bにあるように、ASC23出力のX線ステップの直前直後の各領域は平らではなく、図1Eにあるように、傾いている。それは周期的なりセットのプリアンプのこの傾きに対する2つの寄与があるからである。第1は、ASC23がLFF生成器35によって生成される傾きを減じるからであり、第2は、検出器かプリアンプの第1のFETからのいずれかからの漏れ電流のためである。FIPPI25のこの傾いた信号に対する応答は図19A (PRプリアンプの場合に対して)に示される。振幅Aが所望されるにもかかわらず、FIPPIは値Hを生成し、それは端の上方と下方の2つの各領域の間の差である。計算ではしたがって測定された値HからAを取り戻す必要がある。図19Aはそれを示し、 G_S のギャップ時間とともに低速フィルタの長さ L_S に対して：

40

$$H = V_2 - V_1 = A - S(L_S + G_S) \quad (6)$$

ここで、 V_1 と V_2 はフィルタ領域を越える平均電圧であり、Sは生成した傾き S_G と漏れ傾き S_1 の間の差である。したがって：

$$H = V_2 - V_1 = A - (S_G - S_1)(L_S + G_S) \quad (7)$$

我々はそれゆえ、第2の期間の正確な推定値を得ることを望む、そうしないとスペクトロメータのエネルギー分解能を下げる。 L_S と G_S はパラメータであり、厳密に知られており、生成された傾き S_G である。 S_1 は測定されなければならない、Aが0に等しいとき、X線の各事象がフィルタ内のいずれの場所でも存在しているとき、式7によって長さを使ってなされる

50

。いま、 H が $-(S_g - S_1)(L_s + G_s)$ に等しく、三角パルスの中の“ベースライン”であるとする。多くの測定をすることによって、われわれは任意の精度で中間のベースラインの値 B を推定することができる。

$$B = \langle S_1(L_s + G_s) \rangle = \langle PKVAL_B + S_g(L_s + G_s) \rangle \quad (8)$$

ここで、 $PKVAL_B$ は、これより前で述べられているように、フラグ $BKCOL315$ が1にセットされたときに、 $FIPPI$ から得られた $PKVAL117$ の値である。与えられた B で、われわれは次からX線エネルギーを計算することができる。

$$E = G(PKVAL_N + S_g(L_s + G_s) - B) \quad (9)$$

10

ここで G はシステムのゲインで、 $PKVAL$ の通常値、すなわちフラグ $BKCOL315$ を0にセットした値である。

ベースライン B は、スペクトロメータの分解能に影響しないよう十分正確に決定されなければならない。式9において、ガウス分布エラーであるとみなして、 $PKVAL$ の各分散量 p 、 B と B を直角位相で足し算するので、 B はしたがって p の1/10の次数であり、 B は $PKVAL_B$ のおおよそ100の測定量の平均から決定される。

好適な実施例での B の決定は、2つのステップで進む。第1は、スタートデータ獲得ルーチン395のタスクNo.6で、 $PKVAL_B$ の100の測定がなされ、そしてそれらの平均 B と分散 B が計算される。これは正確な B のスタート値を供給する。第2に、データ獲得タスク402(図16)で、UPDATE BASELINE ESTIMATE 438の手順における全256ループのたびに、 B は更新される。 B の様々な移動平均をとる計算がされるとき、具体的な実施例では、

20

$$B_i = ((N-1)/N)B_{i-1} + b_i/N \quad (10)$$

は指数関数的に減衰する過去の履歴を実現するように作られている。ここで b_i は、 $PKVAL_B + S_g(L_s + G_s)$ の現在の測定された値である。 B の現在の値だけ蓄えられ、もし比が2の累乗ならばシフト構造を使った固定点DSPでかなり速く実行することができるので効率的である。実験は、かなり速い B の変化でさえ、この技術によって正確に追跡できることを示す。もし B が非常に速く変化するのが予想されるのなら、 $NLOOP Modulo 256 = 0$ TEST 428の値256をベースラインをさらに頻りにサンプルすべく、減少させることができる。

4.4.3.2. 連続した放電をするプリアンプの場合

30

CDプリアンプについては、図19B、20に示されているように、X線ステップの事象の両側の信号は、異なる平均の傾きで指数関数的に減衰している。この状態はそれゆえPRプリアンプよりもさらに複雑であり、式9に取って代わる修正されたアルゴリズムが必要である。しかし、スペクトロメータのハードウェアもFIPPIのファームウェアもどちらも変える必要はない。

図20はこの状態を示す。われわれは、振幅 A を所望するが、しかし、パルスの後の $0.5(L_s + G_s)$ で得られた移動平均 $\langle V_2 \rangle$ とパルスの前の $0.5(L_s + G_s)$ で得られた $\langle V_1 \rangle$ との差である値 H を得る。 S_1 、 S_2 は2つの測定点での信号の傾きであり、 V_e はX線の事象の直前の時間 t_e におけるその値であり、 V_0 は指数関数的に減衰する値である。われわれは、 $K = (L_s + G_s)/2$

によって一定値 K を定義するが、ここで τ はプリアンプの指数関数的な減衰時間である

40

それゆえ指数関数的減衰は： $t < t_e$ に対して

$$V = V_0 + (V_e - V_0) \exp((t_e - t)/\tau)$$

$t > t_e$ に対して

$$V = V_0 + (V_e + A - V_0) \exp(-(t - t_e)/\tau) \quad (11)$$

そして

$$\begin{aligned} S_1 &= (V_e - V_0) \tau^{-1} \exp(-(L_s + G_s)/(2\tau)) = -(V_1 - V_0) \tau^{-1}, \\ S_2 &= (V_e + A - V_0) \tau^{-1} \exp(-(L_s + G_s)/(2\tau)) = -(V_2 - V_0) \tau^{-1}. \end{aligned} \quad (12)$$

われわれは次式によってHを近似することができる：

$$H = A + (S_2 + S_1)(L_s + G_s)/2 = A + (S_2 + S_1)K \tau. \quad (13)$$

傾き S_1 と S_2 は、同じ精度に対して：

$$\tau S_1 = -(V_1 - V_0) = -(V_e - S_1 \tau K - V_0), \text{ or}$$

$$S_1 = (V_e - V_0)/(\tau(1 - K)) \text{ and:} \quad (14)$$

$$S_2 = -(V_e + A - V_0)/(\tau(1 + K))$$

式13に代入して次式が与えられる。

$$H = A/(1 + K) - 2K(V_e - V_0)/[(1 + K)(1 - K)] \quad (15)$$

ここで、 V_e と V_0 はともに測定された変数ではない。われわれは、いずれの点においても瞬時的な電圧を測定することによって V_e の推定値を得ることができる。数学的に簡単にするために、われわれは、時間 $(L_s + G_s)/2$ において、点 V_2 を選ぶ。ここで、

$$V_2 = (V_e + A - S_2 \tau K) = V_e + A - (V_e + A - V_0)K/(1 + K), \text{ so} \quad (16)$$

$$V_e = (1 + K)V_2 - A - KV_0. \quad (17)$$

式15に代入すると次式が得られる。：

$$A = H(1 - K) + 2KV_2 - 2KV_0 \quad (18)$$

ここでHと V_2 は測定された量で、 V_0 は一般に一定である。Aはちょうど式9のようにしてX線エネルギーを得るシステムのゲインGによって測定できる。 $2KV_0$ の推定値は、X線が存在しないときAの値を測定することによって得られる。 $2KV_0$ は、式9でベースラインBがするように式18でAの値を計算する厳密に同じ役割をし、同じアルゴリズムは正確にその値を推定するのに使うことができる。検出器の漏れ電流から生じるあらゆる線形の傾きの項はまたこの項に分類される。

CDプリアンプの校正を実現すること、したがってDSP27の符号を実現することは、式9は次式によって置き換えられて：

$$E = G[(1 - K)PKVAL + 2K(UFVAL - \langle V_0 \rangle)] \quad (19)$$

$\langle V_0 \rangle$ の計算に使われる V_0 の個別の各値は次式からわかる。

$$V_0 = [(1 - K)PKVAL/(2K) - UFVAL]_{A=0}. \quad (20)$$

4.4.3.3. 一つおきの連続した放電をするプリアンプの場合

ノイズ解析によって、式19は、Kの値が小さくはない（例えば、フィルタの時間がプリアンプの減衰時間に達する）とき、過剰なノイズの被害を被ることが分かる。この理由は、フィルタ長が減少するにつれPKVALにおけるノイズが減少するからであるのと、フィルタにかけていない項UFVALの重みKが増加するからである。50 μ s という一般的なプリアンプの減衰時間において、20 μ s でノイズはだいたい90%増加するのに対して、4 μ s のフィルタリングにおける分解能は、数パーセントだけ減少する。

議論は、そして、式18を使って V_2 の申し分なくより正確な値を得ることである。 $\langle V_2 \rangle$ はわれわれが作ることができるもっとも正確な測定量 V_2 であることを認識し、Hはちょうど $\langle V_2 \rangle - \langle V_1 \rangle$ であることに注目することによって、われわれは、Hについて式12から式13へ、 S_2 と S_1 を置き換えることによって交互の補正を引き出すことができる。 $H = \langle V_2 \rangle - \langle V_1 \rangle$ であることに注意すると：

$$H = A - K(V_2 + V_1) + 2KV_0 = \langle V_2 \rangle - \langle V_1 \rangle \quad (21)$$

10

20

30

40

50

$\langle V_2 \rangle$ 及び $\langle V_1 \rangle$ の双方を、平均のフィルタを通した平均値 $\langle V_2 \rangle$ と $\langle V_1 \rangle$ によって置き換え、再び整理して次式が得られる。

$$A = \langle V_2 \rangle (K+1) - \langle V_1 \rangle (K-1) - 2KV_0 \quad (22)$$

これは式18の置き換えであり、ここで、いま全項は可能な限り統計的に正確である。

式21Aと式21Bにおける概略とトレースによって示されるように、式22を満たすには修正されたF i P P Iの低速フィルタの設計が必要であり、図7Aと図7Bと比較されるべきである。本回路は移動平均 V_2 を生成し、その後 V_1 を生成するためにF I F Oを使うが、それは適切に減衰した信号とちょうど同じである。4ビットでのデシメーションは一般に興味のある長い整形時間に必要とされているので、入力信号C S [13:0] 527はいま14ビット幅である。F I F O 528の長さは、 L_s であるパラメータP A [13:0] 152によって設定される。D 532は、X線パルスがA D Cの入力範囲の1/8を越えないという推定のもとに12ビットだけ持つ。その他の点では、Dと、続いている各ステージにおけるビットの数は増加するかもしれない。 V_2 と V_1 の間の遅れは $L_s + G_s$ に等しく、F I F O 537へのパラメータP B [4:0] 162によって設定される。 V_2 と V_1 は、V 2 [16:0] 535の出力はP K V A L 117として、V 1 [16:0] 538の出力はP K V A L 118として、上で記述されたように正確に重ね合せ検査器108の動作によって出力バッファ100で得られる。

F i P P Iは、好適な具体例ではフィールド・プログラマブル・ゲート・アレイ(F P G A)において実現されるので、式18と式22のうちから選ぶことは、物理的にスペクトロメータを変えるのではなく、F P G AのダウンロードされたファイルとD S Pのソフトウェアを変えるだけである。

式18と式22は、減衰する各指数曲線と独立に提案されたデジタルの実施例の内容に単に基づいて導き出されたので、それらはまたアナログ方式で実施されることができる。したがってC D プリアンプを三角波整形とベースライン補正をするアナログ分光アンプをDC接続し、式18のHとしてアンプの出力を、 V_2 としてアンプの入力の遅れ時間の複製を使うことによって、そして指数関数形減衰をする信号に起因する瞬時のベースラインシフトに校正される信号が生成され、AC接続されたシステムで要求であるゼロ極補償の必要を取り除く。

式22はまた、図22で大まかに示されているように、アナログ回路を使うことで実現されることができる。本回路は、アナログエレクトロニクスの従来技術の当業者にとっては明確であるだろうが、図21Aに示されるデジタル回路の直接アナログ変換を備え、 V_2 と V_2 の合計を実現するオペアンプ合計回路(op-amp summing circuit) 522と接続される。 V_0 の校正は、従来技術の当業者にとっては公知であるように、ベースライン復元回路を回路の出力に付加することによって実際には提供される。本回路は、特にアナログ遅延回路が簡単に実現される時間期間内で、各方法の存在を越えて高入力レートと短い波形整形時間が所望されたとき、実質的な有利な点を提供する。

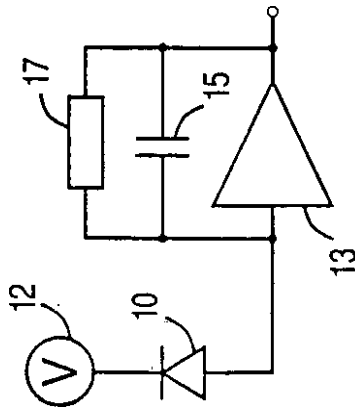
5. 結論

結論では、本発明は、検出器 - プリアンプのシステムからのパルスの各信号を処理し、検出器に影響を与える放射線の完全なエネルギー分析を提供する、物理的にコンパクトで、低価格で、高速な方法と機器をもたらす。プログラムされたプロセッサがその事象のレートにおいてより精練された分析を実行するのに使われている間、組み合わせ論理は、限定されてはいるがサンプリング・レートにおいて十分な量の処理を実行するのに使われる。本作業部分は発明が高パフォーマンスで低価格を達成するようにする。

上記が本発明の具体的な実施例の完全な記述であるにもかかわらず、各種の変形例、別の構成、等価物が使われ得る。第1の例としては、具体的な実施例では、必要とするA D Cのビット数を減らすために、信号処理フロントエンド(signal conditioning front end)を使っているにもかかわらず、本発明の他の動作は本装置に従属ではない。もし、より安く、より速いより多くのビットを持つ各A D Cが利用できるならば、この部分は取り除かれるかもしれない。さらに、本発明に必要な様々な計算を実行するために単一のデジタル信号処理装置を使うのに効果的なコストであるにもかかわらず、これらの計算は多重マイクロプロセッサ間で分配され、具体的な各機器に(例えばより高い総合カウント・レート

能力が必要なとき)においてはこれはより効果的になるかもしれない。したがって、上の記述は、付属の各請求項によって定義された本発明の範囲を制限するものとして受けとめられるべきではない。

【図 1 A】

FIG. 1A
(PRIOR ART)

【図 1 B】

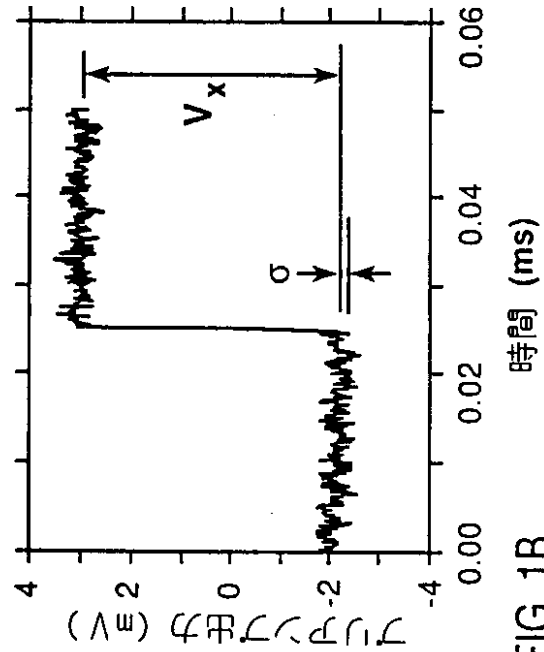


FIG. 1B

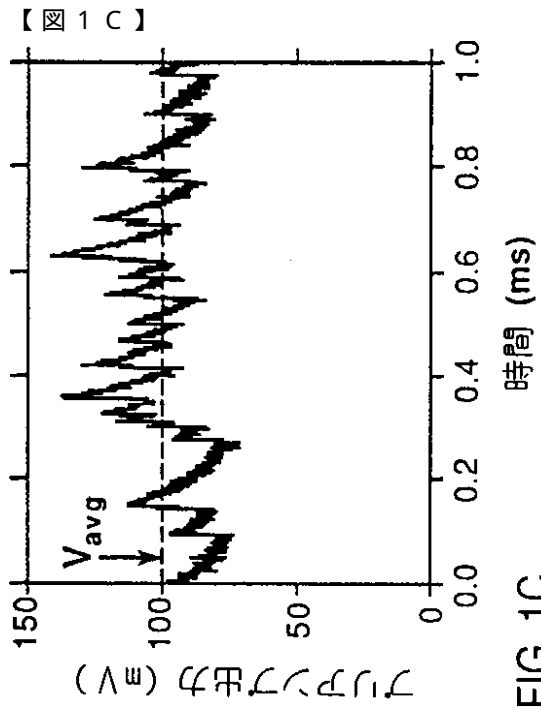


FIG. 1C

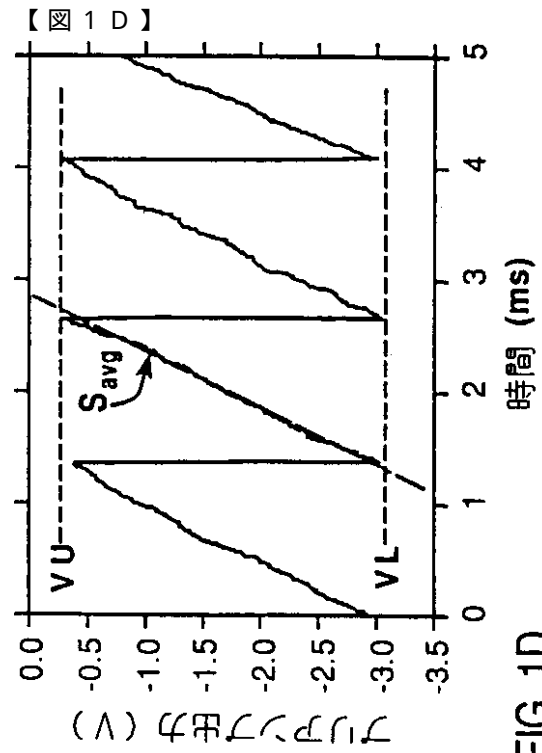


FIG. 1D

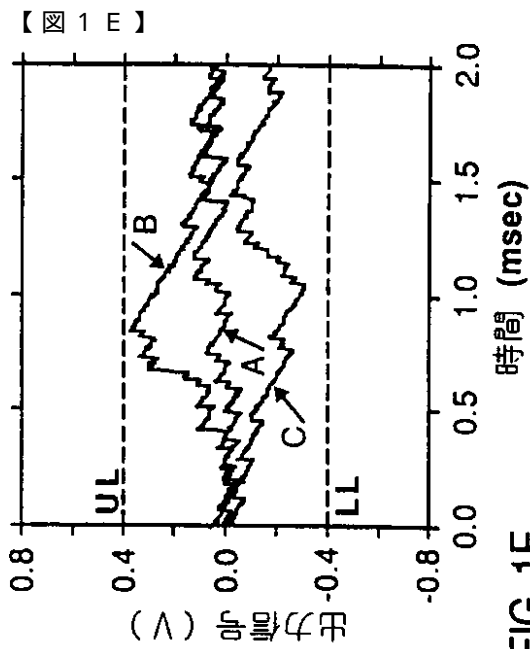


FIG. 1E

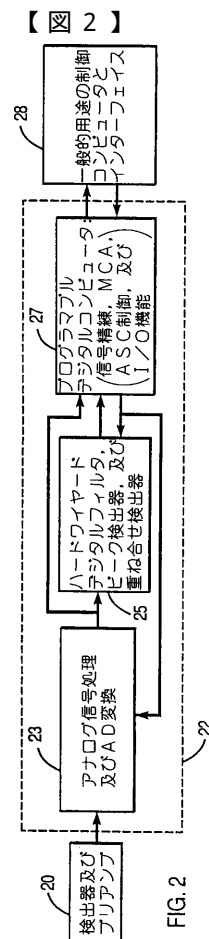


FIG. 2

【図 3】

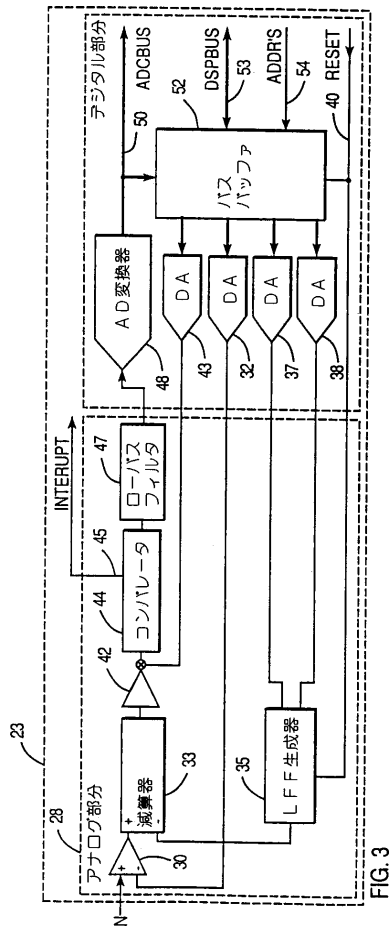


FIG. 3

【図 4】

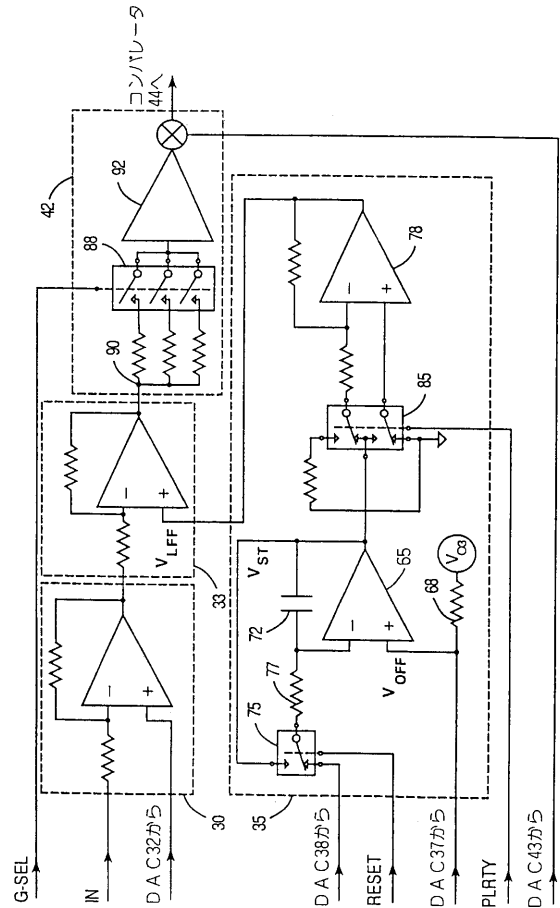


FIG. 4

【図 5】

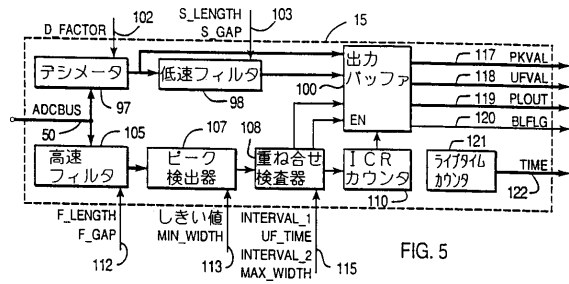


FIG. 5

【図 7 B】

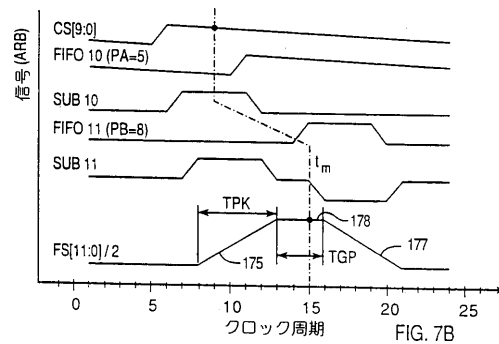
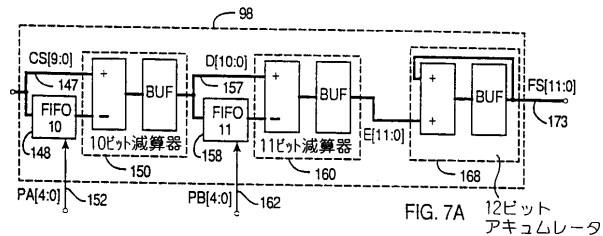
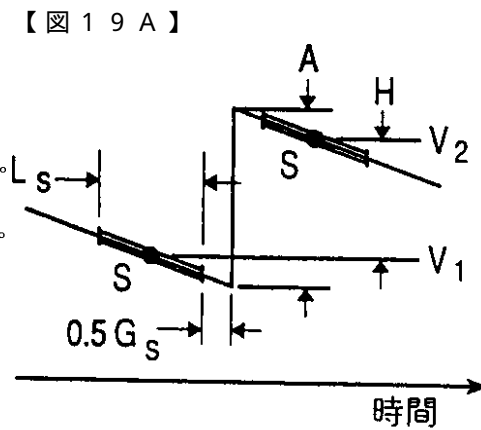
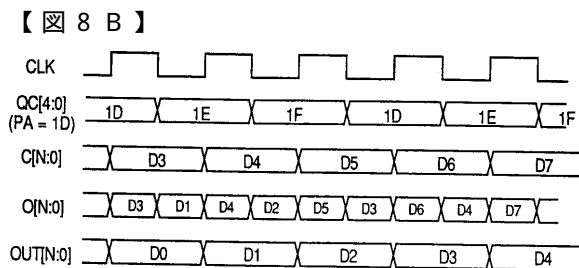
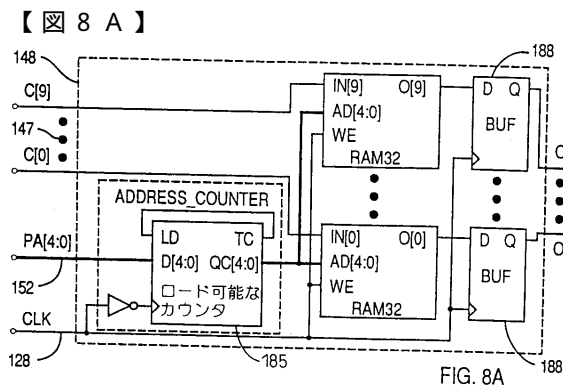
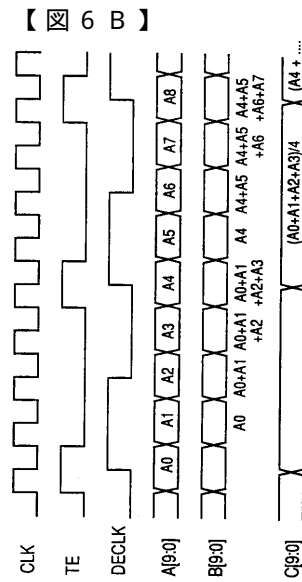
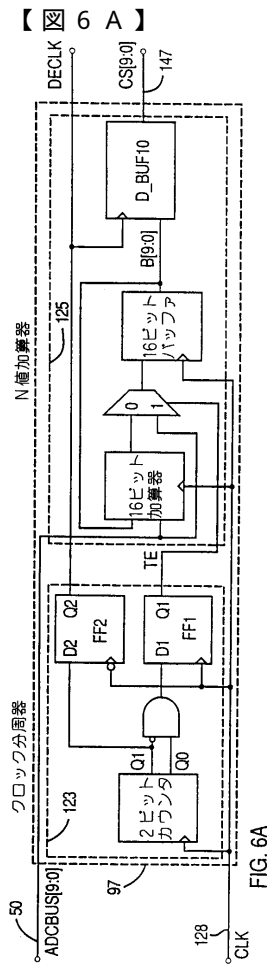


FIG. 7B

【図 7 A】

FIG. 7A 12ビット
アキュムレータ



【図 1 1 B】

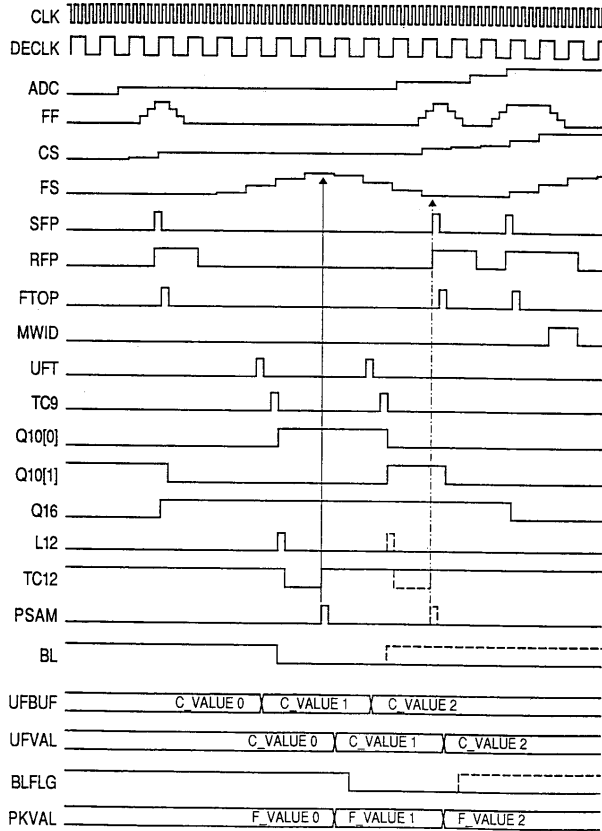


FIG. 11B

【図 1 2 A】

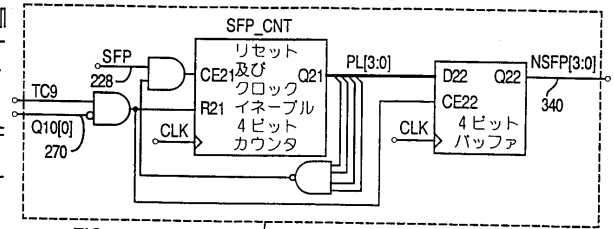


FIG. 12A

【図 1 2 B】

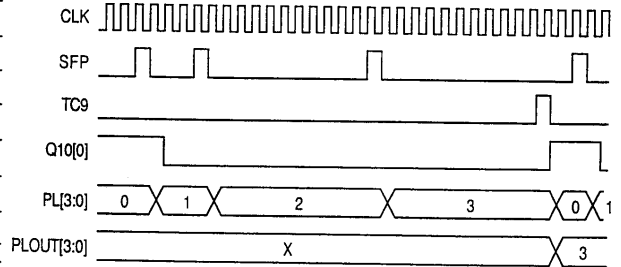


FIG. 12B

【図 1 3】

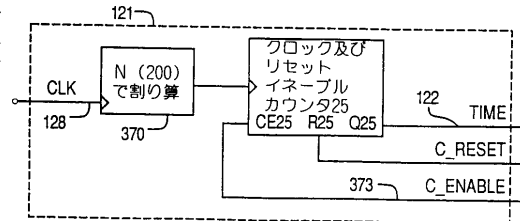


FIG. 13

【図 1 4 A】

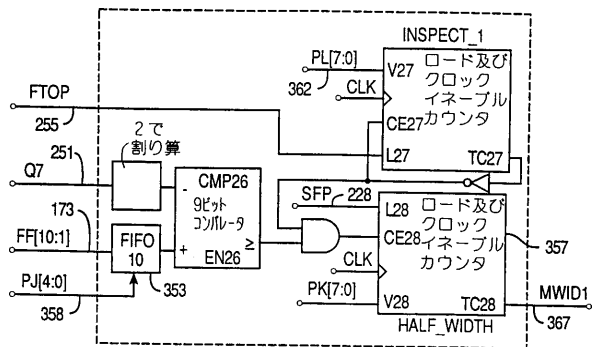


FIG. 14A

【図 1 4 B】

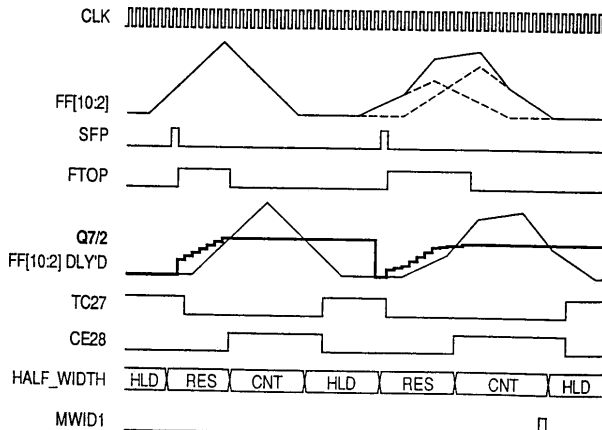


FIG. 14B

【図 1 5】

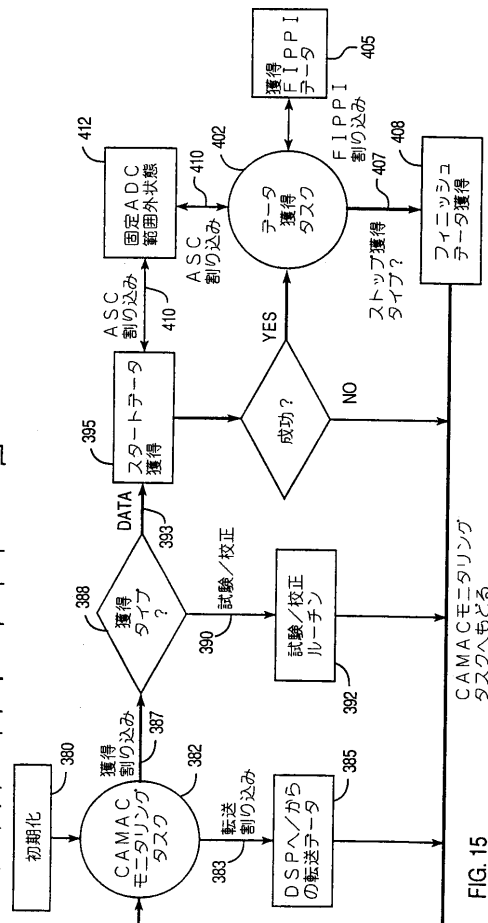


FIG. 15

【図 16】

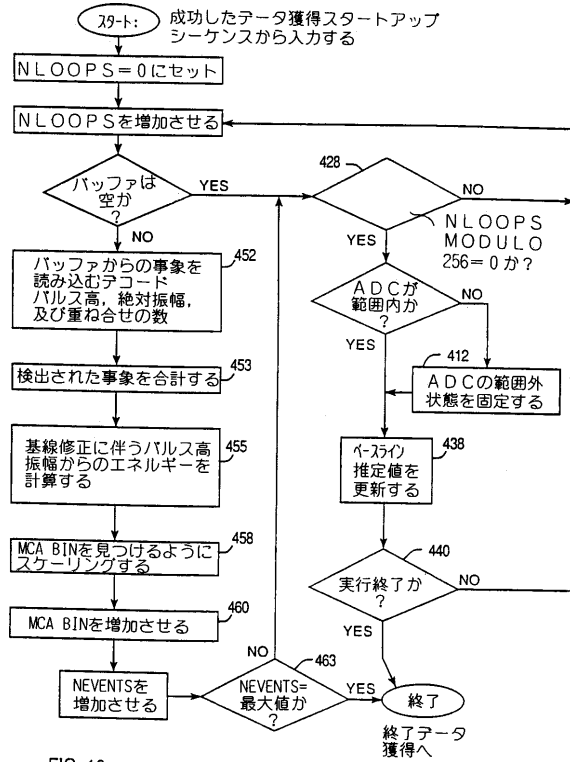


FIG. 16

【図 17 A】

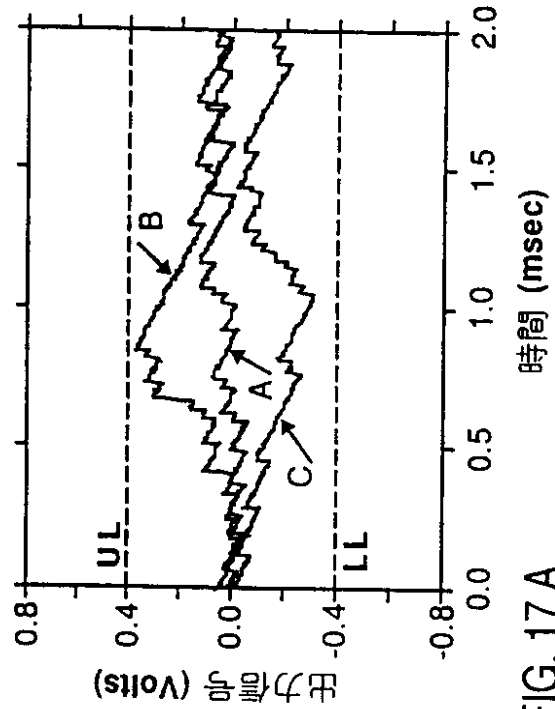


FIG. 17 A

【図 17 B】

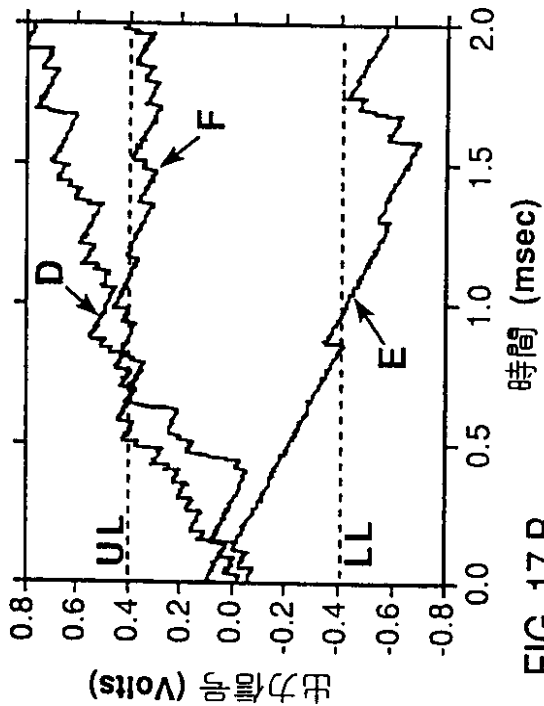


FIG. 17 B

【図 17 C】

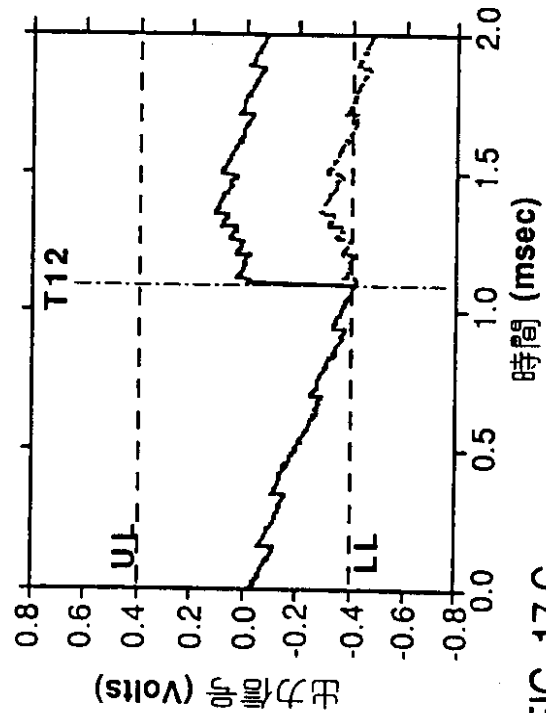
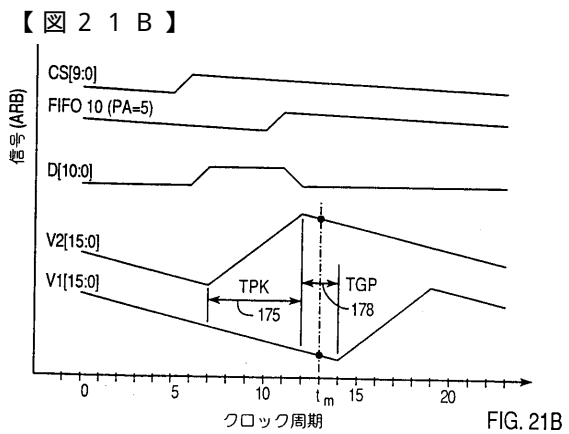
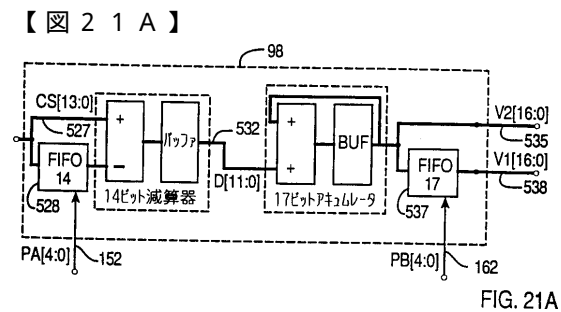
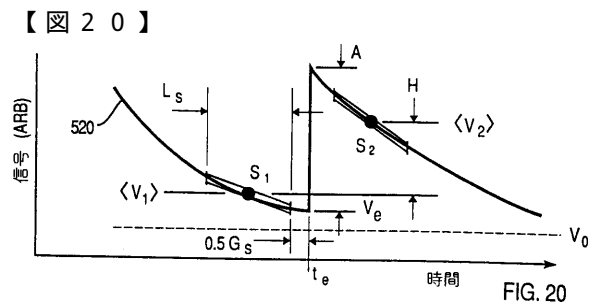
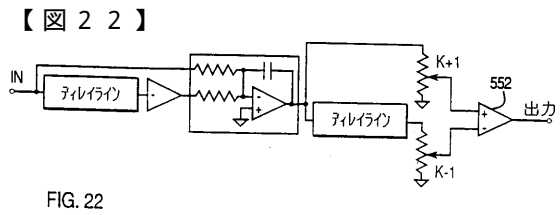
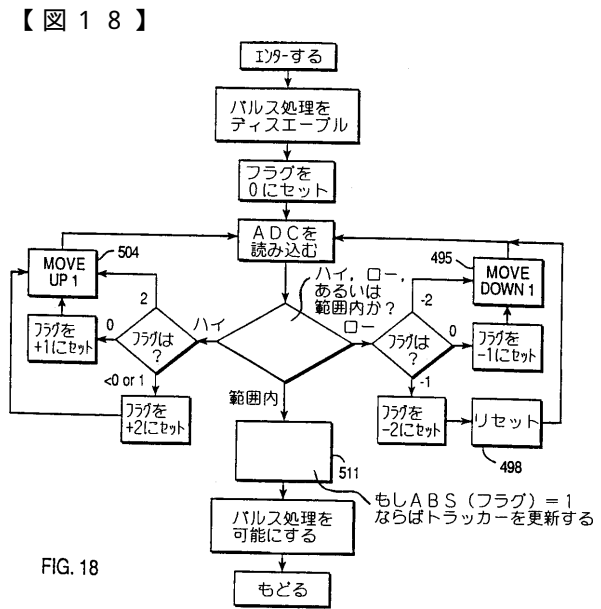
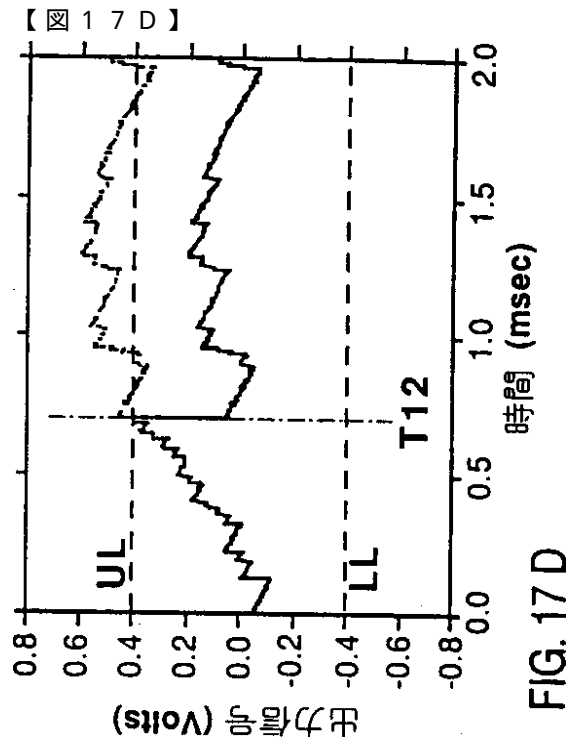


FIG. 17 C



フロントページの続き

(31)優先権主張番号 08/695,063
(32)優先日 平成8年8月2日(1996.8.2)
(33)優先権主張国 米国(US)
(31)優先権主張番号 08/702,327
(32)優先日 平成8年8月2日(1996.8.2)
(33)優先権主張国 米国(US)
(31)優先権主張番号 08/730,916
(32)優先日 平成8年8月2日(1996.8.2)
(33)優先権主張国 米国(US)

(72)発明者 ハバード, ブラッドレイ
アメリカ合衆国, カリフォルニア 9 5 0 6 0, サンタクラッツ, ハイ ストリート 6 5 8

審査官 中塚 直樹

(58)調査した分野(Int.Cl., D B 名)
G01T 1/16 - 7/12