

公告本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92116267

※申請日期：92-06-16

※IPC 分類：H01L 31/50

壹、發明名稱：(中文/日文)

半導體裝置及其製造方法

半導体装置およびその製造方法

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 日商日立製作所股份有限公司

HITACHI, LTD.

2. 日商瑞薩北日本半導體股份有限公司

RENESAS NORTHERN JAPAN SEMICONDUCTOR, INC.

代表人：(中文/英文)

1. 庄山 悦彦

ETSUHIKO SHOYAMA

2. 山中 廣次

KOUJI YAMANAKA

住居所或營業所地址：(中文/英文)

1. 日本國東京都千代田區神田駿河台四丁目6番地

6, KANDA-SURUGADAI 4-CHOME CHIYODA-KU, TOKYO

101-8010, JAPAN

2. 日本國北海道千歲市泉澤1007番地39

1007-39, IZUMISAWA, CHITOSE-SHI, HOKKAIDO, JAPAN

國籍：(中文/英文)

1. 2. 皆日本 JAPAN

參、發明人：(共 3 人)

姓 名：(中文/英文)

島貫 好彦

鈴木 義弘

土屋 孝司

住居所地址：(中文/英文)

1.-3.皆日本國北海道千歲市泉澤1007番地39瑞薩北日本半導體股份有限公司

C/O RENESAS NORTHERN JAPAN SEMICONDUCTOR, INC.

1007-39, IZUMISAWA, CHITOSE-SHI, HOKKAIDO, JAPAN

國 籍：(中文/英文)

1.-3.皆日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1.日本；2002 年 7 月 1 日；特願 2002-191666

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.日本；2002 年 7 月 1 日；特願 2002-191666

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體製造技術，特別係關於可有效適用於可搭載之晶片尺寸之擴大化之技術。

【先前技術】

作為謀求小型化之半導體裝置，已經開發出比所謂QFN (Quad Flat Non-leaded package：扁平式四邊無接腳型封裝體)之半導體晶片略大程度之小型半導體封裝體，構成外部端子之多數導線露出配置於樹脂模塑所形成之封裝部背面之周緣部，此種構造之半導體封裝體稱為周邊型。

在QFN中，各導線露出封裝部背面，各導線與封裝用樹脂之接合面積非常小，因此，為了提高各導線與封裝部之接合強度，各種措施紛紛出現。

另外，有關QFN之構造，例如，曾記載於株式會社Press Journal 1998年7月27日發行、「月刊Semiconductor World增刊號'99半導體組裝・檢查技術」、53～57頁。

在QFN中，如圖14之比較例所示，各導線1a露出封裝部3之背面3a而具有作為外部端子之機能之被安裝面1d之延伸方向長度P與位於其相反側而被樹脂封裝部覆蓋之封裝部形成面1g之長度Q相比，具有 $Q \geq P$ 之關係。

此係由於在各導線1a之封裝部形成面1g形成有用於防止導線切斷時之應力施加至配線接合部，且增強對各導線之水平方向之抗拉強度之多數凹部1m，因此，封裝部形成面1g之長度Q變長，其結果呈現 $Q \geq P$ 之關係。

示之導線架1組裝，且在此導線架1之單方之面側以樹脂模塑法形成封裝部3之單面模塑之樹脂封裝型之小型半導體封裝體。另外，亦係一種使多數導線1a之被安裝面1d露出配置於封裝部3之背面3a之周緣部之周邊型半導體裝置。茲列舉QFN5作為前述半導體裝置之一例加以說明。

因此，QFN5之各導線1a兼具埋入封裝部3之內導線與露出封裝部3之背面3a之周緣部之外導線兩者之機能。

又，圖2所示之QFN5係將晶片搭載部之支持片1b以半蝕刻法等削掉其背面1l而形成導線1a之一半程度之厚度，因此，封裝用樹脂也能進入支持片1b背面1l施行樹脂模塑。也就是說，QFN5雖採用支持片1b被埋入封裝部3之支持片埋入型構造，但也可採用使支持片1b之背面1l露出封裝部3之背面3a之支持片露出型構造。

另外，QFN5雖採用支持片1b之大小小於半導體晶片2之大小之小支持片構造，但QFN5並不限於採用小支持片構造，支持片1b之大也可與半導體晶片2之大小同等在其之上。

就圖1、圖2所示之QFN5之構成加以說明時，係由具有支持半導體晶片2之晶片支持面1c，且在此晶片支持面1c搭載半導體晶片2之支持片1b、將半導體晶片2樹脂封裝而形成之封裝部3、支持支持片1b之支持片1b懸吊導線1e、具有露出封裝部3之背面3a之周緣部之被安裝面1d與配置於其相反側且接觸於封裝部3側面3b之封裝部形成面1g之多數導線1a、及連接半導體晶片2之作為表面電極之墊2a與對應於此之導線1a之多數配線4所構成，將多數導線1a中相對向配

置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成長於被安裝面1d之內側端部1h間之長度L。

即，如圖2所示，各導線1a在各相對向之導線1a間形成長度 $M > \text{長度} L$ 。

又，在各導線1a中，封裝部形成面1g之長度 $Q < \text{被安裝面} 1d\text{之長度} P$ 。

藉此，可擴大各導線1a之封裝部形成面1g之內側端部1h所包圍形成之晶片搭載區域，謀求可搭載之晶片尺寸之擴大化，其結果，不必改變封裝體尺寸，即謀求可搭載之晶片尺寸之擴大化。

因此，可搭載更大之半導體晶片2。

在此，利用圖2所示之本實施形態1之QFN5與圖14所示之比較例之QFN型半導體裝置，比較各可搭載之晶片尺寸之最大值時，首先，在圖14所示之比較例之QFN型半導體裝置中，假設相對向配置之導線1a彼此之被安裝面1d之內側端部1h間之長度L為3 mm時，封裝部形成面1g之內側端部1h間之長度M為2.9 mm，考慮晶片接合之搭載精度時，距離半導體晶片2之緣需要0.1 mm之容限，可搭載之晶片尺寸之最大值N為長度 $M - 0.2 \text{ mm} = 2.7 \text{ mm}$ (即 $2.7 \text{ mm} \times 2.7 \text{ mm}$)。

相對地，本實施形態1之圖2所示之QFN5之情形，假設封裝體尺寸相同，將相對向配置之導線1a彼此之被安裝面1d之內側端部1h間之長度L同樣設定為3 mm時，封裝部形成面1g之內側端部1h間之長度M為3.2 mm，其結果，可搭載之晶片尺寸之最大值N為3.0 mm(即 $3.0 \text{ mm} \times 3.0 \text{ mm}$)。

線厚度方向呈現倒台形形狀。

因此，提高導線1a對封裝體垂直方向之抗拉強度。

又，如圖2所示，半導體晶片2係利用接合材料(例如銀膏等)固定於支持片1b之晶片支持面1c上。

另外，在排列配置於QFN5之封裝部3之背面3a之周緣部之外部端子之導線1a之被安裝面1d，形成有厚10 μ m程度之焊料電鍍層6。

又，支持片1b、支持片懸吊導線1e及各導線1a係利用例如銅等薄板材料所形成，其厚度為0.15~0.2 mm之程度。

另外，連接半導體晶片2之墊2a與對應於此之導線1a之配線4例如係使用金線等。

又，封裝部3係利用模塑法之樹脂封裝所形成，其時所使用之封裝用樹脂例如為熱硬化性之環氧樹脂等。

其次，說明有關本實施形態1之QFN5(半導體裝置)之製造方法。

首先，準備圖7所示之導線架1而該導線架1係包含可支持半導體晶片2之支持片1b、支持支持片1b之支持片懸吊導線1e、與配置於支持片1b之周圍之多數導線1a，且將相對向配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度形成長於被安裝面1d之內側端部1h間之長度。

即，如圖2所示，準備各導線1a分別呈現封裝部形成面1g之長度 $Q <$ 被安裝面1d之長度 P 之導線架1。

又，在導線架1如圖7所示，形成劃分支持片1b及其周圍之導線1a之切斷部。又，圖7所示點線部為模塑後之模塑線

1k。

另外，導線架1係可由1塊導線架1製造多數個QFN5之詩籤狀之細長之多連式構造，另外，可在1塊導線架1上以矩陣排列方式製造QFN5，因此，在1塊導線架1上，可利用矩陣排列方式形成多數個對應於1個QFN5之封裝區域。

又，在導線架1係利用例如銅(Cu)等所形成之薄板材料，其厚度例如為0.15~0.2 mm之程度，但前述材料及前述厚度等均不受此等所限定。

其後，準備在主面2b形成有半導體積體電路之半導體晶片2，將半導體晶片2配置於多數導線1a之各封裝部形成面1g之內側端部1h所圍成之區域內之支持面1b上。

其後，施行接合半導體晶片2之背面2c與支持片1b之晶片支持面1c之晶片接合(又稱晶片焊接或晶片安裝)。

即，將半導體晶片2搭載於導線架1之支持片1b之晶片支持面1c。

其時，使主面2b朝上，經由晶片接合材料(例如銀膏等)將半導體晶片2固定於導線架1之支持片1b。

接著，如圖2所示，利用配線4連接半導體晶片2之墊2a與對應於此之圖4所示之導線1a之封裝部形成面1g之接合點1f附近。

其後，利用樹脂模塑(在此使用傳遞模塑)法將半導體晶片2及多數配線4樹脂封裝而在導線架1之封裝部形成面1g側形成封裝部3(施行單面膜塑)。

其時，係利用使多數導線1a之被安裝面1d露出排列於封

裝部3之背面3a之周緣部之方式施行樹脂模塑。

在此，利用成型模具8(參照圖35)之模腔8c與QFN5以1比1相對應之單片模塑型之前述成型模具8施行樹脂模塑。

藉此，以矩陣配置方式將多數封裝部3形成於導線架1上。

其後，施行由導線架1切斷分離從封裝部3突出之各導線1a及支持片懸吊導線1e之導線切斷(單片化)。

在此，係沿著導線架1之切斷部1j切斷各導線1a，取得圖2所示之QFN5。

其次，說明本實施形態1之變形例之QFN5。

圖8、圖9係表示變形例之QFN5，又，圖10～圖12係表示變形例之QFN5之各導線1a之形狀。

即，圖8、圖9所示之QFN5雖構造與圖2所示之QFN5大致相同，但不同之點在於各導線1a之封裝部形成面1g之形狀，在各導線1a之封裝部形成面1g之內側端部1h形成有圖12所示之缺口部1i。

也就是說，在各導線1a之封裝部形成面1g之內側角部設有具有由封裝部形成面1g下陷之階差部之缺口部1i。

利用設置此缺口部1i，可將相對向配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成長於被安裝面1d之內側端部1h間之長度L，而與與圖2所示之QFN5同樣地，各導線1a呈現封裝部形成面1g之長度 $Q <$ 被安裝面1d之長度P。

又，在圖9所示之變形例之QFN5中，在各導線1a中，將配線4連接於由封裝部形成面1g下陷之缺口部1i。

因此，如圖13所示，在配線接合時，有必要認清半導體晶片2之端部與毛細管7之間隔Q而以可使焊接工具之毛細管7進入導線1a之缺口部1i之方式設定可搭載之晶片尺寸。

例如，使封裝體尺寸與如圖2所示之QFN5相同，且認清前述間隔Q(例如設定 $Q=0.05\text{ mm}$ 程度)而算出可搭載之晶片尺寸。首先，如圖9所示，假設相對向配置之導線1a彼此之被安裝面1d之內側端部1h間之長度L同樣為 3 mm 時，封裝部形成面1g之內側端部1h間之長度M為 3.84 mm ，考慮晶片接合之搭載精度與配線接合之可接合性時，距離半導體晶片2之緣需要 0.32 mm 之容限，可搭載之晶片尺寸之最大值N為長度 $M-0.64\text{ mm}=3.2\text{ mm}$ (即 $3.2\text{ mm}\times 3.2\text{ mm}$)。

此時，因在導線1a之封裝部形成面1g之內側端部1h形成有缺口部1i，故與圖2所示之QFN5相比時，也可搭載更大之半導體晶片2。

又，由於圖9所示之變形例之QFN5之其他構造及組裝方法以及其他作用效果均與圖2所示之QFN5相同，故省略重複之說明。

(實施形態2)

本實施形態2係說明有關與實施形態1所說明之QFN5大致相同構造之QFN9。

圖15係在採用將圖16所示之支持片1b形成小於半導體晶片2之主面2b之小支持片構造，且將封裝部3之一部分配置於支持片1b之背面11側之支持片埋入型構造之QFN9中，表示此QFN9組裝中樹脂模塑時之樹脂(封裝用樹脂)之流動狀

態。即，晶片尺寸增大時，在半導體晶片2背面2c側，封裝用樹脂較難以進入支持片1b之側面與導線1a間之區域，但本實施形態2之QFN9如圖16所示，由於利用半蝕刻等對支持片1b之背面11施行薄化加工，在樹脂模塑時，也可使封裝用樹脂進入支持片1b之背面11側。

因此，在支持片1b之背面11側，封裝用樹脂可沿著圖15所示之樹脂流動方向10流入，其結果，可使封裝用樹脂進入晶片背面之支持片1b之側面與導線1a間之區域，防止在前述區域產生空隙。

又，作為薄化支持片1b之背面11之加工方法，也可採用壓印加工。又，在圖15及圖16所示之QFN9中，因未施以支持片拱起加工，故支持片1b之晶片搭載側之面之晶片支持面1c與各導線1a之封裝部形成面1g被配置於相同高度。

其次，如圖17所示之變形例之QFN9係採用施以支持片拱起加工之支持片埋入型構造，支持片1b之晶片支持面1c被配置於由導線1a之封裝部形成面1g向晶片主面側之方向遠離之位置。此時，與圖15所示之QFN9同樣地，在支持片1b之背面11側，封裝用樹脂可沿著圖15所示之樹脂流動方向10流入，故可使封裝用樹脂進入晶片背面之支持片1b之側面與導線1a間之區域，防止在前述區域產生空隙。

因此，在搭載晶片端部接近導線1a之大尺寸之半導體晶片2之QFN9中，施行薄化支持片1b或支持片拱起加工可有效降低在晶片背面之支持片1b側面所形成之空隙。

其次，說明有關本實施形態2之QFN9之導線形狀。

成基端部1p而使封裝部形成面1g之寬度變窄。

藉此可提高導線1a在其延伸方向之抗拉強度，防止導線1a由封裝部3脫落。

又，在配線接合部1q中，封裝部形成面1g之寬度形成比其相反側之被安裝面1d寬，配線接合部1q之導線1a之寬方向之剖面形狀如圖21所示，係呈現上底之長度比下底更長之逆向之略呈台形形狀。

藉此可提高導線1a對封裝體厚度方向之抗拉強度。

又，本實施形態2之QFN9之導線1a在其導線圖案之加工中，採用蝕刻加工法，在蝕刻加工之際，由於係由導線1a之表背面兩側塗敷蝕刻液，故可由表背兩面側削蝕導線1a。

因此，在圖21及圖22所示之各導線之剖面形狀中，在各導線1a之厚度方向之中央附近形成彎曲結合部1r，可利用此彎曲結合部1r謀求導線1a之強度之提高與抗拉強度之提高。

又，導線圖案之加工並非限定於蝕刻加工，也可採用衝壓加工。

其次，說明本實施形態2之圖23～圖34所示之各種變形例之導線形狀。

圖23～圖25所示之導線1a在外形上與圖18～圖20所示之導線1a相同，如圖25所示，在導線1a之延伸方向之封裝部形成面1g與被安裝面1d中，由各模塑線1k至晶片側端部之長度呈現長度 $R < \text{長度} P$ ，另外，在配線接合部1q之封裝部形成面1g並未形成如圖19所示之凹部1m，封裝部形成面1g

列方式形成多數個對應於1個QFN9之封裝區域。

其後，施行步驟S2所示之晶片接合。

在此，係準備在主面2b形成有半導體積體電路之半導體晶片2，將半導體晶片2配置於多數導線1a之各封裝部形成面1g之內側端部1h所圍成之區域內之支持片1b上。

其後，施行接合半導體晶片2之背面2c與支持片1b之晶片支持面1c之晶片接合(又稱晶片焊接或晶片安裝)。

即，將半導體晶片2搭載於導線架1之支持片1b之晶片支持面1c。

其時，使主面2b朝上，經由晶片接合材料(例如銀膏等)、接合薄膜(接著膠帶等)將半導體晶片2固定於導線架1之支持片1b。

接著，施行步驟S3所示之配線接合。

在此，係利用金線等之導電性之配線4以配線接合連接半導體晶片2之墊2a與對應於此之圖19所示之導線1a之凹部1m內側區域之封裝部形成面1g之接合點1f附近。

其時，首先，施行連接半導體晶片2之墊2a與配線4之第1接合，其後，施行連接配線4與導線1a之配線接合部1q之封裝部形成面1g之凹部1m內側之接合點1f附近之第2接合。

在前述第2接合中，如圖36所示，將配線4壓斷而連接於導線1a，故需要有比第1接合之區域更寬之面積之區域，但在本實施形態2之導線1a之情形，由於在導線1a之封裝部形成面1g僅形成1個凹部1m，故容易確保第2接合之區域，容易施行第2接合。

配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成長於被安裝面1d之內側端部1h間之長度L，故長度 $M > \text{長度} L$ ，其結果，可擴大各導線1a之封裝部形成面1g之內側端部1h所圍成之晶片搭載區域，不必改變封裝體尺寸，即可謀求可搭載之晶片尺寸之擴大化，但在此種半導體裝置中，本實施形態3之QFN15如圖39或圖41所示，搭載著晶片端部接近於各導線1a之程度之大的半導體晶片2。

此時，隨著半導體晶片2之增大，其放熱性也有提高之必要，因此，採用使支持片1b由封裝部3之背面3a露出，並增大至與半導體晶片2大致相同大小之構造。

圖39、圖40所示之QFN15係採用略大於半導體晶片2之支持片1b，使此支持片1b由封裝部3之背面3a露出，其結果，可提高QFN15之放熱性。

又，圖41、圖42所示之QFN15係採用略小於半導體晶片2之支持片1b之情形，利用使此支持片1b由封裝部3之背面3a露出，可以提高QFN15之放熱性。

又，如圖43之局部放大剖面圖所示，在半導體晶片2懸吊在支持片1b外側之構造之QFN15之情形，半導體晶片2由支持片1b之端部突出之長度(懸吊長度：R)最好在導線1a之被安裝面1d之導線延伸方向之長度S以下。即，最好 $R \leq S$ 。

因此，可抑制半導體晶片2由支持片1b之端部突出之長度，其結果，可在晶片端部與導線1a之內側端部1h間形成間隙T。因此，在樹脂模塑時，也可使封裝用樹脂進入半導體晶片2之背面2c側之支持片1b之側面，藉以防止在支持片1b

之側面產生空隙。

(實施形態4)

本實施形態4係利用謀求QFN構造之半導體裝置之更小型化之技術，提供主要可謀求GND電位等固定電位之穩定化之半導體裝置。茲列舉具有裝設可藉高頻率啟動之電路之半導體晶片2之QFN16作為一例加以說明。

即，實施形態1所說明之圖2所示之QFN5，將相對向配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成長於被安裝面1d之內側端部1h間之長度L，其結果，可擴大各導線1a之封裝部形成面1g之內側端部1h所圍成之晶片搭載區域，謀求可搭載之晶片尺寸之擴大化而不必改變封裝體尺寸大小。但在此種半導體裝置中，本實施形態4之QFN16係在不增加分配至導線1a之GND端子等共通端子而使用支持片懸吊導線1e之一部分作為共通端子用之外部端子，以謀求GND電位等固定電位之穩定化。

因此，利用使用支持片懸吊導線1e之一部分作為GND用之外部端子，也可使以往分配至導線1a之GND用導線成為空的導線，藉此可減少導線數，謀求半導體裝置之小型化。

圖44、圖45所示之QFN16係與圖2所示之QFN5同樣地，將相對向配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成長於被安裝面1d之內側端部1h間之長度L，其結果，可擴大各導線1a之封裝部形成面1g之內側端部1h所圍成之晶片搭載區域，並在與支持片懸吊導線(懸吊導線)1e之被安裝面1n之相反側之面之上面1q之前述被安裝

面1n相對向之區域，連接一端連接於半導體晶片2之墊2a之導電性配線4之他端。

即，利用配線4連接半導體晶片2之GND用之墊2a與支持片懸吊導線1e，由於4條支持片懸吊導線1e分別連接於支持片1b，故可使用4條支持片懸吊導線1e作為GND用之外部端子。

其時，配線4連接於支持片懸吊導線1e之處為支持片懸吊導線1e之露出部1p與前述被安裝面1n相對向之上面1q。

即，如圖45所示，在支持片懸吊導線1e之板厚方向中未施行偏心處理之處(例如未施行板厚之變更或彎曲加工等之處)連接配線4。圖45所示之QFN16係將支持片1b及支持片懸吊導線1e之一部分施行半蝕刻處理，而在支持片懸吊導線1e之板厚不變之露出部1p連接配線4。

又，對支持片懸吊導線1e之配線接合動作為了提高配線接合時之穩定性，最好接合在支持片懸吊導線1e儘量靠近外側之處。此係為使配線接合時之熱塊確實密接於露出部1p之故，藉此，可使配線接合時之熱及超音波由支持片懸吊導線1e之露出部1p確實傳達而使支持片懸吊導線1e之配線接合動作得以穩定。

另外，也可應付半導體晶片2之大型化之需要，因此，配線接合動作最好接合在支持片懸吊導線1e儘量靠近外側之處。

又，在QFN16之支持片懸吊導線1e之露出部1p之上面1q，於其配線4之連接處之外側，形成有狹縫之凹部1r。此凹

部1r係在圖46及圖47所示樹脂模塑後之構造中切斷導線之際，利用拉扯而切斷支持片懸吊導線1e時，用於緩和施加至支持片懸吊導線1e之配線4之連接處之應力。

即，利用拉扯支持片懸吊導線1e而切斷之動作係利用對圖47所示之支持片懸吊導線1e之缺口部1u施加旋轉應力而拉扯而切斷之動作，其時，使切斷時之導線厚度方向之應力集中於凹部1r，以防止切斷應力施加至配線4之連接處，藉此可防止支持片懸吊導線1e切斷時之配線剝落之發生。

另外，可藉凹部1r延長支持片懸吊導線1e上之洩漏流徑，降低沿著支持片懸吊導線1e入侵之水份。

又，在支持片懸吊導線1e之露出部1p之配線4之連接處外側之兩側面設有突起部1s。此突起部1s與凹部1r同樣地係在利用拉扯而切斷支持片懸吊導線1e時，用於緩和施加至支持片懸吊導線1e之配線4之連接處之應力，但也用於緩和切斷支持片懸吊導線1e時之導線水平方向之應力。即，切斷支持片懸吊導線1e時，此突起部1s可承受導線水平方向之切斷應力，防止切斷應力施加至配線4之連接處。

另外，也可藉此突起部1s延長支持片懸吊導線1e上之洩漏流徑，降低沿著支持片懸吊導線1e入侵之水份。

又，如圖50及圖51之變形例之QFN16所示，在支持片懸吊導線1e之露出部1p之上面1q之配線4之連接處內側，也可形成另一個凹部1t。此形成於配線4之連接處內側之凹部1t係在QFN16安裝於安裝基板17(參照圖53)之狀態下之可靠性試驗(溫度循環試驗)時，用於吸收其熱應力，可防止可靠

性試驗時，熱應力施加至配線4之連接處。

又，本實施形態4之QFN16在使用支持片懸吊導線1e作為GND用之外部端子之際，為了不減少導線1a之數，在封裝部3之背面3a之4個角部之倒角部3c配置支持片懸吊導線1e之露出部1p之被安裝面1n。

即，在原來之QFN構造之半導體裝置中，支持片懸吊導線1e係被配置於封裝部3之角部，利用此方式在封裝部3之角部配置支持片懸吊導線1e之露出部1p之被安裝面1n，以此被安裝面1n作為GND用之外部端子時，可不必減少導線1a之數。換言之，使用支持片懸吊導線1e作為GND用之外部端子時，也可使以往分配至導線1a之GND用導線成為空的導線，可減少導線數，謀求半導體裝置之小型化。

藉此，可減少QFN16之安裝面積。

又，如圖48及圖49之變形例之QFN16係採用施行使支持片1b之位置高於導線1a之支持片拱起加工之構造，藉此可形成利用封裝部3封裝支持片1b之支持片埋入型構造。又，如圖44及圖45之QFN16係施行半蝕刻加工，以形成較薄之支持片1b之背面，此情形也可形成利用封裝部3封裝支持片1b之支持片埋入型構造。

如此，採用支持片埋入型構造時，支持片1b並未露出封裝部3之背面3a，故在圖53所示之安裝基板17中，也可將配線繞接至對應於QFN安裝時之支持片1b之下方之區域，提高在安裝基板17之配線繞接之自由度。

其次，利用圖52及圖53，說明QFN安裝時之外部端子(導

線1a及支持片懸吊導線1e)與安裝基板17之端子17a之配置關係。

首先，如圖52所示，支持片懸吊導線1e之露出部1p之導線延伸方向之被安裝面1n之長度U最好比支持片懸吊導線1e之露出部1p之厚度為長。以一例表示時，露出部1p之板厚(導線架1之板厚)為0.2 mm時， $U=0.55$ mm。但露出部1p之厚度及長度U並非限定於此等數值。

如此，延長支持片懸吊導線1e之露出部1p之長度U時，可增加與安裝基板17之端子17a之連接面積，故可提高QFN16之放熱性。

但，在支持片懸吊導線1e之露出部1p之被安裝面1n之內側區域，與鄰接之導線1a之最短距離部係被封裝部3所封裝。即，考慮放熱性時，露出部1p之被安裝面1n固然以長長地向內側延伸較為理想，但如圖52所示，由於配置有鄰接於支持片懸吊導線1e之兩側之導線1a，故必須注意焊料洩漏之問題。

因此，事先利用被封裝部3封裝支持片懸吊導線1e之被安裝面1n之內側區域中與鄰接之導線1a之最短距離部時，即可防止安裝時之焊料洩漏至安裝基板17。

另外，與鄰接於支持片懸吊導線1e之導線1a連接之安裝基板17之端子17a如圖53所示，其內側端部17b最好配置於與導線1a之被安裝面1d之內側端部1h同一面或其外側。

即，將QFN16安裝於安裝基板17之際，利用將安裝基板17之端子17a之內側端部17b配置於與對應於此之導線1a之

被安裝面1d之內側端部1h同一面或其遠離之外側時，可防止安裝基板17之端子17a接近至接觸於支持片懸吊導線1e之露出部1p之程度，可防止安裝時之焊料洩漏至安裝基板17。

其次，說明本實施形態4之QFN16之電的特性之檢查情形。

圖54及圖55係表示有關QFN16之電的特性之檢查方法，在檢查之際，如圖56及圖57所示，將QFN16配置於插座18之本體18a之定位台18c，關上蓋部18b，利用封裝體壓板18d壓住QFN16而將QFN16裝定於插座18。

藉此，如圖55所示，可使接觸端腳18e與支持片懸吊導線1e之露出部1p之被安裝面1n相接觸，以施行電的特性之檢查。

其時，如圖58所示，在由獨立之GND用之導線1a，經由墊2a及高頻放大器2d，將GND電位供應至高頻之A電路之狀態，加上由共通端子之支持片懸吊導線1e之露出部1p經由墊2a及高頻放大器2d，將GND電位供應至高頻之A電路，以施行測試。

如此，充分供應GND電位，以謀求GND電位之穩定化，並利用確保A電路之高頻特性之條件施行測試，可改善半導體晶片2之高頻特性。即，可利用更接近於實際使用作為製品之狀態，對高頻之A電路之特性施行測試。

又，將QFN16裝定於插座18之際，由於訊號用之接觸端腳18e也接觸於各訊號用之導線1a，故可依需要經由特定之導線1a輸入電訊號，以施行所希望之電的特性之檢查。

(實施形態5)

圖59係表示本實施形態5之QFN19之構造，QFN19雖將配線4連接至支持片懸吊導線1e，但在各導線1a中，圖2所示之被安裝面1d之長度P與封裝部形成面1g之長度Q之關係並非 $P > Q$ ，而係 $P=Q$ 之情形。

即，具有被安裝面1d與封裝部形成面1g之長度相等之構造。

在此種構造之QFN19中，也可利用將配線4連接至支持片懸吊導線1e之技術及在支持片懸吊導線1e設置凹部1r、1t及突起部1s之技術，獲得與實施形態4之QFN16相同之效果。

以上，已就本發明人所創見之發明，依據實施形態予以具體說明，但本發明並不僅限定於前述實施形態，在不脫離其要旨之範圍內，當然可作種種適當之變更。

例如，在前述實施形態1中，係說明利用以矩陣排列形成有多數個如圖7所示之封裝體區域(切斷部1j圍成之區域)之導線架1組裝QFN5之情形，但就半導體裝置(QFN5)之組裝而言，也可利用前述封裝體區域多數個排成1行所形成之詩籤狀之多連式導線架1予以組裝。

又，在實施形態4所說明之支持片懸吊導線1e設置凹部1r、1t及突起部1s，以緩和施加至配線4之連接處之應力之技術方面，並非限定於QFN構造之半導體裝置，只要屬於非導線型之半導體裝置，也可適用於導線1a向相對向之2方向延伸之半導體裝置。

產業上之可利用性

如以上所述，本發明之半導體裝置適合於使用作為各導線之一部分露出配置於封裝部之背面之端部之非導線型之半導體裝置，尤其適合於導線向4方向延伸之QFN。

【圖式簡單說明】

圖1係透過封裝部顯示本發明之實施形態1之半導體裝置(QFN)之構造之導線架構造之一例之平面圖，圖2係圖1所示之QFN構造之剖面圖，圖3係表示圖1所示之QFN之組裝所使用之導線架之導線構造之放大局部底面圖，圖4係圖3所示導線之放大局部平面圖，圖5係圖3所示導線之放大局部剖面圖，圖6係圖4所示導線之沿A-A線之剖面圖，圖7係表示圖1所示之QFN之組裝所使用之導線架之導線構造之一例之局部平面圖，圖8係透過封裝部顯示本發明之實施形態1之變形例之半導體裝置(QFN)之構造之導線架構造之平面圖，圖9係圖8所示之QFN構造之剖面圖，圖10係表示圖8所示之QFN之組裝所使用之導線架之導線構造之放大局部底面圖，圖11係圖10所示導線之放大局部平面圖，圖12係圖11所示導線之放大局部剖面圖，圖13係表示圖8所示之QFN之組裝中配線接合時之半導體晶片與毛細管之間隔之一例之局部側面圖，圖14係表示對本發明之實施形態1之QFN之比較例之QFN之構造之剖面圖，圖15係表示本發明之實施形態2之QFN之封裝用樹脂之流動狀態之一例之平面圖，圖16係圖15所示之QFN構造之剖面圖，圖17係本發明之實施形態2之變形例之半導體裝置(QFN)之構造之剖面圖，圖18係表示圖15所示之QFN之組裝所使用之導線架之導線構造

之放大局部底面圖，圖19係圖18所示導線之放大局部平面圖，圖20係圖18所示導線之放大局部剖面圖，圖21係圖19所示導線之沿J-J線之剖面圖，圖22係圖19所示導線之沿B-B線之剖面圖，圖23、圖26、圖29及圖32係表示本發明之實施形態2之變形例之導線構造之放大局部底面圖，圖24、圖27、圖30及圖33係各導線之放大局部平面圖，圖25、圖28、圖31及圖34係各導線之放大局部剖面圖，圖35係圖15所示之QFN(單片模塑型)之組裝步驟之一例之製程流程圖，圖36係表示圖35所示之組裝中配線接合時之構造之一例之放大局部剖面圖，圖37係表示本發明之實施形態2之變形例(一次模塑型)之組裝步驟之製程流程圖，圖38係表示圖37所示之組裝中樹脂模塑時之構造之一例之局部剖面圖與放大局部剖面圖，圖39係透過封裝部顯示本發明之實施形態3之QFN之構造之一例之平面圖，圖40係圖39所示之QFN構造之剖面圖，圖41係透過封裝部顯示本發明之實施形態3之變形例之QFN之構造之平面圖，圖42係圖41所示之QFN構造之剖面圖，圖43係圖42所示之C部構造之放大局部剖面圖，圖44係透過封裝部顯示本發明之實施形態4之QFN之構造之一例之平面圖，圖45係沿著圖44所示之D-D線切斷之構造之剖面圖，圖46係透過封裝部顯示圖44所示之QFN組裝中樹脂模塑後之構造之一例之局部平面圖，圖47係沿著圖46所示之E-E線切斷之構造之局部剖面圖，圖48係透過封裝部顯示本發明之實施形態4之變形例之QFN構造之平面圖，圖49係沿著圖48所示之F-F線切斷之構造之剖面圖，圖50係透

過封裝部顯示本發明之實施形態4之變形例之QFN構造之平面圖，圖51係沿著圖50所示之G-G線切斷之構造之剖面圖，圖52係對本發明之實施形態4之QFN之安裝基板之安裝構造之各導線之被安裝面與基板端子之關係之一例之放大局部平面圖，圖53係表示與圖52所示之安裝構造之導線之基板端子之連接狀態之放大局部平面圖，圖54係透過封裝部顯示本發明之實施形態4之QFN組裝後之電的特性檢查時之狀態之一例之平面圖，圖55係沿著圖54所示之H-H線切斷之構造之剖面圖，圖56係透本發明之實施形態4之QFN組裝後之電的特性檢查時之插座裝定狀態之一例之剖面圖，圖57係表示圖56所示之I部構造之放大局部剖面圖，圖58係表示圖56所示之電的特性檢查時之GND電位之供應狀態之一例之局部平面圖，圖59係透過封裝部顯示本發明之實施形態5之QFN構造之一例之平面圖。

【圖式代表符號說明】

1	導線架
1a	導線
1b	支持片
1c	晶片支持面
1d	被安裝面
1e	懸吊導線
1f	接合點
1g	封裝部形成面
1h	內側端部

1i	缺 口 部
1j	切 斷 部
1l	背 面
1m	凹 部
1k	模 塑 線
1n	端 部 厚 部
1p	基 端 部
1q	配 線 接 合 部
1r	彎 曲 結 合 部
1s	突 起 部
1t	凹 部
2	半 導 體 晶 片
2a	墊
2b	主 面
2c	背 面
2d	高 頻 放 大 器
3	封 裝 部
3a	背 面
3b	側 面
3c	倒 角 部
4	配 線
6	焊 料 電 鍍 層
7	毛 細 管
8	成 型 模 具

伍、中文發明摘要：

本發明之半導體裝置係由搭載半導體晶片2之支持片1b、將半導體晶片2樹脂封裝而形成之封裝部3、具有露出於封裝部3之背面3a的周緣部之被安裝面1d與配置於其相反側之封裝部形成面1g之多數導線1a、及連接半導體晶片2之墊2a與導線1a之配線4所構成，將多數導線1a中相對向配置之導線1a彼此之封裝部形成面1g之內側端部1h間之長度M形成為長於被安裝面1d之內側端部1h間之長度L，藉此可擴大各導線1a之封裝部形成面1g之內側端部1h所包圍形成之晶片搭載區域，謀求可搭載之晶片尺寸之擴大化。

陸、日文發明摘要：

半導体チップ(2)が搭載されたタブ(1b)と、半導体チップ(2)が樹脂封止されて形成された封止部(3)と、封止部(3)の裏面(3a)の周縁部に露出する被実装面(1d)とその反対側に配置された封止部形成面(1g)とを有した複数のリード(1a)と、半導体チップ(2)のパッド(2a)とリード(1a)とを接続するワイヤ(4)とからなり、複数のリード(1a)のうち、対向して配置されたリード(1a)同士における封止部形成面(1g)の内側端部(1h)間の長さ(M)が被実装面(1d)の内側端部(1h)間の長さ(L)より長くなるように形成され、これにより、各リード(1a)の封止部形成面(1g)の内側端部(1h)によって囲まれて形成されるチップ搭載領域を拡大することができ、搭載可能チップサイズの拡大化を図ることができる。

拾壹、圖式：

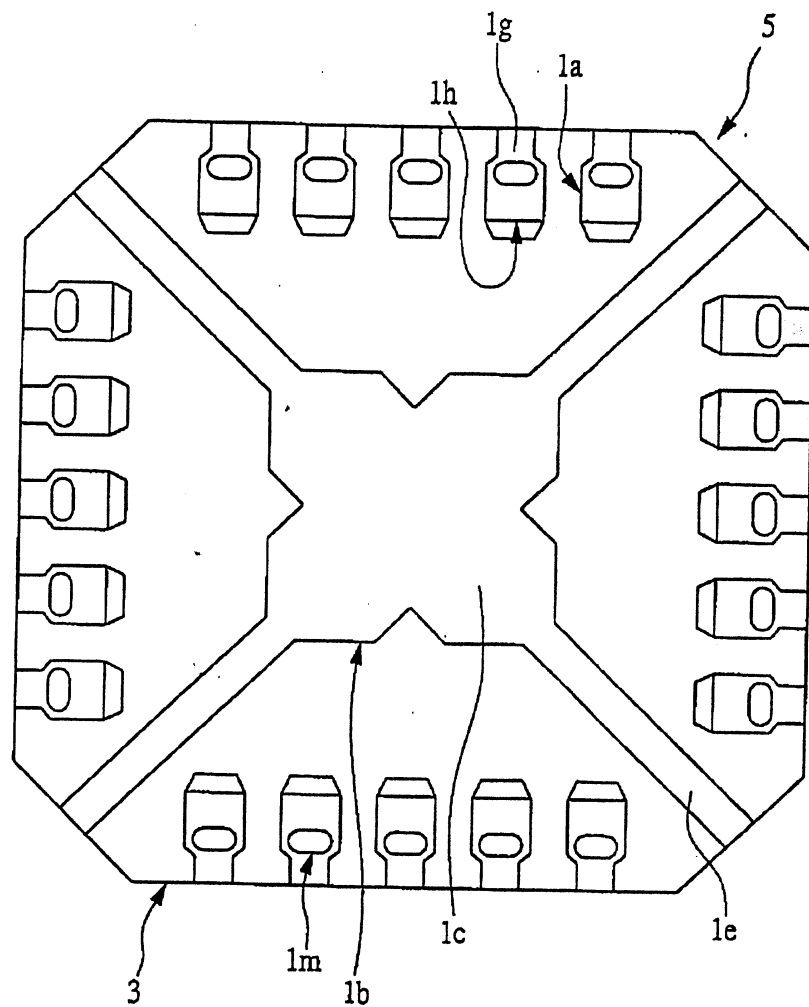


圖 1

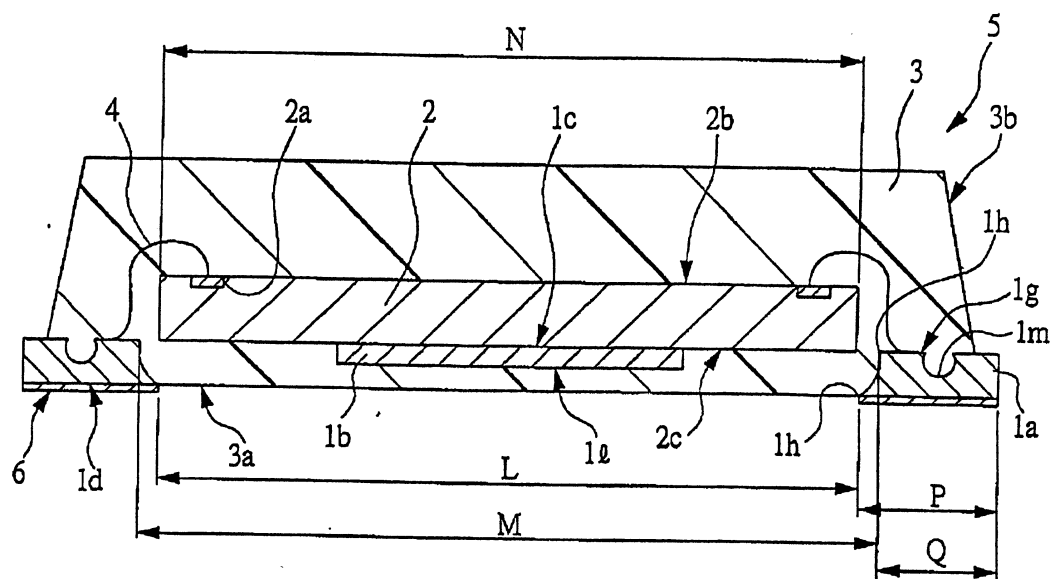


圖 2

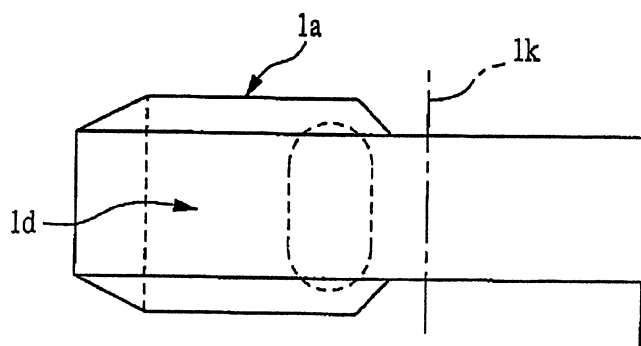


圖 3

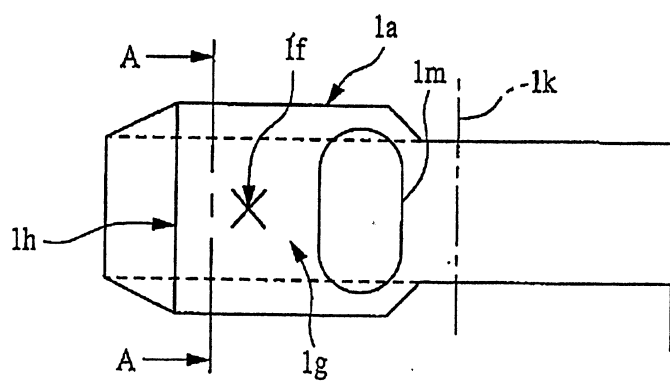


圖 4

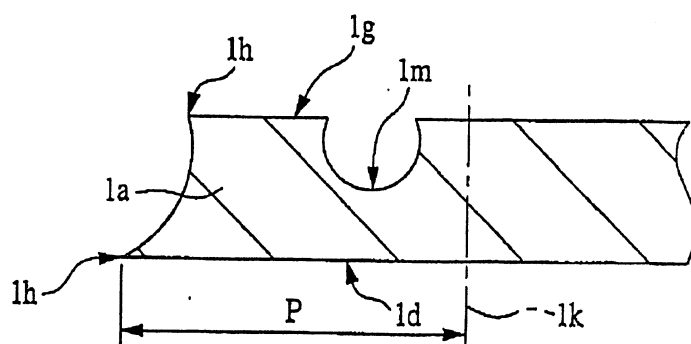


圖 5

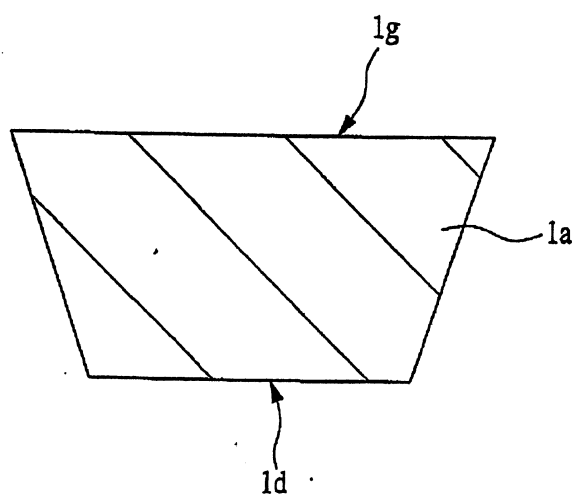


圖 6

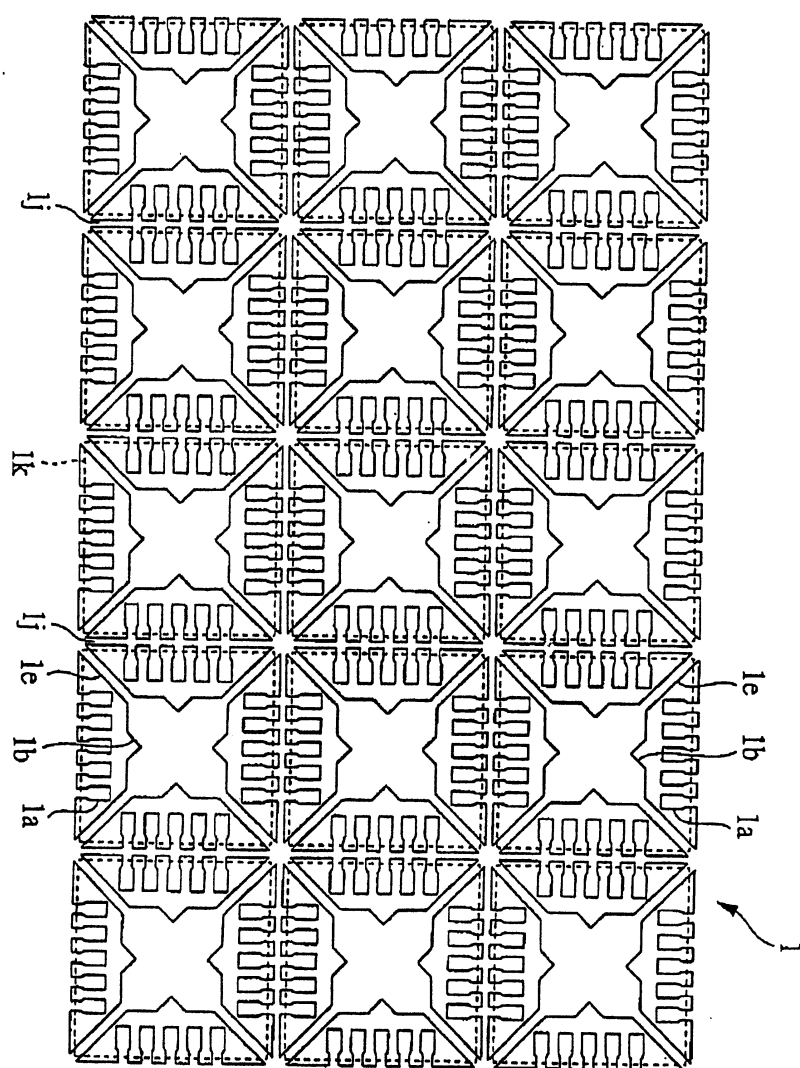


圖 7

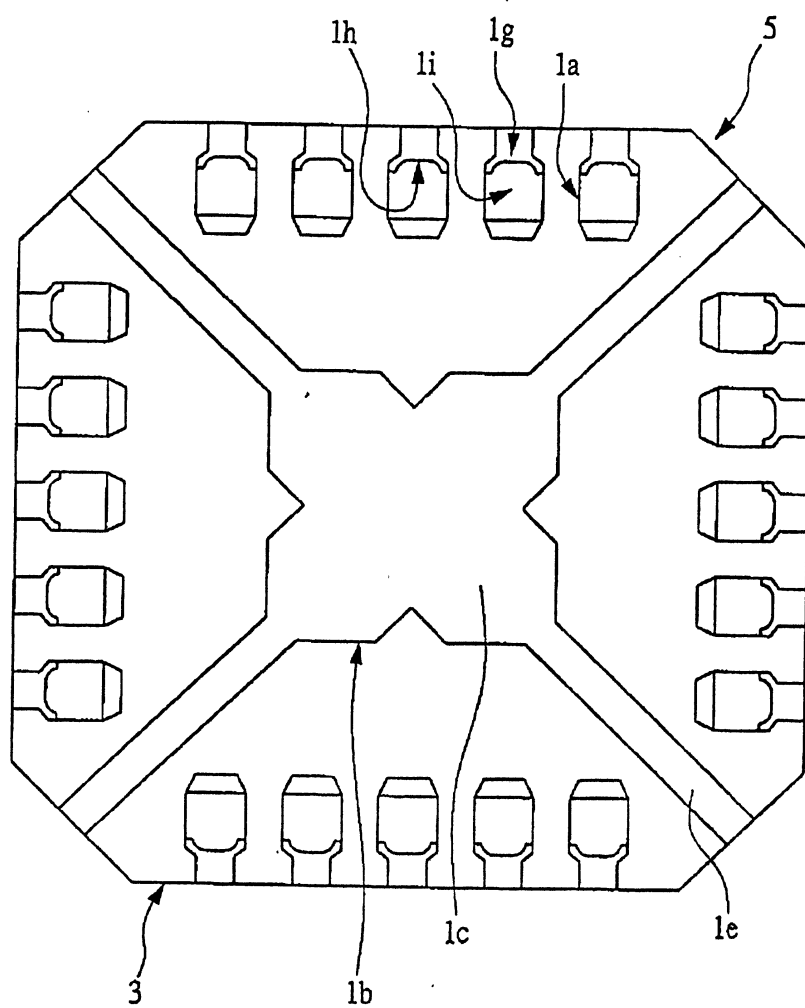


圖 8

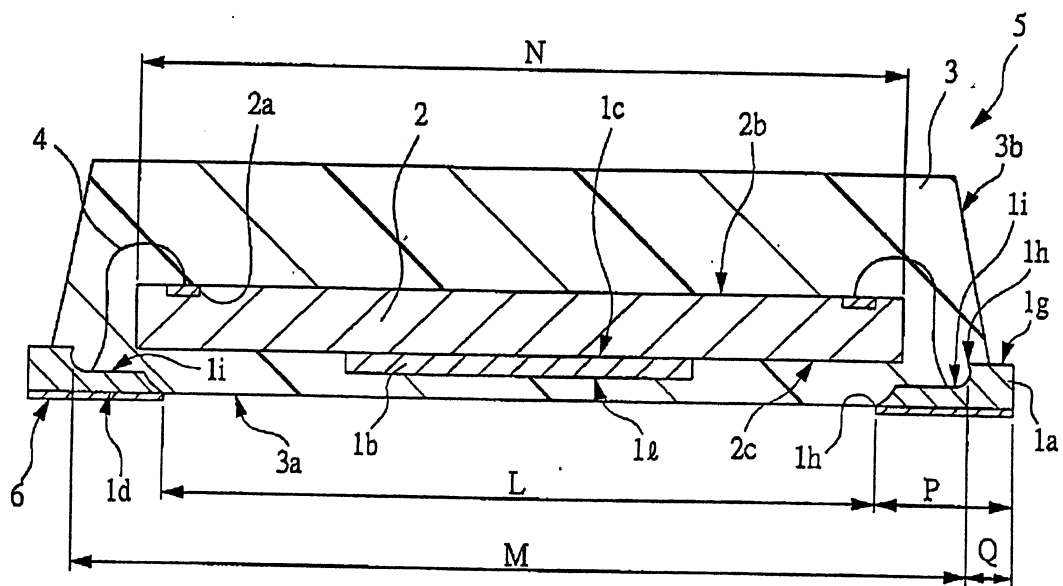


圖 9

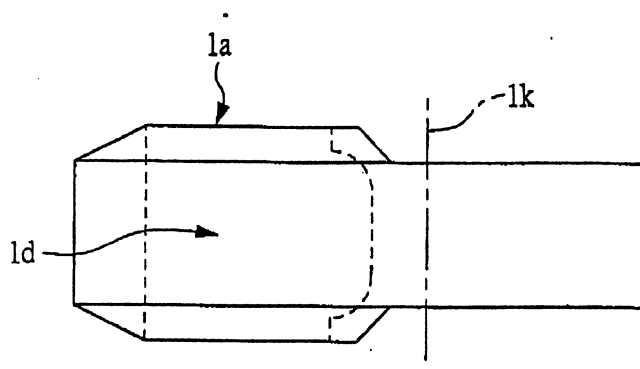


圖 10

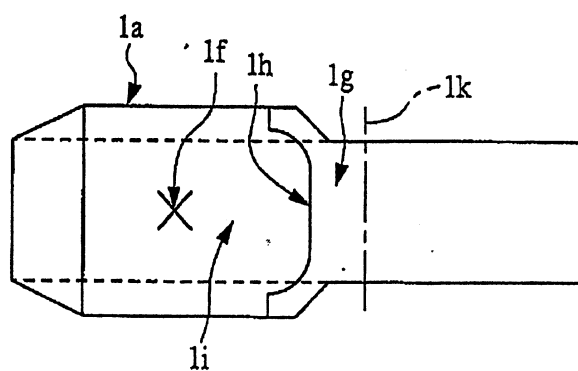


圖 11

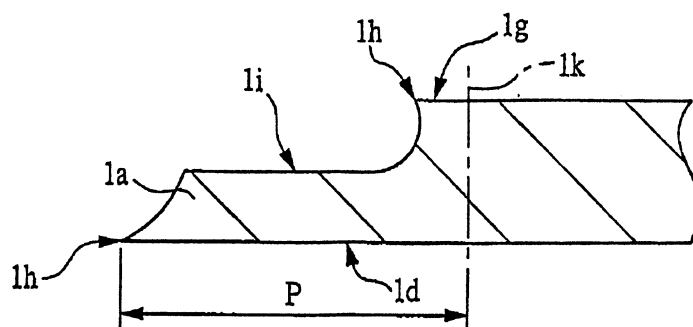


圖 12

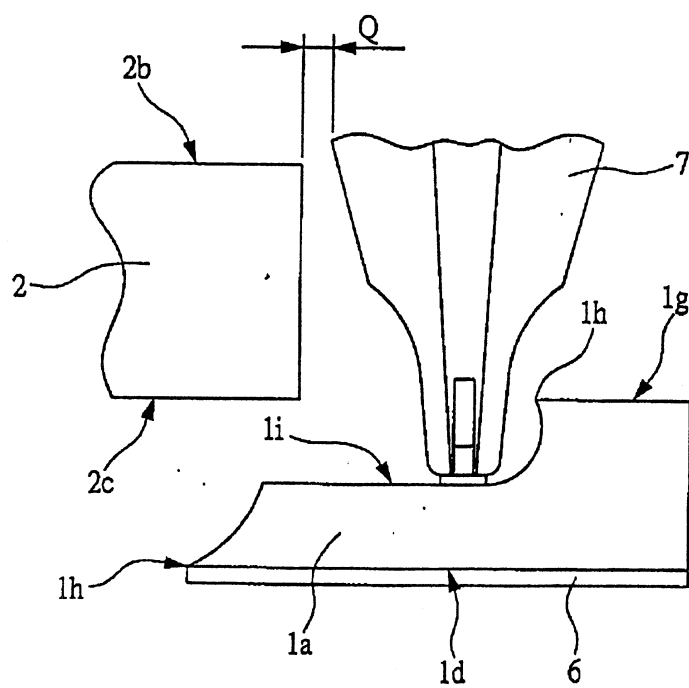


圖 13

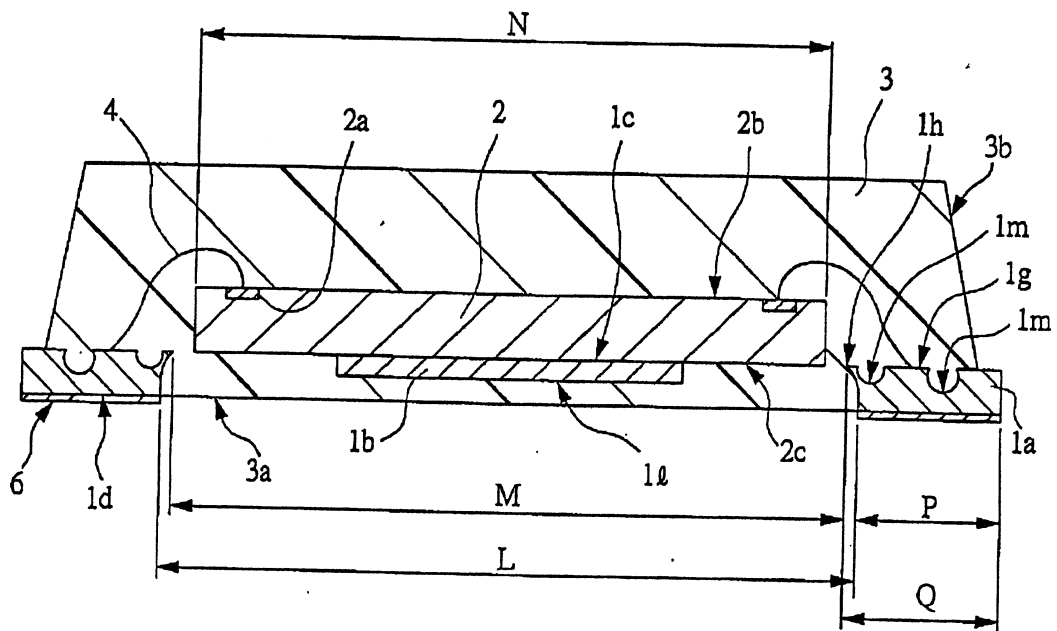


圖 14

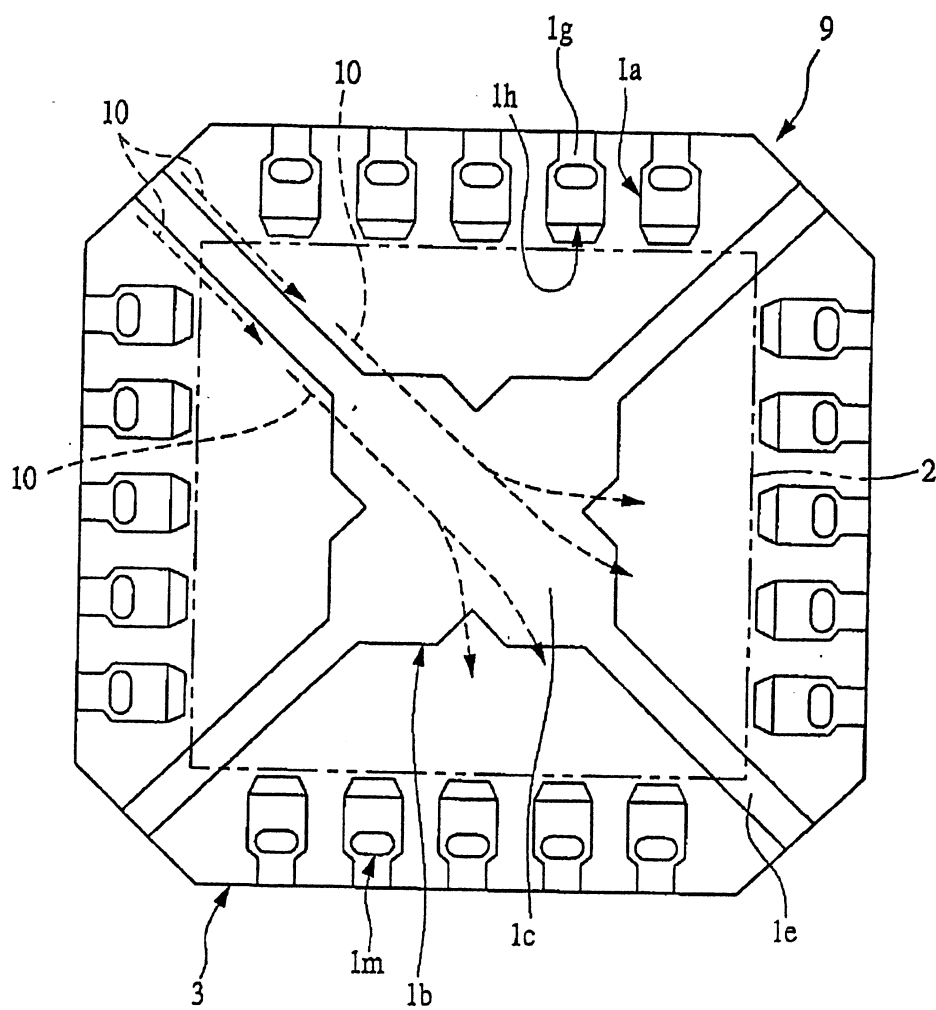


圖 15

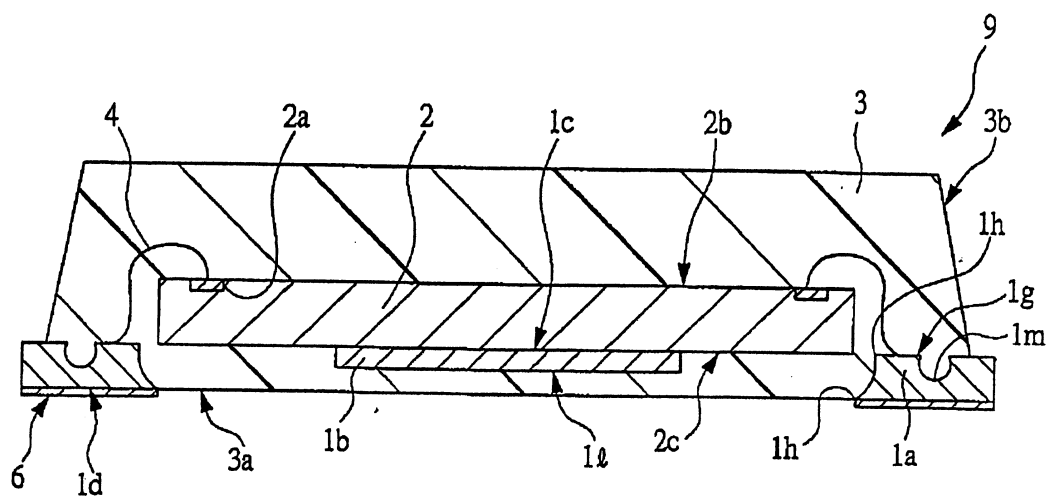


圖 16

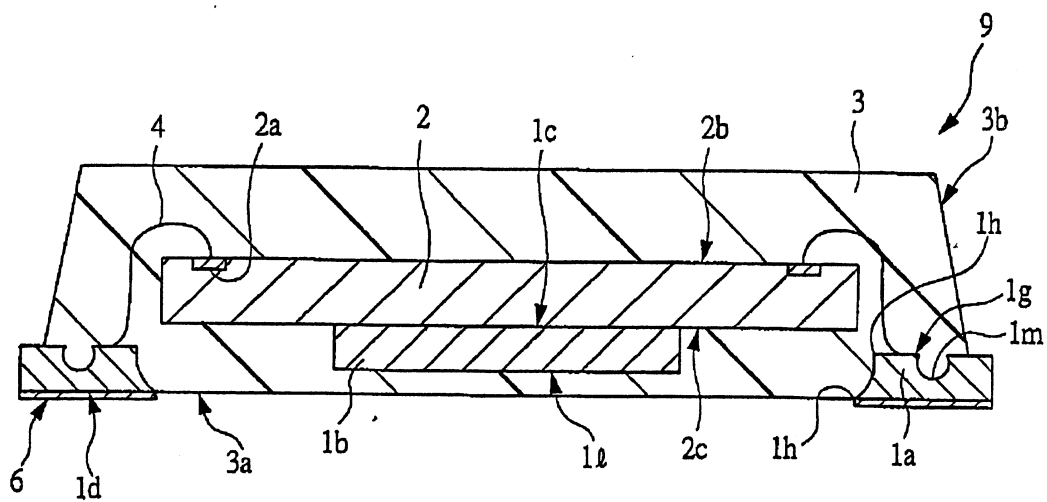


圖 17

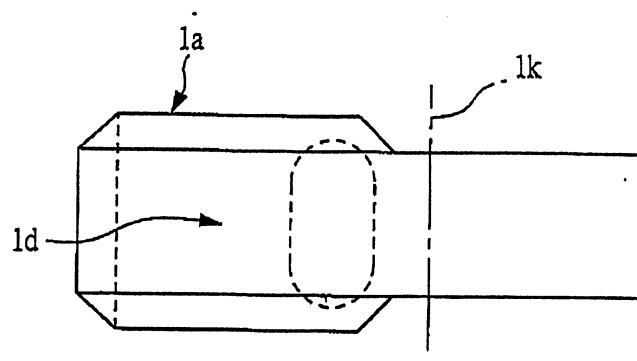


圖 18

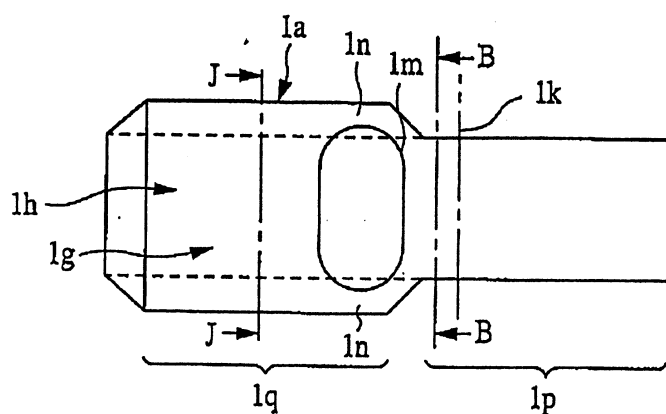


圖 19

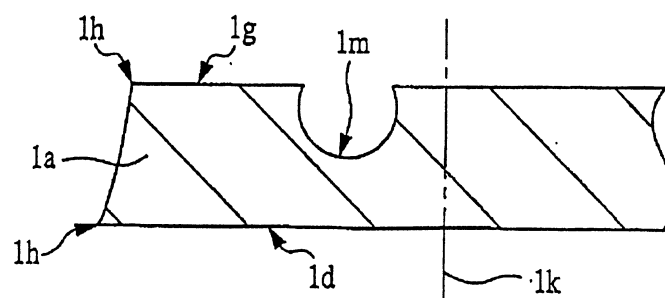


圖 20

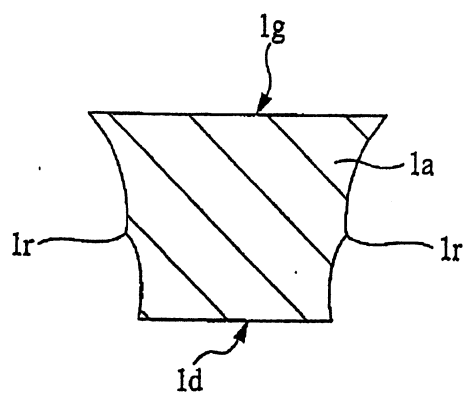


圖 21

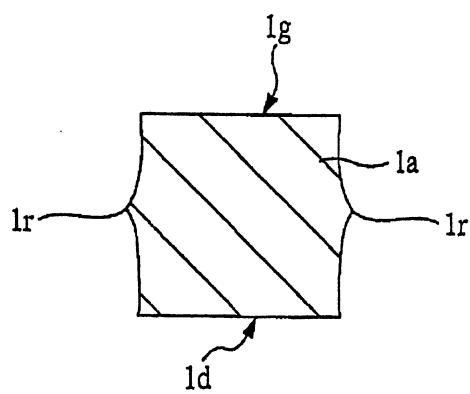


圖 22

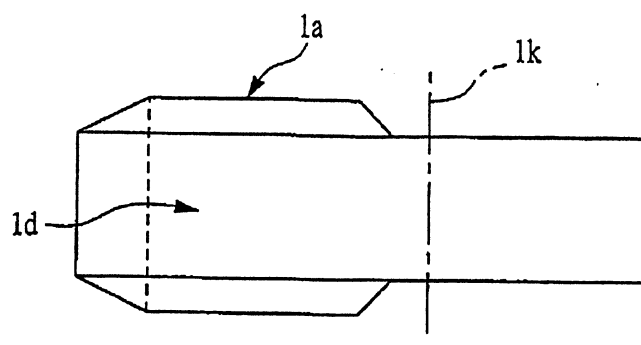


圖 23

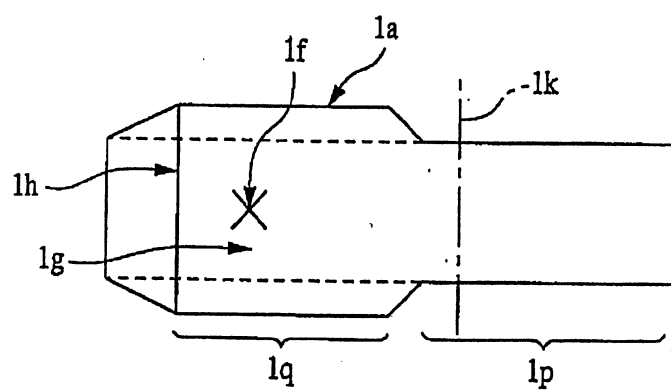


圖 24

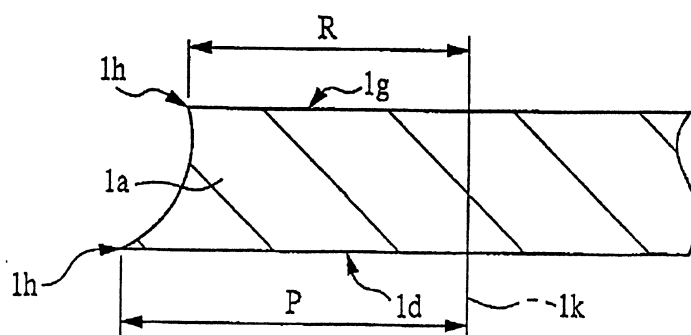


圖 25

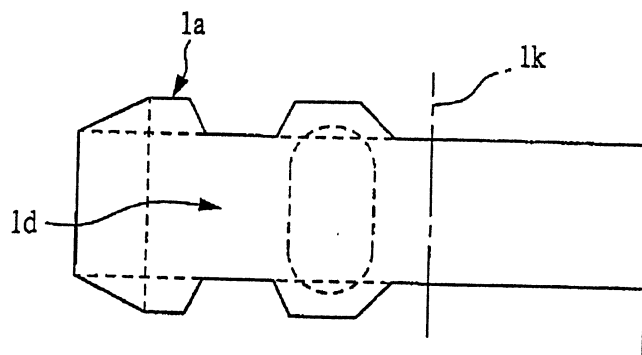


圖 26

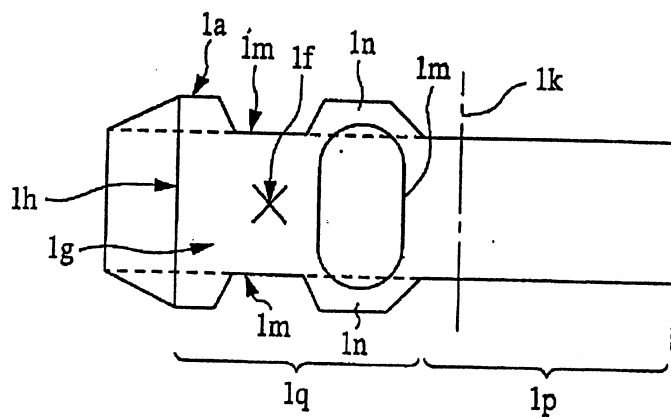


圖 27

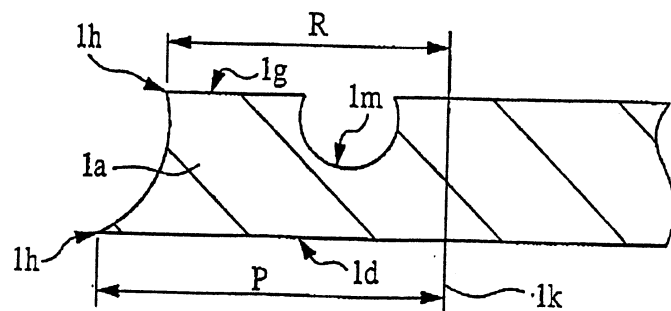


圖 28

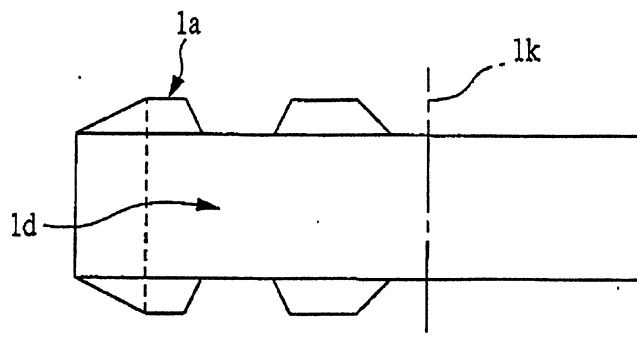


圖 29

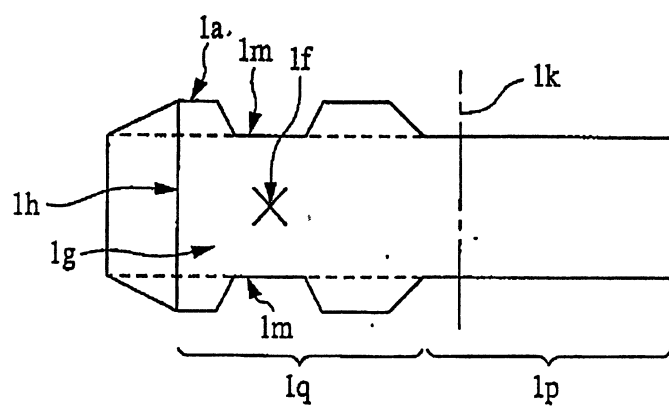


圖 30

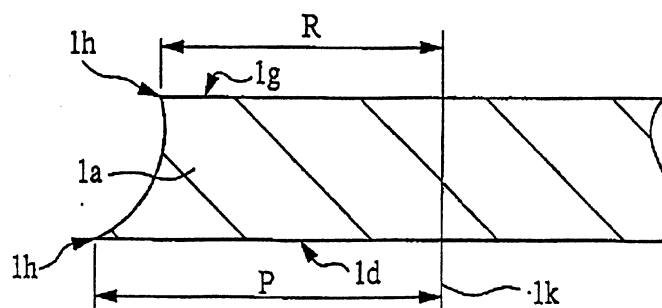


圖 31

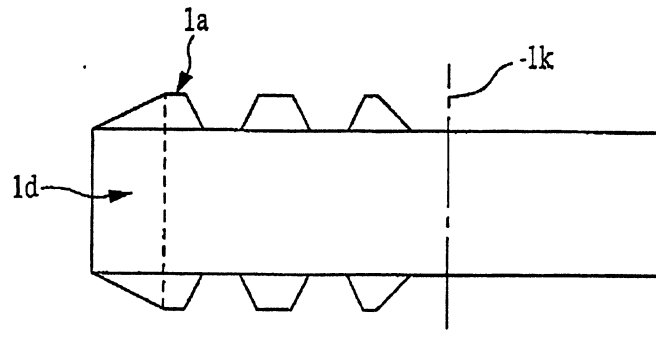


圖 32

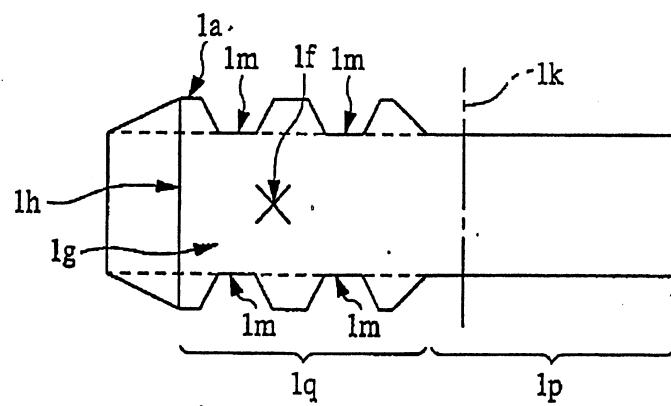


圖 33

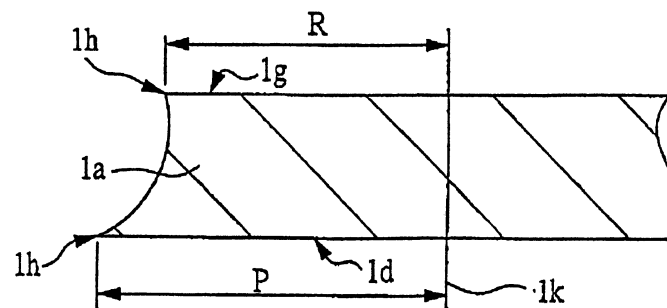


圖 34

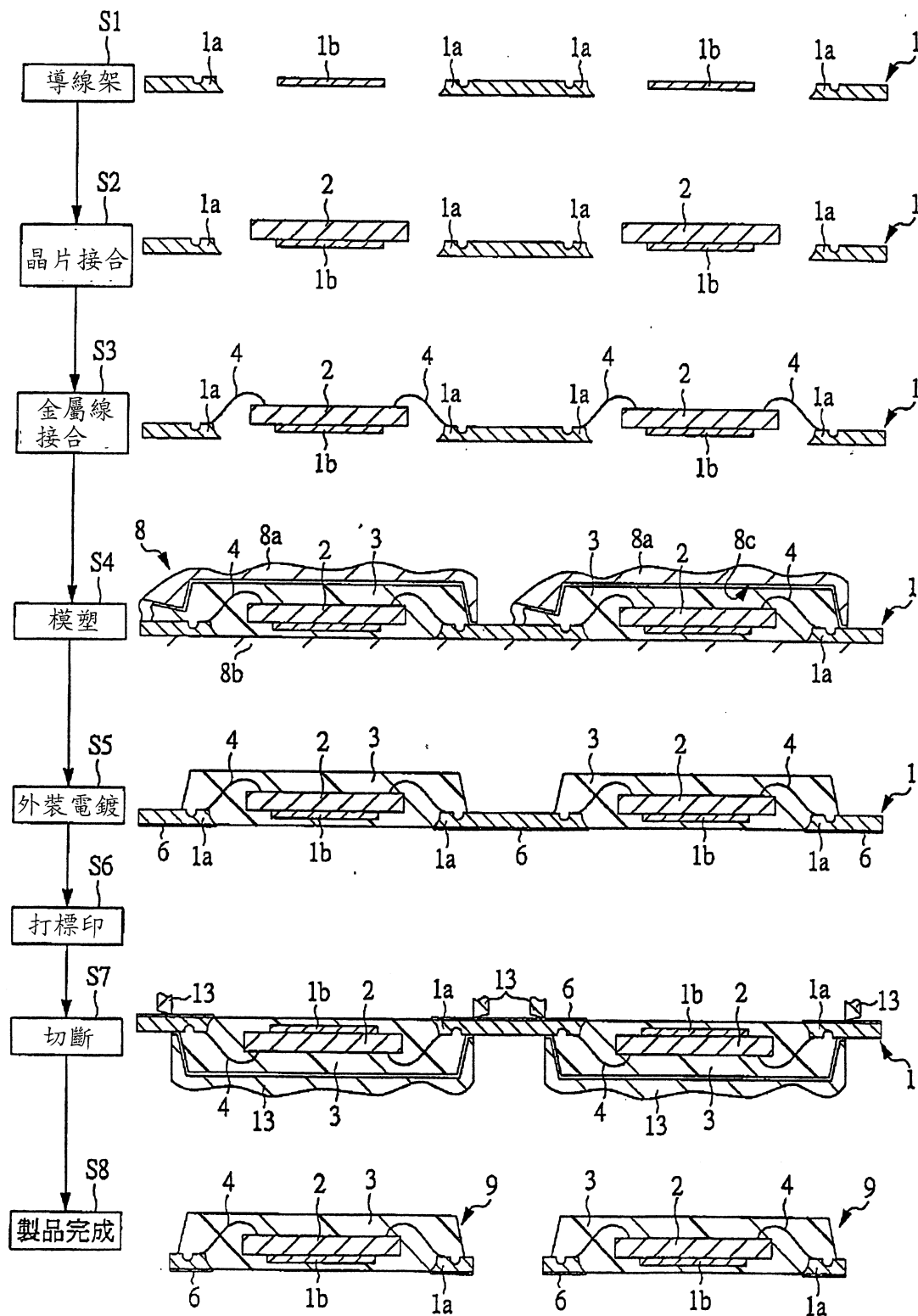


圖 35

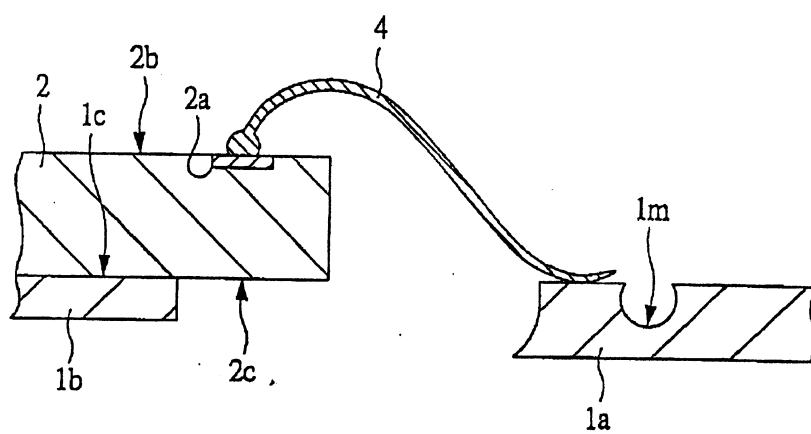


圖 36

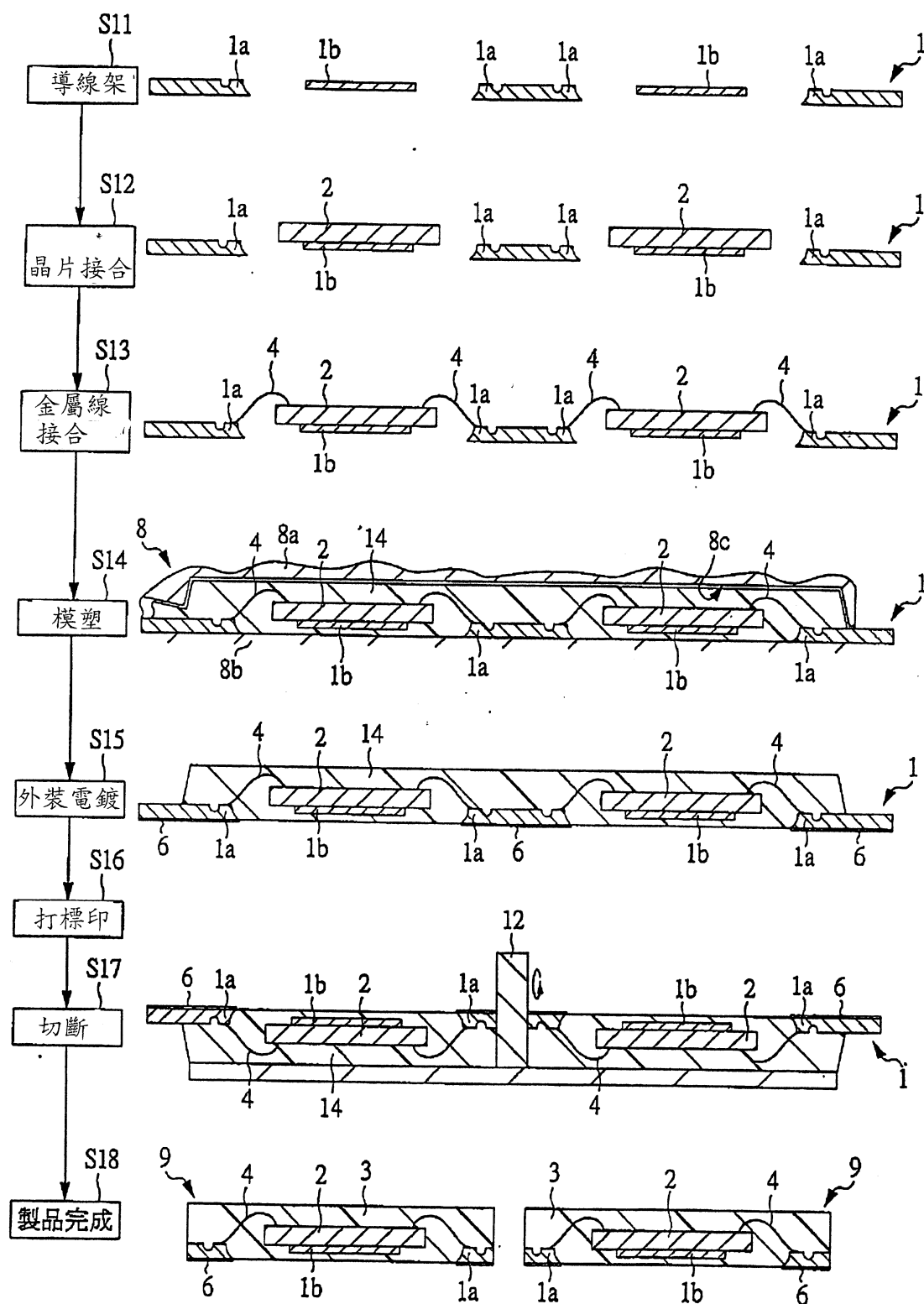


圖 37

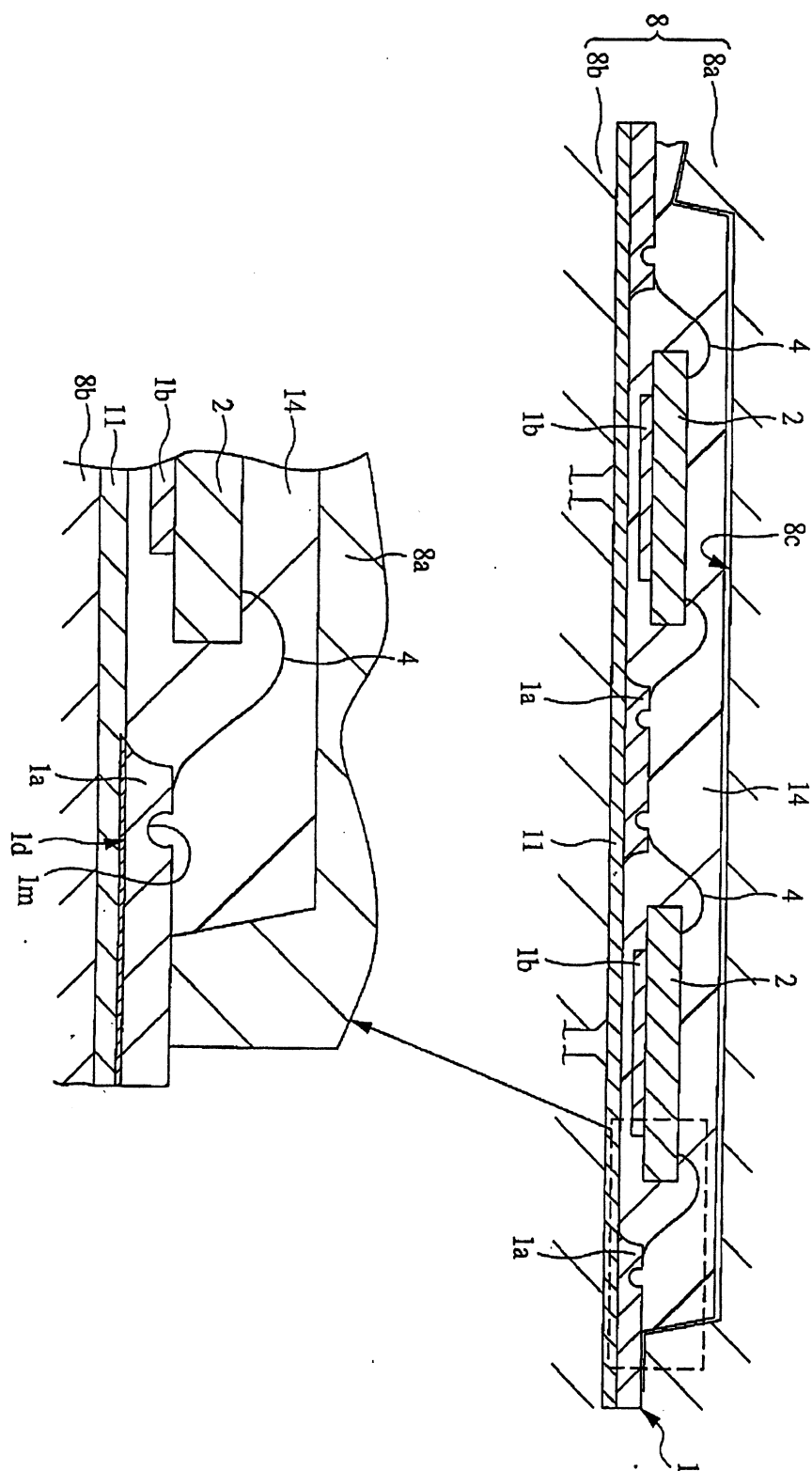


圖 38

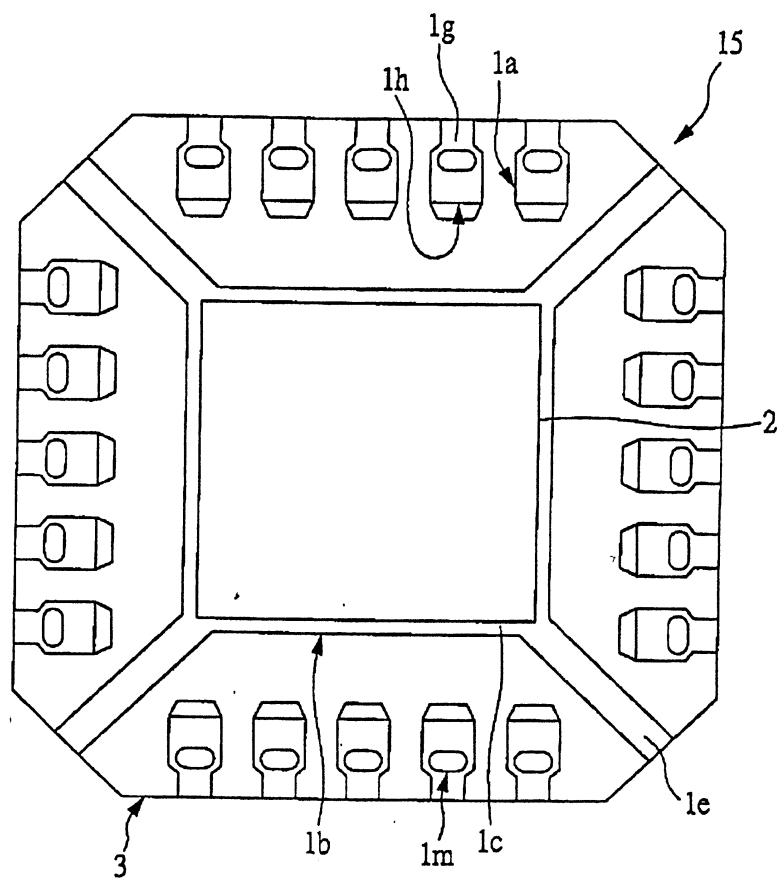


圖 39

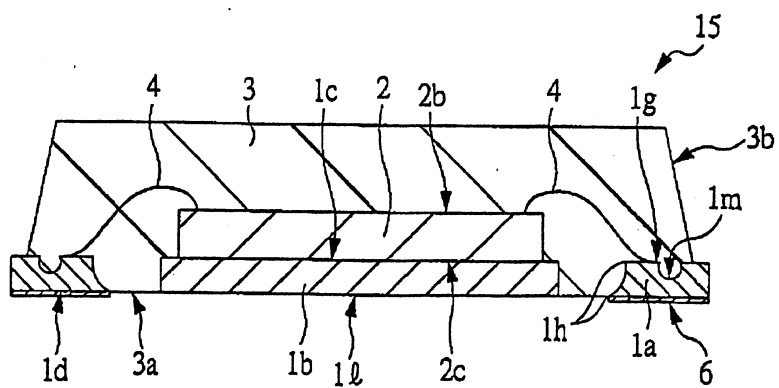


圖 40

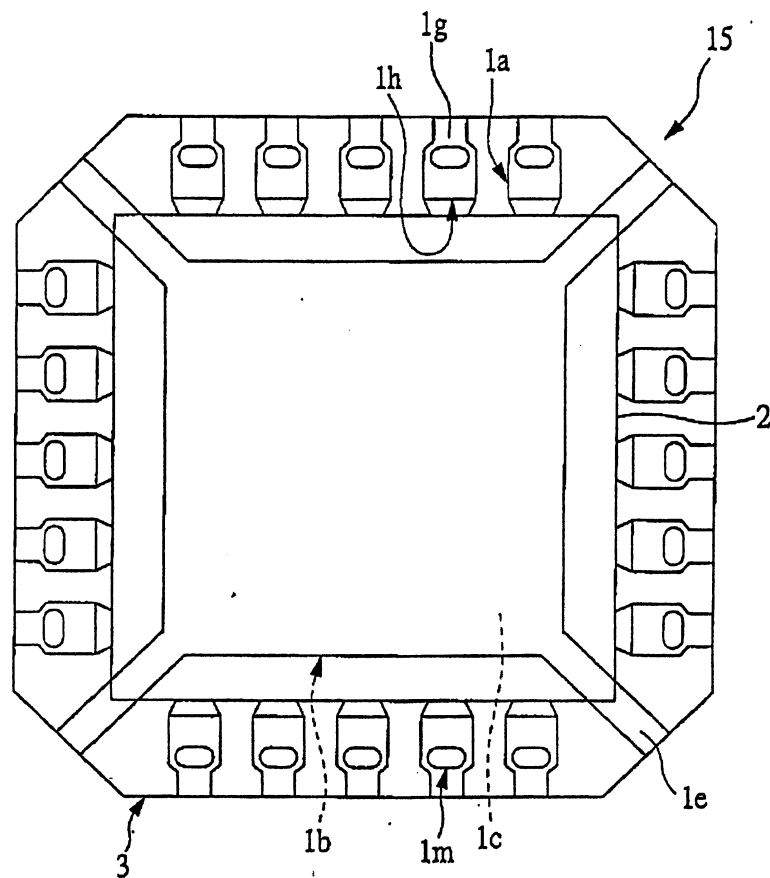


圖 41

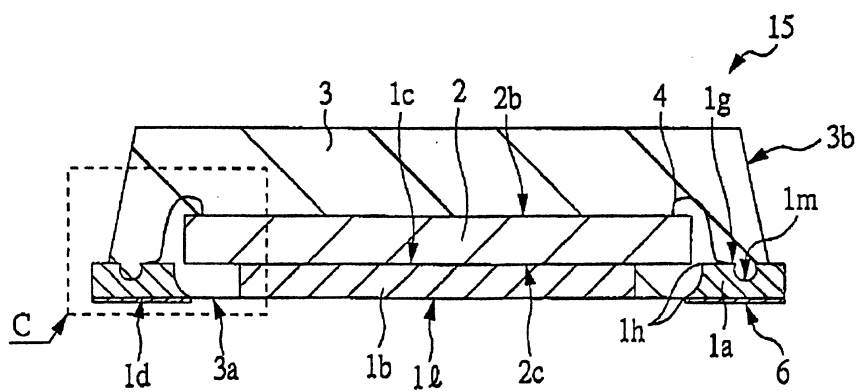


圖 42

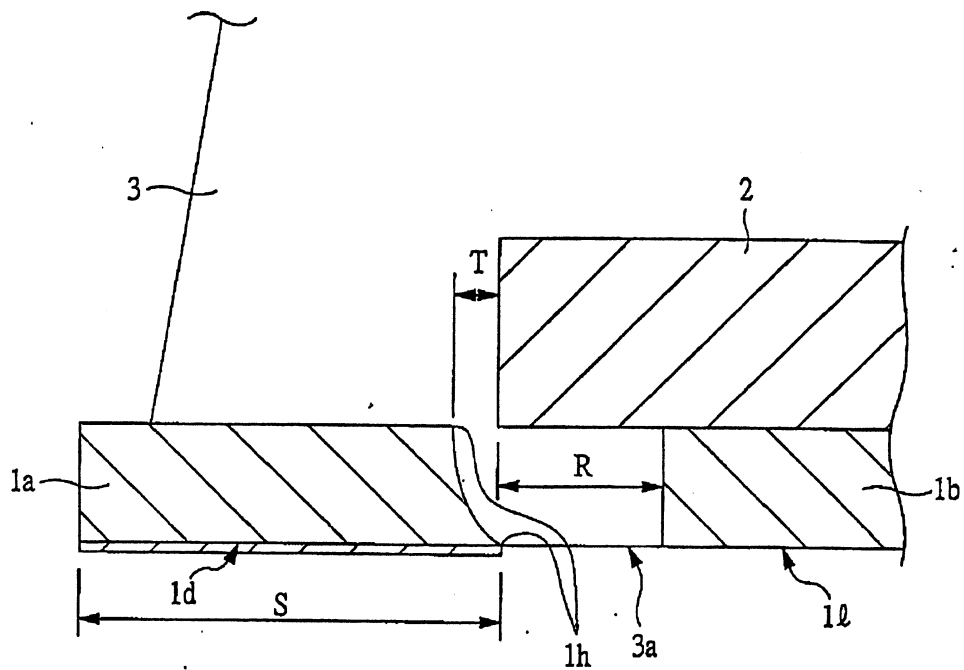


圖 43

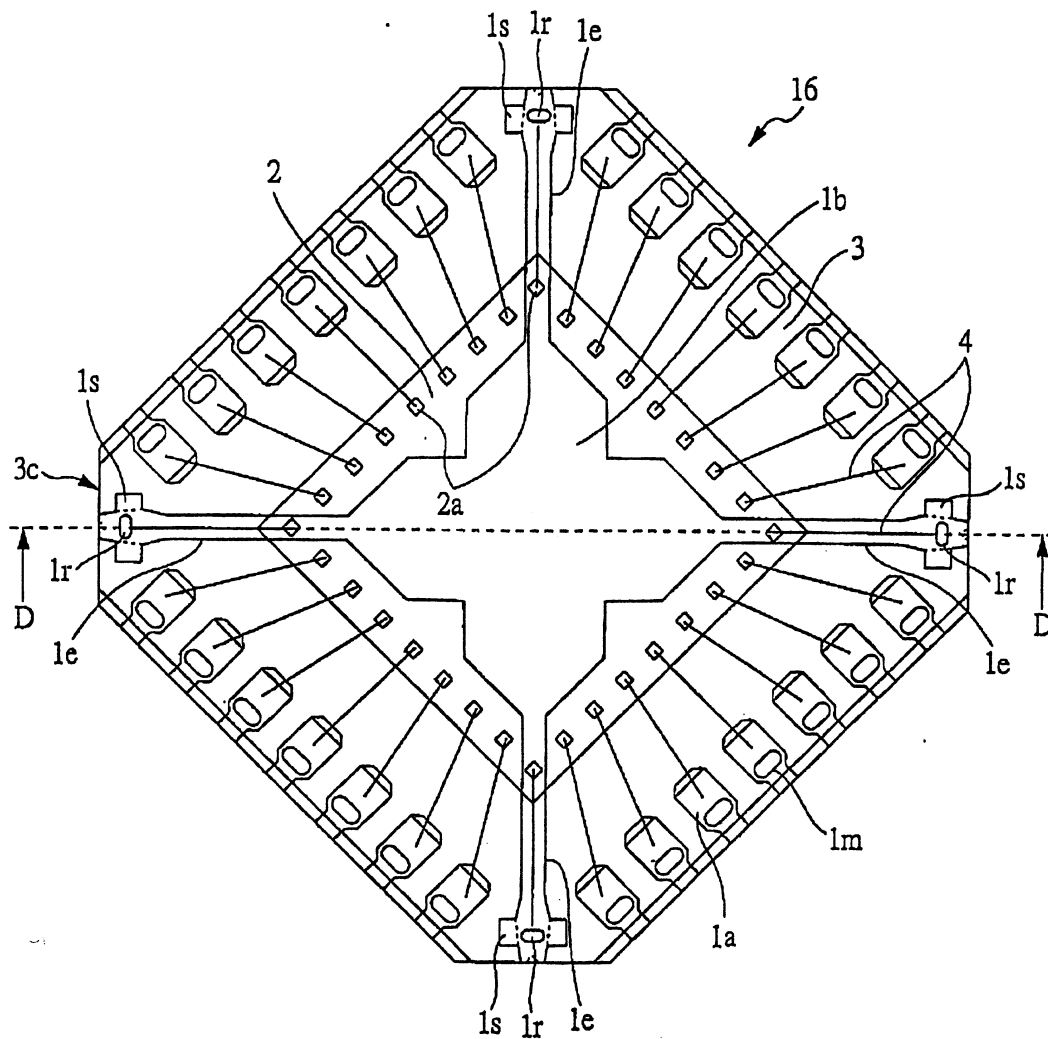


圖 44

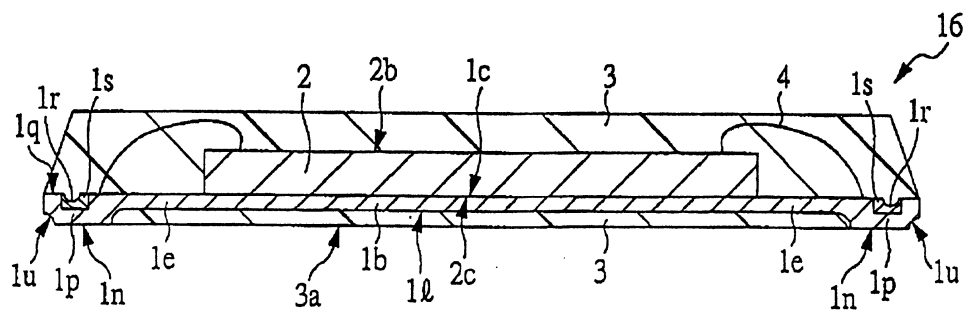


圖 45

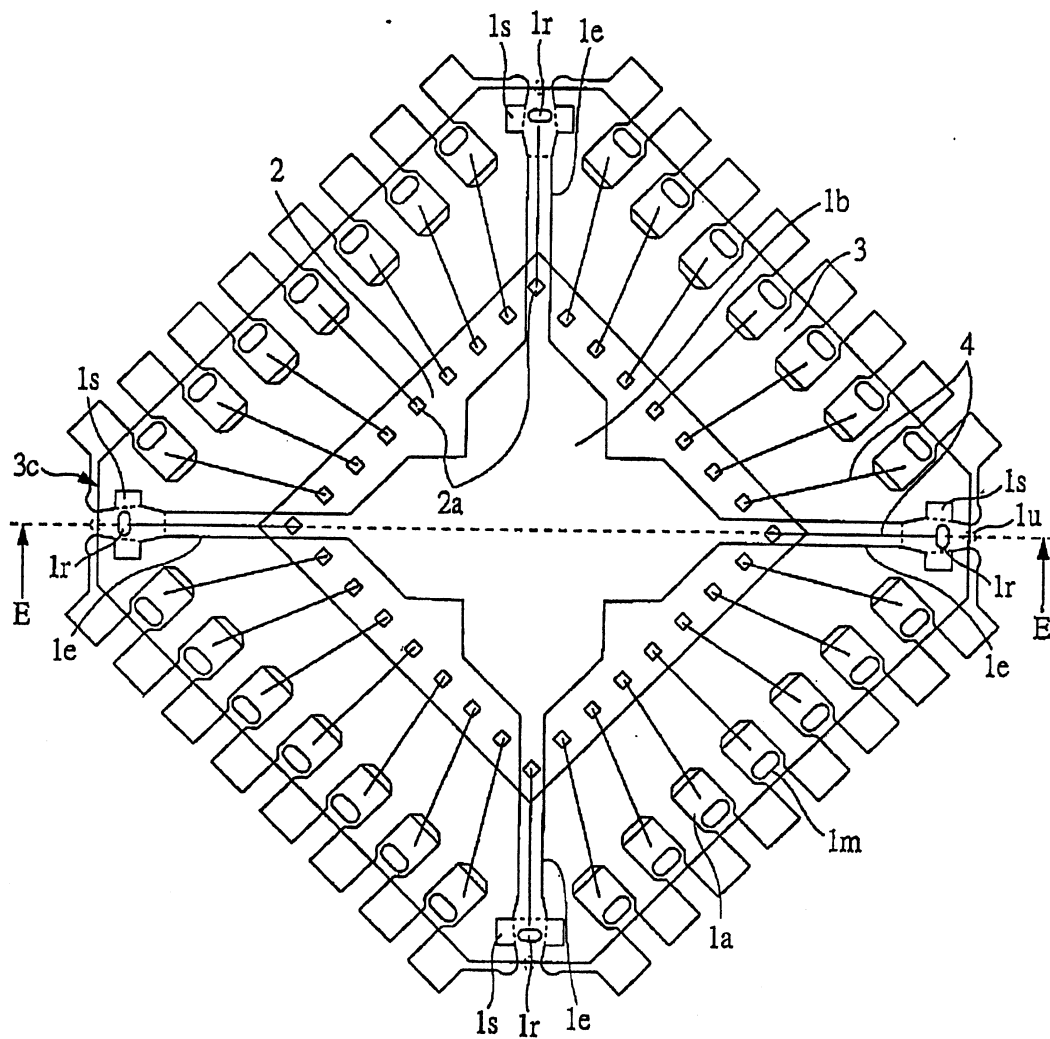


圖 46

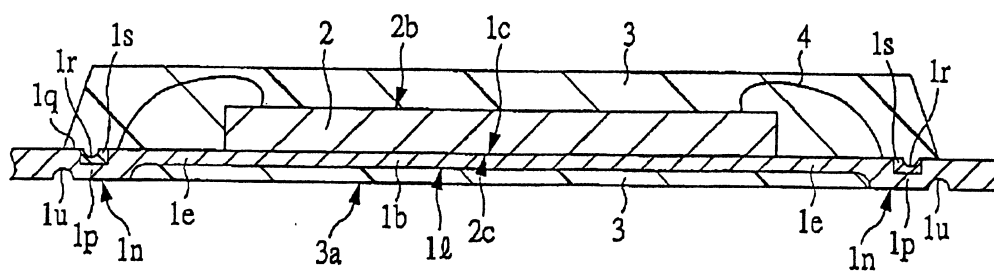


圖 47

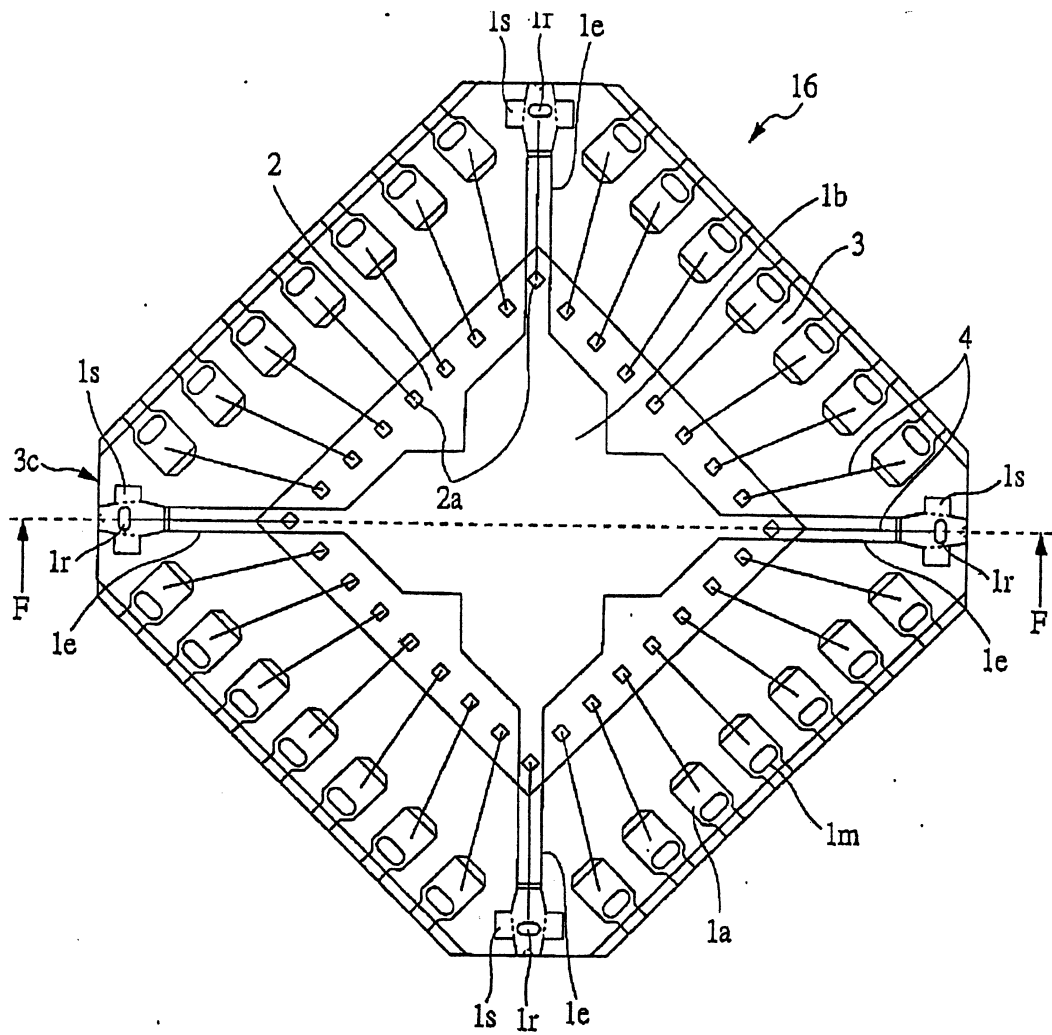


圖 48

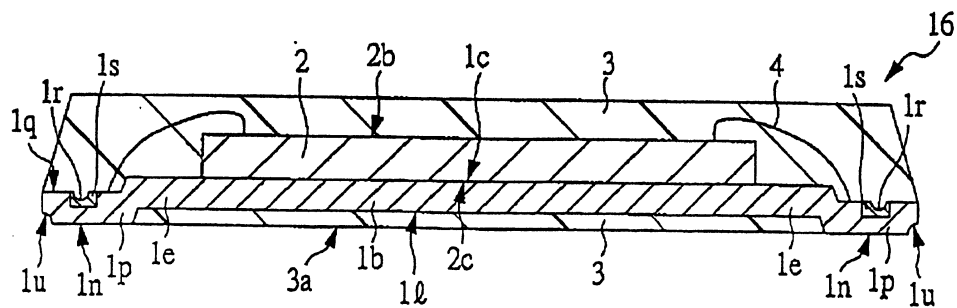


圖 49

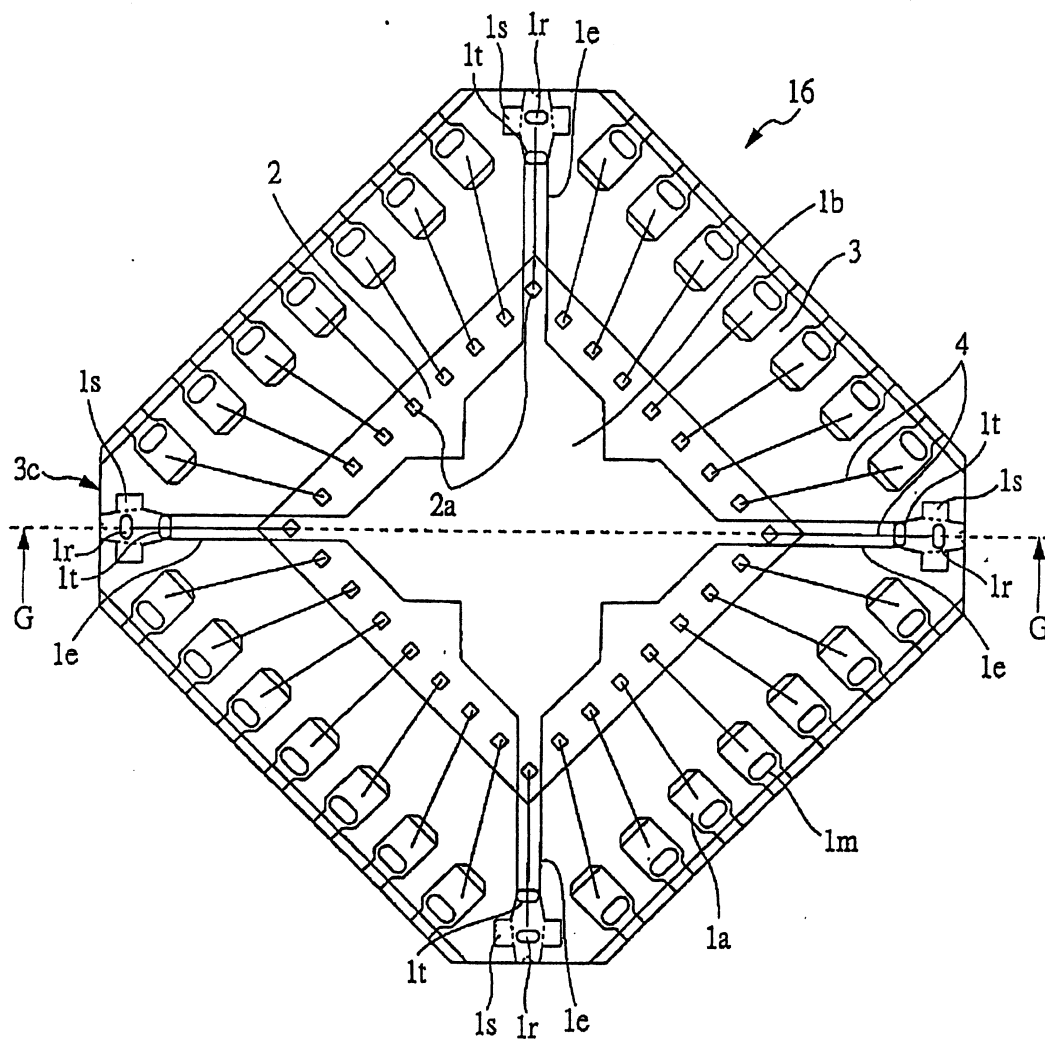


圖 50

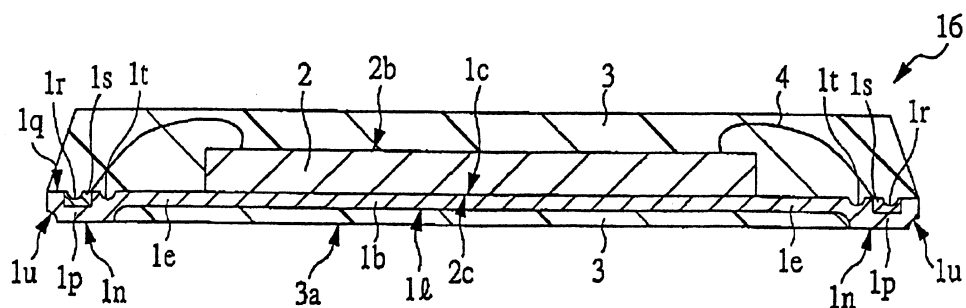


圖 51

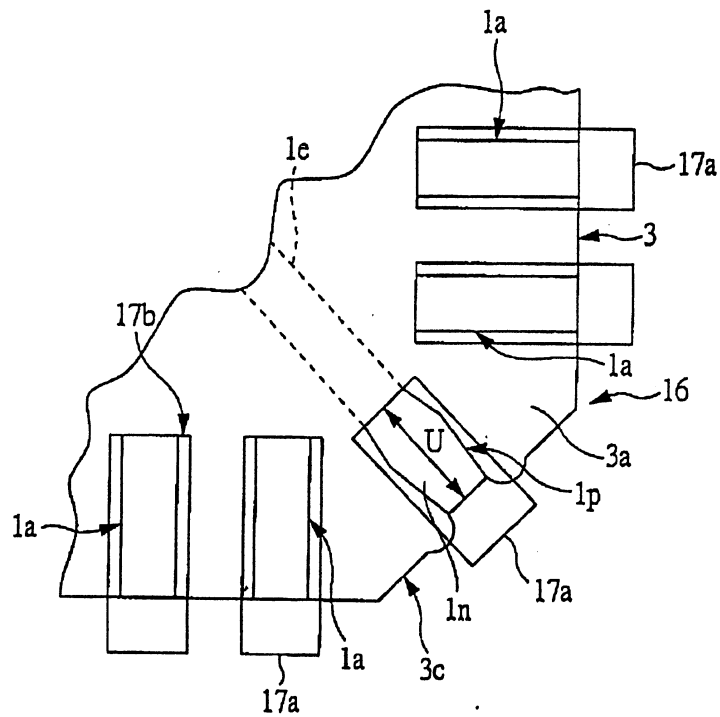


圖 52

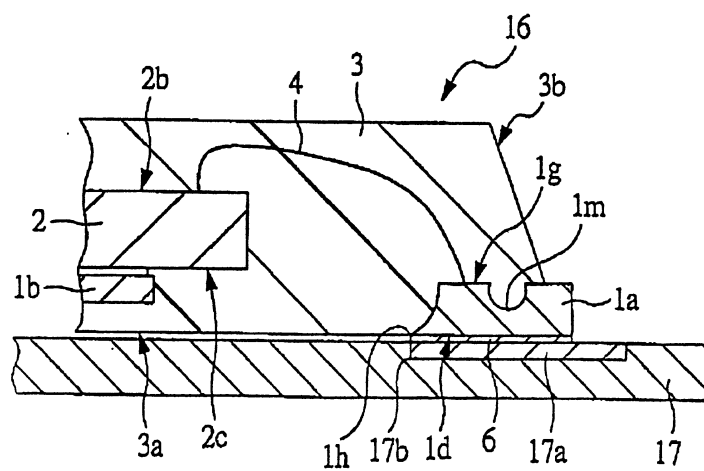


圖 53

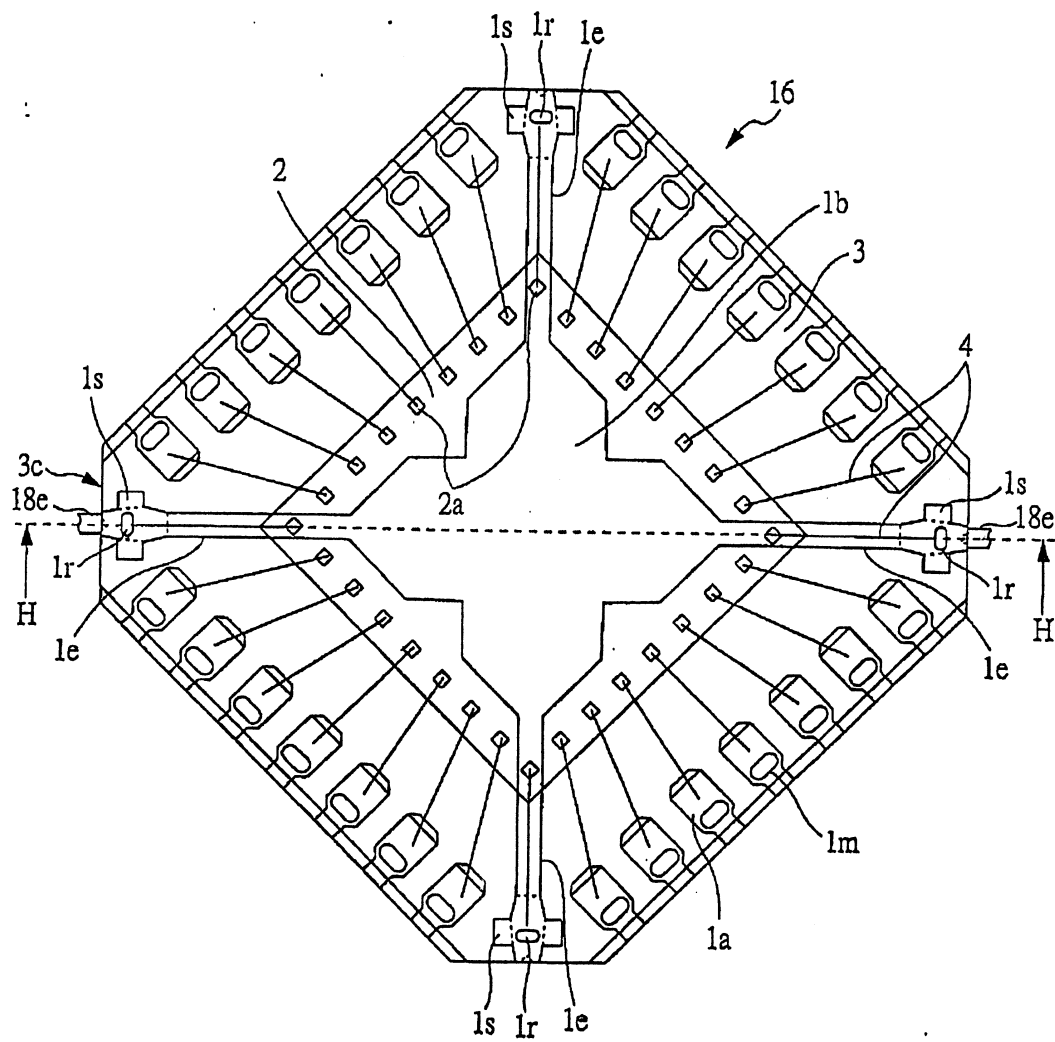


圖 54

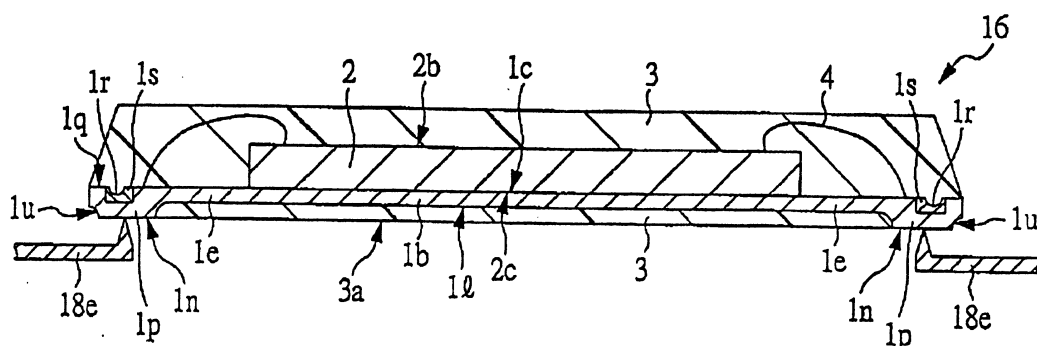


圖 55

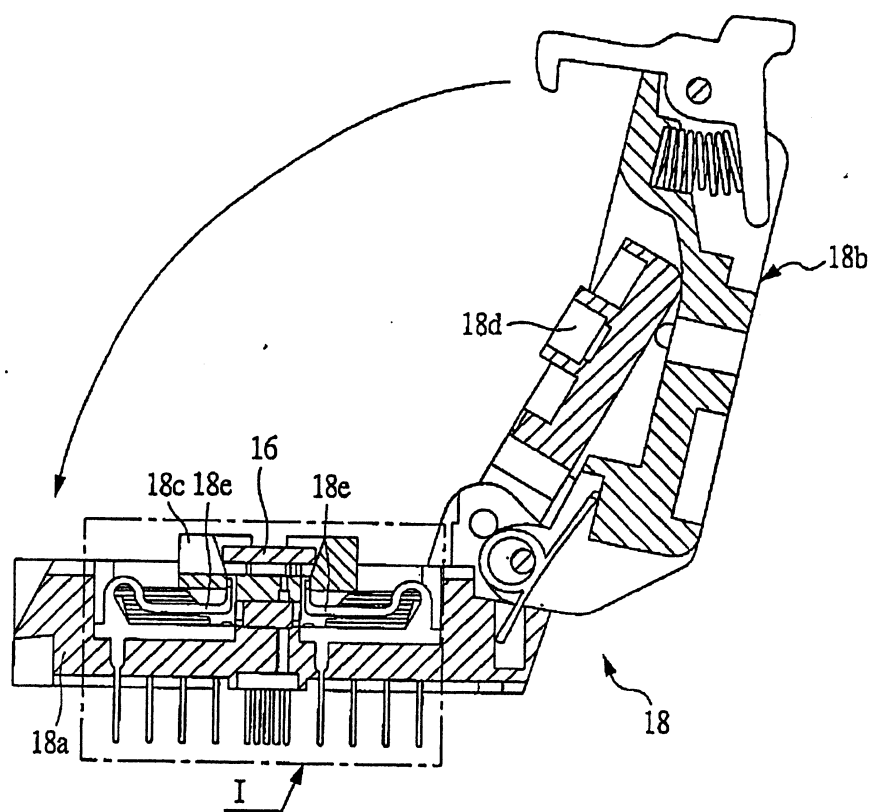


圖 56

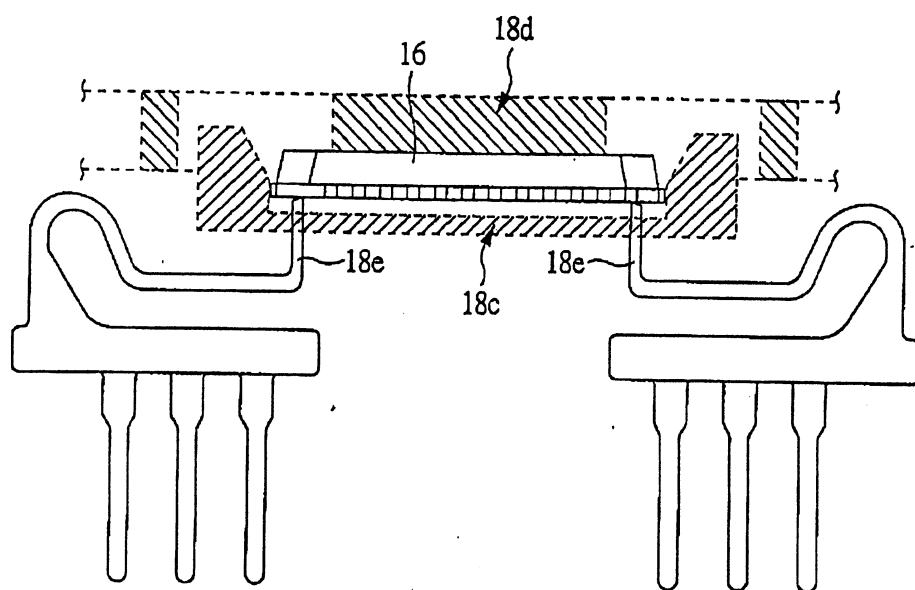


圖 57

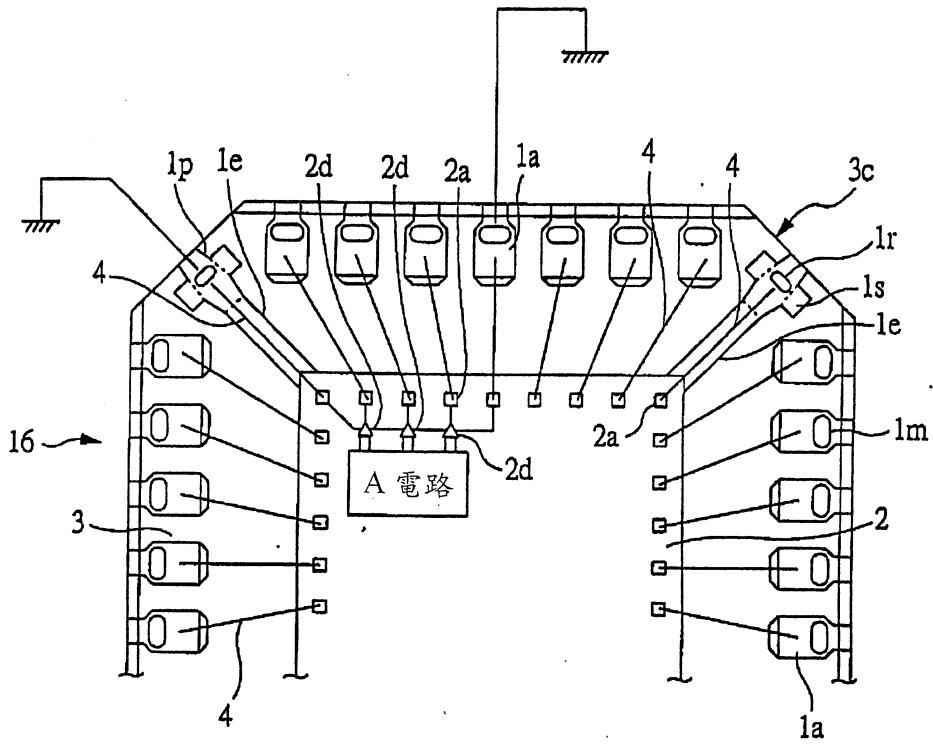


圖 58

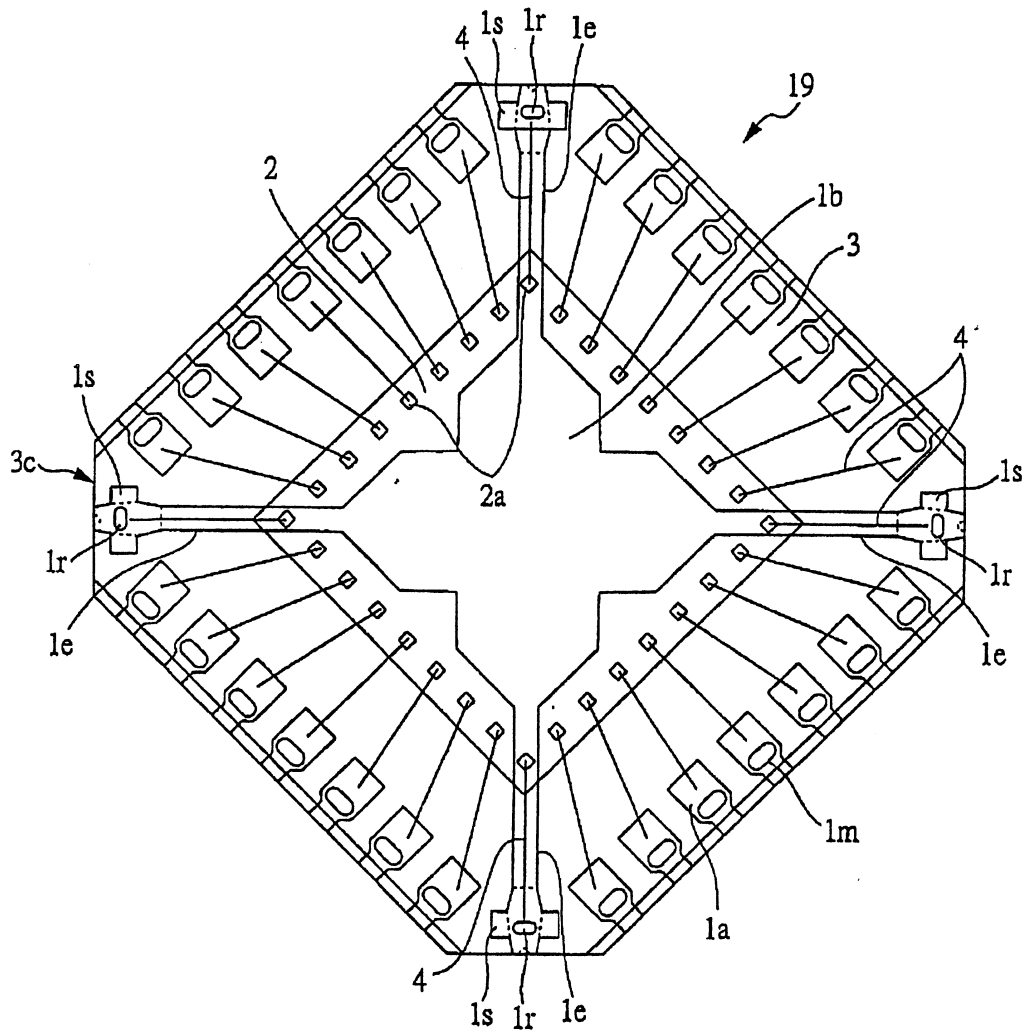


圖 59

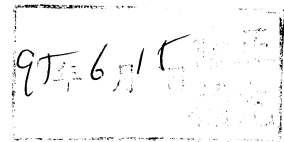
柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

1a	導線
1b	支持片
1c	晶片支持面
1e	懸吊導線
1g	封裝部形成面
1h	內側端部
1m	凹部
3	封裝部

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



在此種狀況下，因客戶之要求等原因，欲搭載更大之半導體晶片而不改變封裝體尺寸之際，由於EIAJ (Standards of Electronic Industries Association of Japan：日本電子工業協會規格)已對各種封裝體尺寸訂定被安裝面1d之延伸方向長度P規格，故使封裝體尺寸固定而考慮時，長度P即不能予以縮短。

因此，在不改變封裝體尺寸之狀況下，不能搭載更大之半導體晶片便成為有待克服之問題。

本發明之目的在於提供謀求可搭載之晶片尺寸之擴大化之半導體裝置及其製造方法。

本發明之前述及其他目的與新穎之特徵可由本專利說明書之說明及附圖獲得更明確之瞭解。

【發明內容】

即，本發明之半導體裝置係包含：搭載半導體晶片之支持片；封裝前述半導體晶片之封裝部；多數導線，其係包含露出前述封裝部之背面之周緣部之被安裝面與配置於其相反側且接觸於前述封裝部之側面之封裝部形成面者；及多數配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度係長於前述被安裝面之內側端部間之長度者。

又，本發明之半導體裝置之製造方法係包含：準備步驟，其係準備導線架而該導線架係包含可支持半導體晶片之支持片與配置於前述支持片之周圍之多數導線，且將相對

向配置之前述導線彼此之封裝部形成面之內側端部間之長度形成長於其相反側之被安裝面之內側端部間之長度者；搭載步驟，其係將前述半導體晶片配置於前述多數導線之各導線之前述封裝部形成面之內側端部所圍成之區域內後，將前述半導體晶片搭載於前述支持片者；連接步驟，其係利用配線連接前述半導體晶片之表面電極與對應於此之前述導線者；形成步驟，其係以樹脂封裝前述半導體晶片及前述多數配線，使前述多數導線之被安裝面露出排列於背面之周緣部而形成封裝部者；及分離步驟，其係切斷各導線而由前述導線架分離者。

【實施方式】

以下依據圖式，詳細說明本發明之實施形態。

在以下之實施形態中，基於說明上的方便，認為有其必要時，分成多數段落或實施形態加以說明，但除非有特別明示，該等部分彼此均有所關聯，其一方屬於他方之一部分或全部之變形例、詳細說明或補充說明等之關係。

又，在以下之實施形態中，提及元件之數等(含個數、數值、量、範圍等)時，除非有明示之情形及原理上顯然被限定於特定之數之情形等以外，均不限定於該特定之數，而可適用於特定之數以上或以下之數。

又，在說明實施形態用之所有圖中，對於具有同一機能之構件，附以同一號碼予以顯示，而省略其重複之說明。

(實施形態1)

圖1、圖2所示之本實施形態1之半導體裝置係利用圖7所

因此，即使封裝體尺寸相同，本實施形態1之圖2所示之QFN5可搭載比圖14所示之比較例之QFN型半導體裝置更大之半導體晶片2。

又，依據圖2所示之本實施形態1之QFN5，由於可擴大各導線1a之封裝部形成面1g之內側端部1h所包圍形成之晶片搭載區域，故可緩和晶片接合之際之接合精度。

另外，由於各導線1a之封裝部形成面1g側之內側端部1h係位於比被安裝面1d側之內側端部1h更脫離半導體晶片2之方向之位置，故即使搭載大的半導體晶片2之情形時，因樹脂注入壓力引起晶片上下移動之際，也可防止導線1a與半導體晶片2相接觸，減少晶片之損傷。

又，在圖2所示之QFN5中，如圖4、圖5所示，在各導線1a中，在比接合點1f更外側且比模塑線1k更內側之區域形成1個凹部1m。

此凹部1m係在導線切斷步驟中切斷導線時，其應力施加至導線1a之際，用於承受應力之處，可利用凹部1m之形成，防止應力施加至配線接合部，並可防止導線1a切斷時之配線4之斷線。

另外，可利用凹部1m之形成，提高導線1a對封裝體水平方向之抗拉強度。

又，在圖2所示之QFN5中，如圖3、圖4及圖6所示，將封裝部形成面1g之至少一部分之寬度形成比被安裝面1d之寬度更寬。也就是說，如圖6所示，將上側之封裝部形成面1g之寬度形成比配置於下側之被安裝面1d之寬度更寬，對導

圖 18～圖 20 所示之導線 1a 之形狀與實施形態 1 之 QFN5 之導線 1a 相同，在相當於封裝部形成面 1g 之配線接合處之接合點 1f 外側形成 1 個凹入之凹部 1m。此凹部 1m 係緩和樹脂模塑後切斷導線時施加至導線 1a 之配線接合處之應力之緩衝機構，使前述應力集中於配線接合處之外側之凹部 1m，以避免應力由凹部 1m 施加至內側之配線接合處，藉此可防止配線剝落及配線斷線。

又，在 1 個導線 1a 之 1 個封裝部形成面 1g 中，凹部 1m 最好形成 1 個。即，封裝部形成面 1g 之接合點 1f 之周圍必須確保作為接合區域，欲將接合區域以外形成多數凹部 1m 時，各凹部 1m 難以形成充分之深度。凹部 1m 之深度淺時，會減弱封裝用樹脂與凹部 1m 之接合力，緩和應力之作用也會變小。

又，欲形成較深之凹部 1m 時，必須確保某種程度之凹部 1m 之寬度，欲在封裝部形成面 1g 之接合區域以外之區域確保 2 個凹部份之區域非常困難。

在 QFN9 之配線接合中，如圖 36 所示，在半導體晶片側施行第 1 接合，在導線側施行第 2 接合，其時，第 2 接合係異於如第 1 接合般採用按壓金線(配線 4)球而連接之方法，而係將配線 4 壓斷而連接於導線 1a，故需要有比第 1 接合之區域更寬之面積之區域。

因此，為了獲得緩和應力之效果，最好在 1 個導線 1a 形成 1 個凹部 1m。

其次，在 QFN9 之導線 1a 中，在封裝部形成面 1g，於與導線 1a 之延伸方向成直角方向，形成寬度小於封裝部形成面

1g寬度之凹部1m。也就是說，凹部1m之終端並未到達導線1a之兩側面，而位於封裝部形成面1g內，如圖19所示，在凹部1m之導線1a之寬方向之兩端部形成有端部厚部1n。

在凹部1m之導線寬方向之兩端形成端部厚部1n時，可確保導線1a之強度，防止樹脂模塑時之導線1a之變形。

即，在QFN9之組裝之樹脂模塑步驟中，如圖38所示，採用使用薄膜11之樹脂模塑法之際，為了防止封裝用樹脂進入各導線1a之被安裝面1d，在導線下配置薄膜11，利用成型模具8之合模使各導線1a鑽入薄膜11，以此狀態施行樹脂模塑。

其時，各導線1a強度較弱時，可能因成型模具8之合模時之應力而發生使導線1a變形之不利現象，但如圖19所示之導線形狀一般，在凹部1m之導線寬方向之兩端形成端部厚部1n時，可確保導線1a之強度，防止樹脂模塑時之導線1a之變形。

又，QFN9之導線1a如圖19所示，具有配置於晶片側之配線接合部1q、與跨及封裝部3之側面3b之內側、外側之基端部1p，配線接合部1q之封裝部形成面1g之寬度形成比基端部1p之封裝部形成面1g之寬度更寬。

即，在導線1a中，在靠近外側之基端部1p與更內側之配線接合部1q中，其封裝部形成面1g之寬度不同，內側之配線接合部1q之封裝部形成面1g之寬度較寬。也就是說，封裝部形成面1g之寬度較寬部分由導線1a之晶片側端部向外側延伸，但其終端只到封裝部3之側面3b之前，由該處起變

僅形成平坦面。此導線形狀屬於在樹脂模塑後之導線切斷步驟中，採用圖37所示使用刀片12之切割切斷法而非採用衝壓切斷法時有效之形狀。

即，切割切斷法與衝壓切斷法相比，切斷導線時施加至導線1a之應力較小，對配線接合處之損傷也較小，因此，可不必設置應力緩和機構之凹部1m。

其結果，在導線1a之配線接合部1q之封裝部形成面1g，可確保較寬之接合區域，可容易地施行第2接合。

又，在欲施行切割切斷之情形時，樹脂模塑係採用一次模塑，即利用成型模具8之1個模腔8c覆蓋圖37所示之多數元件而施行樹脂模塑之情形。

其次，圖26～圖28所示之變形例之導線形狀係對各導線1a，於其配線接合部1q之兩側面分別形成凹部1m，以作為應力緩和機構。

即，在導線1a之配線接合部1q，形成有封裝部形成面1g之凹部1m與兩側面之凹部1m共3個凹部1m，由於可充分縮小導線1a之配線接合部1q之接合點1f之外側區域之剖面積，故可充分縮小利用沖壓機切斷導線之際施加至接合區域之應力，防止切斷導線時之配線剝落及配線斷線等不利現象。

又，作為應力緩和機構，在各導線1a中，只要具有在其接合點1f之外側處可縮小導線1a之剖面積之形狀即可，例如形成凹部1m、狹縫或缺口等。

其次，圖29～圖31所示之變形例之導線形狀係將封裝部

形成面 1g 形成平坦面，且對各導線 1a，於其配線接合部 1q 之兩側面分別形成凹部 1m，以作為應力緩和機構。

因此，由於封裝部形成面 1g 未形成凹部 1m 而僅形成平坦面，故可確保較寬之接合區域，並可藉形成於兩側面之凹部 1m 緩和導線切斷時之應力。

又，圖 32～圖 34 所示之變形例之導線形狀係將封裝部形成面 1g 形成平坦面，且對各導線 1a，於其配線接合部 1q 之兩側面分別形成 2 個應力緩和機構之凹部 1m。

因此，可一面確保較寬之接合區域，一面更進一步緩和導線切斷時之應力。

其次，說明本實施形態 2 之半導體裝置之製造方法。

首先，利用圖 35 說明單片模塑型之 QFN9 之組裝。

如步驟 S1 所示，準備導線架 1，而該導線架 1 係包含可支持半導體晶片 2 之支持片 1b、支持支持片 1b 之支持片懸吊導線 1e、與配置於支持片 1b 之周圍，且具有被安裝面 1d 及封裝部形成面 1g 之多數導線 1a，再將相對向配置之導線 1a 彼此之封裝部形成面 1g 之內側端部 1h 間之長度形成長於被安裝面 1d 之內側端部 1h 間之長度，且在各導線 1a 設有應力緩和機構之凹部 1m。

即，如圖 2 所示，準備各導線 1a 分別呈現封裝部形成面 1g 之長度 $Q <$ 被安裝面 1d 之長度 P 之導線架 1。

又，導線架 1 係可由 1 塊導線架 1 製造多數個 QFN9 之詩籤狀之細長之多連式構造，另外，可在 1 塊導線架 1 上以矩陣排列方式製造 QFN9，因此，在 1 塊導線架 1 上可利用矩陣排

其後，施行步驟 S4 之傳遞模塑。在此，利用成型模具 8 之模腔 8c 與 QFN9 以 1 比 1 相對應之單片模塑型之前述成型模具 8 施行樹脂模塑。

其時，係利用使多數導線 1a 之被安裝面 1d 露出排列於封裝部 3 之背面 3a 之周緣部之方式施行樹脂模塑。藉此將半導體晶片 2 及多數配線 4 樹脂封裝而在導線架 1 之封裝部形成面 1g 側形成封裝部 3 (施行單面膜塑)。

因此，可將多數封裝部 3 以矩陣配置形成於導線架 1 上。

其後，施行步驟 S5 之外裝電鍍，在導線 1a 之被安裝面 1d 形成焊料電鍍層 6。

其後，施行步驟 S6 之打標印，在 QFN9 之封裝部 3 等附上所希望之標記。

其後，施行步驟 S7 之切斷，施行 QFN9 之單片化。

其時，以切斷模具 13 夾持各導線 1a 之應力緩和機構之凹部 1m 外側處，在此狀態下，利用衝壓機由導線架 1 切斷並由導線架 1 分離從封裝部 3 突出之各導線 1a (單片化)。

切斷時，應力會集中於形成有凹部 1m 之處，即集中於導線 1a 之配線接合部 1q 之剖面積最小之處。其時，由於凹部 1m 位於第 2 接合之配線接合處之外側，故切斷時之應力會集中於凹部 1m，因此，可防止切斷導線時之配線剝落及配線斷線等不利現象。

藉此結束導線之切斷，而完成步驟 S8 所示之 QFN9 之製品。

其次，利用圖 37 說明有關一次模塑型之 QFN9 之組裝。

又，在利用成型模具 8 之 1 個模腔 8c 覆蓋多數元件區域而

施行樹脂模塑之一次封裝中，係利用切割施行導線切斷。在利用切割施行導線切斷之過程中，由於切斷實施加在導線 1a 之應力小於利用衝壓切斷之情形，故就導線 1a 之形狀而言，固然也可採用如圖 24 所示封裝部形成面 1g 僅形成平坦面之形狀，但在此，說明採用在圖 19 所示之封裝部形成面 1g 形成 1 個凹部 1m 之導線 1a 之情形。

如步驟 S11 所示，準備導線架 1，而該導線架 1 係包含可支持半導體晶片 2 之支持片 1b、支持支持片 1b 之支持片懸吊導線 1e、與配置於支持片 1b 之周圍，且具有被安裝面 1d 及封裝部形成面 1g 之多數導線 1a，再將相對向配置之導線 1a 彼此之封裝部形成面 1g 之內側端部 1h 間之長度形成長於被安裝面 1d 之內側端部 1h 間之長度，且在各導線 1a 之封裝部形成面 1g 設有在與導線 1a 之延伸方向成直角之方向之寬度小於封裝部形成面 1g 之寬度之應力緩和機構之凹部 1m。

即，如圖 2 所示，準備各導線 1a 分別呈現封裝部形成面 1g 之長度 $Q <$ 被安裝面 1d 之長度 P，另外在各凹部 1m 之導線寬方向之兩端形成有圖 19 所示之端部厚部 1n 之導線架 1。

又，導線架 1 係可由 1 塊導線架 1 製造多數個 QFN9 之詩籤狀之細長之多連式構造，另外，可在 1 塊導線架 1 上以矩陣排列方式製造 QFN9，因此，在 1 塊導線架 1 上可利用矩陣排列方式形成多數個對應於 1 個 QFN9 之封裝區域。

其後，施行步驟 S12 所示之晶片接合。

在此，係準備在主面 2b 形成有半導體積體電路之半導體晶片 2，將半導體晶片 2 配置於圖 2 所示之多數導線 1a 之各封

裝部形成面 1g 之內側端部 1h 所圍成之區域內之支持片 1b 上。

其後，施行接合半導體晶片 2 之背面 2c 與支持片 1b 之晶片支持面 1c 之晶片接合(又稱晶片焊接或晶片安裝)。

即，將半導體晶片 2 搭載於導線架 1 之支持片 1b 之晶片支持面 1c。

其時，使主面 2b 朝上，經由晶片接合材料(例如銀膏等)將半導體晶片 2 固定於導線架 1 之支持片 1b。

接著，施行步驟 S13 所示之配線接合。

在此，係利用金線等之導電性之配線 4 以配線接合法連接半導體晶片 2 之墊 2a 與對應於此之圖 19 所示之導線 1a 之凹部 1m 內側區域之封裝部形成面 1g 之接合點 1f 附近。

其時，首先，施行連接半導體晶片 2 之墊 2a 與配線 4 之第 1 接合，其後，施行連接配線 4 與導線 1a 之配線接合部 1q 封裝部形成面 1g 之凹部 1m 內側之接合點 1f 附近之第 2 接合。在本實施形態 2 之導線 1a 之情形，由於在導線 1a 之封裝部形成面 1g 僅形成 1 個凹部 1m，故容易確保第 2 接合之區域，容易施行第 2 接合。

其後，施行步驟 S14 之模塑。在此，係施行利用成型模具 8 之 1 個模腔 8c 一次覆蓋多數元件區域之一次模塑。

其時，係在各元件區域，利用使多數導線 1a 之被安裝面 1d 露出排列於封裝部 3 之背面 3a 之周緣部之方式施行樹脂模塑。在一次模塑之際，首先，如圖 38 所示，以將薄膜 11 配置於成型模具 8 之下模 8b 之模具面上而以成型模具 8 之上模 8a 之 1 個模腔 8c 覆蓋多數元件區域之狀態施行合模

(clamp)。利用此合模，如圖38之局部放大圖所示，使導線1a之被安裝面1d鑽入薄膜11，以施行樹脂模塑。藉此，利用使多數導線1a之被安裝面1d露出排列於封裝部3之背面3a之周緣部之方式形成一次封裝部14。

又，在導線1a中，在凹部1m之導線寬方向之兩端形成如圖19所示之端部厚部1n時，可確保導線1a之強度，並可防止因成型模具8之合模時之反作用力而變形之不利現象。

模塑後，施行步驟S15之外裝電鍍，在導線1a之被安裝面1d形成焊料電鍍層6。

其後，施行步驟S16之打標印，在相當於各QFN9之封裝部3之處附上所希望之標記。

其後，施行步驟S17之切斷，施行各QFN9之單片化。

其時，在此，利用切割切斷並由導線架1分離各導線1a及一次封裝部14。即，利用刀片12切斷各導線1a及一次封裝部14，藉以達成單片化。

又，在使用刀片12之切割施行切斷時，與衝壓切斷法相比，導線切斷時施加於導線1a之應力較小，對配線接合造成之損傷也小，因此，可防止配線剝落及配線斷線等不利現象。

藉此結束導線之切斷，而完成步驟S18所示之QFN9之製品。

(實施形態3)

本實施形態3係說明在QFN構造之半導體裝置中，可提高放熱性之構造。即，實施形態1所說明之QFN5係將相對向

拾、申請專利範圍：

1. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面的周緣部之被安裝面與配置於其相反側且以前述封裝部覆蓋之封裝部形成面者；及

多數配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

互相相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度係長於前述被安裝面之內側端部間之長度，且在前述封裝部形成面之內側端部形成缺口部者。

2. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面的周緣部之被安裝面與配置於其相反側且以前述封裝部覆蓋之封裝部形成面者；及

多數配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

互相相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度係長於前述被安裝面之內側端部間之長度，且前述封裝部形成面之至少一部分之寬度

係寬於前述被安裝面之寬度者。

3. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面的周緣部之被安裝面與配置於其相反側且以前述封裝部覆蓋之封裝部形成面者；及

多數配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

互相相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度係長於前述被安裝面之內側端部間之長度，且在前述封裝部形成面之內側端部形成缺口部，另外，前述封裝部形成面之至少一部分之寬度係寬於前述被安裝面之寬度者。

4. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面的周緣部之被安裝面與配置於其相反側且以前述封裝部覆蓋之封裝部形成面者；及

多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

各前述導線係形成互相相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度長於前述被

安裝面之內側端部間之長度，且分別包含寬度寬於前述被安裝面之前述封裝部形成面者。

5. 如申請專利範圍第4項之半導體裝置，其中前述導線係包含配置於晶片側之配線接合部、與跨及前述封裝部之側面之內側、外側之基端部，前述配線接合部之前述封裝部形成面之寬度比前述基端部之前述封裝部形成面之寬度更寬者。
6. 如申請專利範圍第4項之半導體裝置，其中在前述導線之前述封裝部形成面形成凹部者。
7. 如申請專利範圍第6項之半導體裝置，其中前述凹部係形成於前述封裝部形成面之配線接合處之外側者。
8. 如申請專利範圍第4項之半導體裝置，其中在前述導線之前述封裝部形成面，相對於與前述導線之延伸方向成直角方向，形成寬度小於前述封裝部形成面寬度之凹部者。
9. 一種半導體裝置，其特徵在於包含：
 - 搭載半導體晶片之支持片；
 - 封裝前述半導體晶片之封裝部；
 - 多數導線，其係一部分露出於前述封裝部之背面之端部者；
 - 懸吊導線，其係與前述支持片連結，且包含露出於前述封裝部之背面之被安裝面者；及
 - 多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

在與前述懸吊導線之前述被安裝面之相反側之面之前述被安裝面對向之區域，連接一端連接於前述半導體晶片之表面電極之導電性配線之他端者。

10. 如申請專利範圍第9項之半導體裝置，其中在前述懸吊導線之前述被安裝面之相反側之面形成凹部者。

11. 如申請專利範圍第10項之半導體裝置，其中前述懸吊導線之前述凹部係形成於前述被安裝面之相反側的面之前述配線連接之處之外側者。

12. 如申請專利範圍第11項之半導體裝置，其中前述懸吊導線之前述凹部係形成於前述被安裝面之相反側的面之前述配線連接之處之內側者。

13. 如申請專利範圍第9項之半導體裝置，其中在前述懸吊導線之前述配線連接之處之外側之兩側面設有突起部者。

14. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係一部分露出於前述封裝部之背面的周緣部者；

懸吊導線，其係與前述支持片連結，且包含露出於前述封裝部之背面之倒角部之被安裝面者；及

多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

在與前述懸吊導線之前述被安裝面之相反側之面之

前述被安裝面相對向之區域，連接一端連接於前述半導體晶片之表面電極中 GND 用電極的導電性配線之他端者。

15. 如申請專利範圍第 14 項之半導體裝置，其中前述支持片係被前述封裝部所封裝者。

16. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面之周緣部之被安裝面者；

懸吊導線，其係與前述支持片連結，且包含露出於前述封裝部之背面之被安裝面者；及

多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

在與前述懸吊導線之前述被安裝面之相反側之面之前述被安裝面相對向之區域，連接一端連接於前述半導體晶片之表面電極之導電性配線之他端；

前述懸吊導線之延伸方向之前述被安裝面之長度係長於前述被安裝面之前述懸吊導線之厚度者。

17. 如申請專利範圍第 16 項之半導體裝置，其中在前述懸吊導線之前述被安裝面之內側區域，與鄰接之前述導線之最短距離部係被前述封裝部所封裝者。

18. 如申請專利範圍第 16 項之半導體裝置，其中在前述半導體裝置安裝於安裝基板之際，與鄰接於前述半導體裝置

之前述懸吊導線之前述導線連接之前述安裝基板之端子係將其內側端部配置於與前述導線之前述被安裝面之內側端部同一面或其外側者。

19. 一種半導體裝置，其特徵在於包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係包含露出於前述封裝部之背面的周緣部之被安裝面與配置於其相反側且以前述封裝部覆蓋之封裝部形成面者；

懸吊導線，其係與前述支持片連結，且包含露出於前述封裝部之背面之被安裝面者；及

多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；

前述導線係形成相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度長於前述導線彼此之前述被安裝面之內側端部間之長度；

在與前述懸吊導線之前述被安裝面對向之區域，連接一端連接於前述半導體晶片之表面電極之導電性配線之他端者。

20. 一種半導體裝置之製造方法，其特徵在於包含：

準備步驟，其係準備導線架，而該導線架係包含多數元件區域，其係包含搭載半導體晶片之支持片；多數導線，其係配置於前述支持片之周圍，並包含被安裝面及其相反側之封裝部形成面者；懸吊導線，其係支持前述

支持片者；且將相對向配置之前述導線彼此之前述封裝部形成面之內側端部間之長度形成長於前述被安裝面之內側端部間之長度，在前述導線之前述封裝部形成面，相對於與前述導線之延伸方向成直角方向，形成寬度小於前述封裝部形成面寬度之凹部者；

搭載步驟，其係將前述半導體晶片配置於前述多數導線之各導線之前述封裝部形成面之內側端部所圍成之區域內後，將前述半導體晶片搭載於前述支持片者；

連接步驟，其係利用導電性配線連接前述半導體晶片之表面電極與對應於此之前述導線之前述封裝部形成面之前述凹部之內側處者；

形成步驟，其係以將薄膜配置於樹脂成型模具之模具面上而以樹脂成型模具之1個膜腔覆蓋前述多數元件區域之狀態施行合模，利用前述合模，使前述導線之前述被安裝面鑽入前述薄膜，以施行樹脂成型，使前述多數導線之被安裝面露出並排列於背面之周緣部而形成一次封裝部者；及

分離步驟，其係利用切割切斷各導線與前述一次封裝部而由導線架分離者。

21. 一種半導體裝置之製造方法，其特徵在於包含：

準備步驟，其係準備導線架，而該導線架係包含：搭載半導體晶片之支持片；多數導線，其係配置於前述支持片之周圍，並包含被安裝面及其相反側之封裝部形成面者；懸吊導線，其係支持前述支持片者；且將相對向

配置之前述導線彼此之封裝部形成面之內側端部間之長度形成長於前述被安裝面之內側端部間之長度，並在各導線設置緩和切斷時之應力之應力緩和機構者；

搭載步驟，其係將前述半導體晶片配置於前述多數導線各自之前述封裝部形成面之內側端部所圍成之區域內後，將前述半導體晶片搭載於前述支持片者；

連接步驟，其係利用導電性配線連接前述半導體晶片之表面電極與對應於此之前述導線之前述應力緩和機構之內側區域之前述封裝部形成面者；

形成步驟，其係以樹脂封裝前述半導體晶片及前述配線，使前述多數導線之被安裝面露出並排列於背面之周緣部而形成封裝部者；及

分離步驟，其係於以切斷模具夾持各前述導線之前述應力緩和機構之外側處之狀態下，利用衝壓切斷各導線而由導線架分離者。

22. 如申請專利範圍第21項之半導體裝置之製造方法，其中前述應力緩和機構係狹縫狀之凹部，在前述導線之前述封裝部形成面形成前述狹縫狀之凹部者。

23. 如申請專利範圍第21項之半導體裝置之製造方法，其中前述應力緩和機構係凹部，在前述導線之兩側面形成前述凹部者。

24. 一種半導體裝置之製造方法，其特徵在於製造半導體裝置，其係包含：

搭載半導體晶片之支持片；

封裝前述半導體晶片之封裝部；

多數導線，其係一部分露出前述封裝部之背面之端部者；

懸吊導線，其係與前述支持片連結，且一部分露出前述封裝部之背面者；

多數導電性配線，其係連接前述半導體晶片之表面電極與對應於此之前述導線者；及

導電性配線，其係連接前述半導體晶片之GND用之表面電極與前述懸吊導線者；

且在經由前述多數導線中GND用之導線及前述懸吊導線，將GND電位供應至前述半導體晶片之所希望之電路之狀態下，測試前述半導體裝置者。